

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la
Propiedad Intelectual
Oficina internacional

(43) Fecha de publicación internacional
20 de septiembre de 2012
(20.09.2012)



(10) Número de Publicación Internacional
WO 2012/123604 A1

(51) Clasificación Internacional de Patentes:
H03K 19/08 (2006.01)

(21) Número de la solicitud internacional:
PCT/ES2012/000059

(22) Fecha de presentación internacional:
14 de marzo de 2012 (14.03.2012)

(25) Idioma de presentación: español

(26) Idioma de publicación: español

(30) Datos relativos a la prioridad:
P201100287 14 de marzo de 2011 (14.03.2011) ES

(71) Solicitante (para todos los Estados designados salvo US):
UNIVERSIDAD COMPLUTENSE DE MADRID
[ES/ES]; Avda. Séneca, 2, E-28040 Madrid (ES).

(72) Inventor; e

(75) Inventor/Solicitante (para US solamente): **TEJEDOR ÁLVAREZ, Luis Ángel** [ES/ES]; Facultad de Ciencias Físicas, Dpto. de Física Atómica, Molecular y Nuclear, Avd. Complutense, S/N, Ciudad Universitaria, E-28040 Madrid (ES).

(74) Mandatario: **PLUMET ORTEGA, Joaquín**; Vicerrector de Investigación de la Universidad Complutense de Madrid, Avda. Séneca, 2, E-28040 Madrid (ES).

(81) Estados designados (a menos que se indique otra cosa, para toda clase de protección nacional admisible): AE,

AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Estados designados (a menos que se indique otra cosa, para toda clase de protección regional admisible):
ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europea (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publicada:

- con informe de búsqueda internacional (Art. 21(3))
- antes de la expiración del plazo para modificar las reivindicaciones y para ser republicada si se reciben modificaciones (Regla 48.2(h))

(54) Title: DIFFERENTIAL LOGIC GATE HAVING N INPUTS

(54) Título : PUERTA LÓGICA DIFERENCIAL DE N ENTRADAS

(57) Abstract: The invention relates to a differential logic gate having n inputs to be used with the LVDS differential standard in which 2n zero bias Schottky diodes and comparators are used. Depending on the connections between said diodes and the comparators, and between the outputs of the comparators, any type of logic gate can be created.

(57) Resumen: Puerta lógica diferencial de n entradas para su uso con el estándar diferencial LDVS en la que se hace uso de 2n diodos Schottky del tipo Zero Bias y comparadores. Según las conexiones entre estos diodos y los comparadores, así como entre las salidas de los comparadores, se consigue realizar un tipo de puerta lógica u otra.



WO 2012/123604 A1

Título:

Puerta lógica diferencial de n entradas.

Sector de la Técnica:

Sector industrial de fabricación de semiconductores y componentes microelectrónicos.

Estado de la Técnica:

Actualmente los estándares lógicos rápidos diferenciales y con offset de continua, como LVDS (*Low Voltage Differential Signalling*) o ECL (*Emitter-coupled Logic*), se utilizan con éxito en aplicaciones que requieren una alta velocidad de transmisión de información por canales ruidosos o bien una alta velocidad de proceso de dicha información.

Mientras que en el caso de las familias lógicas ECL, PECL (*Positive Emitter-coupled Logic*) y LVPECL (*Low Voltage Emitter-coupled Logic*) existe una pequeña gama de componentes comerciales para realizar la transmisión, recepción y procesamiento digital de los datos, por ejemplo del fabricante ON Semiconductor (www.onsemi.com), en LVDS existen componentes para transmitir, recibir o regenerar la señal, pero no para realizar operaciones lógicas con ella. Esto es un problema si la aplicación en cuestión requiere un consumo de potencia bajo, que se puede conseguir con LVDS pero no con las otras familias.

Sin recurrir a componentes electrónicos que contengan la función lógica integrada, se han realizado algunos montajes que realizan funciones lógicas mediante transistores y diodos Schottky, como en la patente US3914620. Esto es útil para el estándar ECL, pero no cuando la diferencia de tensión entre los niveles lógicos es menor que la típica caída de tensión de un diodo en directa, de unos 0,7 V para un diodo de silicio convencional, o de 0,5 V para un Schottky, con cierta variación de estos niveles según fabricantes y modelos.

Hasta ahora, la solución habitualmente adoptada cuando se necesitaba realizar una operación lógica con señales LVDS consistía en convertir la señal a otro estándar, típicamente de la familia ECL ya que las tradicionales TTL o CMOS no son capaces de conseguir las mismas velocidades; realizar la operación lógica y volver a convertir la señal al estándar LVDS. Este tipo de soluciones, aunque son capaces de realizar la función deseada, presentan varios problemas: necesitan componentes especiales para realizar la conversión, son caras, consumen más debido a que las tecnologías ECL mantienen un nivel de continua a la salida del orden de 3V mientras que en LVDS ese nivel es de 1V, y son propensas a errores.

Este problema planteado se resuelve con la invención propuesta ya que ésta consiste en una serie de circuitos capaces de realizar las funciones lógicas OR/NOR o AND/NAND en estándar LVDS u otros que también utilicen señales diferenciales. En concreto, en estándar LVDS no existe ninguna otra alternativa conocida.

Explicación de la Invención:

La invención se basa en una serie de circuitos electrónicos capaces de realizar las funciones lógicas OR/NOR o AND/NAND en estándar LVDS u otros que también utilicen señales diferenciales. En general la invención puede funcionar con cualquier estándar diferencial, aunque resulta especialmente interesante para aquellos en los que la diferencia de tensión entre la señal "0" y la "1" es inferior a la caída de tensión en un diodo polarizado en directa (del orden de 0,7 V). En concreto en estándar LVDS no existe ninguna otra alternativa conocida.

En el caso de la puerta OR la invención consta de un comparador (C) y $2n$ diodos Schottky de tipo "Zero Bias" (1, 2, ..., n, n+1, n+2, ..., y $2n$) en una configuración como la que se muestra en la figura 1. Las entradas positivas (input 1+, input 2+, input n+) entran por el ánodo de cada uno de los diodos 1, 2, ... y n, que tienen todos sus cátodos conectados a la entrada positiva del comparador (C). Por el contrario, las entradas negativas (input 1-, input 2-,

input n-) entran por el cátodo de los diodos n+1, n+2, ..., y 2n, que a su vez tienen todos sus ánodos cortocircuitados y unidos a la entrada negativa del comparador (C).

El modo de funcionamiento es el siguiente: si todas las entradas tienen ceros lógicos, en estándar LVDS habrá 1 V en todas las entradas positivas (input 1+, input 2+, input n+) y 1,4 V en las negativas (input 1-, input 2-, input n-). Al utilizar diodos Schottky tipo "Zero Bias" se consigue que apenas haya caída de tensión en ellos y que, por lo tanto, el comparador (C) vea 1 V en su entrada positiva y 1,4 V en la negativa. El comparador producirá como señal de salida un 0 lógico.

Por el contrario, si al menos una de las entradas diferenciales tiene un 1 lógico, en la entrada positiva del comparador habrá 1,4 V y en la negativa 1 V, con lo cual habrá un 1 lógico a la salida del comparador (C). De este modo se consigue realizar la función lógica OR.

La característica principal del diseño propuesto es su capacidad para trabajar con estándares que tienen una diferencia de tensión entre las señales de 0 y 1 lógicos inferior a 0,7 V. Ello es posible gracias a que los diodos Schottky tipo "Zero Bias" tienen una caída de tensión entre ánodo y cátodo muy pequeña (idealmente de 0 V), de modo que la tensión cuando hay un 1 lógico siempre es mayor que cuando hay un 0. Con diodos convencionales de silicio, la diferencia de tensión entre cátodo y ánodo sería de aproximadamente 0,7 V, lo que haría inviable el circuito. Además, el hecho de que los diodos utilizados en la invención sean Schottky, permite que la puerta lógica pueda trabajar con señales muy rápidas, con pulsos al menos tan cortos como 1,5 ns.

En cualquier otro estándar que también utilice señales diferenciales los niveles de tensión serán distintos, pero mientras las entradas positivas tengan una tensión mayor en estado "1" que en "0" y las negativas una tensión mayor en "0" que en "1", la invención funcionará.

Si en su lugar se deseara realizar la función NOR, bastaría con intercambiar las salidas positiva y negativa del comparador (C) en el circuito anteriormente descrito (figura 2).

La función AND también puede realizarse con el mismo circuito (figura 3), sin más que cambiar la forma de conexión de los diodos. En esta ocasión, se conectan las entradas positivas (input 1+, input 2+, input n+) al cátodo de cada uno de los diodos 1, 2, ... y n, cuyos ánodos están conectados a su vez con la entrada positiva del comparador (C) y conectando las entradas negativas (input 1-, input 2-, input n-) al ánodo de los diodos n+1, n+2, ..., y 2n, que tienen sus cátodos cortocircuitados y unidos a la entrada negativa del comparador (C).

En este caso de la puerta AND el modo de funcionamiento es el siguiente: si todas las entradas tienen 1 lógicos, en estándar LVDS habrá 1,4 V en todas las entradas positivas (input 1+, input 2+, input n+) y 1 V en las negativas (input 1-, input 2-, input n-). Al utilizar diodos Schottky tipo "Zero Bias" se consigue que apenas haya caída de tensión en ellos y que, por lo tanto, el comparador (C) vea 1,4 V en su entrada positiva y 1 V en la negativa. El comparador producirá como señal de salida un 1 lógico.

Por el contrario, si al menos una de las entradas tiene un 0 lógico, en la entrada positiva del comparador habrá 1 V y en la negativa 1,4 V, con lo cual habrá un 0 lógico a la salida del comparador (C). Así se consigue realizar la función lógica AND.

Análogamente al caso de la puerta OR, la puerta NAND puede obtenerse sin más que invertir las salidas del comparador (C) (figura 4) en este segundo circuito descrito.

Explicación de los dibujos:

Figura 1: Esquema de puerta OR de n entradas.

Figura 2: Esquema de puerta NOR de n entradas.

Figura 3: Esquema de puerta AND de n entradas.

Figura 4: Esquema de puerta NAND de n entradas.

Figura 5: Esquema eléctrico de la placa de prueba de la puerta OR.

Figura 6: Esquema del banco de prueba.

Modo de realización de la invención:

Se ha construido una realización de puerta OR de 3 entradas con resultados satisfactorios (figura 5). Para ello se han utilizado:

- cuatro comparadores LVDS ADCMP604 del fabricante Analog Devices Inc. (C, 101, 102 y 103);
- tres chips HSMS2855 de Avago Technologies (201, 202 y 203), cada uno de los cuales contiene dos diodos Schottky tipo Zero Bias;
- un switch ADG901 de Analog Devices (S), configurado para permitir el paso de la señal INPUT 1 a través de él;
- tres resistencias de 50 Ω para adaptar impedancias a la entrada (301, 302 y 303);
- tres resistencias de 100 Ω (401, 402 y 403) para adaptar impedancias a la salida de los comparadores 101, 102 y 103;
- condensadores de 10 μF (501, 504 y 507), 100 nF (502, 505 y 508) y 100 pF (503, 506 y 509) para filtrar la alimentación;
- cinco conectores SMA para las tres señales de entrada (INPUT 1, INPUT 2 e INPUT 3), y las dos señales de la salida diferencial (Out + y Out -);
- tres conectores dobles de baja frecuencia para alimentaciones (+3,3V, +2,5V, GND) y señales de configuración (CONTROL, V_THRESHOLD);
- una placa de circuito impreso sobre la que se conectan los componentes.

Esta realización de la invención funciona del siguiente modo. Las señales pueden entrar o no por cualquiera de los tres conectores SMA de entrada

hasta una entrada positiva de uno de los tres comparadores ADCMP604 (101, 102 y 103). Estos comparadores tienen en su entrada negativa un umbral de tensión fijo introducido por uno de los conectores de baja frecuencia (V_THRESHOLD). Si la entrada supera este umbral, entonces a la salida generan una señal LVDS positiva (salida positiva a 1,4 V y salida negativa a 1 V) mientras que si no supera el umbral, la salida será una señal LVDS negativa (salida positiva a 1V y negativa a 1,4 V).

De esta forma, los tres comparadores 101, 102 y 103 generan las señales LVDS que llegan a las entradas de la puerta OR. Se decidió generar las señales de este modo porque los equipos de medida disponibles no permitían generar a la vez tres señales LVDS. Es importante destacar también, que entre las salidas positiva y negativa de cada uno de estos tres comparadores es necesario colocar una resistencia de 100 Ω (401, 402 y 403) para adaptar impedancias y conseguir el adecuado funcionamiento del comparador (C).

A continuación las señales LVDS generadas llegan a la puerta OR: las tres positivas a tres ánodos, de los dos diodos del primer chip (201) y a uno de los dos del segundo chip (202), y las tres negativas a tres cátodos: a los dos diodos del tercer chip (203) y del que queda libre en el segundo chip (202).

Los cátodos de los diodos con señales positivas están conectados a la entrada positiva del comparador de la puerta OR (C) y los ánodos de los diodos con señales negativas a la entrada negativa del comparador. Finalmente, a la salida de este comparador (C) se obtiene la función OR lógica de las entradas, en estándar LVDS.

La realización de la puerta OR construida se testeó con un generador de pulsos Agilent 81110A (41), una fuente de alimentación TTI EX752M (43) que alimenta los comparadores (C, 101, 102 y 103) con + 3,3 V y proporciona la señal "CONTROL", otra fuente de alimentación Promax FAC662B (44) que alimenta el switch (S) con +2,5 V y proporciona la tensión de umbral "V_THRESHOLD" y dos osciloscopios: un Agilent Infiniium 54855A que se utilizó para medir las formas de las señales y la respuesta temporal (42), y un

Tektronix TDS3052B, con el que se comprobaron los niveles de continua en distintos puntos del circuito (figura 6).

El generador de pulsos (41) se configuró para proporcionar dos señales: una que tiene 0 V para el valor 0 lógico y que sube hasta 4 V cuando hay un 1 lógico (Input + en figura 7) y otra con los valores lógicos invertidos, es decir, 4V para el 0 lógico y 0V para el 1 (Input – en figura 6). Esta señal invertida se utilizó como referencia temporal en el osciloscopio, mientras que la original se comparó con un umbral de 2,5 V en los comparadores (101, 102 y 103) en la placa de prueba.

El resultado de las medidas obtenidas demostró que el circuito fue capaz de realizar la función OR de las entradas con un retardo inferior a 5 ns y con capacidad para procesar pulsos, al menos, tan cortos como 1,5 ns ya que el generador no era capaz de generar pulsos más estrechos. Las amplitudes de salida fueron las típicas del estándar LVDS.

La única limitación encontrada fue que se produjo un cierto ensanchamiento de los pulsos de salida respecto a los de las entradas: 6,3 ns de ancho a la salida para un pulso de entrada de 2,33 ns.

Los resultados obtenidos en la realización de la puerta OR se pueden ver en la siguiente tabla:

Tabla 1

	Mínimo	Medio	Máximo
Retardo entrada-salida	10,98 ns	11,05 ns	11,11 ns
Retardo cables	6,87 ns	6.88 ns	6,90 ns
Retardo comparación + puerta OR	4,08 ns	4,17 ns	4,24 ns
Amplitud Out +	261 mV	349 mV	352 mV

Amplitud Out -	258 mV	345 mV	349 mV
Amplitud diferencial	518 mV	692 mV	700 mV
Ancho de pulso a la salida para pulso de 1,33 ns a la entrada	1,63 ns	1,82 ns	2,10 ns
Ancho de pulso a la salida para pulso de 2,22 ns a la entrada	4,32 ns	5,91 ns	6,46 ns
Ancho de pulso a la salida para pulso de 2,33 ns a la entrada	6,14 ns	6,29 ns	6,46 ns

Aplicación industrial:

La invención es aplicable en cualquier aplicación electrónica de alta velocidad e inmunidad al ruido, en las que se requiera realizar una función lógica OR, NOR, AND o NAND con señales diferenciales, tales como LVDS (*Low Voltage Differential Signaling*), ECL (*Emitter-coupled Logic*), PECL (*Positive Emitter-coupled Logic*) y LVPECL (*Low Voltage Emitter-coupled Logic*).

Esta solución propuesta está especialmente indicada en el caso de utilizar estándares diferencias donde la tensión entre el 0 y el 1 lógicos es menor que 0,7 V, como en el estándar LVDS.

Las cuatro puertas inventadas, OR, NOR, AND, NAND, junto con la función de negación, que puede conseguirse simplemente intercambiando la salida positiva con la negativa, constituyen una familia lógica completa.

La invención puede funcionar con señales muy rápidas, con anchos de pulsos tan pequeños como 1,5 ns, presentando un consumo de potencia inferior al de otras tecnologías como ECL y con una buena inmunidad al ruido.

La invención puede ser utilizada directamente con componentes discretos o bien ser integrada completamente en un chip por algún fabricante, lo que facilitaría su utilización y comercialización.

Reivindicaciones:

1. Puerta lógica de n entradas caracterizado porque comprende al menos un comparador (C) y $2n$ diodos Schottky de tipo "Zero Bias" (1, 2, ..., n , $n+1$, $n+2$, ..., y $2n$)

y porque realiza las funciones lógicas en estándares que utilizan señales diferenciales.

2. Puerta lógica de n entradas según reivindicación 1 caracterizada porque el estándar diferencial utilizado es el LVDS.

3. Puerta lógica de n entradas según reivindicación 1 caracterizada porque las entradas positivas (input 1+, input 2+, input n +) entran por el ánodo de cada uno de los diodos 1, 2, ... y n , que tienen todos sus cátodos conectados a la entrada positiva del comparador (C), y las entradas negativas (input 1-, input 2-, input n -) entran por el cátodo de los diodos $n+1$, $n+2$, ..., y $2n$, que a su vez tienen todos sus ánodos cortocircuitados y unidos a la entrada negativa del comparador (C).

4. Puerta lógica de n entradas según reivindicaciones 1, 2 y 3 caracterizada porque cuando todas las entradas tienen ceros lógicos, en estándar LVDS, hay una tensión de 1 V en todas las entradas positivas (input 1+, input 2+, input n +) y una tensión de 1,4 V en las entradas negativas (input 1-, input 2-, input n -) de los diodos, la señal pasa por ellos sin que apenas haya caída de tensión en su interior y el comparador (C) reconoce 1 V en su entrada positiva y 1,4 V en la negativa y produce como señal de salida un 0 lógico, generando la función lógica OR;

y porque cuando al menos una de las entradas tiene un 1 lógico, en estándar LVDS, el comparador (C) reconoce 1 V en su entrada positiva y 1,4 V en la negativa y produce como señal de salida un 0 lógico, generando la función lógica OR.

5. Puerta lógica de n entradas según reivindicaciones 1, 2, 3 y 4 caracterizada porque cuando se intercambian las salidas positiva y negativa del comparador (C) se genera la función lógica NOR.

6. Puerta lógica de n entradas según reivindicación 1 caracterizada porque las entradas positivas (input 1+, input 2+, input n +) entran por el cátodo de cada uno de los diodos 1, 2, ... y n , que tienen todos sus ánodos conectados a la entrada positiva del comparador (C), y las entradas negativas (input 1-, input 2-, input n -) entran por el ánodo de los diodos $n+1$, $n+2$, ..., y $2n$, que a su vez tienen todos sus cátodos cortocircuitados y unidos a la entrada negativa del comparador (C).

7. Puerta lógica de n entradas según reivindicaciones 1, 2 y 6 caracterizada porque cuando todas las entradas tienen unos lógicos, en estándar LVDS, hay una tensión de 1,4 V en todas las entradas positivas (input 1+, input 2+, input n +) y una tensión de 1 V en las entradas negativas (input 1-, input 2-, input n -) de los diodos, la señal pasa por ellos sin que apenas haya caída de tensión en su interior y el comparador (C) reconoce 1,4 V en su entrada positiva y 1 V en la negativa y produce como señal de salida un 1 lógico, generando la función lógica AND.

y porque cuando al menos una de las entradas tiene un cero lógico, en estándar LVDS, el comparador (C) reconoce 1 V en su entrada positiva y 1,4 V en la negativa y produce como señal de salida un 0 lógico, generando la función lógica AND.

8. Puerta lógica de n entradas según reivindicaciones 1, 2, 6 y 7 caracterizada porque cuando se intercambian las salidas positiva y negativa del comparador (C) se genera la función lógica NAND.

1/6

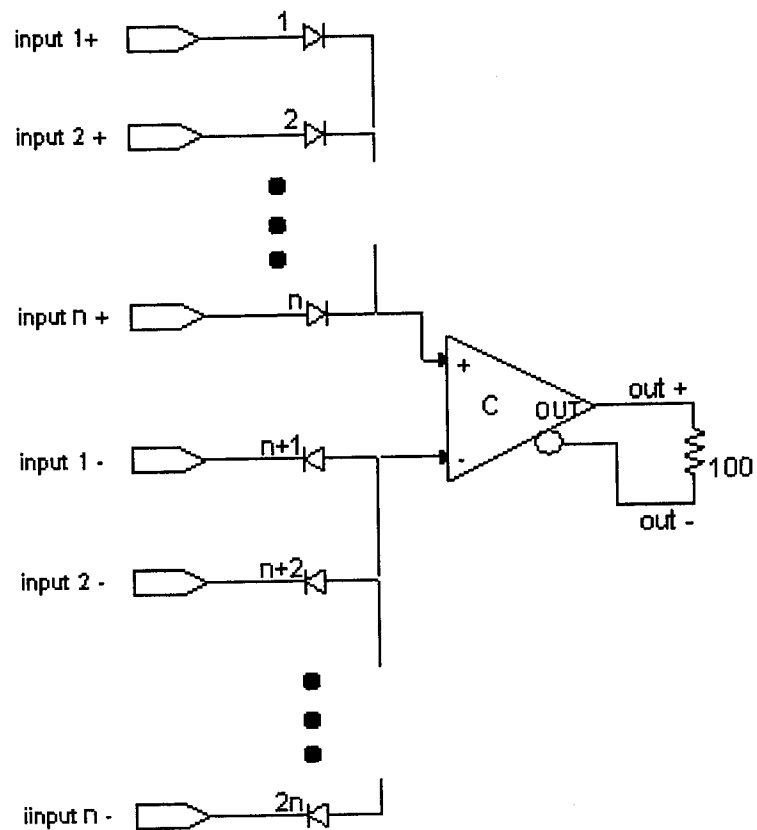
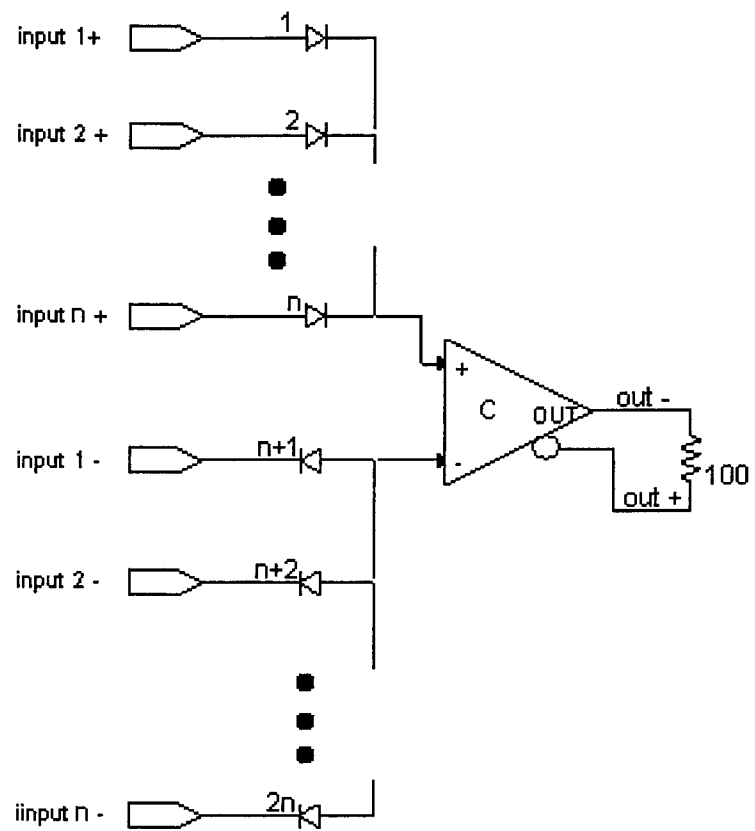


Fig. 1

2/6

**Fig. 2**

3/6

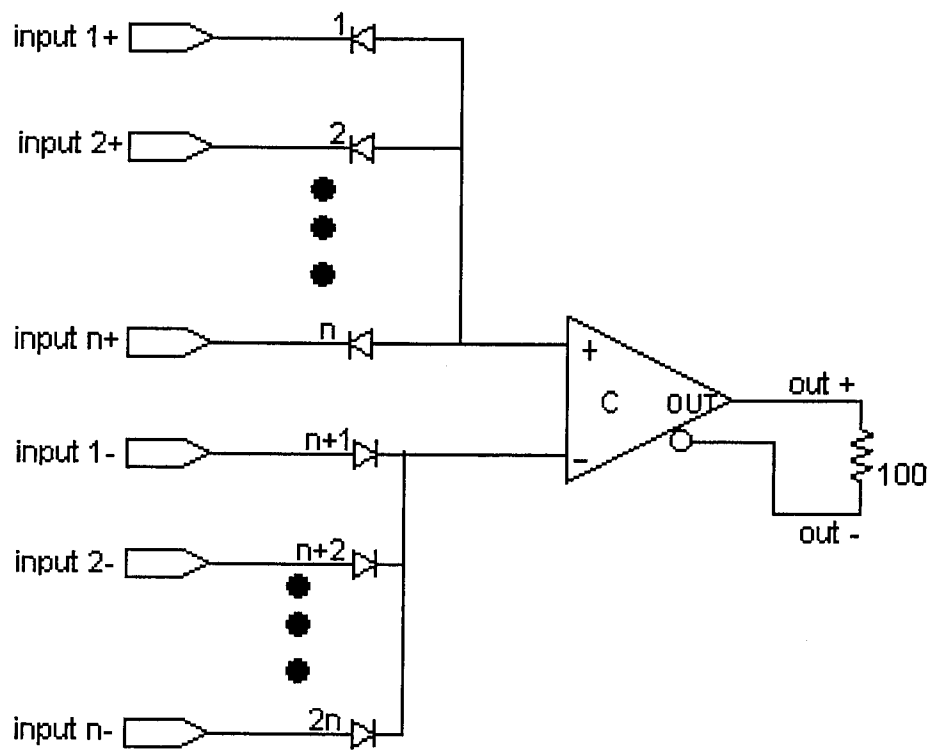


Fig. 3

4/6

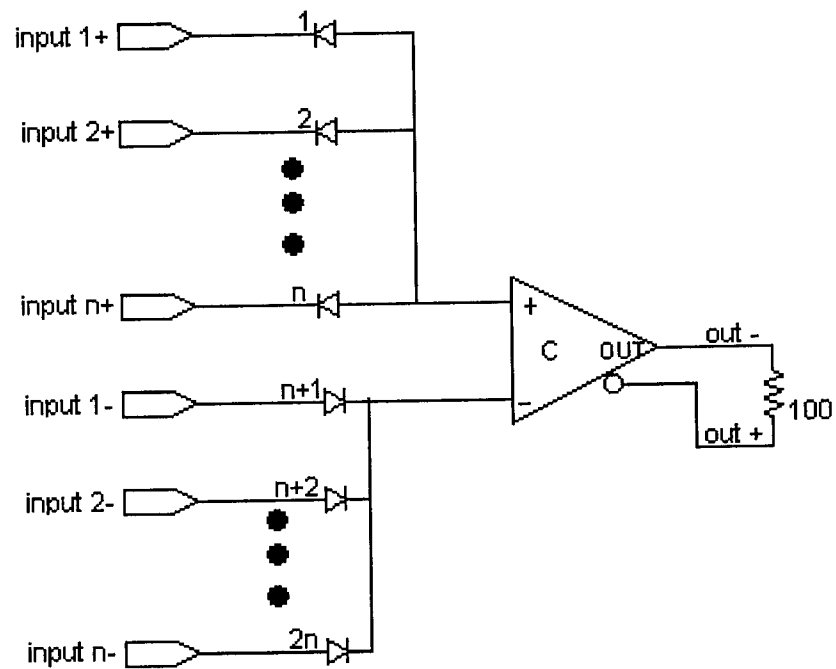


Fig. 4

5/6

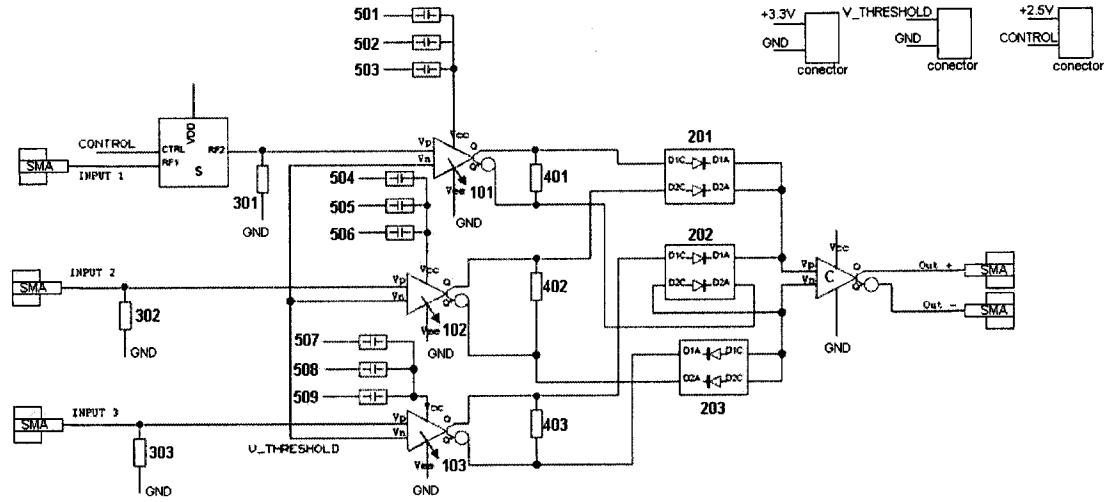


Fig..5

6/6

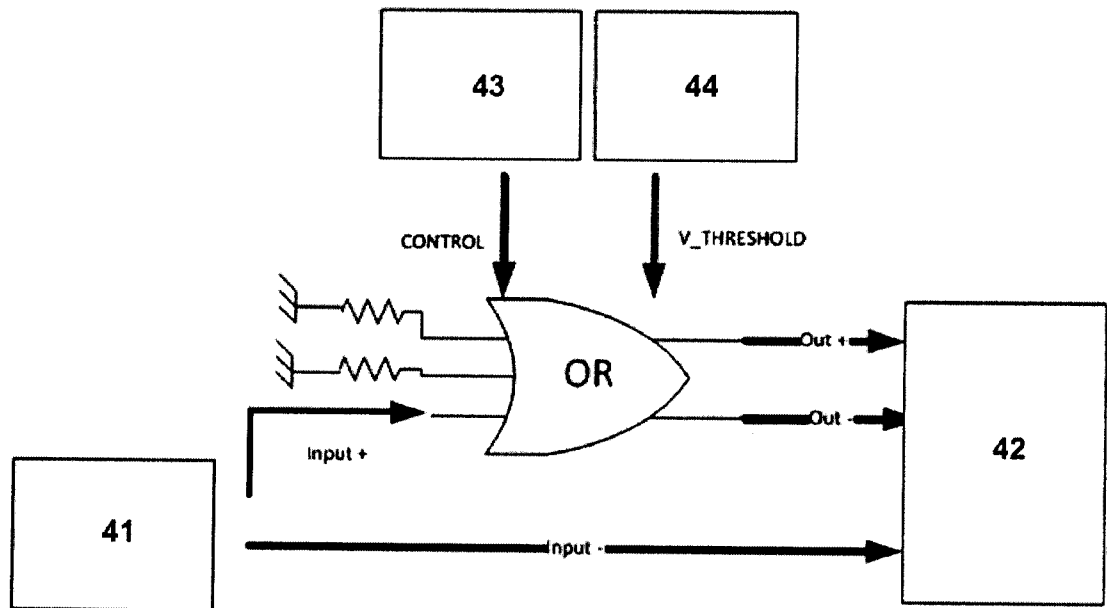


Fig. 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/ES2012/000059

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/08 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, INVENES, IEEE, Internet, NPL en EPOQUE.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 3914620 A (MILLHOLLAN MICHAEL S ET AL.) 21/10/1975, descripción; figuras.	1-3
A		2-8
Y	Gingerich "Wired-Logic Signaling With M-LVDS" Texas Instruments; Application Report SLLA119 - October 2002	1-2
A	URL:<a href="http://www.ti.com/lit/an/slla119/slla119.pdf" 	3-8
Y	Agilent Technologies Inc.; "Surface Mount Zero Bias Schottky Detector Diodes" Technical Data 24 March 2004;	1-2
A	URL:<a href="http://www.datasheetcatalog.org/datasheet2/8/0ietfhix1w1uytra3tlwglkswfffy.pdf" 	3-8
A	US 3742250 A (KAN D) 26/06/1973; figures.	1,3

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance.	
"E" earlier document but published on or after the international filing date	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"O" document referring to an oral disclosure use, exhibition, or other means.	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents, such combination being obvious to a person skilled in the art
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search
12/07/2012

Date of mailing of the international search report
(19/07/2012)

Name and mailing address of the ISA/

Authorized officer
M. López Sábater

OFICINA ESPAÑOLA DE PATENTES Y MARCAS
Paseo de la Castellana, 75 - 28071 Madrid (España)
Facsimile No.: 91 349 53 04

Telephone No. 91 3495385

INTERNATIONAL SEARCH REPORT

International application No.

PCT/ES2012/000059

C (continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of documents, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4415817 A (FLETCHER THOMAS D) 15/11/1983; description, figures.	1-8

INTERNATIONAL SEARCH REPORT

International application No.

Information on patent family members

PCT/ES2012/000059

Patent document cited in the search report	Publication date	Patent family member(s)	Publication date
US4415817 A	15.11.1983	FR2514589 AB GB2107542 A DE3235641 AC JP58073236 A	15.04.1983 27.04.1983 28.04.1983 02.05.1983
----- US3914620 A	----- 21.10.1975	----- DE2461088 AB FR2256600 AB JP50098765 A JP55013055 B GB1456259 A US4027285 A	----- 03.07.1975 25.07.1975 06.08.1975 05.04.1980 24.11.1976 31.05.1977
----- US3742250 A	----- 26.06.1973	----- NONE	-----
-----	-----	-----	-----

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional nº

PCT/ES2012/000059

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

H03K19/08 (2006.01)

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H03K

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

EPODOC, INVENES, IEEE, Internet, NPL en EPOQUE.

C. DOCUMENTOS CONSIDERADOS RELEVANTES

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones nº
X	US 3914620 A (MILLHOLLAN MICHAEL S ET AL.) 21/10/1975, descripción; figuras.	1-3
A		2-8
Y	Gingerich "Wired-Logic Signaling With M-LVDS" Texas Instruments; Application Report SLLA119 - October 2002	1-2
A	URL:<a href="http://www.ti.com/lit/an/slla119/slla119.pdf" 	3-8
Y	Agilent Technologies Inc.; "Surface Mount Zero Bias Schottky Detector Diodes" Technical Data 24 March 2004;	1-2
A	URL:<a href="http://www.datasheetcatalog.org/datasheet2/8/0ietfhix1w1uytra3tlwglkswff.pdf" 	3-8
A	US 3742250 A (KAN D) 26/06/1973, figuras.	1,3

☒ En la continuación del recuadro C se relacionan otros documentos

☒ Los documentos de familias de patentes se indican en el anexo

* Categorías especiales de documentos citados:	"T" documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.
"A" documento que define el estado general de la técnica no considerado como particularmente relevante.	"X" documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.
"E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.	"Y" documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.
"L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).	"&" documento que forma parte de la misma familia de patentes.
"O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.	
"P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.	

Fecha en que se ha concluido efectivamente la búsqueda internacional.
12/07/2012

Fecha de expedición del informe de búsqueda internacional.
19 de julio de 2012 (19/07/2012)

Nombre y dirección postal de la Administración encargada de la búsqueda internacional
OFICINA ESPAÑOLA DE PATENTES Y MARCAS
Paseo de la Castellana, 75 - 28071 Madrid (España)
Nº de fax: 91 349 53 04

Funcionario autorizado
M. López Sábater
Nº de teléfono 91 3495385

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional n°

PCT/ES2012/000059

C (Continuación). DOCUMENTOS CONSIDERADOS RELEVANTES		
Categoría *	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones n°
A	US 4415817 A (FLETCHER THOMAS D) 15/11/1983; descripción, figuras.	1-8

INFORME DE BÚSQUEDA INTERNACIONAL

Informaciones relativas a los miembros de familias de patentes

Solicitud internacional nº

PCT/ES2012/000059

Documento de patente citado en el informe de búsqueda	Fecha de Publicación	Miembro(s) de la familia de patentes	Fecha de Publicación
US4415817 A	15.11.1983	FR2514589 AB GB2107542 A DE3235641 AC JP58073236 A	15.04.1983 27.04.1983 28.04.1983 02.05.1983
----- US3914620 A	----- 21.10.1975	----- DE2461088 AB FR2256600 AB JP50098765 A JP55013055 B GB1456259 A US4027285 A	----- 03.07.1975 25.07.1975 06.08.1975 05.04.1980 24.11.1976 31.05.1977
----- US3742250 A	----- 26.06.1973	----- NINGUNO	-----
-----	-----	-----	-----