

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4866652号
(P4866652)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月18日(2011.11.18)

(51) Int.Cl.

F I

HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	HO 1 L 21/88 Z
HO 1 L 27/115 (2006.01)	
HO 1 L 21/3205 (2006.01)	

請求項の数 8 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2006-131202 (P2006-131202)
 (22) 出願日 平成18年5月10日 (2006.5.10)
 (65) 公開番号 特開2007-305710 (P2007-305710A)
 (43) 公開日 平成19年11月22日 (2007.11.22)
 審査請求日 平成21年2月18日 (2009.2.18)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 石井 智之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内
 (72) 発明者 笹子 佳孝
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内
 (72) 発明者 倉田 英明
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

(a) 第1方向に沿って形成されたローカルデータ線と、
 (b) 前記ローカルデータ線の上層に形成され、前記第1方向に沿って形成されたグローバルデータ線と、
 (c) 前記第1方向と垂直な第2方向に形成されたワード線と、
 (d) 前記ローカルデータ線と前記ワード線が平面的に交差する交差領域に形成された電荷蓄積部とを有し、

前記電荷蓄積部に蓄積された電荷に応じて、前記ローカルデータ線を流れる電流が変化することにより情報を記憶する半導体記憶装置であって、

1本の前記グローバルデータ線としての第1グローバルデータ線と、複数の前記ローカルデータ線のうちの第1ローカルデータ線が第1選択トランジスタおよび第2選択トランジスタを介して接続され、

前記第1グローバルデータ線と複数の前記ローカルデータ線のうちの第2ローカルデータ線が第3選択トランジスタおよび第4選択トランジスタを介して接続され、

前記第1グローバルデータ線と複数の前記ローカルデータ線のうちの第3ローカルデータ線が第5選択トランジスタおよび第6選択トランジスタを介して接続され、

前記第1グローバルデータ線と複数の前記ローカルデータ線のうちの第4ローカルデータ線が第7選択トランジスタおよび第8選択トランジスタを介して接続されており、

前記第1選択トランジスタは、

10

20

- (e 1) 前記第 1 ローカルデータ線の上層に形成された第 1 ゲート電極と、
 (e 2) 前記第 2 方向に沿って形成され、前記第 1 ゲート電極の上層に形成された第 1 選択線と、
 (e 3) 前記第 2 方向に沿って形成され、前記第 1 ゲート電極の上層に形成された第 2 選択線とを有し、
前記第 2 選択トランジスタは、
 (f 1) 前記第 1 ローカルデータ線の上層に形成された第 2 ゲート電極と、
 (f 2) 前記第 2 方向に沿って形成され、前記第 2 ゲート電極の上層に形成された第 3 選択線と、
 (f 3) 前記第 2 方向に沿って形成され、前記第 2 ゲート電極の上層に形成された第 4 選択線とを有し、
前記第 3 選択トランジスタは、
 (g 1) 前記第 2 ローカルデータ線の上層に形成された第 3 ゲート電極と、
 (g 2) 前記第 2 方向に沿って形成され、前記第 3 ゲート電極の上層に形成された前記第 1 選択線と、
 (g 3) 前記第 2 方向に沿って形成され、前記第 3 ゲート電極の上層に形成された前記第 2 選択線とを有し、
前記第 4 選択トランジスタは、
 (h 1) 前記第 2 ローカルデータ線の上層に形成された第 4 ゲート電極と、
 (h 2) 前記第 2 方向に沿って形成され、前記第 4 ゲート電極の上層に形成された前記第 3 選択線と、
 (h 3) 前記第 2 方向に沿って形成され、前記第 4 ゲート電極の上層に形成された前記第 4 選択線とを有し、
前記第 5 選択トランジスタは、
 (i 1) 前記第 3 ローカルデータ線の上層に形成された第 5 ゲート電極と、
 (i 2) 前記第 2 方向に沿って形成され、前記第 5 ゲート電極の上層に形成された前記第 1 選択線と、
 (i 3) 前記第 2 方向に沿って形成され、前記第 5 ゲート電極の上層に形成された前記第 2 選択線とを有し、
前記第 6 選択トランジスタは、
 (j 1) 前記第 3 ローカルデータ線の上層に形成された第 6 ゲート電極と、
 (j 2) 前記第 2 方向に沿って形成され、前記第 6 ゲート電極の上層に形成された前記第 3 選択線と、
 (j 3) 前記第 2 方向に沿って形成され、前記第 6 ゲート電極の上層に形成された前記第 4 選択線とを有し、
前記第 7 選択トランジスタは、
 (k 1) 前記第 4 ローカルデータ線の上層に形成された第 7 ゲート電極と、
 (k 2) 前記第 2 方向に沿って形成され、前記第 7 ゲート電極の上層に形成された前記第 1 選択線と、
 (k 3) 前記第 2 方向に沿って形成され、前記第 7 ゲート電極の上層に形成された前記第 2 選択線とを有し、
前記第 8 選択トランジスタは、
 (l 1) 前記第 4 ローカルデータ線の上層に形成された第 8 ゲート電極と、
 (l 2) 前記第 2 方向に沿って形成され、前記第 8 ゲート電極の上層に形成された前記第 3 選択線と、
 (l 3) 前記第 2 方向に沿って形成され、前記第 8 ゲート電極の上層に形成された前記第 4 選択線とを有し、
前記第 1 選択線と前記第 1 ゲート電極が接続され、
前記第 4 選択線と前記第 2 ゲート電極が接続され、
前記第 2 選択線と前記第 3 ゲート電極が接続され、

10

20

30

40

50

前記第4選択線と前記第4ゲート電極が接続され、
前記第2選択線と前記第5ゲート電極が接続され、
前記第3選択線と前記第6ゲート電極が接続され、
前記第1選択線と前記第7ゲート電極が接続され、
前記第3選択線と前記第8ゲート電極が接続されており、
前記第1ゲート電極、前記第3ゲート電極、前記第5ゲート電極および前記第7ゲート電極の前記第1方向のそれぞれの幅が前記第1選択線の前記第1方向の幅と前記第2選択線の前記第1方向の幅とを合わせた長さよりも長く、
前記第2ゲート電極、前記第4ゲート電極、前記第6ゲート電極および前記第8ゲート電極の前記第1方向のそれぞれの幅が前記第3選択線の前記第1方向の幅と前記第4選択線の前記第1方向の幅とを合わせた長さよりも長いことを特徴とする半導体記憶装置。

10

【請求項2】

請求項1記載の半導体記憶装置であって、
前記第1ゲート電極および前記第2ゲート電極の前記第2方向の幅が前記第1ローカルデータ線の前記第2方向の幅と同じ幅であり、
前記第3ゲート電極および前記第4ゲート電極の前記第2方向の幅が前記第2ローカルデータ線の前記第2方向の幅と同じ幅であり、
前記第5ゲート電極および前記第6ゲート電極の前記第2方向の幅が前記第3ローカルデータ線の前記第2方向の幅と同じ幅であり、
前記第7ゲート電極および前記第8ゲート電極の前記第2方向の幅が前記第4ローカルデータ線の前記第2方向の幅と同じ幅であることを特徴とする半導体記憶装置。

20

【請求項3】

請求項1記載の半導体記憶装置であって、
前記ローカルデータ線のピッチ幅が前記ローカルデータ線と前記グローバルデータ線を接続するプラグの径よりも小さいことを特徴とする半導体記憶装置。

【請求項4】

請求項1記載の半導体記憶装置であって、
前記ワード線のピッチ幅が前記ローカルデータ線と前記グローバルデータ線を接続するプラグの径よりも小さいことを特徴とする半導体記憶装置。

【請求項5】

請求項1記載の半導体記憶装置であって、
前記第4選択線と前記第2ゲート電極を接続するプラグと前記第4選択線と前記第4ゲート電極を接続するプラグが一体に形成され、
前記第2選択線と前記第3ゲート電極を接続するプラグと前記第2選択線と前記第5ゲート電極を接続するプラグが一体に形成され、
前記第3選択線と前記第6ゲート電極を接続するプラグと前記第3選択線と前記第8ゲート電極を接続するプラグが一体に形成されていることを特徴とする半導体記憶装置。

30

【請求項6】

請求項1記載の半導体記憶装置であって、
複数の前記グローバルデータ線に対し、1本置きに動作させることで書き込み動作を行なうことを特徴とする半導体記憶装置。

40

【請求項7】

請求項1記載の半導体記憶装置であって、
複数の前記グローバルデータ線に対し、1本置きに動作させることで読み出し動作を行なうことを特徴とする半導体記憶装置。

【請求項8】

請求項1記載の半導体記憶装置であって、
前記ローカルデータ線と前記ワード線が平面的に交差する交差領域において、
前記ローカルデータ線の下部が半導体基板から絶縁されていることを特徴とする半導体記憶装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置およびその製造技術に関し、特に、不揮発性メモリセルを有する不揮発性半導体記憶装置およびその製造に適用して有効な技術に関するものである。

【背景技術】

【0002】

携帯性に優れたデータ格納用の半導体記憶装置として、不揮発性メモリであるフラッシュメモリが広く用いられている。フラッシュメモリのビット当たりの価格は年々急速に下がってきており、その下がり方は微細化のみから期待される下がり方よりも急峻である。これは、素子構造上の工夫または多値記憶の導入により、ビット当たりの面積を縮小することにより実現されてきた。半導体記憶装置ではメモリセルの面積がチップ面積に反映され、その結果半導体記憶装置の製造コストに反映される。Fを加工寸法として単位メモリセルが F^2 の何倍で構成できるかによって、コストの目安を知ることができる。現在では、NAND型フラッシュメモリ、AG-AND型フラッシュメモリが理想的に小さい $4F^2$ というメモリセルサイズにほぼ等しいセルサイズを実現している。これよりも小さいメモリセルを実現しようとする、リソグラフィ寸法Fの2倍である2Fよりも小さいピッチで構造を並べる必要がある。これには、1度作った構造の側壁を利用して半分のピッチの構造を作るような工夫が考えられる。このような技術の例として特許文献1（特開平08-055908号公報）を挙げることができる。また、ローカルデータ線（ローカルビット線）をピッチ緩和してグローバルデータ線に接続する技術も考えることができるが、ローカルデータ線をピッチ緩和してグローバルデータ線（グローバルビット線）に接続する場合、選択トランジスタを多段にする必要がある。小さい面積ペナルティで多段の選択トランジスタを実現する方法の例として特許文献2（特開2004-31448号公報）を挙げることができる。

【特許文献1】特開平08-055908号公報

【特許文献2】特開2004-31448号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

半導体記憶装置の大容量化にはメモリセルサイズの縮小が非常に重要である。現在、ほぼ理想的なセルサイズを実現したフラッシュメモリのセル面積をさらに縮小するためには、上記特許文献1に記載された加工方法を用いることが考えられる。しかしながら、リソグラフィ寸法以下のメモリセルアレイ構造を実現する場合、配線パターンは側壁を利用した工夫で実現することができても、ワード線やデータ線に対するプラグの設け方に課題が残る。プラグの径の大きさがピッチ間隔と同等かそれ以上であるため、フォトリソグラフィ工程の合わせずれを考慮すると隣接する配線間を短絡してしまうからである。ワード線に対するプラグの形成はメモリセルアレイの両端を利用してピッチ緩和する方法が考えられ、さらに両端のスペースを利用して一部のワード線を先に延ばすことで可能となる。

【0004】

しかしながら、データ線に関しては、NAND型もAG-AND型もメモリセルアレイをデータ線方向にいくつも分割するアレイ構成をとるため、ワード線と同様の工夫でプラグを設けることができない。これは、データ線方向にいくつも分割するという繰り返し構造であるため、分割された領域ごとにワード線と同様の工夫によってプラグを形成すると、面積ペナルティが大きくなってしまふことが1つの理由である。また、ローカルデータ線とグローバルデータ線あるいはローカルデータ線とソース線との間に選択トランジスタを設ける都合上、ピッチ緩和して両側にプラグを形成することができないことも理由である。

【0005】

ここで、ピッチ緩和の方法としては、選択トランジスタを介して共通のグローバルデー

10

20

30

40

50

タ線に複数のローカルデータ線を接続する方法が考えられる。しかし、このような選択トランジスタを設けることは以下に示す理由により困難である。隣接するローカルデータ線に対し、一方のみを選択することが必要なのであるが、2本のゲート電極線を設ける構造では、1本のゲート電極線を選択に用いた場合、他方のゲート電極線下は電氣的に短絡する必要がある。通常、これには半導体基板内にn型の不純物を注入して短絡としてしまえばよいのであるが、ローカルデータ線がFのピッチで並んでいるため、最小加工寸法で不純物注入用のレジストパターンを形成したとしても、合わせずれを考慮に入れると隣接するローカルデータ線を選択する選択トランジスタのゲート電極線下にも不純物が注入されてしまう。このため、この隣接するローカルデータ線を選択することができなくなってしまう。なお、特許文献1には、ワード線に対するプラグ構造についての記載はあるが、データ線に対するプラグ構造についての記載はない。

10

【0006】

本発明の目的は、使用するフォトリソグラフィ技術のラインとスペースから決まるピッチよりも小さいピッチ構造を有する半導体記憶装置の実現方法を提供することにある。特に、データ線に対して面積ペナルティの少ない取り出し構造を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】**【0008】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

20

【0009】

本発明による半導体記憶装置は、(a)第1方向に沿って形成されたローカルデータ線と、(b)前記ローカルデータ線の上層に形成され、前記第1方向に沿って形成されたグローバルデータ線と、(c)前記第1方向と垂直な第2方向に形成されたワード線と、(d)前記ローカルデータ線と前記ワード線が平面的に交差する交差領域に形成された電荷蓄積部とを有し、前記電荷蓄積部に蓄積された電荷に応じて、前記ローカルデータ線を通る電流が変化することにより情報を記憶する半導体記憶装置であって、1本の前記グローバルデータ線に複数の前記ローカルデータ線が電氣的に接続されていることを特徴とするものである。そして、第1グローバルデータ線と第1ローカルデータ線が第1選択トランジスタを介して接続され、前記第1グローバルデータ線と第2ローカルデータ線が第2選択トランジスタを介して接続され、前記第1グローバルデータ線と隣接する第2グローバルデータ線と第3ローカルデータ線が第3選択トランジスタを介して接続され、前記第2グローバルデータ線と第4ローカルデータ線が第4選択トランジスタを介して接続されており、前記第1選択トランジスタは、(g1)前記第1ローカルデータ線の上層に形成された第1ゲート電極と、(g2)前記第2方向に沿って形成され、前記第1ゲート電極の上層に形成された第1選択線と、(g3)前記第2方向に沿って形成され、前記第1ゲート電極の上層に形成された第2選択線とを有し、前記第2選択トランジスタは、(h1)前記第2ローカルデータ線の上層に形成された第2ゲート電極と、(h2)前記第2方向に沿って形成され、前記第2ゲート電極の上層に形成された前記第1選択線と、(h3)前記第2方向に沿って形成され、前記第2ゲート電極の上層に形成された前記第2選択線とを有し、前記第3選択トランジスタは、(i1)前記第3ローカルデータ線の上層に形成された第3ゲート電極と、(i2)前記第2方向に沿って形成され、前記第3ゲート電極の上層に形成された前記第1選択線と、(i3)前記第2方向に沿って形成され、前記第3ゲート電極の上層に形成された前記第2選択線とを有し、前記第4選択トランジスタは、(j1)前記第4ローカルデータ線の上層に形成された第4ゲート電極と、(j2)前記第2方向に沿って形成され、前記第4ゲート電極の上層に形成された前記第1選択線と、(j3)前記第2方向に沿って形成され、前記第4ゲート電極の上層に形成された前記第2選択線とを有し、前記第1ローカルデータ線上で前記第1選択線と前記第1ゲ

30

40

50

ト電極が接続され、かつ、前記第4ローカルデータ線上で、前記第1選択線と前記4ゲート電極が接続され、前記第2ローカルデータ線上で前記第2選択線と前記第2ゲート電極が接続され、かつ、前記第3ローカルデータ線上で、前記第2選択線と前記第3ゲート電極が接続されていることを特徴とするものである。

【0010】

また、本発明による半導体記憶装置の製造方法は、(a)半導体基板上のメモリセル形成領域および選択トランジスタ形成領域にゲート絶縁膜を形成する工程と、(b)前記ゲート絶縁膜上に第1導体膜を形成する工程と、(c)前記第1導体膜上に絶縁膜を形成する工程と、(d)前記絶縁膜上に第2導体膜を形成する工程と、(e)前記第2導体膜をパターンングすることにより、前記メモリセル形成領域に制御電極を形成し、かつ、前記選択トランジスタ形成領域に第1選択線および第2選択線を形成する工程と、(f)前記選択トランジスタ形成領域を覆うマスクを形成した後、前記メモリセル形成領域において、前記絶縁膜および前記第1導体膜をパターンングする工程と、(g)前記(f)工程により、前記メモリセル形成領域に形成されている前記制御電極下に前記絶縁膜を介して前記第1導体膜よりなる電荷蓄積膜を形成し、前記選択トランジスタ形成領域に前記第1導体膜よりなるゲート電極を形成する工程とを備えることを特徴とするものである。

10

【発明の効果】

【0011】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

20

【0012】

グローバルデータ線に対して複数のローカルデータ線を電氣的に接続するように構成したので、面積ペナルティを少なくすることができる。この結果、高密度の不揮発性半導体記憶装置を実現することができる。

【発明を実施するための最良の形態】

【0013】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0014】

また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

30

【0015】

さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0016】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

40

【0017】

また、本実施の形態で用いる図面においては、平面図であっても図面を見やすくするためにハッチングを付す場合もある。また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。さらに、同一機能であっても説明上区別する必要がある場合には異なる符号を付けるものとする。以下に、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】

(実施の形態1)

50

本発明の実施の形態 1 である不揮発性半導体記憶装置のメモリ領域を構成するメモリセル（記憶素子）を説明する。

【0019】

図 1、図 2 に、本実施の形態 1 によるメモリセルアレイの要部断面図を示す。図 1 がデータ線断面方向、図 2 がワード線断面方向の図である。

【0020】

p 型のシリコン基板 1 に n 型ウェル領域 2 が設けられ、その中に p 型ウェル領域 3 が設けられた 3 重ウェル構造を持つ。シリコン基板 1 の主面上には n 型多結晶シリコン膜で形成された電荷蓄積膜 5 が設けられておりさらに電荷蓄積膜 5 の上層には n 型多結晶シリコン膜 7 とタングステン (W) 膜 8 との積層構造で形成された制御電極が設けられており、
10
上記制御電極はワード線を兼ねている。ワード線上には、ワード線とほぼ同じ線幅で形成された窒化シリコン膜よりなるキャップ膜 10 がある。ワード線の上には層間絶縁膜 11 が設けられており、その上にアルミニウムよりなる配線 12 が設けられ、グローバルデータ線の機能を有している。それより上部にも層間絶縁膜、配線の構造を有するが、メモリセルアレイの構成の説明上煩雑さを避けるために省略することとする。尚、ここでは 1 層目の金属配線でグローバルデータ線を形成したが、これはより上層の配線を用いてもよい。

【0021】

電荷蓄積膜 5 とシリコン基板 1 の表面との間には、例えば厚さ 8 nm 程度のシリコン酸化膜からなるゲート絶縁膜 4 が設けられ、電荷蓄積膜 5 と制御電極との間には、例えば厚
20
さがそれぞれ 5 nm、8 nm および 5 nm 程度のシリコン酸化膜、シリコン窒化膜およびシリコン酸化膜からなる積層膜 6 が設けられている。

【0022】

ワード線に垂直な方向のシリコン基板 1 には素子分離領域 9 が形成されている。メモリセルアレイはこのような構造が繰り返して構成される。本実施の形態 1 では、従来の NAND 型フラッシュメモリと異なり、メモリセル間の基板表面 24a には特に n 型の不純物領域を設けることをしなかった。本発明ではメモリセルの間隔を極めて狭くすることが可能であり、電荷蓄積膜（浮遊ゲート）5 あるいはワード線からのフリンジ電界によってメモリセル間の基板表面の電位を制御することができるからである。

【0023】

n 型不純物領域を作らないことから、不純物の広がりがなく、従ってメモリセルの短チャネル特性がよいという特徴がある。n 型の不純物、例えばヒ素を注入し、p 型ながら濃度を下げることで低抵抗化を図ることも有効である。勿論、従来構造のように n 型不純物領域を形成してもよい。

【0024】

図 3、図 4 にはメモリセルアレイとグローバルデータ線の接続のための、選択トランジスタ部のワード線断面方向の断面構造を示す。メモリセルアレイは選択トランジスタ部を介して配線（グローバルデータ線）12 に接続される。プラグ 20 の基板表面には、高濃度 n 型の不純物領域 19 と、より低濃度の不純物領域 18 の二重構造の拡散層が設けられており、高い接合耐圧を実現している。図中央のプラグ 20 に対し、左側のメモリセルア
40
レイとグローバルデータ線の接続をプラグ 20 の左側に形成されている選択トランジスタ ST1 で、右側のメモリセルアレイとグローバルデータ線の接続をプラグ 20 の右側の選択トランジスタ ST2 で制御する。

【0025】

次に、本発明の特徴の 1 つである選択トランジスタ ST1 の構成について説明する。本実施の形態 1 における選択トランジスタ ST1 は、ゲート絶縁膜 4 上にゲート電極 13a を有しており、このゲート電極 13a 上に絶縁膜 14 を介して選択線 16 および選択線 17 が形成されている。n 型の多結晶シリコンからなる一つのゲート電極 13a の上部に 2 本の選択線 16、17 が設けられている点に特徴がある。図 3 では、メモリセルの層間絶縁膜と同じ構成の絶縁膜 14 の一部が除去されており、ゲート電極 13a と選択線 16 が
50

接続されている。一方、図3に示す断面では、ゲート電極13aと選択線17の間には、絶縁膜14が形成されており、ゲート電極13aと選択線17は絶縁されている。図3において、選択トランジスタST1は、ゲート電極13aと接続されている選択線16によって制御されることになる。すなわち、選択線16に所定の電圧を印加することにより、ゲート電極13aの下部に形成されているローカルデータ線とプラグ20を介した配線12よりなるグローバルデータ線との接続を制御する。ここで、ローカルデータ線は、ゲート電極13a下のp型ウェル領域3内において、紙面の左側から右側に沿って形成されている。複数のローカルデータ線は、互いに隣接（紙面に垂直な方向に隣接）するように形成されている。選択トランジスタST1は、選択線16によって制御されるが、選択線17とは絶縁されているため、選択線17は選択トランジスタST1の制御には使用されない。しかし、選択線17は選択トランジスタST1に隣接する（紙面に垂直な方向に隣接する）別の選択トランジスタST3を選択するために用いられる。

【0026】

図4は、図3に示す選択トランジスタST1に隣接する選択トランジスタST3の断面を示した図である。図4において、図中央のプラグ20に対し、左側のメモリセルアレイとグローバルデータ線の接続をプラグ20の左側に形成されている選択トランジスタST3で、右側のメモリセルアレイとグローバルデータ線の接続をプラグ20の右側の選択トランジスタST4で制御する。図4において、選択トランジスタST3は、ゲート絶縁膜4上にゲート電極13bを有しており、このゲート電極13b上に絶縁膜14を介して選択線16および選択線17が形成されている。n型の多結晶シリコンからなる一つのゲート電極13bの上部に2本の選択線16、17が設けられている点に特徴がある。図4では、メモリセルの層間絶縁膜と同じ構成の絶縁膜14の一部が除去されており、ゲート電極13bと選択線17が接続されている。一方、図4に示す断面では、ゲート電極13bと選択線16の間には、絶縁膜14が形成されており、ゲート電極13bと選択線16は絶縁されている。図4において、選択トランジスタST3は、ゲート電極13bと接続されている選択線17によって制御されることになる。このように構成することにより、選択トランジスタST1を選択線16で制御し、選択トランジスタST1に隣接する選択トランジスタST3を選択線17で制御することができる。ゲート電極13a、13bは、それぞれ隣接するように配置され、ローカルデータ線と同じ線幅でそれぞれ選択するローカルデータ線上に形成されている。すなわち、ゲート電極13a、13bは紙面に垂直な方向に隣接するように配置されている。一方、選択線16、17は、紙面に垂直な方向に沿って形成されており、紙面に垂直な方向に隣接する選択トランジスタST1、ST3において共通する構造をしている。この選択線16および選択線17は同時に接続されることはないという特徴がある。

【0027】

図3に示すように、選択線16、17の片方の端とゲート電極13aの端はほぼ揃っており、また、選択線16、17の他端ではゲート電極13aの方は切れていない。すなわち、ゲート電極13aの一部の上部にはいずれの選択線16、17も存在しない絶縁領域23がある。ゲート電極13a上に形成された2本の選択線16、17は互いに離れていることから、ゲート電極13aのゲート長は、2本の選択線16、17の幅を併せた長さよりも大きい。ここで、一般にフラッシュメモリの動作電圧の低電圧化は困難であり、したがって耐圧を確保する観点から選択トランジスタのゲート長をあまり小さくできないという事情がある。本実施の形態ではゲート長が $0.8\ \mu\text{m}$ の選択トランジスタを用いた。このため、2本の選択線16、17の幅を合わせた長さは、互いの絶縁に必要な絶縁領域23の幅を考慮に入れると、ゲート電極13aのゲート長よりも短くなる。従って、本発明の構成をとれば、2本の選択線16、17を用いて選択トランジスタのゲート電極13aを選択するにもかかわらず、面積ペナルティがほぼないという特徴がある。つまり、図3および図4に示すように1本の配線12（グローバルデータ線）に複数のローカルデータ線（本実施の形態1では2本）を接続する場合、1本のローカルデータ線を選択して、他の1本のローカルデータ線を非選択とするため、選択トランジスタが2つ必要となる。

ここで、図3において、グローバルデータ線に接続するプラグ20とメモリセルの間に2つの選択トランジスタを設けることが考えられる。つまり、ローカルデータ線に直交する方向にゲート電極が延在する選択トランジスタを多段に形成することが考えられる。このような構成の場合、1本のローカルデータ線上に2つの選択トランジスタが形成されることになるが、2つのうち1つの選択トランジスタを特定のローカルデータ線を選択することとすると、この特定のローカルデータ線上に形成されているもう1つの選択トランジスタは短絡する必要がある。短絡するのは、もう1つの選択トランジスタのゲート電極下にn型の不純物領域を形成すればよい。しかし、ローカルデータ線がFのピッチで並んでいるため、最小加工寸法で不純物注入用のレジストパターンを形成したとしても、合わせずれを考慮に入れると隣接するローカルデータ線を選択する選択トランジスタのゲート電極線下にも不純物が注入されてしまう。このため、この隣接するローカルデータ線を選択することができなくなってしまう。このように、不純物注入の問題で特定のローカルデータ線上に2つの選択トランジスタを設ける構成は実現困難であるが、仮にできたとしても、ゲート長の長い2つの選択トランジスタがグローバルデータ線に接続するプラグ20とメモリセルの間に形成されるので、非常に大きい面積ペナルティが生じることになる。

【0028】

これに対し、本実施の形態1では、図3に示すように、グローバルデータ線に接続するプラグ20とメモリセルの間に1つの選択トランジスタしか形成されていない。したがって、面積ペナルティを最小限にすることができる。つまり、1つの選択トランジスタのゲート長分だけスペースを確保できればよいので、選択トランジスタを設ける面積の面積ペナルティを最小限にすることができる。

【0029】

これは、以下に示すことで実現されている。すなわち、図3に示すように、特定のローカルデータ線において、グローバルデータ線に接続するプラグ20とメモリセルの間には、1つの選択トランジスタST1が形成されている。そして、このローカルデータ線に隣接するもう1つのローカルデータ線上には、図4に示すように選択トランジスタST3が形成されている。選択トランジスタST1のゲート電極13aは、ローカルデータ線に直交する方向に延在しているのではなく、1つのローカルデータ線の線幅と同じ幅で形成されている。したがって、図3および図4に示すように、ローカルデータ線の並んでいる方向（紙面に垂直な方向）にゲート電極13a、13bが形成されており、2つの選択トランジスタST1、ST3を構成している。この2つの選択トランジスタST1、ST3によって、1本のグローバルデータ線に接続している隣接した2本のローカルデータ線から1本のローカルデータ線を選択するようにしている。このように選択トランジスタST1、ST3のゲート電極13a、13b自体は、ローカルデータ線に直交する方向に延在してはいない。ローカルデータ線に直交する方向に延在しているのは、ゲート電極13a、13bを選択する選択線16、17である。

【0030】

ゲート電極13a、13b自体は、耐圧を確保するため、比較的長いゲート長を確保する必要がある。つまり、ゲート電極13a、13bはチャンネル形成を制御する機能を有しており、耐圧を確保するために比較的長い（1 μ m程度）チャンネル長を確保する必要がある。このため、ゲート電極13a、13bのゲート長を比較的長くする必要がある。一方で、ゲート電極13a、13bに所定の電圧を印加して制御するために、ゲート電極13a、13bを通常延在させて選択線の役割も兼ねさせる。しかし、選択線はゲート電極13a、13bに接続すればよく、ゲート長と同じ幅にする必要はない。その点に本発明は着目して、ゲート電極13a、13bから選択線の機能を分離して別個に選択線16、17を設けている点に特徴がある。つまり、ゲート電極13a、13bと分離して選択線16、17を設けている。選択線16は、ゲート電極13aに接続するように構成され、ゲート電極13bには接続されないように構成されている。一方、選択線17はゲート電極13bに接続するように構成され、ゲート電極13aには接続されないように構成されている。これにより、選択線16、17によりゲート電極13a、13bを独立別個に選択

10

20

30

40

50

することができる。そして、選択線 16、17の幅は、ゲート電極 13a、13bと同様の幅にする必要がないので、図3および図4に示すように、ゲート電極 13a、13bのゲート長に比べて選択線 16、17の幅を小さくすることができる。したがって、選択線 16、17の幅を合わせた幅は、ゲート電極 13a、13bのゲート長に比べて小さくすることができるので、選択トランジスタを設ける面積の面積ペナルティを、選択トランジスタ1つ分とすることができ、最小限にすることができる。

【0031】

次に、図5、図6には、選択トランジスタのデータ線断面方向の断面図を示す。図5と図6は各々同じデータ線の断面で、図5は選択線 17での断面、図6は選択線 16での断面に対応する。特徴的なことは2個の隣り合ったゲート電極に対して連続したパターンで絶縁膜 14が除去されており、メモリセルのワード線と同材料からなる選択線 16、17と接続されていることである。さらにその隣の2個の隣り合ったゲート電極では、メモリセルの層間絶縁膜を構成する絶縁膜 6と同材料の絶縁膜 14により、ゲート電極と選択線 16、17を絶縁している。

10

【0032】

つまり、図5に示す断面では、隣接するゲート電極 13bとゲート電極 13dが選択線 17に接続されている。一方、ゲート電極 13aとゲート電極 13c上には絶縁膜 14が形成されており、ゲート電極 13a、13cと選択線 17が接続しないようになっている。同様に、図6に示す断面では、隣接するゲート電極 13aとゲート電極 13cが選択線 16に接続されている。一方、ゲート電極 13bとゲート電極 13d上には絶縁膜 14が

20

【0033】

ここで、例えば、図5を参照すると、ゲート電極 13bとゲート電極 13dが同一の選択線 17に接続されている。このため、ゲート電極 13bによって選択されるローカルデータ線とゲート電極 13dによって選択されるローカルデータ線が同時に選択されてしまう懸念がある。しかし、ゲート電極 13bによって選択されるローカルデータ線とゲート電極 13dによって選択されるローカルデータ線は、異なるグローバルデータ線につながれているので、同時に選択されることはないのである。図5において、ゲート電極 13bによって選択されるローカルビット線は、ゲート電極 13aによって選択されるローカル

30

【0034】

本実施の形態1では、隣接する2つのゲート電極に選択線を接続するように構成しているが、このように構成することにより以下に示す効果が得られる。すなわち、本実施の形態1において、複数のローカルデータ線は、最小加工寸法Fのピッチで形成されている。このため、ローカルビット線上に形成される選択トランジスタのゲート電極もFのピッチで形成されていることになる。ここで、ゲート電極に接続する選択線を1つのゲート電極ごとに接続するように構成すると、選択線とゲート電極を接続するプラグも最小加工寸法Fで形成する必要がある。しかし、フォトリソグラフィ技術では、合わせずれが必然的に生じるため、プラグを最小加工寸法で形成しても位置がずれる可能性がある。すると、隣接するゲート電極にもプラグが接続してしまうことになる。そこで、本実施の形態1では、隣接する2つのゲート電極に対して1つのプラグを用いることにより、ゲート電極と選択線を接続している。したがって、プラグの形成には合わせずれに対して余裕があるので、位置ずれによるショート不良の発生を防止することができ、半導体記憶装置の信頼性を向上させることができる。このように本実施の形態1によれば、半導体記憶装置の信頼性を向上させつつ、チップサイズを縮小することができる。

40

【0035】

50

図7にはメモリセルアレイとソース線を接続する選択トランジスタのワード線断面方向の断面図を示す。図3および図4との違いは選択トランジスタの選択線22が1本であることである。これは、ソース線では、1つのメモリマットにあるすべてのローカルデータ線を選択するためである。選択トランジスタの選択線22はゲート電極13に接続されている。拡散層がn型で低濃度の不純物領域23aとn型で高濃度の不純物領域24の二重構造になっているのは、ローカルデータ線の取り出し部と同様である。また、本実施の形態1ではソース線を不純物領域24よりなる領域から形成されている。図示はしていないが、所々、例えばグローバルデータ線64本毎にプラグを設け、ソース線に給電する。この給電線はグローバルデータ線と平行な方向に設けている。このような構造にすることにより、配線の層数を少なくできるという特徴がある。

10

【0036】

図8には、メモリセルアレイとソース線を接続する選択トランジスタのデータ線断面方向の断面図を示す。ローカルデータ線間を多数連続的にまたがる形でゲート電極13上の絶縁膜14(図示せず)が除去されており、選択線22とゲート電極13が電氣的に接続されている。これにより、選択線22で個々のローカルデータ線を選択するゲート電極13のすべてを選択することができる。

【0037】

図9、図10にはメモリアレイ構造の上面図を示す。ゲート電極と選択線の接続関係を説明するため、図9ではグローバルデータ線の形成前の構造について、ワード線や選択線16、17、22を一部取り除いて図示している。図10はグローバルデータ線を形成した後の上面図である。本実施の形態1による不揮発性半導体記憶装置のメモリ領域は、一方向にワード線WLが64本繰り返された構造を基本単位(以下、メモリマットという)とし、これに垂直な方向には素子分離領域とシリコン表面がほぼ等間隔に繰り返されている。シリコン部分をローカルデータ線あるいはストリングと呼ぶ。ローカルデータ線はメモリマットの一端でグローバルデータ線を構成する配線12に接続される。隣接した二本のローカルデータ線は選択トランジスタを介して1本のグローバルデータ線に接続される。ローカルデータ線の他端では、選択トランジスタを介して共通ソース線である不純物領域24に接続される。メモリセルアレイはメモリマットの全体に渡って同様の構造が繰り返される。図9、図10における、A-A断面が図3に、B-B断面が図4に、C-C断面が図5に、D-D断面が図6に、E-E断面が図7に、F-F断面が図8に各々対応する。尚、ここではソース線に不純物領域(拡散層配線)24を用いたが、図11のようにプラグ構造を設け、金属配線25によるソース線を設けてもよい。拡散層配線と比較して金属配線25は抵抗が低いため、電圧降下の影響が小さいという特徴を有する。この場合には1層目の金属配線によるソース線がグローバルデータ線に垂直な方向に設けられるため、グローバルデータ線に2層目の金属配線を用いる。

20

30

【0038】

図9および図10を用いてさらにメモリセルアレイの上面構造を詳細に説明する。図9に示すように、半導体基板の第1方向(紙面の上下方向)には、複数のローカルデータ線LD(LD1~LD8)と素子分離領域9が交互に形成されている。そして、第1方向に垂直な第2方向には、ワード線WL(WL1~WL64)が形成されている。ローカルデータ線DLおよびワード線WLは最小加工寸法Fのピッチで形成されている。ワード線WLとローカルデータ線LDが平面的に交差する交差領域には電荷蓄積部が形成されている。この電荷蓄積部に蓄積された電荷に応じて、ローカルデータ線DLを流れる電流が変化することにより、不揮発性半導体記憶装置は情報を記憶するようになっている。

40

【0039】

本実施の形態1では、複数のローカルデータ線DLが1本のグローバルデータ線に接続されている点に特徴がある。これによりグローバルデータ線のピッチ緩和することができる。例えば、2本のローカルデータ線DL1、DL2は、プラグ20を介して1本のグローバルデータ線(図10の配線12)に接続されている。このとき、1本のグローバルデータ線に接続されているローカルデータ線DL1、DL2をそれぞれ選択できるように選

50

択トランジスタが形成されている。図9に示すように、ローカルデータ線DL1は選択トランジスタST3を介してグローバルデータ線に接続するプラグ20に接続されている。同様に、ローカルデータ線DL2は、選択トランジスタST1を介してプラグ20に接続されている。また、ローカルデータ線DL3は選択トランジスタST5を介して隣接する異なるグローバルデータ線に接続され、ローカルデータ線DL4は、選択トランジスタST6を介してローカルデータ線DL3と接続するグローバルデータ線に接続している。

【0040】

選択トランジスタST1、ST3、ST5、ST6は、それぞれゲート電極13a~13dを有している。ゲート電極13a~13dは、ローカルデータ線DL1~DL4上に形成され、ローカルデータ線DL1~DL4と同様の幅で形成されている。そして、選択トランジスタST1、ST3、ST5、ST6に共通して選択線16および選択線17が形成されている。選択線16は、プラグ15bを介してゲート電極13a、13cに接続している。一方、選択線17は、プラグ15aを介してゲート電極13b、13dに接続している。この選択線16、17は、第2方向に延在している。

【0041】

ここで、本発明の特徴の1つは、選択線16および選択線17をゲート電極13a~13dのゲート長より小さく形成している点である。すなわち、選択線16と選択線17の幅を合わせた長さがゲート電極13a~13dのゲート長より小さくなっている点である。このようにゲート電極13a~13d上に2本の選択線16、17を形成することにより、2本の選択線16、17を形成した場合であっても、選択線16と選択線17の合わせた幅を1つの選択トランジスタST1、ST3、ST5、ST6のゲート長の範囲内に収めることができるので、選択トランジスタの面積ペナルティを最小限にすることができる。そして、この構成を実現しているのが、選択線16に接続するプラグ15bと選択線17に接続するプラグ15aとをずらして形成していることにある。これにより、選択線16にプラグ15bを介してゲート電極13aを接続し、選択線17にプラグ15aを介してゲート電極13bに接続することができるのである。したがって、選択線16および選択線17により、同一のグローバルデータ線に接続するローカルデータ線DL1、DL2を独立別個に選択することができる。

【0042】

さらに、本発明の特徴の1つは、選択線16とゲート電極13a、選択線16とゲート電極13cとを1つのプラグ15bで一体的に接続している点である。これにより、ゲート電極13aとゲート電極13cは、選択線16により一緒に選択されることになるが、ローカルデータ線DL2に選択トランジスタST1によって接続されるグローバルデータ線と、ローカルデータ線DL3に選択トランジスタST5によって接続されるグローバルデータ線は異なるため、同一のグローバルデータ線に接続されているローカルデータ線が同時に選択されることはない。選択線16とゲート電極13a、選択線16とゲート電極13cとを1つのプラグ15bで一体的に接続していることにより、以下に示す効果が得られる。つまり、ローカルデータ線DLおよびゲート電極13a~13dのピッチは最小加工寸法Fで形成されているが、プラグ15bは、2つのゲート電極13a、13cを接続する大きさで加工できるので、合わせずれに対して余裕をもつことができるのである。このことを言い換えると、ローカルデータ線DLのピッチ幅がローカルデータ線DLとグローバルデータ線を接続するプラグ20の径よりも小さいことになる。さらに、ワード線WLのピッチ幅も最小加工寸法Fで形成されているので、ワード線WLのピッチ幅がローカルデータ線DLとグローバルデータ線を接続するプラグ20の径よりも小さいということもできる。以上のことから、プラグ15bの形成をシビアに行なわなくてもよくなるので、半導体記憶装置の製造工程の歩留まり向上を図ることができる。

【0043】

次に、本実施の形態1におけるメモリセルアレイ構造では、第2方向に延在する不純物領域24よりなるソース線が形成されている。そして、不純物領域24とワード線WLとの間にソース線を選択する選択トランジスタがローカルデータ線DL上に形成されている

。すなわち、それぞれのローカルデータ線上にはゲート電極 13 が形成されており、このゲート電極 13 は、プラグ 15c を介して第 2 方向に延在する選択線 22 に接続されている。

【0044】

次に、図 12 には、図 10 と等価な回路図を示す。図 12 の等価回路図を用いて動作を説明する。ターゲットセルをグローバルデータ線 GBL3、選択線 16、ワード線 WL3 で選択されるメモリセル 40 として説明する。

【0045】

まず、読み出し動作を説明する。グローバルデータ線 GBL3 を 1V、ソース線 SL を 0V とし、選択線 16 および選択線 22 を選択 (1V) する。選択線 17 は非選択 (0V) としておく。さらに、ワード線 WL3 を 0.5V に設定することで選択する。非選択のワード線 WL1、WL2、WL4~WL64 は 4V とし、対応するメモリセルを低抵抗状態にする。この結果、選択セルの電荷蓄積膜 5 に蓄積された電子数が多ければ高抵抗、少なければ低抵抗となるため、グローバルデータ線 GBL3 の電位が変化する速度の違いを利用して読み出しを行うことができる。

10

【0046】

次に、書込み動作を説明する。まず、ソース線 SL を 4.5V にプリチャージし、選択線 22 を選択することでローカルデータ線をプリチャージする。また、グローバルデータ線 GBL3 をメモリセル 40 に書込みたい情報に応じて所定の電位に設定する。ここでは 0V あるいは 1V に設定した。選択線 22 を非選択とした後、選択線 16 に 1V を印加して選択する。選択線 17 は非選択のままである。すると、グローバルデータ線 GBL3 の設定電位が高ければ (1V)、選択トランジスタはオンせず、従ってメモリセル 40 の基板表面は 4.5V 程度の高い電圧となる。

20

【0047】

一方、グローバルデータ線 GBL3 の設定電位が低ければ (0V)、選択トランジスタがオンし、プリチャージされたローカルデータ線の電位が下がり、メモリセル 40 の基板表面は 0V 程度の低い電圧となる。

【0048】

この後、対応するワード線 WL3 の電位を 1.8V に上げる。このとき、非選択のワード線 WL1、WL2、WL4~WL64 は 1.0V とする。このとき基板表面の電位が高ければ電荷蓄積膜 5 との電位差が小さく、従ってゲート絶縁膜 4 を流れるトンネル電流は小さい。基板表面の電位が低ければ電荷蓄積膜 5 との電位差が大きく、従ってゲート絶縁膜 4 に大きなトンネル電流が流れ、電荷蓄積膜 5 に電子が多く注入される。

30

【0049】

この後、読み出し動作を行い、所望の情報が書込まれているか検証する。必要に応じ、書込み不足のメモリセルのみに対し再度書込み動作を行う。この書込みと検証動作を繰り返すことで所望の情報書込みを確実に行う。

【0050】

消去動作はメモリマットに対して一括で行う。p 型ウェル領域 3 に所定の正の電圧 (2V) を印加し、ワード線 WL1~WL64 に負の大きな電圧 (-1.8V) を印加し、基板に電子を引き抜くことにより情報を消去する。

40

【0051】

上記では、説明を簡単にするため、1つのセルに対して 1ビットの情報を書込む動作としたが、注入電子量を調節することで多数の状態を作ることにも可能である。例えば 4レベルを作れば 2ビットの情報を記憶することができる。その場合、読出し動作においても、3種類のワード線電位を用いて読出すことになる。

【0052】

本発明ではローカルデータ線とグローバルデータ線の接続関係上、隣接するグローバルデータ線に同時に書込みを行うと隣接するローカルデータ線に接続されるメモリセルを同時に書き込む動作となる。そのような動作をすることも可能であり、同時に多くのメモリ

50

セルを選択出来るため、良好な書込みスループットが可能となる。

【0053】

また、より隣接ローカルデータ線からの影響の少ない動作として、書込み時に1本おきのグローバルデータ線を用いる動作が有効である。本発明ではローカルデータ線間隔を、使用するフォトリソグラフィ技術の半分にすることができるが、その結果、隣接するローカルデータ線間の静電容量カップリングが大きくなり、隣接するローカルデータ線の電位の影響を大きく受けるからである。一本おきのグローバルデータ線を用いる動作とすれば必然的に、隣接するローカルデータ線に対して同時に書込みを行うことを避けることができる。

【0054】

また、グローバルデータ線は使用するフォトリソグラフィ技術の最小ピッチで並ぶことになる。この結果、グローバルデータ線間の容量カップリングも非常に大きくなる。これは、各ローカルデータ線は1マット分の長さ分並行に並んでいるのに対し、グローバルデータ線はメモリセルアレイ全体の長さ分並行に並ぶからである。したがって、1本おきのグローバルデータ線を用いる動作により、動作させないグローバルデータ線を動作させるグローバルデータ線間のシールドに用いることができる。これらは書込み動作に限らず、読み出し動作においても同様のことが言える。すなわち、読み出し時にも、同時に1本おきのグローバルデータ線に接続されるローカルデータ線の情報を読み出す動作により、安定した読み出し動作が可能となる。

【0055】

次に、本実施の形態1による不揮発性半導体記憶装置のメモリ領域の製造工程を図13～図27を用いて説明する。図13から図20まではローカルビット線およびフローティングゲート電極の形成工程であるのでローカルビット線断面方向での断面図を示す。それ以降の工程はワード線形成工程であるため、図21から図27はワード線断面方向の断面図である。ワード線断面では、グローバルビット線への取り出し部分を含めた断面図としている。

【0056】

まず、p型のシリコン基板1を用意する。シリコン基板1の主面上の所定の領域に周辺回路用の素子分離領域を形成した後、深いn型ウェル領域2を形成し、さらにp型ウェル領域3を形成する。この時点で、メモリセルアレイ部分には素子分離領域を形成しない。

【0057】

次に、高耐圧トランジスタ(周辺回路)のしきい値電圧調整用のイオン打ち込みを行った後、メモリ領域にしきい値電圧調整のために、p型不純物、例えばボロン(B)をイオン打ち込みする。高耐圧トランジスタ用に厚さ20nm程度のゲート絶縁膜を形成した後、レジストパターンをマスクにしてメモリ領域および通常耐圧トランジスタ形成領域の表面に形成された上記ゲート絶縁膜を除去する。

【0058】

その後、改めてシリコン基板1の表面を酸化し、厚さ8nm程度のシリコン酸化膜からなるゲート絶縁膜4を形成する。さらに、電荷蓄積膜5用のn型アモルファスシリコン膜、ダミーパターン形成用のシリコン窒化(SiN)膜26を堆積する。

【0059】

ここで、アニールを行い、アモルファスシリコン膜を結晶化させる。アモルファスで堆積し、後で結晶化することにより、膜厚の均一性が確保できる。その後、ダミーパターン形成用の多結晶シリコン膜27を堆積し(図13)、レジスト膜を用いたフォトリソグラフィ技術により最小ピッチ(2F)のレジストパターンを形成する。さらに、レジスト膜を酸素プラズマでアッシングし、線幅を細くする。ピッチの1/4程度、すなわちF/2程度の線幅とする。

【0060】

このレジストパターンをマスクに一番上層の多結晶シリコン膜27をエッチングし、レジスト膜を除去する(図14)。この後、F/2程度の膜厚を有するシリコン酸化膜をC

10

20

30

40

50

V D (Chemical Vapor Deposition) 法により堆積し、エッチバックすることで多結晶シリコン膜 27 に対し、側壁 28 を形成する (図 15)。さらに、多結晶シリコン膜を堆積した後、エッチングし、シリコン酸化膜よりなる側壁 28 のみを残す (図 16)。この時点で、この側壁 28 の構造は多結晶シリコン膜 27 で作った構造の半分のピッチ、すなわち F のピッチで形成されている。

【0061】

このシリコン酸化膜よりなる側壁 28 をマスクにシリコン窒化膜 26 をドライエッチングし、さらにフッ酸で側壁 28 を除去する (図 17)。その後、このシリコン窒化膜 26 をマスクにして、下層構造である電荷蓄積膜 (浮遊ゲート電極) 5、ゲート絶縁膜 4 およびシリコン基板 1 の p 型ウェル領域をエッチングする (図 18)。このようにして、電荷蓄積膜 (浮遊ゲート電極) 5 に対して自己整合的に素子分離溝が形成される。このとき、選択トランジスタのゲート電極 13 (図示せず) もローカルデータ線と同じ幅で形成され、自己整合的に素子分離溝も形成される。すなわち、選択トランジスタのゲート電極 13 a ~ 13 d も電荷蓄積膜 5 を形成した多結晶シリコン膜と同じ膜で形成される。つまり、多結晶シリコン膜は、メモリ領域においては電荷蓄積膜 5 となり、選択トランジスタ形成領域においては、ゲート電極 13 a ~ 13 d となる。

【0062】

この後、シリコン酸化膜を C V D (Chemical Vapor Deposition) 法により堆積し、C M P (Chemical Mechanical Polishing) により平坦化を行う (図 19)。これにより、素子分離溝にシリコン酸化膜を埋め込むことができ、素子分離領域 9 が形成される。

【0063】

次に、シリコン酸化膜のエッチバック、シリコン窒化膜 26 の除去を行った後、厚さがそれぞれ 5 nm、8 nm および 5 nm 程度のシリコン酸化膜、シリコン窒化膜およびシリコン酸化膜からなる積層膜 6 (絶縁膜 14) を堆積する。ここで、選択トランジスタ形成領域においては、図 9 のプラグ 15 a、15 b 形成するための接続孔パターンを有するレジストパターンをマスクにエッチングを行い、積層膜 6 の一部を除去する。これにより、図 9 に示すように、ゲート電極 13 a ~ 13 d に接続する接続孔を形成することができる。この後、n 型の多結晶シリコン膜 7、タングステン膜 8、ダミーパターン形成用のシリコン窒化膜からなるキャップ膜 10 を堆積する (図 20)。

【0064】

ここからはワード線形成工程のため、ワード線断面方向の断面図を用いて説明する。多結晶シリコン 29 を堆積した後、フォトリソグラフィ技術により最小ピッチ (2 F) でレジストパターンを形成する。さらに、レジスト膜を酸素プラズマでアッシングし、線幅を細くする。線幅は、ピッチの 1/4 程度、すなわち F/2 程度とする。そして、このレジスト膜をマスクに多結晶シリコン膜 29 のエッチングを行う (図 21)。

【0065】

次に、C V D 法によりシリコン酸化膜を堆積する (図 22)。さらに、レジスト膜 31 で選択トランジスタ形成領域を覆い、エッチバックを行うことでシリコン酸化膜よりなる側壁 30 を形成する (図 23)。続いて、レジスト膜 31 を除去した後に、多結晶シリコン膜を堆積し、エッチバックすることで多結晶シリコン膜 29 a によるピッチ F のパターンを形成することができる (図 24)。

【0066】

ここで選択トランジスタ領域に形成されている多結晶シリコン膜 29 よりなるパターンはより太いパターンである。この後、シリコン酸化膜よりなる側壁 30 をウェットエッチングにより除去する (図 25)。このときに選択トランジスタ形成領域に僅かに残っていた多結晶シリコン膜のエッチ残りはリフトオフされる。メモリ領域においては、形成された多結晶シリコン膜 29 a をマスクにキャップ膜 10 をエッチングし、さらにタングステン膜 8 および多結晶シリコン膜 7 をエッチングする。同様に、選択トランジスタ形成領域においては、形成された多結晶シリコン膜 29 をマスクにキャップ膜 10、タングステン膜 8 および多結晶シリコン膜 7 をエッチングする。これにより、メモリ領域にタングステ

10

20

30

40

50

ン膜 8 および多結晶シリコン膜 7 よりなるワード線（制御電極）が形成され、選択トランジスタ形成領域にタングステン膜 8 および多結晶シリコン膜 7 よりなる選択線 16、17 が形成される（図 26）。ここで、最後のエッチングはシリコンのエッチングであるため、最上層の多結晶シリコン膜 29、29a もなくなってしまいが、シリコン窒化膜よりなるキャップ膜 10 のパターンがエッチングマスクの役割を果たす。

【0067】

次に、選択トランジスタ領域に形成されている 2 本の選択線 16、17 の間を覆うレジストパターン 30a を形成し（図 26）、積層膜 6（絶縁膜 14）と多結晶シリコン膜（電荷蓄積膜 5）をエッチングする（図 27）。この結果、選択トランジスタ形成領域において、2 本の選択線 16、17 の間だけ多結晶シリコン膜が繋がっており、選択トランジスタのゲート電極 13a となる。一方、メモリ領域において、個々のメモリセルごとに多結晶シリコン膜が分離され、電荷蓄積膜 5 が形成される。この後、コンタクト工程、配線工程を行う。

10

【0068】

本実施の形態 1 では、電荷蓄積膜 5 として多結晶シリコン膜による浮遊ゲート電極を用いたが、シリコン（Si）等の他の半導体、金属による微小結晶（ナノドット）を複数設けて電荷蓄積領域としてもよく、またシリコン窒化膜やアルミナ膜等のトラップを有する絶縁膜によって電荷蓄積膜を構成してもよい。

【0069】

離散した微小粒（ナノドット）を用いると、記憶ノードが互いに絶縁されているため、従来のフラッシュメモリの記憶ノードのように加工によって切り離す必要がなく、加工が容易となりプロセスマージンが増大する。またこのような加工容易性はシリコン窒化膜のようなトラップを有する絶縁膜を用いても得られる。

20

【0070】

シリコン窒化膜はシリコン酸化膜に対して選択比を持つエッチングをすることが可能であり、また微小粒からなる電荷蓄積領域よりも加工性に優れている。一方で微小粒からなる電荷蓄積領域の周囲をシリコン酸化膜のようなトラップを持たない他の絶縁材料で囲むことが可能であるため、一般に微小粒間での電荷移動が起こりにくい材料を選択することが可能であり、保持特性に優れる。

【0071】

このため、しきい値電圧 V_{th} のマージンの小さい多値記憶に適している。従って、本実施の形態 1 のような注入電荷量によって複数の情報を記憶し、特性変動を小さく抑えたい用途に好適である。このような構成をとった場合、本実施の形態 1 のように、電荷蓄積膜（浮遊ゲート電極）5 と選択トランジスタのゲート電極 13a は同材料ではなくなる。しかし、選択トランジスタを含むローカルデータ線の取り出し部分の課題は同様に存在するため、上述のような選択トランジスタの構成方法を同様に適用することで課題を解決することができる。なお、電荷蓄積膜の構成に関して述べたことは、すべて他の実施の形態でも同様で適用することができる。

30

【0072】

また、本実施の形態 1 では、製造工程からわかるようにローカルデータ線のピッチを半分にする技術を用いたが、このようなことをしない場合でも上述した取り出し方法は有用である。一般に、孤立パターン（プラグ）の超解像（位相シフト）は難しいが、繰り返しパターンであれば超解像（位相シフト）が有効に使える。従って、微細化の進歩により、ローカルデータ線自体のパターンは微細に加工できても、コンタクト孔が相対的に大きくなっていく懸念がある。そのような場合には、本実施の形態 1 や他の実施の形態で説明される発明を用いて高密度のメモリセルアレイが実現できる。また、微細化の進歩に対し、フォトリソグラフィの合わせ技術を同様に進歩させるのは極めて困難である。従って、微細化に対して相対的に大きな合わせ余裕が必要になった場合にも、本発明は有効である。

40

【0073】

（実施の形態 2）

50

本発明の実施の形態 2 である不揮発性半導体記憶装置のメモリセルアレイを図 28、図 29 を用いて説明する。本実施の形態 2 のメモリセル構造および動作原理は、前記実施の形態 1 のメモリセルと同一であるが、前記実施の形態 1 と相違する点は、ローカルデータ線とグローバルデータ線の接続関係にある。

【0074】

図 28 は前記実施の形態 1 の図 9 に対応する平面図である。図 29 は図 28 に対応する等価回路図である。前記実施の形態 1 では、2 本のローカルデータ線が選択トランジスタを介して 1 本のグローバルデータ線に接続されていたが、本実施の形態 2 では、4 本のローカルデータ線が 1 本のグローバルデータ線に接続されるという違いがある。このような構成をとることにより、ローカルデータ線に対するコンタクト自体およびその合わせ精度に余裕を持たせることが可能であり、より高い歩留まりを期待できる。また、グローバルデータ線についても最小加工寸法で加工する必要がないため、加工が容易であり、また、隣接グローバルデータ線間のカップリングも小さくなるという特徴がある。

10

【0075】

プラグ 36 を介してグローバルデータ線に接続された 4 本のローカルデータ線から 1 本のローカルデータ線のみを電気的に選択するために、1 本のローカルデータ線上に 2 本のゲート電極 13 およびゲート電極 31 を設ける必要がある。すなわち、前記実施の形態 1 では、図 9 に示すように、ローカルデータ線 DL2 において、メモリセルとプラグ 20 の間に 1 本のゲート電極 13a が設けられていた。これに対し、本実施の形態 2 では、図 28 に示すように、ローカルデータ線 DL2 において、メモリセルとプラグ 36 の間に、ゲート電極 13a とゲート電極 31a が設けられている。

20

【0076】

隣接するゲート電極 13a ~ 13d 上には選択線 16 および選択線 17 が設けられている。そして、ゲート電極 13b、13d には、プラグ 15a を介して選択線 17 が接続され、ゲート電極 13a、13c には、プラグ 15b を介して選択線 16 が接続されている。同様に、隣接するゲート電極 31a ~ 31d 上には選択線 34 および選択線 35 が設けられている、そして、ゲート電極 31a、31b には、プラグ 32 を介して選択線 34 が接続され、ゲート電極 31c、31d には、プラグ 33 を介して選択線 35 が接続されている。

30

【0077】

例えば、ローカルビット線 DL3 を選択する場合、プラグ 36 と接続されているグローバルデータ線を選択するとともに選択線 16 と選択線 35 を選択し、選択線 17 と選択線 34 を非選択とすればよい。このようにして、プラグ 36 を介してグローバルデータ線に接続された 4 本のローカルデータ線 DL1 ~ DL4 から 1 本のローカルデータ線 DL3 のみを電気的に選択することができる。

【0078】

1 本のグローバルデータ線に 4 本のローカルデータ線を接続する場合、従来技術では 4 段のゲート電極を用いることになるが、これはゲート長が長いことから非常に大きな面積ペナルティが生ずる。本実施の形態 2 では、2 段のゲート電極（例えばゲート電極 13a とゲート電極 31a）で実現しており、小面積で選択トランジスタを構成することができる。したがって、選択トランジスタを設ける際の面積ペナルティを最小限にすることができる。この構成は、例えば、1 段のゲート電極 13a ~ 13d 上に 2 本の選択線 16、17 を設け、1 段のゲート電極 31a ~ 31d 上に 2 本の選択線 34、35 を設けることにより、実現可能となっている。

40

【0079】

（実施の形態 3）

本発明の実施の形態 3 である不揮発性半導体記憶装置のメモリ領域のデータ線断面方向における断面図を図 30 に示す。本実施の形態 3 と前記実施の形態 1 との違いは素子分離領域の構造のみであり、等価回路、動作等他の部分は同様である。

【0080】

50

図30において、ローカルデータ線38は細線状に形成されており、その下部でシリコン基板1から絶縁されている。素子分離領域39はローカルデータ線38の側面だけでなく、下面も絶縁している。このため、ローカルデータ線38間のリークパスが存在せず、素子分離領域39の深さもあまり深くなくともよいという特徴がある。本実施の形態3では、ローカルデータ線38の間隔を小さくできるのであるが、その結果、従来と同じ深さの溝状の素子分離領域を設けるとアスペクト比が高くなり、エッチングによる溝形成、絶縁膜による埋め込みの両方とも困難になる。本実施の形態3では、この課題を解決している。

【0081】

本実施の形態3と前記実施の形態1と異なる工程は、素子分離領域形成工程のみであるので、違いのみ説明する。まず、前記実施の形態1と同様の自己整合的なシリコン基板1のエッチング工程において(図18参照)、前記実施の形態1よりも浅い溝を形成する。深さは60nmとしている。この後、溝の表面を6nm程度酸化し、異方性のドライエッチによって、溝底部のシリコン酸化膜のみを除去する。この後、等方的なシリコンエッチングを行えば、溝底部のみシリコンが削れ、隣のローカルデータ線の溝底部とつながることになる。この結果、細線状のローカルデータ線38が形成される。尚、選択トランジスタ形成領域(取り出し部分)ではFのピッチよりも広い構造となっているため、この部分ではシリコン基板とローカルデータ線は接続されたままであり、細線状のローカルデータ線を支持している。その後、ローカルデータ線の周囲を囲むように形成された溝にシリコン酸化膜を埋め込むことにより、素子分離領域39を形成することができる。

【0082】

次に、前記実施の形態1から前記実施の形態3において、図31を参照しながら、ワード線に対するプラグの形成方法を説明する。説明の簡単のため、選択トランジスタ等を省略し、メモリセルアレイのワード線両端を図示している。プラグの形成方法は他の実施の形態でも共通である。ワード線4本(例えば図31のWL1、WL2、WL3、WL4)を1組とする構造であり、両端からプラグを形成する。このような構造が繰り返されている。片側(右側)で見ると突き出たワード線WL2、短いワード線WL4、中程度の長さのワード線WL1、WL3が存在する。突き出たワード線WL2に関しては、プラグ42のレイアウトは容易である。中程度のワード線WL1、WL3の一方であるワード線WL1のみ片側でプラグ41を形成するが、このプラグ41は図31に示すように、プラグ41の中心をワード線WL1の中心よりもずらして形成するという特徴がある。合わせずれが生じたとしても隣のワード線WL2にぶつからないレイアウトである。プラグ41が上方向に合わせずれした場合にワード線WL1とのオーバーラップ面積が小さくなり、コンタクト抵抗が高くなってしまふことが懸念される。しかし、プラグ41の孔は下地の素子分離領域に達する程度まで掘られているため、ワード線WL1の側面にて十分な接触面積を確保している。また、短いワード線WL4を設けることで、その隣のワード線WL5のプラグ45と接触することを回避している。次の2本のワード線WL3、WL4に対しては逆側(左側)で同様なレイアウトを行うことでプラグ43、44を形成している。両側で取り出すことで片側ずつでは配線密度が2Fピッチということになり、同一層の金属配線による取り出し配線も可能である。このようにして、ワード線に対するプラグを設けることができる。

【0083】

また、前記実施の形態1から前記実施の形態3では、電荷蓄積膜5として加工のしやすい平坦型の浮遊ゲート構造を用いたが、電荷蓄積膜5として図32に示すような立体型の浮遊ゲート構造を用いてもよい。ワード線(多結晶シリコン膜7およびタングステン膜8)と電荷蓄積膜(浮遊ゲート電極)5間の静電容量が増大し、より効率的に電荷の出し入れが可能となる。また、平坦構造で高効率を実現する方法として、積層膜6にシリコン酸化膜よりも高誘電率の膜、例えばアルミナ膜を用いることが有効である。さらに、ゲート絶縁膜4にシリコン酸化膜よりもバリアの低い膜、例えばハフニウムオキサイド(HfO₂)膜を用いることも有効である。また、電界を印加したときに大きくトンネル電流が変

10

20

30

40

50

化する高効率のトンネル膜、例えばバリア高さが低い、高い、低いという3層積層膜を用いることも有効である。これら高誘電率の積層膜、高効率のゲート絶縁膜のいずれか、あるいは組合せを用いることで、平坦構造でも十分に効率的な動作が可能である。

【0084】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0085】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリ単体に適用した場合について説明した。しかし、これに限定されるものではなく、例えばEEPROM単体の半導体装置、EEPROMまたはフラッシュメモリを有するシステムLSI (Large Scale Integrated circuit) 等のようなメモリ混載の半導体装置にも適用できる。

【産業上の利用可能性】

【0086】

本発明は、フラッシュメモリ等のような不揮発性メモリセルを有する不揮発性半導体記憶装置の製造業に幅広く利用することができる。

【図面の簡単な説明】

【0087】

【図1】本発明の実施の形態1によるメモリセルアレイのデータ線断面方向の要部断面図である。

【図2】実施の形態1によるメモリセルアレイのワード線断面方向の要部断面図である。

【図3】実施の形態1による選択トランジスタのワード線断面方向の要部断面図である。

【図4】実施の形態1による選択トランジスタのワード線断面方向の要部断面図である。

【図5】実施の形態1による選択トランジスタのデータ線断面方向の要部断面図である。

【図6】実施の形態1による選択トランジスタのデータ線断面方向の要部断面図である。

【図7】実施の形態1において、メモリセルアレイとソース線を接続する選択トランジスタのワード線断面方向の断面図である。

【図8】実施の形態1において、メモリセルアレイとソース線を接続する選択トランジスタのデータ線断面方向の断面図である。

【図9】実施の形態1によるメモリセルアレイの要部平面図である。

【図10】実施の形態1によるメモリセルアレイの要部平面図である。

【図11】実施の形態1の変形例によるメモリセルアレイの要部平面図である。

【図12】実施の形態1によるメモリセルアレイの等価回路図である。

【図13】実施の形態1によるメモリセルアレイの製造工程を説明するためのデータ線断面方向の要部断面図である。

【図14】図13に続くメモリセルアレイの製造工程を説明するためのデータ線断面方向の要部断面図である。

【図15】図14に続くメモリセルアレイの製造工程を説明するためのデータ線断面方向の要部断面図である。

【図16】図15に続くメモリセルアレイの製造工程を説明するためのデータ線断面方向の要部断面図である。

【図17】図16に続くメモリセルアレイの製造工程を説明するためのデータ線断面方向の要部断面図である。

【図18】図17に続くメモリセルアレイの製造工程を説明するためのデータ線断面方向の要部断面図である。

【図19】図18に続くメモリセルアレイの製造工程を説明するためのデータ線断面方向の要部断面図である。

【図20】図19に続くメモリセルアレイの製造工程を説明するためのデータ線断面方向の要部断面図である。

10

20

30

40

50

【図 2 1】図 2 0 に続くメモリセルアレイの製造工程を説明するためのワード線断面方向の要部断面図である。

【図 2 2】図 2 1 に続くメモリセルアレイの製造工程を説明するためのワード線断面方向の要部断面図である。

【図 2 3】図 2 2 に続くメモリセルアレイの製造工程を説明するためのワード線断面方向の要部断面図である。

【図 2 4】図 2 3 に続くメモリセルアレイの製造工程を説明するためのワード線断面方向の要部断面図である。

【図 2 5】図 2 4 に続くメモリセルアレイの製造工程を説明するためのワード線断面方向の要部断面図である。

10

【図 2 6】図 2 5 に続くメモリセルアレイの製造工程を説明するためのワード線断面方向の要部断面図である。

【図 2 7】図 2 6 に続くメモリセルアレイの製造工程を説明するためのワード線断面方向の要部断面図である。

【図 2 8】実施の形態 2 によるメモリセルアレイの要部平面図である。

【図 2 9】実施の形態 2 によるメモリセルアレイの等価回路図である。

【図 3 0】実施の形態 3 によるメモリセルアレイの要部断面図である。

【図 3 1】メモリセルアレイのワード線に対するプラグ形成を説明するための要部平面図である。

【図 3 2】メモリセルアレイの変形例を示す要部断面図である。

20

【符号の説明】

【 0 0 8 8 】

- 1 シリコン基板
- 2 n型ウェル領域
- 3 p型ウェル領域
- 4 ゲート絶縁膜
- 5 電荷蓄積膜
- 6 積層膜
- 7 多結晶シリコン膜
- 8 タングステン膜
- 9 素子分離領域
- 10 キャップ膜
- 11 層間絶縁膜
- 12 配線
- 13 a ゲート電極
- 13 b ゲート電極
- 13 c ゲート電極
- 13 d ゲート電極
- 14 絶縁膜
- 15 a プラグ
- 15 b プラグ
- 16 選択線
- 17 選択線
- 18 不純物領域
- 19 不純物領域
- 20 プラグ
- 22 選択線
- 23 絶縁領域
- 23 a 不純物領域
- 24 不純物領域

30

40

50

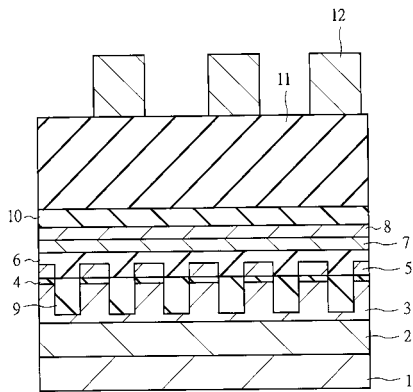
- 2 4 a 基板表面
- 2 6 シリコン窒化膜
- 2 7 多結晶シリコン膜
- 2 8 側壁
- 2 9 多結晶シリコン膜
- 2 9 a 多結晶シリコン膜
- 3 0 側壁
- 3 0 a レジストパターン
- 3 1 レジスト膜
- 3 1 a ゲート電極
- 3 1 b ゲート電極
- 3 1 c ゲート電極
- 3 1 d ゲート電極
- 3 2 プラグ
- 3 3 プラグ
- 3 4 選択線
- 3 5 選択線
- 3 6 プラグ
- 3 8 ローカルデータ線
- 3 9 素子分離領域
- 4 0 メモリセル
- D L ローカルデータ線
- G B L グローバルデータ線
- S T 1 ~ S T 6 選択トランジスタ
- W L ワード線

10

20

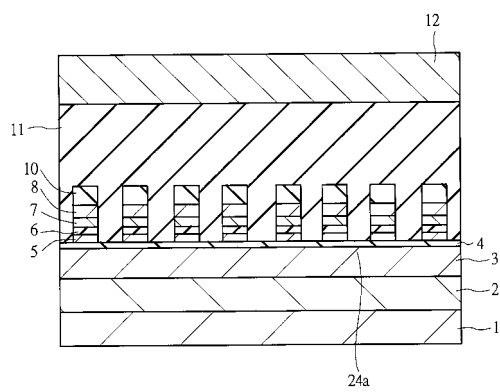
【図 1】

図 1



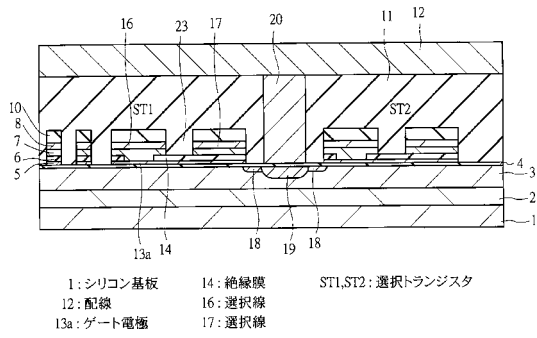
【図 2】

図 2



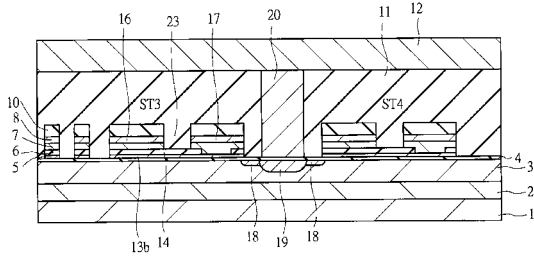
【図3】

図3



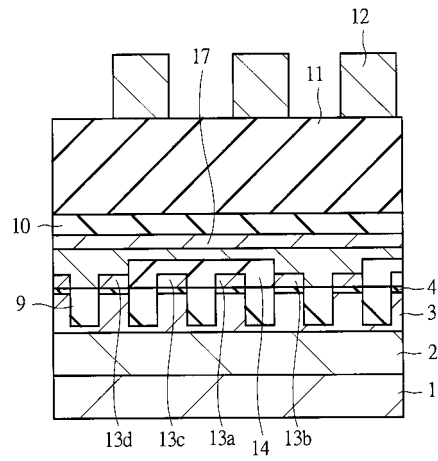
【図4】

図4



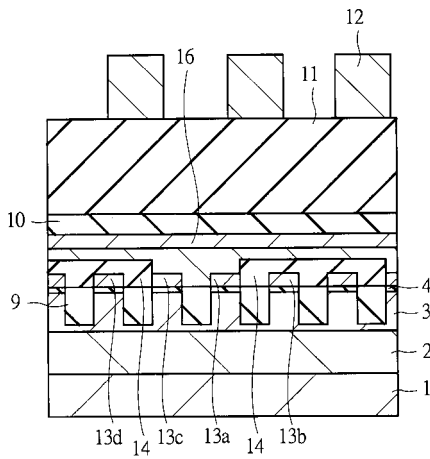
【図5】

図5



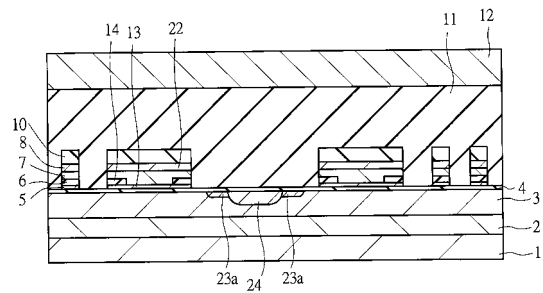
【図6】

図6



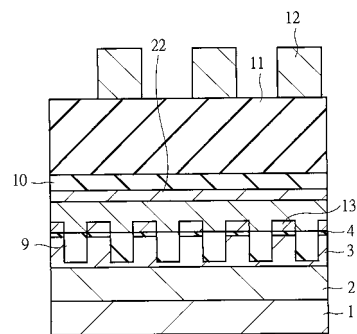
【図7】

図7

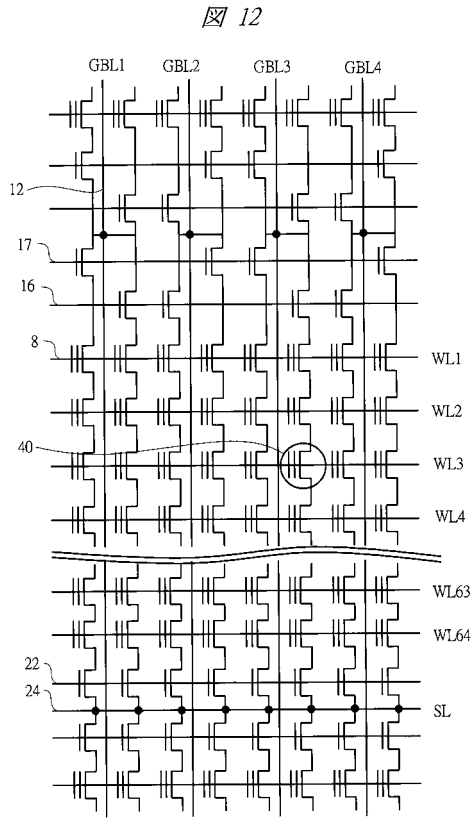


【図8】

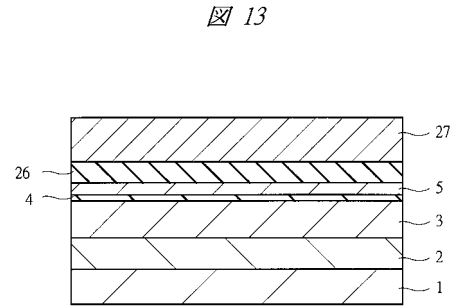
図8



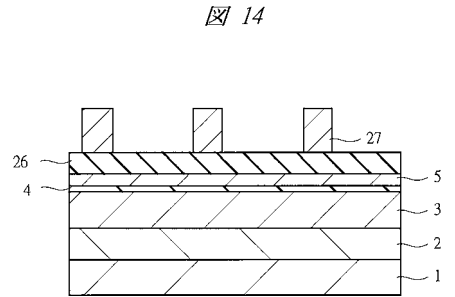
【図 12】



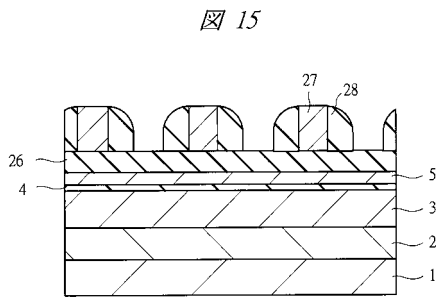
【図 13】



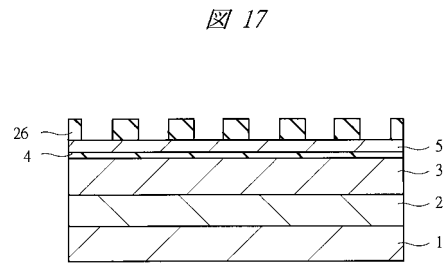
【図 14】



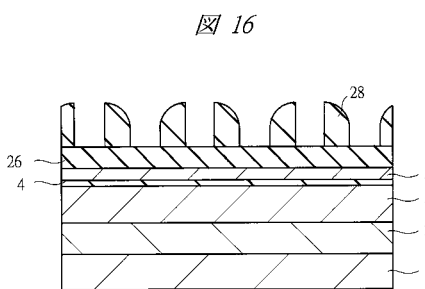
【図 15】



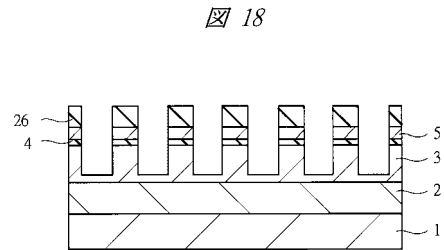
【図 17】



【図 16】

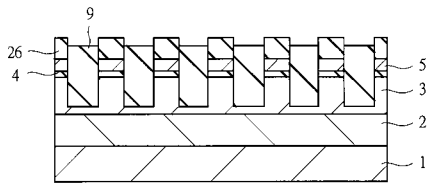


【図 18】



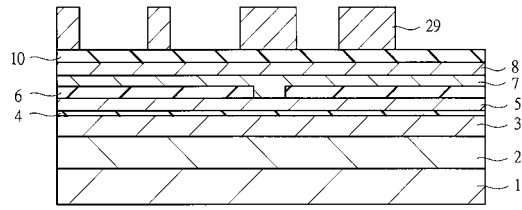
【図 19】

図 19



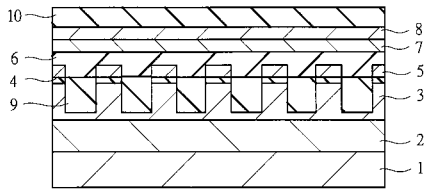
【図 21】

図 21



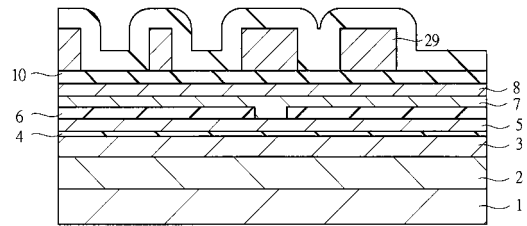
【図 20】

図 20



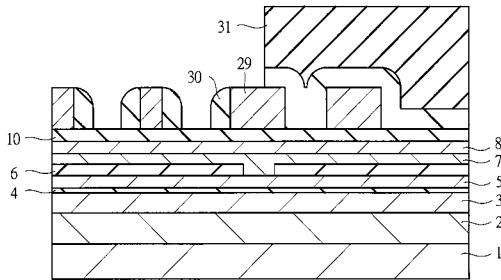
【図 22】

図 22



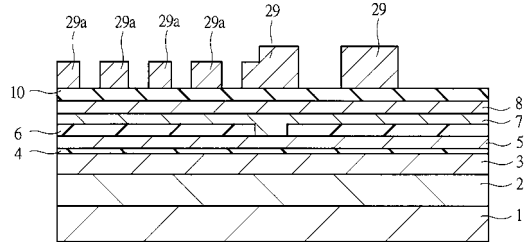
【図 23】

図 23



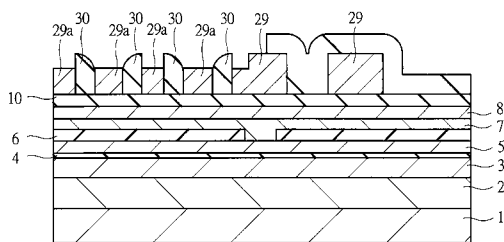
【図 25】

図 25



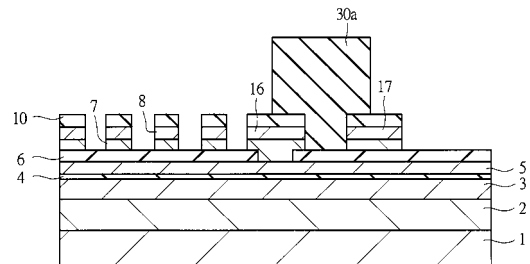
【図 24】

図 24



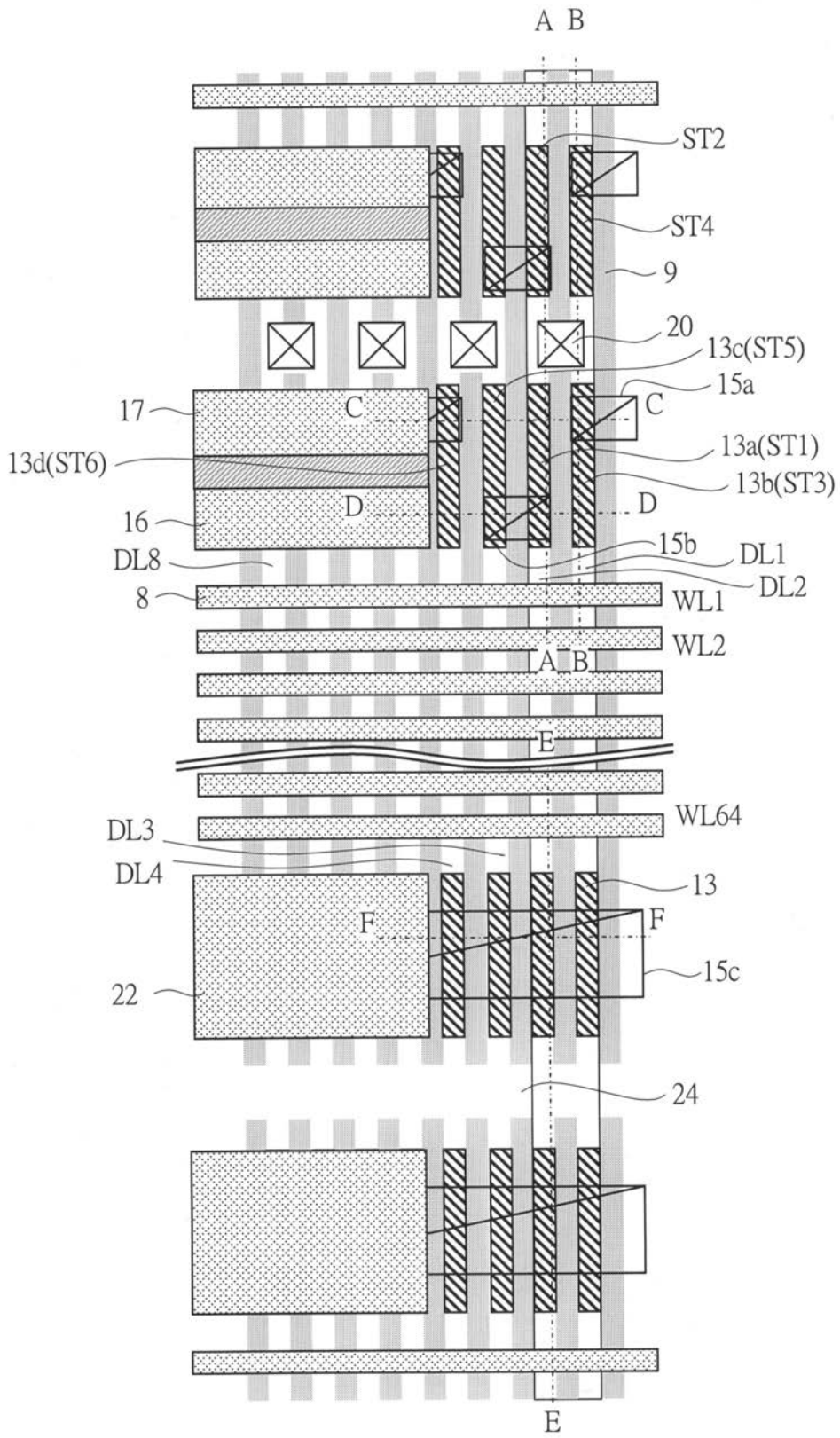
【図 26】

図 26



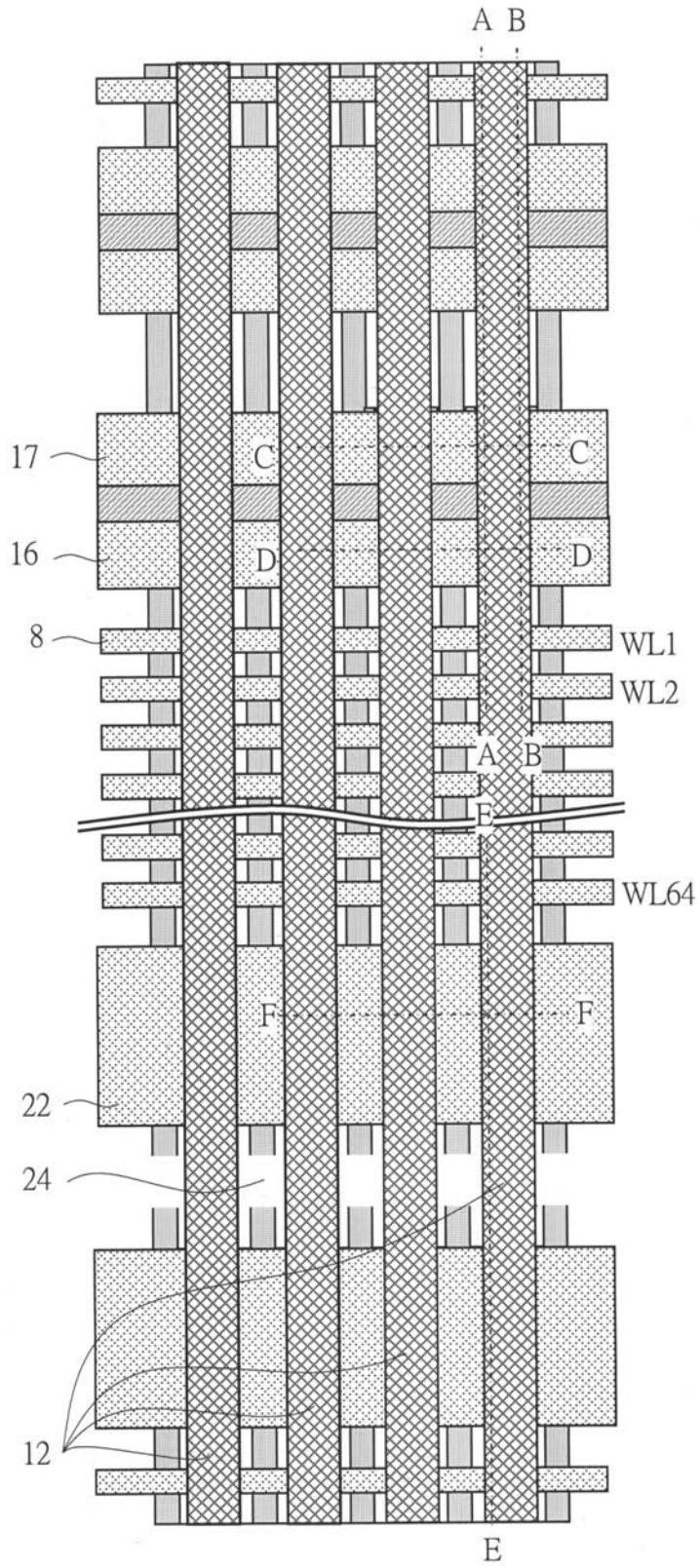
【図9】

図9



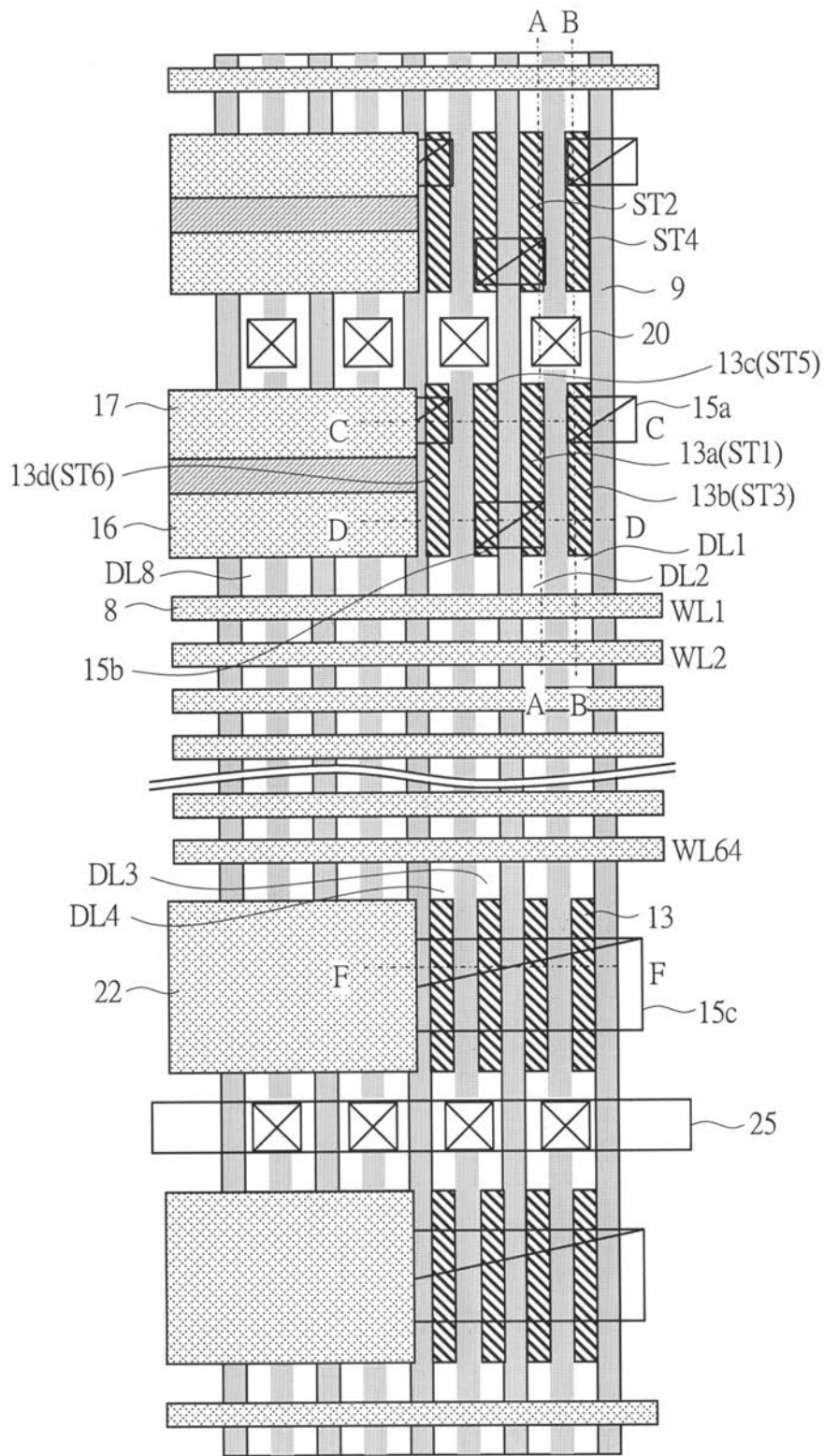
【図10】

図 10



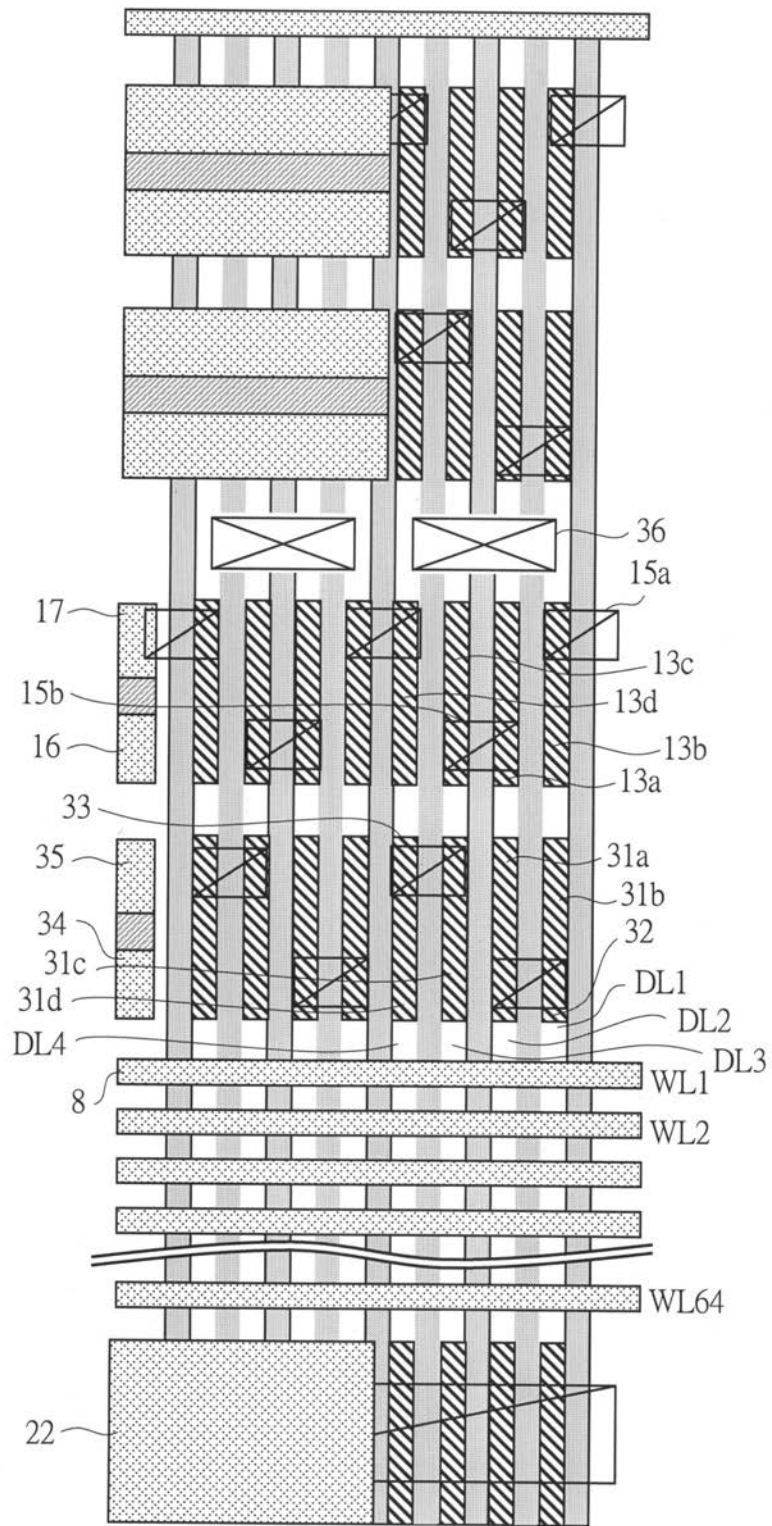
【図11】

図 11



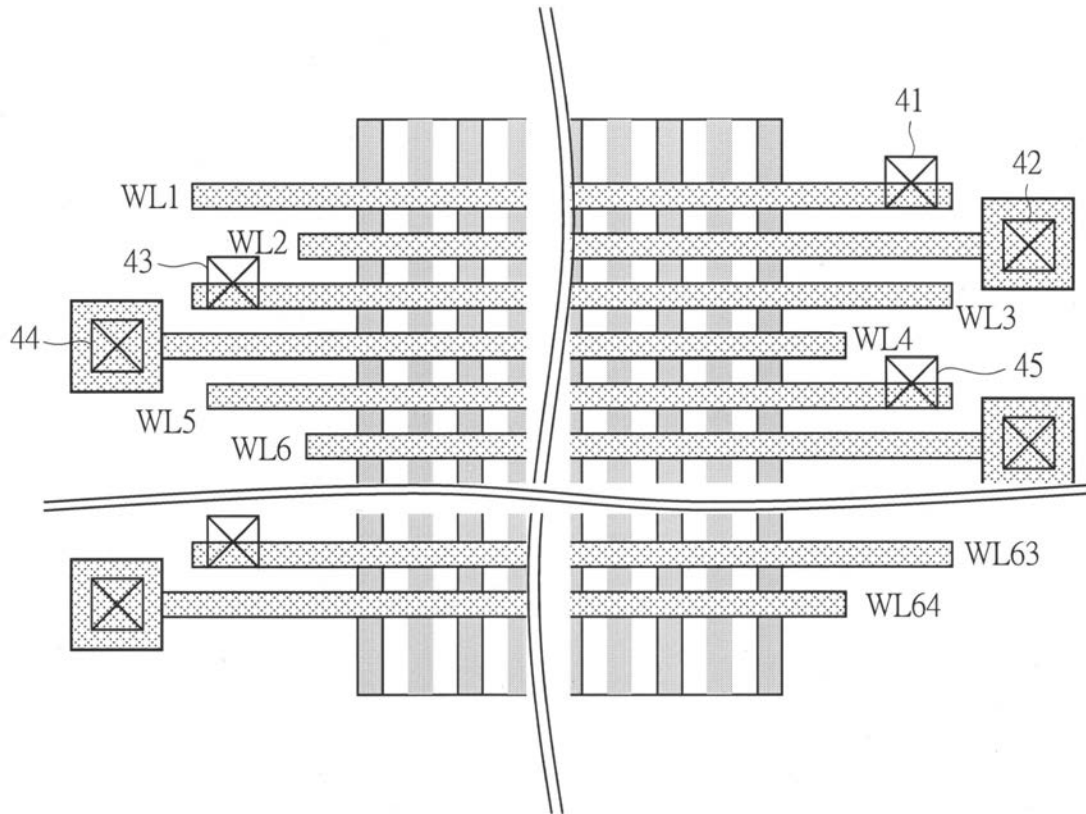
【図28】

図 28



【図 31】

図 31



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 23/52 (2006.01)

(72)発明者 峰 利之

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

審査官 井原 純

(56)参考文献 特開2005-056989(JP,A)

特開2005-243183(JP,A)

国際公開第2006/070474(WO,A1)

特開平02-177199(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/8247

H 0 1 L 21/3205

H 0 1 L 23/52

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792