

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-292912

(P2005-292912A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.<sup>7</sup>  
G05B 19/05

F I  
G O 5 B 19/05

テーマコード (参考)  
5 H 2 2 O

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2004-103073 (P2004-103073)  
(22) 出願日 平成16年3月31日 (2004. 3. 31)

(71) 出願人 000006507  
横河電機株式会社  
東京都武蔵野市中町2丁目9番32号  
(72) 発明者 松岡 康二  
東京都武蔵野市中町2丁目9番32号 横  
河電機株式会社内  
(72) 発明者 岡本 弘文  
東京都武蔵野市中町2丁目9番32号 横  
河電機株式会社内  
Fターム(参考) 5H220 AA01 BB12 BB15 CC07 CX01  
CX06 JJ12 KK01 KK04

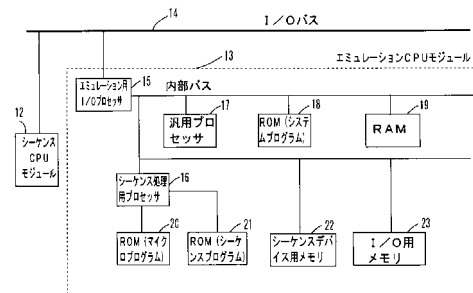
(54) 【発明の名称】 シミュレーション装置

(57) 【要約】 (修正有)

【課題】 マルチCPU構成のプログラブルコントローラにおいて、1つのCPUモジュールでI/Oをエミュレートするようにして、I/Oモジュールや外部接続なしで、実際のラダープログラムを動作させながら実機に近いデバッグを行うことができるシミュレーション装置を提供する。

【解決手段】 エミュレーションCPUモジュールは、シミュレーションするための他のCPUモジュールであるシーケンスCPUモジュールからのI/Oモジュールアクセスを自己のCPU内でのアクセスとして処理可能なエミュレーション用I/Oプロセッサと、I/Oメモリとを備え、前記I/Oメモリには、予め登録されたI/O情報をもとに前記複数のCPUモジュールの各々に備えてあるI/Oモジュールと同等なデータテーブルを有すると共に、I/Oモジュールの動作をエミュレートするためのプログラムを動作させる仕組みを備えたことである。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

外部バスに接続されている複数の CPU モジュールで構成されているプログラマブルコントローラであって、

前記複数の CPU モジュールの内の 1 つの CPU モジュールをエミュレーション CPU モジュールとし、

前記エミュレーション CPU モジュールは、シミュレーションするための他の CPU モジュールであるシーケンス CPU モジュールからの I/O モジュールアクセスを自己の CPU 内でのアクセスとして処理可能なエミュレーション用 I/O プロセッサと、I/O メモリとを備え、

前記 I/O メモリには、予め登録された I/O 情報をもとに前記複数の CPU モジュールの各々に備えてある I/O モジュールと同等なデータテーブルを有すると共に、I/O モジュールの動作をエミュレートするためのプログラムを動作させる仕組みを備えたことを特徴とするシミュレーション装置。

10

## 【請求項 2】

前記 I/O モジュールの動作をエミュレートするためのプログラムは、前記 I/O メモリの情報をもとに接続されるべき機器の動作をシミュレーションし、その結果を前記 I/O メモリに書き込む又は予め設定された時間に設定されたデータを前記 I/O メモリに書き込むことを特徴とする請求項 1 に記載のシミュレーション装置。

## 【請求項 3】

前記 I/O モジュールの動作をエミュレートするためのプログラムは、前記シミュレーション用 I/O プロセッサと内部バスで接続されているシーケンスデバイス用メモリに蓄積することを特徴とする請求項 1 又は 2 に記載のシミュレーション装置。

20

## 【請求項 4】

前記エミュレーション用 I/O プロセッサと前記 I/O メモリとは、内部バスで接続されていることを特徴とする請求項 1 又は 3 に記載のシミュレーション装置。

## 【請求項 5】

前記 I/O メモリには、データを格納するデータ領域と、フラグ等を格納するレジスタ領域とを備えたことを特徴とする請求項 1、2、3 又は 4 に記載のシミュレーション装置。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、シミュレーション装置に関し、詳しくはマルチ CPU 構成機能を持つプログラマブルコントローラにおいて、ユーザプログラムのデバッグを効率化するシミュレーション装置に関する。

## 【背景技術】

## 【0002】

従来技術において、プログラマブルコントローラのユーザプログラムをデバッグするためのシミュレーション機能を備えた装置は、下記に示すものがある。

40

## 【0003】

構成 1 ; PC ( Personal Computer ) 上でラダー命令を実行する方式  
ユーザがプログラミングツールで作成したラダープログラムを PC 上で実行する。PC 上のシミュレーション用ソフトウェアは、ラダー命令をインタプリタ方式で実行する。入力データはユーザがデータ作成又はオンデマンド方式で行う。

構成 2 ; 外部機器を使用する方式

ターゲットとなるプログラマブルコントローラと I/O をエミュレートするための装置を実配線し、ユーザのラダープログラムをターゲット上で走らせながら、シミュレート装置でターゲット装置の I/O をエミュレートしてデバッグを行う。

## 【0004】

50

【特許文献1】特開平9-330250号公報(第5頁~7頁 第1図)

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、従来技術で説明したシミュレーション機能を備えたシミュレーション装置において、構成1の場合は、実行スピードが実際と異なるため、ユーザプログラムのロジックのデバッグしかできず、タイミング等を含めたシステムとしてのテスト、デバッグができないという問題がある。

【0006】

又、構成2の場合は、I/Oをエミュレートするための装置が必要となり、また、ターゲットのプログラマブルコントローラとI/Oエミュレート装置間が実配線をしなければならず、その配線に時間と手間がかかるという問題がある。

【0007】

従って、I/Oのエミュレート装置を使用せず、且つ実行速度を保った状態でユーザプログラムのデバッグ、システムテストを行うことができるシミュレーション装置に解決しなければならない課題を有する。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本願発明のシミュレーション装置は、次に示す構成にしたことである。

(1)シミュレーション装置は、外部バスに接続されている複数のCPUモジュールで構成されているプログラマブルコントローラであって、前記複数のCPUモジュールの内の1つのCPUモジュールをエミュレーションCPUモジュールとし、前記エミュレーションCPUモジュールは、シミュレーションするための他のCPUモジュールであるシーケンスCPUモジュールからのI/Oモジュールアクセスを自己のCPU内でのアクセスとして処理可能なエミュレーション用I/Oプロセッサと、I/Oメモリとを備え、前記I/Oメモリには、予め登録されたI/O情報をもとに前記複数のCPUモジュールの各々に備えてあるI/Oモジュールと同等なデータテーブルを有すると共に、I/Oモジュールの動作をエミュレートするためのプログラムを動作させる仕組みを備えたことである。

(2)前記I/Oモジュールの動作をエミュレートするためのプログラムは、前記I/Oメモリの情報をもとに接続されるべき機器の動作をシミュレーションし、その結果を前記I/Oメモリに書き込む又は予め設定された時間に設定されたデータを前記I/Oメモリに書き込むことを特徴とする(1)に記載のシミュレーション装置。

(3)前記I/Oモジュールの動作をエミュレートするためのプログラムは、前記シミュレーション用I/Oプロセッサと内部バスで接続されているシーケンスデバイス用メモリに蓄積することを特徴とする(1)又は(2)に記載のシミュレーション装置。

(4)前記エミュレーション用I/Oプロセッサと前記I/Oメモリとは、内部バスで接続されていることを特徴とする(1)又は(3)に記載のシミュレーション装置。

(5)前記I/Oメモリには、データを格納するデータ領域と、フラグ等を格納するレジスタ領域とを備えたことを特徴とする(1)、(2)、(3)又は(4)に記載のシミュレーション装置。

【発明の効果】

【0009】

本発明のシミュレーション装置は、I/Oをエミュレートするため、I/Oモジュールや外部接続なしで、実際のラダープログラムを動作させながら実機に近いデバッグを行うことができる。

【0010】

又、タイミングがずれた場合の動作検証など、異常処理のデバッグが簡単にできるという効果がある。

【発明を実施するための最良の形態】

10

20

30

40

50

## 【0011】

以下、本発明のシミュレーション装置について、図面を用いて詳細に説明する。

## 【実施例1】

## 【0012】

本発明のシミュレーション装置は、図1及び図2に示すように、外部バスに接続されている複数のCPUモジュールで構成されているプログラマブルコントローラであって、電源モジュール11と、デバッグするターゲットプログラムが格納されているシーケンスCPUモジュール12と、エミュレーションを行うためのエミュレーションCPUモジュール13とから構成されている。各モジュール11、12、13は外部バスであるI/Oバス14で接続されている。

10

## 【0013】

エミュレーションCPUモジュール13は、図2に示すように、シーケンスCPUモジュール12から送出されたI/Oアクセスデータに従って、I/Oメモリ23のデータをアクセスすると共に、シーケンスCPUモジュール12にデータを返信するエミュレーション用I/Oプロセッサ15と、プログラミングツールとのRS232C仕様に基づく通信、I/Oメモリ23とシーケンスデバイスメモリ22とのデータ交換（内部リフレッシュ処理）などを行う汎用プロセッサ17、システムプログラムを格納してあるROM18、RAM19と、I/Oエミュレーション用ラダープログラムを動作させるために使用するシーケンス処理用プロセッサ16、マイクロプログラムを格納してあるROM20、シーケンスプログラムが格納されているROM21と、I/Oエミュレーション用ラダープログラムを動作させるために使用するシーケンスデバイス用メモリ22と、I/O空間にマッピングされており、予め登録されたI/Oモジュール構成に基づき、エミュレートするI/Oモジュールと同じテーブルを構成するI/Oメモリ23と、から大略構成されている。この中で、I/Oメモリ23のI/O空間にはデータを格納するデータ領域とフラグ等を格納するレジスタ領域があり、本I/Oメモリ23は両方の領域テーブルを持つ。

20

エミュレーションCPUモジュール13を構成するエミュレーション用I/Oプロセッサ15、汎用プロセッサ17、ROM18、RAM19、シーケンス処理用プロセッサ16、ROM20、ROM21、シーケンスデバイス用メモリ22、I/Oメモリ23のそれぞれは内部バスに接続され、それぞれデータ及び命令の指示等が内部バスを介して行う構成になっている。

30

## 【0014】

このような構成からなるシミュレーション装置において、先ず、シーケンスCPUモジュール12ではデバッグするターゲットプログラムが動作し、I/Oリフレッシュなど通常と同じ動作を行う。

## 【0015】

エミュレーションCPUモジュール13では、シーケンスCPUモジュール12がI/Oバス14上に送出したアドレスデータをエミュレート用I/Oプロセッサ15が解釈し、I/Oメモリ23上の該当するメモリ番地に対してシーケンスCPUモジュール12がアクセスしたアドレスのデータ書込み/読み出しを行う。

## 【0016】

エミュレーションCPUモジュール13内のROM21に格納されているI/Oエミュレーション用シーケンスプログラムは、I/Oをエミュレーションするためのプログラムをユーザがラダーで作成する。例えば、接続されるべき機器であるスロット3の出力モジュールの接点1が出力されると、一定時間後にスロット3の入力モジュールの接点1が入力されるというようなI/O動作をラダーで作成し、エミュレーションCPUモジュール13内で動作させる。また、レジスタデータについては、例えば、アナログ入力値のデータを任意のタイミングで任意のデータに変更することができる。

40

## 【0017】

エミュレーションCPUモジュール13内では、I/Oエミュレーション用プログラムのI/Oアクセスを内部のI/Oメモリ23に対して行う。従って、通常のI/Oレフレ

50

ッシュ、READ/WRITE命令動作なども、I/Oメモリ23に対して行う。エミュレーション用シーケンスプログラムでは、全デバイスに対するアクセスが可能である。

【0018】

シーケンスCPUモジュール12へのI/O割り込みは、汎用プロセッサ17がエミュレーション用I/Oプロセッサ15に対して割り込み要求を出すことで行う。尚、この際、I/Oメモリ23のレジスタ領域に割り込みフラグをセットしておく。

【産業上の利用可能性】

【0019】

マルチCPU構成のプログラマブルコントローラにおいて、1つのCPUモジュールでI/Oをエミュレートするようにして、I/Oモジュールや外部接続なしで、実際のラダープログラムを動作させながら実機に近いデバッグを行うことができるシミュレーション装置を提供する。

10

【図面の簡単な説明】

【0020】

【図1】本願発明のシミュレーション装置の構成を示した説明図である

【図2】同、エミュレーションCPUモジュールの構成を示した説明図である。

【符号の説明】

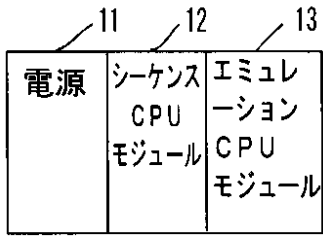
【0021】

- 11 電源モジュール
- 12 シーケンスCPUモジュール
- 13 エミュレーションCPUモジュール
- 14 I/Oバス
- 15 エミュレーション用I/Oプロセッサ
- 16 シーケンス処理用プロセッサ
- 17 汎用プロセッサ
- 18 ROM
- 19 RAM
- 20 ROM
- 21 ROM
- 22 シーケンスデバイスメモリ
- 23 I/Oメモリ。

20

30

【 図 1 】



【 図 2 】

