

(11) Número de Publicação: **PT 1254522 E**

(51) Classificação Internacional:

H04B 1/59 (2006.01) **G06K 7/00** (2006.01)
G06K 19/07 (2006.01) **G07B 15/00** (2006.01)
H04B 7/26 (2006.01)

(12) **FASCÍCULO DE PATENTE DE INVENÇÃO**

(22) Data de pedido: **2001.01.15**

(30) Prioridade(s): **2000.02.08 NO 20000614**

(43) Data de publicação do pedido: **2002.11.06**

(45) Data e BPI da concessão: **2008.12.31**
069/2009

(73) Titular(es):

Q-FREE ASA
P.O.BOX 3974 LEANGEN, N-7443 TRONDHEIM
NORUEGA **NO**

(72) Inventor(es):

ATLE SAEGROV **NO**

(74) Mandatário:

PEDRO DA SILVA ALVES MOREIRA
RUA DO PATROCÍNIO, N.º 94 1399-019 LISBOA **PT**

(54) Epígrafe: **CONTROLADOR DE COMUNICAÇÕES PARA UM EMISSOR-RESPONDEDOR**
ACTIVO

(57) Resumo:

DESCRIÇÃO

"CONTROLADOR DE COMUNICAÇÕES PARA UM EMISSOR-RESPONDEDOR ACTIVO"

A invenção refere-se a um método de acordo com a parte introdutória da reivindicação 1, bem como a um controlador de comunicações de acordo com a parte introdutória da reivindicação 6.

Antecedentes da Invenção

Os antecedentes da invenção são o pagamento de custos sem fios para a utilização de estradas (portagens rodoviárias) por veículos. Os sistemas proporcionados para este propósito têm sido distribuídos pela empresa Q-Free ASA desde há muitos anos. Actualmente, estes sistemas são utilizados na Noruega e são bem conhecidos sob o termo "Q-Free-box". A este respeito, o termo "box" refere-se ao módulo deste sistema fixo a um veículo individual, isto é, a um assim chamado emissor-responder. Este emissor-responder recebe dados de uma estação principal do sistema de emissor-responder e, como uma resposta a isto, transmite dados individuais de volta para a berma da estrada.

Entretanto o desenvolvimento tecnológico neste campo voltou-se para emissores-respondedores que - ao contrário dos emissores-respondedores utilizados anteriormente neste campo - estão a ser operados não de modo passivo, mas activo e para a operação dos quais é aplicada uma radiação de microondas com frequências na gama dos 5,8 GHz. Com este sistema de emissor-responder conhecido, a radiação recebida pelo

emissor-responder é modulada em amplitude para a transmissão de dados, enquanto a radiação de microondas transmitida pelo emissor-responder para a transmissão de dados é modulada em fase.

O sinal de entrada modulado obtido no emissor-responder pela recepção da radiação de microondas é desmodulado inicialmente, para obtenção de uma sequência de dados de entrada binários (de uma trama de dados de entrada). Em seguida, esta sequência de dados de entrada é fornecida a um processador (microcontrolador) digital operado por um relógio de processamento com uma frequência de relógio determinada para descodificação e processamento ulterior dos dados recebidos, bem como para geração de uma sequência de dados de saída binários (trama de dados de saída). Durante um intervalo com uma certa duração a partir da sequência de dados de saída, como uma resposta ao sinal de entrada, forma-se um sinal de saída no emissor-responder, que é irradiado como uma radiação de microondas modulada com uma certa frequência a partir da antena do microcontrolador.

Estes emissores-respondedores activos estão providos com uma bateria como fonte de energia. A este respeito, o termo "bateria" compreende células primárias eléctricas, bem como células secundárias eléctricas numa configuração única ou múltipla.

Nos sistemas de emissor-responder conhecidos, as transacções subsequentes (sequências de transacção) entre a estação principal do sistema de emissor-responder e o emissor-responder individual realizam-se com base num protocolo de comunicações avançado (HDLC-Controlo de Ligação de

Dados de Alto Nível) e contêm, habitualmente, o processamento de sequências de dados e campos de controlo. Além disso, existe uma necessidade considerável para a segurança das transacções que se pretendem realizar. O DES (Norma de Codificação de Dados) e o Tripple-DES pertencem aos algoritmos de segurança mais comuns. No entanto, a aplicação destes algoritmos de segurança significa frequentemente que, com isto, o processamento de dados pelo emissor-respondedor torna-se muito demorado.

Até hoje, a solução mais comum para um emissor-respondedor do sistema de emissor-respondedor é uma solução na qual um processador em série é aplicado como microcontrolador. Com esta solução, há flexibilidade para variações e é possível obter uma velocidade de transacção satisfatória com a utilização de processadores, que funcionam com um sistema de cadência de impulsos de relógio com uma frequência de relógio de 10 MHz e maior.

Até agora, o maior problema dos microcontroladores aplicados como controladores de comunicações, é que, a partir da frequência de relógio relativamente elevada do sistema de relógio, resulta uma carga relativamente alta para a bateria do emissor-respondedor e isto considerando a intensidade média e a duração da corrente (integral dos impulsos de corrente no tempo retirado com a frequência do relógio do sistema), bem como considerando o facto do consumo de corrente tipo impulsos representar uma carga excepcional para a bateria. Mesmo se este consumo de corrente não significar demasiado para o tempo de vida dos componentes do emissor-respondedor, um tal consumo de corrente com uma tal extensão e de um modo que ocorre em impulsos é particularmente problemática a temperaturas

relativamente baixas em que a resistência interna da bateria é elevada.

Finalmente, o microcontrolador aplicado ao emissor-respondedor, até agora, é um processador que funciona em série. Isto significa que um tal processador não é ideal considerando o processamento de dados que podem ser processados em paralelo, especialmente não no caso em que, por um lado, são necessárias acções extensíveis de processamento (descodificação) no processador e, por outro lado, deve ser emitido um sinal de saída do emissor-respondedor no menor tempo possível depois de receber o sinal de entrada.

O documento US4303904 (Chasek) dá a conhecer um emissor-respondedor para um sistema de pagamento de portagens automático e o conjunto de circuitos anexos. Neste caso, os impulsos de relógio são proporcionados em adição aos impulsos de dados. Não se discute a cronometragem de múltiplos processadores com base no relógio de símbolos do sinal de entrada. Este documento explica como é que se utilizam vários componentes para transferir informação ou ler a memória de um sinal de entrada a ser processado.

O documento US5724591 (Hitachi) dá a conhecer o fornecimento de processadores em paralelo, que estão dispostos de modo a terem um primeiro modo e um segundo modo, cada um dos quais possui uma regulação de potência eléctrica diferente e em que o multiprocessador está adaptado para comutar entre um modo e o outro, quando recebe um pedido de regulação.

Objectivo

A invenção tem como objectivo, por um lado, reduzir consideravelmente a carga mencionada da bateria para prolongar o seu tempo de vida e para melhorar a sua operacionalidade e, por outro lado, permitir que o emissor-respondedor emita um sinal de saída em cima do sinal de entrada recebido no menor tempo possível.

Invenção

Para obter o objectivo supramencionado propõe-se a invenção de acordo com a parte de caracterização da reivindicação 1 e 10 respectivamente.

Outros passos ou medidas processuais vantajosos e adequados são indicados nas reivindicações 2-9 e 11-16.

Com base no conhecimento de que, com o sistema de emissor-respondedor em questão, a estrutura do conteúdo das sequências de dados recebidas e transmitidas pelo emissor-respondedor, pelo menos com uma quantidade considerável, permite um processamento em paralelo e particularmente bit a bit, a solução para realizar os passos processuais de acordo com a invenção indicada na reivindicação 1, comparada com o estado da técnica actual, oferece a vantagem de uma carga consideravelmente reduzida da bateria do emissor-respondedor pelo consumo de corrente do tipo impulsos, em conjunto com um tempo relativamente curto até à irradiação de uma resposta em cima do sinal de entrada recebido.

Uma característica vantajosa da invenção está de acordo com a reivindicação 1. Com um processamento de dados em paralelo da sequência de dados de entrada descodificados, realizado de modo correspondente, é possível realizar este processamento com uma cadência de impulsos do sistema com apenas uma fracção da frequência de relógio habitual até agora e, apesar disso, quando comparado com a solução prévia, reduzir consideravelmente a duração entre a recepção do sinal de entrada e a formação do sinal de saída. Para isso, apenas a duração do processamento de dados da sequência de dados de entrada que ocorre agora tem que exceder a duração da redução da frequência de relógio no seu impacto sobre a duração mencionada. Para geração de uma tal cadência de processamento - quando comparada com o estado da técnica "mais lento" - pode aplicar-se um oscilador correspondente no emissor-respondedor.

Vantajosamente aplica-se o passo processual de acordo com a reivindicação 1. Esta solução é útil considerando o facto, de o relógio de símbolos ser o relógio dentro do sistema de emissor-respondedor que possui a frequência de relógio mais baixa, nomeadamente uma frequência de relógio consideravelmente menor quando comparada com o relógio de sistema anterior. A aplicação de um oscilador separado dentro do emissor-respondedor para gerar o relógio de sistema para o processador pode ser efectuada no exterior. Isto também tem um efeito positivo na carga da bateria.

Ao recuperar o relógio de símbolos e a seguinte utilização do mesmo como relógio de sistema, obtém-se uma solução ideal para o consumo de corrente da bateria. O relógio de símbolos é o relógio com a frequência de relógio absolutamente mais baixa, que pode obter-se no sistema de emissor-respondedor sem a

introdução de memórias intermédias ou semelhantes. Uma solução de microcontrolador, que é baseada numa pluralidade de módulos de processador, que funcionam com este relógio de sistema, permite a descodificação bit a bit dos dados que chegam ao emissor-respondedor. Isto forma um contraste com a solução de microcontrolador, com a qual, em primeiro lugar, a sequência de dados (a trama de dados) tem que ser armazenada podendo, em seguida, iniciar-se o processamento de dados.

A reivindicação 2 indica uma solução preferida para formar uma frequência de relógio derivada da frequência de relógio do gerador de sincronização do relógio de símbolos ou correspondente a esta frequência de relógio.

Considerando o conhecimento supramencionado de uma capacidade de processamento dos dados mencionados num modo que ocorre mais ou menos em paralelo, a reivindicação 4 indica um processo particularmente útil.

As reivindicações 10-13 referem-se a um controlador de comunicações ou a uma concepção útil do mesmo, podendo ser aplicado com vantagem em ligação com o método de acordo com a invenção.

Exemplos

A invenção será descrita, em seguida, com mais pormenor, com o auxílio das Figs. 1 e 2 do desenho.

A Fig. 1 mostra, em ligação com a invenção, uma parte essencial de um controlador de comunicações de um

emissor-responder de acordo com o estado da técnica e como um diagrama de blocos, e

A Fig. 2 mostra partes essenciais de um controlador de comunicações, como aplicado em ligação com a invenção e como um diagrama de blocos.

A Fig. 1 mostra um controlador 11 de comunicações de um emissor-responder, não mostrado com maior pormenor, de acordo com o estado da técnica. O relógio de sistema para o controlador 1 de comunicações é constituído por um oscilador 12. Ao longo da linha 13 estão a ser armazenados dados de entrada numa memória 14 de recepção (memória intermédia). Quando a sequência de dados completa (trama de dados) está a ser recebida e armazenada, o núcleo 15 de processador iniciará o processamento dos dados de entrada e prepara uma resposta do emissor-responder em cima dos dados de entrada. Isto acontece com um relógio de sistema com uma frequência de relógio de cerca de 10 MHz ou com uma frequência de relógio ainda mais elevada. Depois de a resposta estar completa, será colocada numa memória 16 intermédia de transmissão e, logo que a memória 16 intermédia de transmissão esteja cheia com dados, pode iniciar-se a transmissão de dados e a resposta pode ser irradiada a partir de uma antena do emissor-responder na forma de uma radiação de microondas modulada em fase.

A Fig. 2 mostra partes essenciais de um controlador 17 de comunicações de acordo com a invenção. Este controlador 17 de comunicações baseia-se numa "arquitectura" completamente diferente quando comparada com o controlador 1 de comunicações conhecido de acordo com a Fig. 1. Com o controlador 17 de comunicações de acordo com a Fig. 2, o relógio de sistema é

constituído por um circuito 18 de recuperação do relógio de símbolos, em que o relógio de sistema realizado deste modo funciona para todos os módulos 19-22 de processador integrados para um processamento de dados que ocorre em paralelo.

O descodificador de dados indicado pelo número 13 distribui dados descodificados aos módulos 19-22 de processador que, depois de cada recepção de dados ao longo da linha indicada pelo número 24, descodificará estes dados, processá-los-á e formará respostas. Imediatamente depois de o último bit da sequência de dados recebida (trama de dados) ter sido descodificado pode iniciar-se a transmissão de dados de resposta ao longo da linha indicada pelo número 25. Deste modo, não só é reduzida consideravelmente a duração entre a recepção do sinal de entrada e a irradiação do sinal de saída do emissor-respondedor, mas - devido à frequência de relógio consideravelmente reduzida do relógio de sistema do emissor-respondedor - é também reduzida consideravelmente a carga da bateria do emissor-respondedor.

Lisboa, 30 de Março de 2009

REIVINDICAÇÕES

1. Método de processamento de informação codificada por um emissor-respondedor activo alimentado por bateria para utilização em sistemas de pagamento de portagens rodoviárias sem fios, estando o emissor-respondedor adaptado para receber uma radiação de microondas modulada com uma frequência determinada para obter um sinal de entrada; para ser desmodulado para obtenção de uma sequência de dados de entrada binários, compreendendo o método:

a utilização de um microcontrolador/processador (17) digital para descodificar uma sequência de dados de entrada binários e para gerar uma sequência de dados de saída binários, sendo o referido microcontrolador/processador digital operado por um relógio de processamento com uma frequência de relógio determinada e sendo a referida sequência de dados de saída binários gerada dentro de um intervalo com uma certa duração como uma resposta a um sinal de entrada recebido, de modo a fornecer um sinal de saída a uma antena do emissor-respondedor; caracterizado por proporcionar o microcontrolador/processador (17) digital com uma pluralidade de módulos (19-22) de processador que estão integrados numa unidade de processamento para proporcionar um processamento paralelo de dados da sequência de dados de entrada binários descodificados com uma frequência de relógio de menos de 10 MHz; e

a utilização de um gerador (18) de sincronização para observar um relógio de símbolos de um sinal de entrada de modo a proporcionar uma frequência de relógio para o relógio de processamento dos módulos (19-22) de processador.

2. Método de acordo com a reivindicação 1, em que o gerador (18) de sincronização observa o relógio de símbolos de um sinal de entrada por meio de um PLL.
3. Método de acordo com a reivindicação 1, em que a referida frequência de relógio para o relógio de processamento dos módulos (19-22) de processador corresponde à frequência de relógio do relógio de símbolos.
4. Método de acordo com a reivindicação 1, em que o processamento paralelo de dados da sequência de dados de entrada descodificados é realizada bit a bit.
5. Método de acordo com qualquer reivindicação anterior, compreendendo ainda:

a recepção e desmodulação de um sinal de entrada para proporcionar a sequência de dados de entrada binários; e

a utilização da sequência de dados de saída binários para desmodular e transmitir um sinal de saída.

6. Método de acordo com a reivindicação 5, compreendendo:

a recepção e desmodulação de uma radiação modulada em amplitude para proporcionar a sequência de dados de entrada binários; e

a modulação e transmissão da radiação modulada em frequência para proporcionar o sinal de saída.

7. Método de acordo com qualquer reivindicação anterior, em que a codificação da sequência de saída de dados binários é efectuada utilizando um de DES e Tripple-DES.

8. Método de acordo com qualquer reivindicação anterior, compreendendo o processamento de informação de pagamento sem fios de uma portagem rodoviária.

9. Método para proporcionar um sistema de pagamento de uma portagem rodoviária, compreendendo

a transmissão de um sinal de entrada desde uma estação principal, compreendendo o referido sinal de entrada um relógio de símbolos para permitir que um emissor-respondedor utilizando o método de qualquer das reivindicações anteriores, processe a informação da portagem rodoviária.

10. Controlador de comunicações para um emissor-respondedor activo alimentado por bateria para sistemas de pagamento de portagens rodoviárias sem fios, estando o emissor-respondedor adaptado para receber uma radiação de microondas modulada com uma frequência predeterminada para obter um sinal de entrada para ser desmodulado para obter uma sequência de dados de entrada binários; compreendendo o

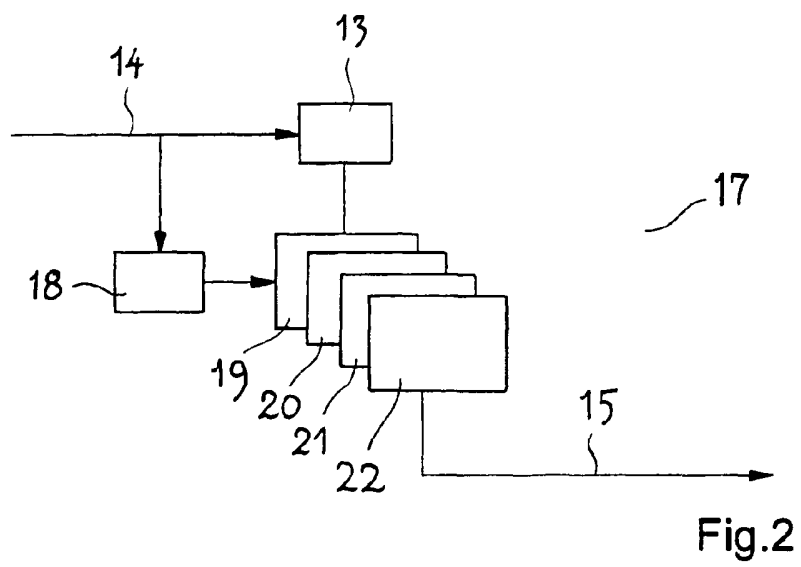
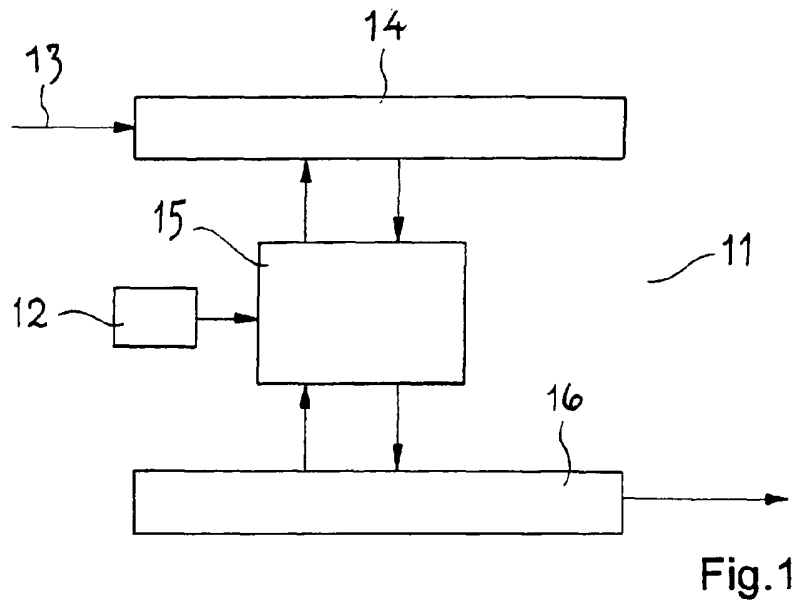
controlador um microcontrolador/processador (17) digital adaptado para receber uma sequência de dados de entrada binários e operado por um relógio de processamento com uma frequência de relógio predeterminada para descodificar e gerar uma sequência de dados de saída binários, estando o microcontrolador/processador (17) digital adaptado para fornecer um sinal de saída a uma antena dentro de um intervalo de uma certa duração como uma resposta ao sinal de entrada recebido,

caracterizado por o microcontrolador/processador (17) digital compreender uma pluralidade de módulos (19-22) de processador que estão integrados numa unidade de processamento para proporcionar um processamento paralelo de dados da sequência de dados de entrada descodificados e em que o controlador compreende ainda um gerador (18) de sincronização adaptado para observar um relógio de símbolos de um sinal de entrada, de modo a proporcionar uma frequência de relógio para o relógio de processamento dos módulos de processador.

11. Controlador de comunicações de acordo com a reivindicação 10, em que o gerador de sincronização está adaptado para observar o relógio de símbolos de um sinal de entrada por meio de um PLL.
12. Controlador de acordo com a reivindicação 10 ou 11, em que os módulos (19-22) de processador estão dimensionados para um processamento de dados bit a bit da sequência de dados de entrada descodificados.

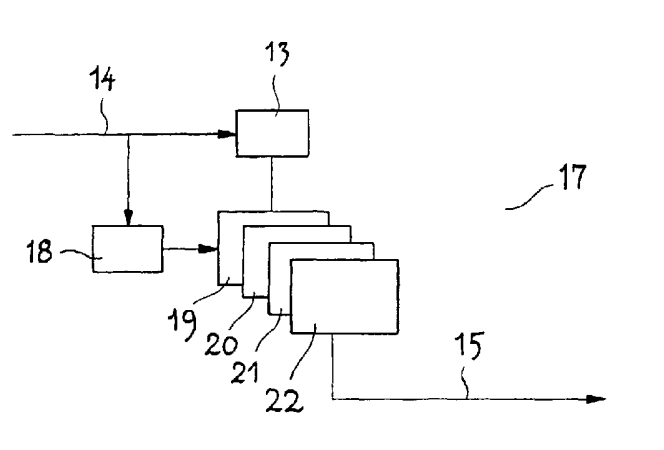
13. Controlador de acordo com a reivindicação 10, 11, ou 12 adaptado para codificar uma sequência de saída de dados binários utilizando DES/Tripplé DES.
14. Emissor-respondedor para um sistema de pagamento sem fios de uma portagem rodoviária, compreendendo um controlador de acordo com qualquer das reivindicações 10 a 13.
15. Emissor-respondedor de acordo com a reivindicação 14 adaptado ainda para receber e desmodular um sinal de entrada modulado em amplitude e para modular e transmitir um sinal de saída modulado em frequência.
16. Sistema de pagamento de uma portagem rodoviária, compreendendo um emissor-respondedor de acordo com a reivindicação 14 ou 15.

Lisboa, 30 de Março de 2009



RESUMO

"CONTROLADOR DE COMUNICAÇÕES PARA UM EMISSOR-RESPONDEDOR ACTIVO"



Método e controlador de comunicações para processamento de informação codificada por um emissor-respondedor activo alimentado por bateria. É particularmente proporcionado para a aplicação num sistema de emissor-respondedor para o pagamento sem fios de portagens rodoviárias, pelo que o emissor-respondedor recebe, a partir de uma antena, uma radiação de microondas modulada com uma frequência determinada para obter um sinal de entrada que é desmodulado para obter uma sequência de dados de entrada binários. Esta é, em seguida, fornecida a um processador (microcontrolador) digital operado por um relógio de processamento com uma frequência de relógio determinada, para descodificar e gerar uma sequência de dados de saída binários, a partir da qual se forma um sinal de saída, dentro de um intervalo com uma certa duração, como uma resposta ao sinal de entrada, o qual é transmitido pela antena do emissor-respondedor. Para reduzir a carga da bateria do emissor-respondedor pelo consumo de corrente do tipo impulsos do processador, ao mesmo tempo com uma duração relativamente curta

entre a recepção do sinal de entrada e a irradiação do sinal de saída, os dados da sequência de dados de entrada descodificados são processados em paralelo pelo processador (17) com uma frequência de relógio relativamente baixa. Uma pluralidade de módulos (19-22) de processador do processador (17), que estão integrados numa unidade de processamento, realiza o processamento de dados que ocorre em paralelo da sequência de dados de entrada descodificados e são operados por um gerador de sincronização (circuito 18 de recuperação do relógio de símbolos) com uma frequência de relógio relativamente baixa da cadência dos impulsos de relógio de processamento.