

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5585593号
(P5585593)

(45) 発行日 平成26年9月10日(2014.9.10)

(24) 登録日 平成26年8月1日(2014.8.1)

(51) Int. Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 7 B
HO 1 L 27/04 (2006.01)	HO 1 L 29/78	6 5 7 C
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 5 Z
HO 1 L 27/088 (2006.01)	HO 1 L 29/78	6 5 6 C
HO 1 L 29/868 (2006.01)	HO 1 L 29/91	K

請求項の数 12 (全 26 頁) 最終頁に続く

(21) 出願番号	特願2011-551945 (P2011-551945)	(73) 特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(86) (22) 出願日	平成23年1月28日(2011.1.28)	(74) 代理人	100104190 弁理士 酒井 昭徳
(86) 国際出願番号	PCT/JP2011/051830	(72) 発明者	原田 祐一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(87) 国際公開番号	W02011/093472	(72) 発明者	内藤 達也 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(87) 国際公開日	平成23年8月4日(2011.8.4)	(72) 発明者	豊田 善昭 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
審査請求日	平成24年6月13日(2012.6.13)		
(31) 優先権主張番号	特願2010-17682 (P2010-17682)		
(32) 優先日	平成22年1月29日(2010.1.29)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、

前記保護用ダイオードのカソード電極が前記半導体素子のゲート電極と接続し、

前記保護用ダイオードのアノード電極が前記半導体素子の低電位側主電極と接続し、

前記保護用ダイオードが、高濃度の第1導電型半導体層、中濃度の第1導電型半導体層、低濃度の第2導電型半導体層、高濃度の第2導電型半導体層の順に接して形成した4層の単方向ダイオードからなり、

前記低濃度の第2導電型半導体層の幅が、クランプ電圧で空乏層がリーチスルーする幅であることを特徴とする半導体装置。

【請求項2】

少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、

前記保護用ダイオードのカソード電極が前記半導体素子の高電位側主電極に接続し、

前記保護用ダイオードのアノード電極が前記半導体素子のゲート電極に接続し、

前記保護用ダイオードが、高濃度の第1導電型半導体層、中濃度の第1導電型半導体層、低濃度の第2導電型半導体層、高濃度の第2導電型半導体層の順に接して形成した4層の単方向ダイオードからなり、

前記低濃度の第2導電型半導体層の幅が、クランプ電圧で空乏層がリーチスルーを起こ

す幅であることを特徴とする半導体装置。

【請求項 3】

前記保護用ダイオードのカソード電極またはアノード電極が、前記半導体基板に形成された制御回路を介して前記半導体素子のゲート電極に接続することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記保護用ダイオードが、前記 4 層の単方向ダイオードを順方向に直列接続して形成した多段の単方向ダイオードであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】

少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、

前記保護用ダイオードの一方の主電極が前記半導体素子の低電位側主電極に接続し、

前記保護用ダイオードの他方の主電極が前記半導体素子のゲート電極に接続し、

前記保護用ダイオードが、高濃度の第 1 導電型半導体層、中濃度の第 1 導電型半導体層、低濃度の第 2 導電型半導体層、高濃度の第 2 導電型半導体層、低濃度の第 2 導電型半導体層、中濃度の第 1 導電型半導体層、高濃度の第 1 導電型半導体層の順に接して形成された 7 層の双方向ダイオードからなり、

前記低濃度の第 2 導電型半導体層の幅が、クランプ電圧で空乏層がリーチスルーを起こす幅であることを特徴とする半導体装置。

【請求項 6】

少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、

前記保護用ダイオードの一方の主電極が前記半導体素子の高電位側主電極に接続し、

前記保護用ダイオードの他方の主電極が前記半導体素子のゲート電極に接続し、

前記保護用ダイオードが、高濃度の第 1 導電型半導体層、中濃度の第 1 導電型半導体層、低濃度の第 2 導電型半導体層、高濃度の第 2 導電型半導体層、低濃度の第 2 導電型半導体層、中濃度の第 1 導電型半導体層、高濃度の第 1 導電型半導体層の順に接して形成された 7 層の双方向ダイオードからなり、

前記低濃度の第 2 導電型半導体層の幅が、クランプ電圧で空乏層がリーチスルーを起こす幅であることを特徴とする半導体装置。

【請求項 7】

前記保護用ダイオードの他方の主電極が、前記半導体基板に形成された制御回路を介して前記半導体素子のゲート電極に接続することを特徴とする請求項 5 または 6 に記載の半導体装置。

【請求項 8】

前記保護用ダイオードが、前記 7 層の双方向ダイオードを直列接続して形成された多段の双方向ダイオードからなることを特徴とする請求項 5 または 6 に記載の半導体装置。

【請求項 9】

前記 7 層の双方向ダイオードの直列接続した箇所の主電極を除去することを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記保護用ダイオードがポリシリコン層または単結晶シリコン層からなることを特徴とする請求項 1、2、5、6 のいずれか一つに記載の半導体装置。

【請求項 11】

前記保護用ダイオードの前記低濃度の第 2 導電型半導体層が低濃度の p 型半導体層からなるとき、当該低濃度の p 型半導体層の幅が 2 μ m 以下であることを特徴とする請求項 1、2、5、6 のいずれか一つに記載の半導体装置。

【請求項 12】

前記半導体素子が、パワー MOS 型素子である IGBT もしくは MOSFET であるこ

10

20

30

40

50

とを特徴とする請求項 1、2、5、6 のいずれか一つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関する。

【背景技術】

【0002】

近年、自動車には多くの半導体装置が搭載されている。これらの半導体装置では ESD (Electro-Static Discharge) など各種のサージ電圧に対して高い破壊耐量 (高サージ耐量) が求められる。そのため、半導体装置を構成するパワー半導体素子をサージ電圧から保護するためにサージ保護用ダイオード (以下、保護用ダイオードと称す) が接続されている。

10

【0003】

外来のサージ電圧やノイズ電圧およびパワー半導体素子自身の動作で発生するサージ電圧などがパワー半導体素子に印加された場合に、保護用ダイオードで過大な電圧をクランプし、過大な電圧がパワー半導体素子に印加されないようにして、半導体装置の高い破壊耐量を実現している。

【0004】

図 18 は、従来の保護用ダイオードを有する半導体装置の要部を示す断面図である。図 18 に示すように、従来の半導体装置 800 において、p 半導体基板 1 上に、p 半導体基板 1 よりも不純物濃度の高い n 半導体層 (以下、高濃度 n 半導体層とする) 2 が配置される。高濃度 n 半導体層 2 上に、高濃度 n 半導体層 2 よりも不純物濃度の低い n 半導体層 (以下、低濃度 n 半導体層とする) 3 が配置される。低濃度 n 半導体層 3 の表面層には、制御回路 91 を形成する領域 (以下、制御回路領域とする) に p ウエル層 34 が配置され、IGBT 92 を形成する領域 (以下、IGBT 領域とする) に p ウエル層 4 が配置される。

20

【0005】

制御回路領域は、低濃度 n 半導体層 3 の中央部に配置される。p ウエル層 34 は、互いに離れて複数配置される。各 p ウエル層 34 の表面層には、制御回路 91 を構成する MOSFET、ダイオードおよび抵抗 Rg (不図示) などが配置される。図 18 に図示された MOSFET およびダイオードは、それぞれ異なる p ウエル層 34 に配置される。具体的には、一方の p ウエル層 34 の表面層には、MOSFET として n ソース層 35a および n ドレイン層 35b が設けられ、他方の p ウエル層 34 の表面層には、ダイオードとして n カソード層 35c が設けられる。

30

【0006】

n ソース層 35a と n ドレイン層 35b とに挟まれた p ウエル層 34 上には、ゲート絶縁膜 37 を介してゲート電極 38 が配置される。ソース電極 54 は、n ソース層 35a に接する。ドレイン電極 55 は、n ドレイン層 35b に接する。図示しないが、MOSFET が設けられた p ウエル層 34 内には、ソース電極 54 と接続して MOSFET のボディダイオード (寄生ダイオード) が形成される。カソード電極 56 は、n カソード層 35c に接する。アノード電極 57 は、n カソード層 35c が設けられた p ウエル層 34 に接する。

40

【0007】

IGBT 領域は、制御回路領域に隣り合う (図 18 の紙面右側)。p ウエル層 4 の表面層には、パワー半導体素子である IGBT 92 の n エミッタ層 5 が配置される。n エミッタ層 5 と低濃度 n 半導体層 3 とに挟まれた p ウエル層 4 上には、ゲート絶縁膜 7 を介してゲート電極 10 が配置される。エミッタ電極 12 は、n エミッタ層 5 および p ウエル層 4 に接する。また、p コレクタ層となる p 半導体基板 1 の裏面には、IGBT 92 を構成するコレクタ電極 11 が配置される。

【0008】

50

さらに、低濃度 n 半導体層 3 には、制御回路領域に隣り合う領域に、保護用ダイオード 81 を形成する領域（以下、保護用ダイオード領域とする）が設けられている。保護用ダイオード領域は、制御回路領域を挟んで IGBT 領域と反対側に隣り合う（図 18 の紙面左側）。保護用ダイオード領域において、低濃度 n 半導体層 3 上には絶縁膜 60（LOCOS 酸化膜）が設けられている。

【0009】

絶縁膜 60 上には、p アノード層 21 と n カソード層 22 からなる第 1 ダイオード、第 2 ダイオードおよび第 3 ダイオードの 3 個の単体の単方向ダイオード 81 a で構成される保護用ダイオード 81 が配置される。例えば、第 1 ダイオードは制御回路領域から最も離れた領域に配置され（図 18 の紙面左側）、第 3 ダイオードは制御回路領域から最も近い領域に配置されている（図 18 の紙面右側）。

10

【0010】

保護用ダイオード 81 は多結晶シリコン層（ポリシリコン層）で形成される。保護用ダイオード 81 のカソード電極 51 は、第 1 ダイオードの n カソード層 22 に接する。カソード電極 51 は半導体装置 800 のゲート端子 G に接続される。また、カソード電極 51 は、制御回路 91 を介して IGBT 92 のゲート電極 10 に接続される。アノード電極 52 は、第 3 ダイオードの p アノード層 21 に接する。アノード電極 52 は IGBT 92 のエミッタ電極 12 に接続される。

【0011】

つまり、保護用ダイオード 81 はゲート端子 G と IGBT 92 のエミッタ電極 12 の間に挿入される。これは、保護用ダイオード 81 を IGBT 92 のゲート電極 10 とエミッタ電極 12 の間に挿入したと等価である。また、制御回路 91 も保護用ダイオード 81 に接続しているのでサージから保護される。

20

【0012】

図 19 は、図 18 の保護用ダイオードの要部を示す平面図である。第 1 ダイオード（図 19 の紙面左側）の n カソード層 22 は、カソード電極 51 およびパッド電極を介してゲート端子 G と接続される。第 1 ダイオードの p アノード層 21 は、第 2 ダイオード（図 19 の紙面中央）の n カソード層 22 と接続される。第 2 ダイオードの p アノード層 21 は、第 3 ダイオード（図 19 の紙面右側）の n カソード層 22 と接続される。第 3 ダイオードの p アノード層 21 は、アノード電極 52 を介して IGBT 92 のエミッタ電極 12 に接続される。エミッタ電極 12 は、パッド電極を介してエミッタ端子 E に接続される。

30

【0013】

図 20 は、図 18 の半導体装置を示す等価回路図である。保護用ダイオード 81 を構成する 3 個の単方向ダイオード 81 a が直列に接続されている。3 個の単方向ダイオード 81 a のうち、上段の単方向ダイオード 81 a のカソードは制御回路 91 と接続するゲート端子 G に接続され、下段の単方向ダイオード 81 a のアノードは IGBT 92 のエミッタに接続されている。つまり、上段の単方向ダイオード 81 a は、保護用ダイオード 81 の第 1 ダイオードであり、下段の単方向ダイオード 81 a は、保護用ダイオード 81 の第 3 ダイオードである。

【0014】

図 18 ~ 20 に示すように半導体装置 800 では、半導体（低濃度 n 半導体層 3）表面に絶縁膜 60（LOCOS 酸化膜）を介してポリシリコン層からなる保護用ダイオード 81 が形成され、この保護用ダイオード 81 の n カソード層 22 は、制御回路 91 を介して IGBT 92 のゲート電極 10 に接続される。そして、保護用ダイオード 81 の p アノード層 21 は、IGBT 92 のエミッタ電極 12 を介して n エミッタ層 5 に接続される。ゲート端子 G にサージ電圧が印加されると、保護用ダイオード 81 がブレークダウンしてサージ電圧をクランプし、IGBT 92 のゲート電極 10 に高電圧が印加されない。その結果、IGBT 92 はサージ電圧から保護される。

40

【0015】

また、半導体装置 800 では、単方向ダイオード 81 a を 3 個直列に接続することで保

50

護用ダイオード81として必要な耐圧を得ている。例えば、車載用途では通常の動作時のゲート入力電圧は5Vであるが、取り扱いの際に12Vのバッテリー電圧が誤ってゲート端子に印加されることがある。このような誤入力から保護用ダイオード81自身を保護するためにバッテリー電圧以上の耐圧が必要である。かつ、IGBT92のゲート保護のためにはIGBT92のゲートに印加される電圧をゲート耐圧以下にする必要がある。保護用ダイオード81の耐圧は単方向ダイオード81aの個数を変更することで調整することができる。しかしながら、単方向ダイオード81aの個数が増えると、保護用ダイオード81が形成される領域(保護用ダイオード領域)の面積が大きくなる。つまり、半導体装置800のチップ面積が大きくなる。

【0016】

10

そこで、保護用ダイオード81の面積を縮小化する方法について説明する。図21は、従来の保護用ダイオードの別の一例の要部を示す平面図である。図21には、図18, 19に比べて面積の縮小化を実現した保護用ダイオード82を示す。保護用ダイオード82は、pアノード層21とnカソード層22とが交互に複数配置されたポリシリコン層からなる多段の単方向ダイオード81aで構成される。隣り合う単方向ダイオード81aどうしは接続されている。つまり、多段の単方向ダイオード81aで構成された保護用ダイオード82は、単方向ダイオード81aのpアノード層21とnカソード層22とを交互に配置し、隣り合うpアノード層21とnカソード層22とを接続して、双方向に耐圧を有する双方向ダイオードを複数直列に接続した構成となっている。

【0017】

20

図22は、従来の保護用ダイオードと制御回路との接続関係を示す結線図である。保護用ダイオード82は、ゲート端子GとIGBT92のエミッタ電極12(エミッタ端子E)との間に挿入され、順逆方向とも双方向ダイオードがブレイクダウンするまでは電流は立ち上がらない。

【0018】

つぎに、保護用ダイオード83をIGBTのコレクタとゲート間に挿入してサージ電圧から半導体装置を保護する例について説明する。図23は、従来の保護用ダイオードを有する半導体装置の別の一例の要部を示す説明図である。図23は、双方向ダイオードからなる保護用ダイオード83を搭載した半導体装置の構成を示す説明図である。図23(a)は、図23に示す半導体装置の全体の平面レイアウト図である。図23(b)は、図23に示す半導体装置の要部を示す断面図である。図23(c)は、保護用ダイオード83の要部を示す平面図である。図24は、図23の半導体装置を示す等価回路図である。図23に示すように半導体装置900において、保護用ダイオード83のカソード電極51はIGBT92のストッパ層85、コレクタ層となるp半導体基板1およびコレクタ電極11を経由してコレクタ端子Cと接続される。保護用ダイオード83のアノード電極52はIGBT92のゲート電極10に接続される。ストッパ層85はコレクタ層と同電位である。

30

【0019】

図23(b)に示すように、半導体装置900では、例えばIGBT領域が制御回路領域と保護用ダイオード領域の間に設けられている。制御回路91およびIGBT92の構成は、図18と同様である。

40

【0020】

コレクタ端子Cに外来のサージ電圧やIGBT92のスイッチング時のターンオフ電圧などの高電圧が印加されると、保護用ダイオード83がIGBT92より先にブレイクダウンする。このブレイクダウンによりIGBT92のコレクタから保護用ダイオード83を経由して制御回路91内の抵抗 R_g (図22参照)に電流が流れて抵抗 R_g に電圧が発生する。この電圧がIGBT92のゲートに印加されてIGBT92のゲート電位が上昇し、ゲート電位がゲートしきい値電圧以上になるとIGBT92がオン動作する。このオン動作によりIGBT92のコレクタには一定以上の高電圧が印加されない。

【0021】

50

また、保護用ダイオード83は、図21に示す保護用ダイオード82と同様に、絶縁膜60上に形成されたポリシリコン層からなる双方向ダイオードで構成される。この双方向ダイオードのpアノード層21とnカソード層23とも高不純物濃度であり、双方向ダイオードは双方向ツェナーダイオードとなる。保護用ダイオード83は、例えば気相拡散で形成される。

【0022】

また、例えば下記特許文献1には、双方向ツェナーダイオードで保護用ダイオードを形成した半導体装置について提案されている。下記特許文献1では、双方向ツェナーダイオードは、高不純物濃度のpアノード層と、このpアノード層より低い不純物濃度のnカソード層とで構成されている。

10

【先行技術文献】

【特許文献】

【0023】

【特許文献1】特開平11-251443号公報

【発明の概要】

【発明が解決しようとする課題】

【0024】

前記した内容をまとめると、次のようになる。

(1) 保護用ダイオード81, 83の耐圧や高い破壊耐量を確保するためには、保護用ダイオード81, 83を構成する単体の単方向ダイオード81aの接合面積を大きくして、単方向ダイオード81aの個数を増やす必要がある。しかしながら、保護用ダイオード81, 83の面積が大きくなり、チップ面積が大きくなってしまふ。

20

(2) pアノード層21およびnカソード層22, 23の不純物濃度が高いと単体の単方向ダイオード81aの耐圧は低くなる。保護用ダイオード81, 83として必要な耐圧を確保するためには、単方向ダイオード81aの個数を増やす必要がある。しかしながら、単方向ダイオード81aの個数を増やすと保護用ダイオード81, 83の面積が大きくなり、チップ面積が大きくなってしまふ。さらに、pアノード層21およびnカソード層22, 23を気相拡散によって形成する場合、pアノード層21およびnカソード層22, 23の面積は大きくなり、保護用ダイオード81, 83の面積が増大するため、チップ面積が大きくなってしまふ。

30

(3) 単体の単方向ダイオード81aのpアノード層21またはnカソード層22, 23の不純物濃度を低くして耐圧を高くし、かつ単方向ダイオード81aの個数を減らして所望の保護用ダイオード81, 83の耐圧を確保しようとする、図12に示すように、クランプ電圧が繰り返し印加されたときに保護用ダイオード81, 83の耐圧が上昇して、保護用ダイオード81, 83としての保護機能が失われる。

(4) 保護用ダイオードの面積を縮小化するために、双方向ダイオードで構成した保護用ダイオード83とすると、ゲート端子Gに負のサージ電圧が印加された際に制御回路91を構成するMOSFETのボディダイオード(寄生ダイオード)が順方向にバイアスされ、ゲート端子Gに向って大きな電流が流れてMOSFETが破壊する。そのため、ゲート端子Gに双方向ダイオードで構成された保護用ダイオード83のカソードを接続した場合には、半導体装置を負のサージ電圧から保護できない。

40

【0025】

また、上記特許文献1には、pn接合を一つおきに金属膜で短絡して双方向ダイオードを単方向ダイオードにした保護用ダイオードについては記載されていない。また、p高濃度層/p低濃度層/n中濃度層/n高濃度層の4層構造については記載されていない。さらに繰り返しのクランプ電圧による保護用ダイオードの耐圧上昇を防止する方策については記載されていない。低濃度層は、保護用ダイオードを構成する複数の単方向ダイオードのうち、他の単方向ダイオードよりも低い不純物濃度を有する。中濃度層は、低濃度層よりも高く、かつ高濃度層よりも低い不純物濃度を有する。

【0026】

50

この発明は、上述した従来技術による問題点を解消するため、高い破壊耐量とチップ面積の縮小化とを両立した半導体装置を提供することを目的とする。また、クランプ電圧が繰り返し印加されても耐圧の上昇を抑制することができる半導体装置を提供することを目的とする。また、ゲート端子に入力される負のサージ電圧による破壊を防止することができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0027】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、前記保護用ダイオードが、
n型半導体層とp型半導体層とが交互に複数接して配置され、かつ当該n型半導体層と当該p型半導体層とからなるpn接合が一つおきに導電膜で短絡された複数の単方向ダイオードで構成され、前記保護用ダイオードのカソード電極が前記半導体素子のゲート電極と接続し、前記保護用ダイオードのアノード電極が前記半導体素子の低電位側主電極（IGBTの場合はエミッタ電極、nチャネルMOSFETの場合はソース電極）と接続することを特徴とする。

10

【0028】

また、上述した従来技術による問題点を解消するため、この発明にかかる半導体装置は、少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、前記保護用ダイオードが、
n型半導体層とp型半導体層とが交互に複数接して配置され、かつ当該n型半導体層と当該p型半導体層とからなるpn接合が一つおきに導電膜で短絡された複数の単方向ダイオードで構成され、前記保護用ダイオードのカソード電極が前記半導体素子の高電位側主電極（IGBTの場合はコレクタ電極、nチャネルMOSFETの場合はドレイン電極）と接続し、前記保護用ダイオードのアノード電極が前記半導体素子のゲート電極と接続することを特徴とする。ここで、一つおきに短絡されるpn接合は、順バイアス時に逆阻止状態となる接合である。

20

【0029】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードのカソード電極またはアノード電極が、前記半導体基板上に形成された制御回路を介して前記半導体素子のゲート電極に接続することを特徴とする。

30

【0030】

また、この発明にかかる半導体装置は、上述した発明において、前記n型半導体層の不純物濃度が前記p型半導体層の不純物濃度より低く、前記n型半導体層の不純物ドーザ量が $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $5 \times 10^{14} \text{ cm}^{-2}$ 以下であることを特徴とする。

【0031】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードの前記pn接合と前記n型半導体層上の前記導電膜の間の距離が $1.5 \mu\text{m}$ 以上 $4.0 \mu\text{m}$ 以下であることを特徴とする。

【0032】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードのカソード電極と接する前記n型半導体層が低濃度層と高濃度層で形成され、前記低濃度層の不純物ドーザ量が $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $5 \times 10^{14} \text{ cm}^{-2}$ 以下であり、前記高濃度層の不純物ドーザ量が当該低濃度層の不純物ドーザ量よりも高いことを特徴とする。

40

【0033】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードのカソード電極および当該カソード電極と接する前記n型半導体層がそれぞれ複数形成されることを特徴とする。

【0034】

また、この発明にかかる半導体装置は、上述した発明において、前記導電膜で短絡した

50

p n 接合の平面形状は、前記 n 型半導体層と前記 p 型半導体層とが凹凸状に入り組んだ形状となっていることを特徴とする。

【 0 0 3 5 】

また、上述した従来技術による問題点を解消するため、この発明にかかる半導体装置は、少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、前記保護用ダイオードのカソード電極が前記半導体素子のゲート電極と接続し、前記保護用ダイオードのアノード電極が前記半導体素子の低電位側主電極と接続し、前記保護用ダイオードが、高濃度の第 1 導電型半導体層、中濃度の第 1 導電型半導体層、低濃度の第 2 導電型半導体層、高濃度の第 2 導電型半導体層の順に接して形成した 4 層の単方向ダイオードからなり、前記低濃度の第 2 導電型半導体層の幅が、クランプ電圧で空乏層がリーチスルーする幅であることを特徴とする。ここで、保護用ダイオードを構成する複数の半導体層のうち、他の半導体層よりも不純物濃度が低い場合を低濃度とし、低濃度の半導体層よりも不純物濃度が高い場合を中濃度および高濃度とする。中濃度の半導体層は、高濃度の半導体層よりも不純物濃度が低い（以下、他の請求項についても同様）。

10

【 0 0 3 6 】

また、上述した従来技術による問題点を解消するため、この発明にかかる半導体装置は、少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、前記保護用ダイオードのカソード電極が前記半導体素子の高電位側主電極に接続し、前記保護用ダイオードのアノード電極が前記半導体素子のゲート電極に接続し、前記保護用ダイオードが、高濃度の第 1 導電型半導体層、中濃度の第 1 導電型半導体層、低濃度の第 2 導電型半導体層、高濃度の第 2 導電型半導体層の順に接して形成した 4 層の単方向ダイオードからなり、前記低濃度の第 2 導電型半導体層の幅が、クランプ電圧で空乏層がリーチスルーを起こす幅であることを特徴とする。

20

【 0 0 3 7 】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードのカソード電極またはアノード電極が、前記半導体基板上に形成された制御回路を介して前記半導体素子のゲート電極に接続することを特徴とする。

【 0 0 3 8 】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードが、前記 4 層の単方向ダイオードを順方向に直列接続して形成した多段の単方向ダイオードであることを特徴とする。

30

【 0 0 3 9 】

また、上述した従来技術による問題点を解消するため、この発明にかかる半導体装置は、少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、前記保護用ダイオードの一方の主電極が前記半導体素子の低電位側主電極に接続し、前記保護用ダイオードの他方の主電極が前記半導体素子のゲート電極に接続し、前記保護用ダイオードが、高濃度の第 1 導電型半導体層、中濃度の第 1 導電型半導体層、低濃度の第 2 導電型半導体層、高濃度の第 2 導電型半導体層、低濃度の第 2 導電型半導体層、中濃度の第 1 導電型半導体層、高濃度の第 1 導電型半導体層の順に接して形成された 7 層の双方向ダイオードからなり、前記低濃度の第 2 導電型半導体層の幅が、クランプ電圧で空乏層がリーチスルーを起こす幅であることを特徴とする。

40

【 0 0 4 0 】

また、上述した従来技術による問題点を解消するため、この発明にかかる半導体装置は、少なくとも半導体素子と、当該半導体素子が形成された半導体基板上に絶縁膜を介して形成された保護用ダイオードとを有する半導体装置において、前記保護用ダイオードの一方の主電極が前記半導体素子の高電位側主電極に接続し、前記保護用ダイオードの他方の主電極が前記半導体素子のゲート電極に接続し、前記保護用ダイオードが、高濃度の第 1

50

導電型半導体層、中濃度の第1導電型半導体層、低濃度の第2導電型半導体層、高濃度の第2導電型半導体層、低濃度の第2導電型半導体層、中濃度の第1導電型半導体層、高濃度の第1導電型半導体層の順に接して形成した7層の双方向ダイオードからなり、前記低濃度の第2導電型半導体層の幅が、クランプ電圧で空乏層がリーチスルーを起こす幅であることを特徴とする。

【0041】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードの他方の主電極が、前記半導体基板に形成された制御回路を介して前記半導体素子のゲート電極に接続することを特徴とする。

【0042】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードが、前記7層の双方向ダイオードを直列接続して形成された多段の双方向ダイオードからなることを特徴とする。

【0043】

また、この発明にかかる半導体装置は、上述した発明において、前記7層の双方向ダイオードの直列接続した箇所の主電極を除去することを特徴とする。

【0044】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードがポリシリコン層または単結晶シリコン層からなることを特徴とする。

【0045】

また、この発明にかかる半導体装置は、上述した発明において、前記保護用ダイオードの前記低濃度の第2導電型半導体層が低濃度のp型半導体層からなるとき、当該低濃度のp型半導体層の幅が2 μm以下であることを特徴とする。

【0046】

また、この発明にかかる半導体装置は、上述した発明において、前記半導体素子が、パワーMOS型素子であるIGBT（絶縁ゲート型バイポーラトランジスタ）もしくはMOSFET（MOS駆動型電界効果トランジスタ）であることを特徴とする。

【0047】

上述した発明によれば、pアノード層とnカソード層を交互に形成し、順バイアス時に逆阻止状態になるpn接合を一つおきに導電膜（金属膜）で短絡する保護用ダイオードを半導体素子に接続することで、サージ電圧に対して高い破壊耐量を有し、かつチップ面積の小さな半導体装置を提供することができる。また、半導体装置のゲート端子に入力される負のサージ電圧に対して高い破壊耐量を確保することができる。

【0048】

また、pアノード層の不純物濃度よりnカソード層の不純物濃度を低くし、このnカソード層の不純物濃度をドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $5 \times 10^{14} \text{ cm}^{-2}$ 以下とすることで、繰り返しクランプ電圧が印加された場合でも保護用ダイオードの耐圧が上昇することを抑制することができる。

【0049】

また、nカソード層の幅を1.5 μm以上にすることで、繰り返しクランプ電圧が印加された場合でも保護用ダイオードの耐圧が上昇することを抑制することができる。また、nカソード層の幅を4.0 μm以下とすることで、動作抵抗を低く抑えることができる。

【0050】

また、保護用ダイオードのカソード電極と接するnカソード層を低濃度層と高濃度層で形成し、高濃度層を低濃度の不純物ドーズである $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $5 \times 10^{14} \text{ cm}^{-2}$ 以下より高くすることでオーミックコンタクトが得られる。また、このカソード電極とnカソード層を複数接して形成し、複数のカソード電極の中からカソード電極を選択することで保護用ダイオードの耐圧を変更および調整することができる。

【0051】

また、nカソード層の不純物濃度よりpアノード層の不純物濃度を低くし、pアノード

10

20

30

40

50

層の幅をクランプ電圧が印加された場合に空乏層が伸びる長さより狭くして、空乏層がリーチスルーする状態とすることで、繰り返しクランプ電圧が印加された場合でも保護用ダイオードを一定の電圧に保つことができる。

【0052】

また、nカソード層を、pアノード層（低濃度の第2導電型半導体層）より不純物濃度が高い第1n層（中濃度の第1導電型半導体層）とこの第1n層よりさらに高い第2n層（高濃度の第1導電型半導体層）とで構成し、pアノード層の幅を2μm以下にすることで、pアノード層の不純物濃度が低い場合には、繰り返しクランプ電圧が印加された場合に空乏層がリーチスルーして保護用ダイオードの耐圧は一定となる。一方、pアノード層の不純物濃度がリーチスルーしない高い不純物濃度の場合には、そもそも繰り返しクランプ電圧が印加された場合に保護用ダイオードの耐圧は上昇しない。つまり、pアノード層の幅を2μm以下とすれば、繰り返しクランプ電圧が印加された場合に、保護用ダイオードの耐圧の上昇を抑制することができる。さらに、第1n層を設けることで、第1n層を設けない場合に比べて、第1n層に広がる空乏層が伸びるため、高耐圧化を図ることができる。

10

【発明の効果】

【0053】

本発明にかかる半導体装置によれば、高い破壊耐量とチップ面積の縮小化とを両立することができるという効果を奏する。また、クランプ電圧が繰り返し印加されても耐圧の上昇を抑制することができるという効果を奏する。また、ゲート端子に入力される負のサージ電圧による破壊を防止することができるという効果を奏する。

20

【図面の簡単な説明】

【0054】

【図1】図1は、実施の形態1にかかる半導体装置の要部を示す断面図である。

【図2】図2は、図1の保護用ダイオードの要部を示す説明図である。

【図3】図3は、図1の半導体装置を示す等価回路図である。

【図4】図4は、図1の保護用ダイオードと制御回路との接続関係を示す結線図である。

【図5】図5は、実施の形態1にかかる単方向ダイオードの電気的特性について示す特性図である。

【図6】図6は、実施の形態1にかかる単方向ダイオードの電気的特性について示す特性図である。

30

【図7】図7は、実施の形態1にかかる単方向ダイオードの電気的特性について示す特性図である。

【図8】図8は、実施の形態2にかかる半導体装置の構成の要部を示す説明図である。

【図9】図9は、実施の形態3にかかる半導体装置の要部を示す断面図である。

【図10】図10は、実施の形態4にかかる半導体装置の構成の要部を示す説明図である。

【図11】図11は、実施の形態5にかかる半導体装置の構成の要部を示す説明図である。

【図12】図12は、電圧クランプ回数と保護用ダイオードの耐圧の関係を示す説明図である。

40

【図13】図13は、実施の形態6にかかる半導体装置の構成の要部を示す説明図である。

【図14】図14は、図13の半導体装置を示す等価回路図である。

【図15】図15は、図13の半導体装置を示す等価回路図である。

【図16】図16は、図13の保護用ダイオードの耐圧と低濃度のpアノード層の幅との関係を示す特性図である。

【図17】図17は、図13の保護用ダイオードの耐圧と電圧クランプ回数との関係を示す特性図である。

【図18】図18は、従来の保護用ダイオードを有する半導体装置の要部を示す断面図で

50

ある。

【図19】図19は、図18の保護用ダイオードの要部を示す平面図である。

【図20】図20は、図18の半導体装置を示す等価回路図である。

【図21】図21は、従来の保護用ダイオードの別の一例の要部を示す平面図である。

【図22】図22は、従来の保護用ダイオードと制御回路との接続関係を示す結線図である。

【図23】図23は、従来の保護用ダイオードを有する半導体装置の別の一例の要部を示す説明図である。

【図24】図24は、図23の半導体装置を示す等価回路図である。

【発明を実施するための形態】

【0055】

以下に添付図面を参照して、この発明にかかる吸着機構の好適な実施の形態を詳細に説明する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。以下の説明で、pは導電型がp型、nは導電型がn型であることを表す。また、従来構造と同一部位には同一の符号を付した。

【0056】

(実施の形態1)

図1は、実施の形態1にかかる半導体装置の要部を示す説明図である。また、図2は、図1の保護用ダイオードの要部を示す平面図である。図2(a)は、保護用ダイオード71の要部を示す平面図である。図2(b)は、図2(a)の切断線A-A'における断面図である。また、図3は、図1の半導体装置を示す等価回路図である。また、図4は、図1の保護用ダイオードと制御回路との接続関係を示す結線図である。図1に示すように、半導体装置100は、低濃度n半導体層3の表面に、出力段となる縦型や横型のIGBT72が形成された領域(IGBT領域)と、IGBT72を駆動する横型MOSFETやダイオードおよび抵抗など複数のデバイスが形成されてそれぞれ所定の配線接続がなされた制御回路73が形成された領域(制御回路領域)と、保護用ダイオード71が形成された領域(保護用ダイオード領域)とで構成される。制御回路領域は、例えば、低濃度n半導体層3の中央部に配置される。IGBT領域は、制御回路領域に隣り合う(図1の紙面右側)。保護用ダイオード領域は、制御回路領域を挟んでIGBT領域と反対側に隣り合う(図1の紙面左側)。

【0057】

図1に示す半導体装置100において、低濃度n半導体層3は、高濃度n半導体層2上に配置される。低濃度n半導体層3は、高濃度n半導体層2よりも低い不純物濃度を有する。高濃度n半導体層2は、p半導体基板1上に配置される。高濃度n半導体層2は、p半導体基板1よりも高い不純物濃度を有する。制御回路領域には、低濃度n半導体層3の表面層に複数のpウエル層34が配置される。pウエル層34は、互いに離れて複数配置される。各pウエル層34の表面層には、制御回路73を構成するMOSFET、ダイオードおよび抵抗Rg(不図示)などが配置される。図1に図示されたMOSFETおよびダイオードは、それぞれ異なるpウエル層34に配置される。具体的には、一方のpウエル層34の表面層には、MOSFETとしてnソース層35aおよびnドレイン層35bが設けられ、他方のpウエル層34の表面層には、ダイオードとしてnカソード層35cが設けられる。

【0058】

nソース層35aとnドレイン層35bとに挟まれたpウエル層34上には、ゲート絶縁膜37を介してゲート電極38が配置される。ソース電極54は、nソース層35aに接する。ドレイン電極55は、nドレイン層35bに接する。図示しないが、MOSFETが設けられたpウエル層34内には、ソース電極54と接続してMOSFETのボディダイオード(寄生ダイオード)が形成される。カソード電極56は、nカソード層35cに接する。アノード電極57は、nカソード層35cが設けられたpウエル層34に接する。

10

20

30

40

50

【 0 0 5 9 】

I G B T 領域には、低濃度 n 半導体層 3 の表面層に p ウエル層 4 が配置される。p ウエル層 4 の表面層には、パワー半導体素子である I G B T 7 2 の n エミッタ層 5 が配置される。n エミッタ層 5 と低濃度 n 半導体層 3 とに挟まれた p ウエル層 4 上には、ゲート絶縁膜 7 を介してゲート電極 1 0 が配置される。エミッタ電極 1 2 は、n エミッタ層 5 および p ウエル層 4 上に接する。また、p コレクタ層となる p 半導体基板 1 の裏面に I G B T 7 2 を構成するコレクタ電極 1 1 が配置される。

【 0 0 6 0 】

保護用ダイオード領域には、低濃度 n 半導体層 3 上に絶縁膜 6 0 (L O C O S 酸化膜) が形成されている。絶縁膜 6 0 上には、p アノード層 2 1 と n カソード層 2 2 が交互に配置されたポリシリコン層からなる保護用ダイオード 7 1 が配置される。つまり、保護用ダイオード 7 1 の p アノード層 2 1 と n カソード層 2 2 とで p n 接合 7 4 が形成される。保護用ダイオード 7 1 の p アノード層 2 1 および n カソード層 2 2 上には、層間絶縁膜 6 1 が設けられている。

10

【 0 0 6 1 】

図 2 に示すように、層間絶縁膜 6 1 には、コンタクトホール 5 1 a、コンタクトホール 5 2 a およびコンタクトホール 5 3 a が形成されている。コンタクトホール 5 1 a は、制御回路領域から最も離れた n カソード層 2 2 を選択的に露出する。コンタクトホール 5 2 a は、制御回路領域に最も近い p アノード層 2 1 を選択的に露出する。コンタクトホール 5 3 a は、一つおきに p n 接合 7 4 近傍の p アノード層 2 1 および n カソード層 2 2 を選択的に露出する。

20

【 0 0 6 2 】

コンタクトホール 5 3 a に露出する p アノード層 2 1 および n カソード層 2 2 は金属膜 (導電膜) 5 3 で短絡される。コンタクトホール 5 1 a に露出する n カソード層 2 2 はカソード電極 5 1 に接続する。コンタクトホール 5 2 a に露出する p アノード層 2 1 はアノード電極 5 2 に接続する。順バイアス時に逆阻止状態になる p n 接合 7 4 を金属膜 5 3 で一つおきに短絡することで、保護用ダイオード 7 1 は直列接続した双方向ダイオードから直列接続した単方向ダイオード 7 1 a に変換される。

【 0 0 6 3 】

このように、ポリシリコン層からなる単方向ダイオード 7 1 a を複数接触させることで、単体の単方向ダイオード 8 1 a を直列接続する従来の保護用ダイオード 8 1 (図 1 9 参照) と比べて保護用ダイオード 7 1 の面積は小さくなる。その理由は、保護用ダイオード 8 1 のように単方向ダイオード 8 1 a を直列接続する場合、隣接する単方向ダイオード 8 1 a の間の隙間 8 1 b (図 1 9 参照) が生じるからである。これにより、保護用ダイオード 7 1 は、従来よりもチップ面積を縮小化することができる。

30

【 0 0 6 4 】

また、図 1 に示すように、半導体装置 1 0 0 のゲート端子 G は、制御回路 7 3 を介して I G B T 7 2 のゲート電極 1 0 に接続される。保護用ダイオード 7 1 のカソード電極 5 1 は、半導体装置 1 0 0 のゲート端子 G にパッド電極 5 8 を介して接続される。さらに、保護用ダイオード 7 1 のカソード電極 5 1 は、制御回路 7 3 を介して I G B T 7 2 のゲート電極 1 0 に接続される。保護用ダイオード 7 1 のアノード電極 5 2 は、パッド電極 5 9 を介して I G B T 7 2 のエミッタ電極 1 2 に接続される。

40

【 0 0 6 5 】

つまり、保護用ダイオード 7 1 は、ゲート端子 G と I G B T 7 2 のエミッタ電極 1 0 の間に挿入される。これにより、制御回路 7 3 と I G B T 7 2 のゲートは保護用ダイオード 7 1 によってサージ電圧から保護される。保護用ダイオード 7 1 は、p アノード層 2 1 と n カソード層 2 2 の繰り返し数を変更することで、保護用ダイオード 7 1 の耐圧の変更および調整を行うことができる。

【 0 0 6 6 】

また、保護用ダイオード 7 1 を I G B T 7 2 のサージ保護に用いることにより、高い破

50

壊耐量とチップ面積の縮小化を図った半導体装置 100 を提供することができる。保護用ダイオード 71 を用いると、ゲート端子 G に負のサージが印加された場合にも、ボディダイオード（寄生ダイオード）に過大な電流が流れることがない。このため、制御回路 73 の MOSFET はサージから保護される。

【0067】

上述した説明では、保護用ダイオード 71 を IGBT 72 のゲートとエミッタに接続した場合について説明したが、保護用ダイオード 71 を IGBT 72 のゲートとコレクタに接続してもよい。この場合においても、サージから IGBT 72 を保護することができ、かつ高い破壊耐量を有する半導体装置 100 とすることができる。

【0068】

つぎに、保護用ダイオード 71 の耐圧安定性と諸元について説明する。図 5 ~ 7 は、実施の形態 1 にかかる単方向ダイオードの電気的特性について示す特性図である。図 5 には、クランプ電圧印加による単方向ダイオード 71 a の耐圧変動率および初期の耐圧と、n カソード層 22 の不純物ドーズ量との関係を示す。図 6 には、耐圧と、pn 接合 74 から n カソード層 22 上の金属膜 53 の pn 接合 74 側の端部までの距離（以下、pn 接合 74 と金属膜 53 の間の距離とする）L（図 2 参照）との関係を示す。図 7 には、保護用ダイオード 71 の動作抵抗と pn 接合 74 と金属膜 53 の間の距離 L との関係を示す図である。ここでいう耐圧は保護用ダイオード 71 のカソード - アノード間の耐圧であり、アバラシエ降伏またはリーチスルー降伏による耐圧である。また、保護用ダイオード 71 がクランプされる回数は耐圧がほぼ飽和する 10 回程度とした。

【0069】

図 5 に示すように、n カソード層 22 の不純物ドーズ量が低い程、耐圧は高くなる。このため、単方向ダイオード 71 a の直列数を減らしても所望の耐圧を維持することができる。しかし、n カソード層 22 の不純物ドーズ量が低くなると、保護用ダイオード 71 にクランプ電圧が繰り返し印加された場合に保護用ダイオード 71 の耐圧は上昇してしまい、保護機能が低下する。一方、n カソード層 22 の不純物ドーズ量を高くすると、耐圧変動率は小さくなるが初期の耐圧が低下する。したがって、保護用ダイオード 71 の耐圧を確保するためには、単方向ダイオード 71 a の直列数を増加する必要があるが、保護用ダイオード 71 の面積は大きくなり、その結果、チップ面積が増大する。

【0070】

図 6 に示すように、pn 接合 74 と金属膜 53 の間の距離 L が $1.5 \mu\text{m}$ 以下になると、耐圧は低下する。その理由は、pn 接合 74 から広がる空乏層が金属膜 53 に達してリーチスルーするからである。また、図 7 に示すように、pn 接合 74 と金属膜 53 の間の距離 L が $4.0 \mu\text{m}$ より長くなると、動作抵抗は急激に大きくなる。

【0071】

したがって、保護用ダイオード 71 を次の (1) ~ (3) のように形成すると、保護用ダイオード 71 の耐圧の上昇を抑制することができる。

(1) p アノード層 21 は n カソード層 22 よりも高い不純物濃度とし、n カソード層 22 は p アノード層 21 よりも低い不純物濃度とするのがよい。

(2) p アノード層 21 および n カソード層 22 のそれぞれの領域の不純物ドーズ量は、p アノード層 21 が $1.0 \times 10^{15} / \text{cm}^2$ 、n カソード層 22 が $1.0 \times 10^{13} / \text{cm}^2$ 以上 $5.0 \times 10^{14} / \text{cm}^2$ 以下とするのがよい。

(3) pn 接合 74 と金属膜 53 の間の距離 L を $1.5 \mu\text{m}$ 以上 $4.0 \mu\text{m}$ 以下とするのがよい。

【0072】

また、p アノード層 21 および n カソード層 22 をイオン注入で形成することで、従来の気相拡散で各層を形成する場合に比べて各層の占有面積を小さくすることができる。

【0073】

以上、説明したように、実施の形態 1 によれば、ポリシリコン層からなる p アノード層

10

20

30

40

50

21とnカソード層22を交互に形成し、順バイアス時に逆阻止状態になるpn接合を一つおきに金属膜53で短絡する保護用ダイオード71をIGBT72（パワー半導体素子）に接続することで、サージ電圧に対して高い破壊耐量を有し、かつチップ面積の小さな半導体装置100を提供することができる。また、半導体装置100のゲート端子Gに入力される負のサージ電圧に対して高い破壊耐量を確保することができる。

【0074】

また、pアノード層21の不純物濃度よりnカソード層22の不純物濃度を低くし、nカソード層22の不純物濃度をドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $5 \times 10^{14} \text{ cm}^{-2}$ 以下とすることで、繰り返しクランプ電圧が印加された場合でも保護用ダイオード71の耐圧が上昇することを抑制することができる。

10

【0075】

また、nカソード層22の幅を $1.5 \mu\text{m}$ 以上にすることで、繰り返しクランプ電圧が印加された場合でも保護用ダイオード71の耐圧が上昇することを抑制することができる。また、nカソード層22の幅を $4.0 \mu\text{m}$ 以下とすることで、動作抵抗を低く抑えることができる。

【0076】

（実施の形態2）

図8は、実施の形態2にかかる半導体装置の構成の要部を示す説明図である。図8（a）は、半導体装置200の要部を示す平面図である。図8（b）は、図8（a）の切断線A-A'における断面構造を示す断面図である。図8（c）は、図8（a）の切断線B-B'線における断面構造を示す断面図である。半導体装置200の断面構造は、実施の形態1の半導体装置100と同様である（図1参照）。図8には、半導体装置200を構成する保護用ダイオード75の構成のみを示す。

20

【0077】

実施の形態1の保護用ダイオード71と異なる点は、pアノード層21とnカソード層22のpn接合74がくし歯状に噛み合っている点である。つまり、金属膜53で短絡したpn接合74の平面形状は、pアノード層21とnカソード層22とが凹凸状に入り組んでいる。これにより、pアノード層21上とnカソード層22上に形成されるコンタクトホール53aの大きさを小さくしてもコンタクトに必要な面積を確保することができる。そのため、保護用ダイオード75の面積を小さくすることができる。その結果、実施の形態1と同様に高い破壊耐量とチップ面積の縮小化を図ることができる。

30

【0078】

以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。

【0079】

（実施の形態3）

図9は、実施の形態3にかかる半導体装置の要部を示す断面図である。実施の形態1と異なる点は、次の点である。半導体基板1に絶縁層16を介して半導体層が形成されたSOI（Silicon On Insulator）基板などを用いる。この半導体層を低濃度n半導体層3aとし、低濃度n半導体層3aの表面（SOI基板の表面）より絶縁層16に達する絶縁分離領域17を形成して低濃度n半導体層3aを分離する。そして、絶縁分離領域17によって分離した低濃度n半導体層3aのうちの1つに保護用ダイオード76を形成する点である。つまり、この半導体装置300を構成する保護用ダイオード76は、ポリシリコン層ではなく単結晶シリコン層（低濃度n半導体層3a）からなる。

40

【0080】

また、IGBT72は低濃度n半導体層3aに形成された横型IGBTであり、pコレクタ層1aは低濃度n半導体層3aの表面層に形成されている。この場合においても実施の形態1と同様の高い破壊耐量を確保しつつチップ面積の縮小化を図ることができる。半導体基板の導電型はp型でもn型でも構わない。

【0081】

50

以上、説明したように、実施の形態 3 によれば、実施の形態 1 と同様の効果を得ることができる。

【 0 0 8 2 】

(実施の形態 4)

図 10 は、実施の形態 4 にかかる半導体装置の構成の要部を示す説明図である。図 10 (a) は、半導体装置 400 の要部を示す平面図である。図 10 (b) は、図 10 (a) の切断線 A - A' における断面構造を示す断面図である。半導体装置 400 の断面構造は、実施の形態 1 の半導体装置 100 と同様である (図 1 参照)。図 10 には、半導体装置 400 を構成する保護用ダイオード 77 の構成のみを示す。

【 0 0 8 3 】

実施の形態 1 の保護用ダイオード 71 と異なるのは、ゲート端子 G と接続する保護用ダイオード 77 のカソード電極 51 に接触する低濃度の n カソード層を、コンタクトホール 30 となる箇所近傍を高濃度の n カソード層 23 とし、それ以外の箇所を低濃度の n カソード層 22 とした、低濃度の n カソード層 22 と高濃度の n カソード層 23 との 2 層で形成した点である。低濃度の n カソード層 22 は、高濃度の n カソード層 23 よりも低い不純物濃度を有する。低濃度の n カソード層 22 にカソード電極 51 を形成する場合、コンタクト抵抗が大きくなることがあるため、コンタクト部分は高濃度であることが望ましい。また、IGBT 72 のエミッタ電極 12 に接続する保護用ダイオード 77 のアノード電極 52 は、コンタクトホール 31 を介して高濃度の n カソード層 23 に接する。

【 0 0 8 4 】

また、図 2 と異なるのはカソード電極 51 がアノード電極 52 より広がっている点である。これによって、アノード電極 52 と接続する配線を狭くすることができる。また、カソード電極 51 を広くすることで p n 接合 74 の断面積を大きくすることができるため、高い破壊耐量を確保することができる。

【 0 0 8 5 】

以上、説明したように、実施の形態 4 によれば、実施の形態 1 と同様の効果を得ることができる。また、半導体装置 400 は半導体装置 100 (図 1 参照) より多少チップ面積が増加するが、図 18 に示す従来の半導体装置 800 と比べると高い破壊耐量とチップ面積の縮小化を図ることができる。また、保護用ダイオード 77 のカソード電極 51 と接する n カソード層 23 を高濃度層として形成し、高濃度層を低濃度層 (n カソード層 22) の不純物ドーズである $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $5 \times 10^{14} \text{ cm}^{-2}$ 以下より高くすることでオーミックコンタクトが得られる。

【 0 0 8 6 】

(実施の形態 5)

図 11 は、実施の形態 5 にかかる半導体装置の構成の要部を示す説明図である。図 11 (a) は、半導体装置 500 の要部を示す平面図である。図 11 (b) は、図 11 (a) の切断線 A - A' における断面構造を示す断面図である。半導体装置 500 の断面構造は、実施の形態 1 の半導体装置 100 と同様である (図 1 参照)。図 11 には、半導体装置 500 を構成する保護用ダイオード 78 の構成のみを示す。

【 0 0 8 7 】

実施の形態 1 の保護用ダイオード 71 と異なるのは、独立した複数のカソード電極 51 を形成した点である。この場合、IGBT 72 のコレクタと接続する保護用ダイオード 78 のカソード電極 51 を複数のカソード電極 51 の中から選択することで、保護用ダイオード 78 の耐圧調整を行うことができる。

【 0 0 8 8 】

以上、説明したように、実施の形態 5 によれば、実施の形態 1 と同様の効果を得ることができる。また、半導体装置 500 は、半導体装置 100 より多少チップ面積が増加するが、図 18 に示す従来の半導体装置 800 と比べると高い破壊耐量とチップ面積の縮小化を図ることができる。

【 0 0 8 9 】

10

20

30

40

50

上述した実施の形態 1 ~ 5 では、低濃度の n 半導体層 (n カソード層) 2 2 の不純物濃度を所定の値に制御することで、クランプ電圧が複数回印加された場合でも保護用ダイオードの耐圧が上昇するのを防止できることを説明した。

【 0 0 9 0 】

つぎに、低濃度の n 半導体層 2 2 の長さをクランプ電圧で確実に空乏層がリーチスルーする長さとするので、クランプ電圧を繰り返し印加しても保護用ダイオードの耐圧上昇を抑制できる例について説明する。ここでは、実施の形態 1 の場合と不純物濃度が逆になっており、p アノード層が低濃度で、n カソード層が高濃度の場合を例に説明する。

【 0 0 9 1 】

まず、クランプ回数の増加とともに保護用ダイオードの耐圧が上昇する様子を説明する。図 1 2 は、電圧クランプ回数と保護用ダイオードの耐圧の関係を示す説明図である。低濃度層である p 層の不純物濃度が $1 \times 10^{14} \text{ cm}^{-2}$ 、高濃度層である n 層の不純物濃度が $5 \times 10^{15} \text{ cm}^{-2}$ および高濃度層である p 層の不純物濃度は $3 \times 10^{15} \text{ cm}^{-2}$ である。図 1 2 に示すように、保護用ダイオードの耐圧はクランプ回数が増加するにつれて上昇し、クランプ回数が増えればカソード - アノード間耐圧は飽和傾向にある。この耐圧は、カソード - アノード間耐圧のことであり、アバランシェ降伏で起こる耐圧である。

【 0 0 9 2 】

(実施の形態 6)

図 1 3 は、実施の形態 6 にかかる半導体装置の構成の要部を示す説明図である。図 1 3 (a) は、半導体装置 6 0 0 の要部を示す断面図である。図 1 3 (b) は、保護用ダイオード 7 9 を詳細に示す断面図である。半導体装置 6 0 0 を構成する保護用ダイオード 7 9 は単方向の単体ダイオードで構成されている。図 1 4 , 1 5 は、図 1 3 の半導体装置を示す等価回路図である。図 1 4 は、保護用ダイオード 7 9 を I G B T のゲート - エミッタ間に挿入した場合の等価回路図を示す。図 1 5 は、保護用ダイオード 7 9 をゲート - コレクタ間に挿入した場合の等価回路図を示す。保護用ダイオード 7 9 を構成する単方向ダイオードは、p アノード層 4 1 (低濃度層)、n カソード層 4 2 (中濃度層)、および両端に配置される高濃度の n カソード層 4 3 および p アノード層 4 0 (高濃度層) である。p アノード層 4 1 は、n カソード層 4 2 よりも低い不純物濃度を有する。n カソード層 4 2 は、n カソード層 4 3 および p アノード層 4 0 よりも低い不純物濃度を有する。n カソード層 4 3 は、n カソード層 4 2 に接する。n カソード層 4 2 は、p アノード層 4 1 に接する。p アノード層 4 1 は、p アノード層 4 0 に接する。n カソード層 4 3 および p アノード層 4 0 は、それぞれカソード電極 5 1 とアノード電極 5 2 とのコンタクト層である。以下、保護用ダイオードを構成する複数の単方向ダイオードのうち、他の単方向ダイオードよりも不純物濃度が低い場合を低濃度とし、低濃度の層よりも不純物濃度が高い場合を中濃度および高濃度とする。中濃度の層は、高濃度の層よりも不純物濃度が低い。

【 0 0 9 3 】

保護用ダイオード 7 9 である単方向ダイオードの製造方法について説明する。絶縁膜 6 0 (L O C O S 酸化膜) 上に厚さ $0.5 \mu\text{m}$ のポリシリコンを堆積し、フォトリソグラフィとエッチングにより、ダイオードの形状に加工する。ポリシリコン層全面にボロンを例えばドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ 以上 $9 \times 10^{13} \text{ cm}^{-2}$ 以下程度と低濃度でイオン注入する。また、中濃度層である n カソード層 4 2 に選択的にリンまたは砒素をドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ 以上 $9 \times 10^{14} \text{ cm}^{-2}$ 以下程度でイオン注入する。高濃度の p アノード層 4 0 には選択的にボロンを例えばドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ 程度と高濃度でイオン注入する。高濃度の n カソード層 4 3 には選択的にリンまたは砒素を例えばドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度と高濃度でイオン注入する。このとき、高濃度の p アノード層 4 0 と中濃度の n カソード層 4 2 に挟まれた低濃度の p アノード層 4 1 の幅 M は $2 \mu\text{m}$ 以下となるようにする。つまり、保護用ダイオード 7 9 は、 n^+ 層 (高濃度の n カソード層 4 3) / n 層 (中濃度の n カソード層 4 2) / p^- 層 (低濃度のアノード層 4 1) / p^+ 層 (高濃度の p アノード層 4 0) の 4 層の単方向ダイオードで構成される。保護用ダイオード 7 9 の端部に設けられる n^+ 層と p^+ 層は、金属配線とのオーミックコンタクトを得るために高濃度にする。

【 0 0 9 4 】

保護用ダイオード79のpn接合48は、低濃度のpアノード層41と中濃度のnカソード層42によって形成される。低濃度のpアノード層41の幅Mがリーチスルーしない程度に大きい場合、カソード-アノード間に電圧が印加されたときに、pn接合48から伸びた空乏層が低濃度のpアノード層41へ広がっていきpn接合48での電界が臨界電界に達してアバランシェ降伏を起こす。このときの保護用ダイオード79の耐圧は、低濃度層と中濃度層の不純物濃度によって決まる。

【 0 0 9 5 】

また、低濃度のpアノード層41の幅Mがリーチスルーする程度に空乏層の広がり幅より小さい場合は、空乏層がリーチスルーする電圧で保護用ダイオード79の耐圧が決まる。つまり、保護用ダイオード79の耐圧は低濃度のpアノード層41の幅Mに依存する。

【 0 0 9 6 】

図16は、図13の保護用ダイオードの耐圧と低濃度のpアノード層の幅との関係を示す特性図である。保護用ダイオード79の耐圧とは、カソード-アノード間の耐圧である(以下、図17においても同様)。この例では、高濃度のpアノード層40、低濃度のpアノード層41、中濃度のnカソード層42はそれぞれ、ボロン $3 \times 10^{15} \text{ cm}^{-2}$ 、ボロン $7 \times 10^{13} \text{ cm}^{-2}$ 、砒素 $5 \times 10^{14} \text{ cm}^{-2}$ のイオン注入で形成されている。低濃度のpアノード層41の幅Mを短くしていくと、空乏層は高濃度のpアノード層40へリーチスルーするようになり、低濃度のpアノード層41の幅Mの縮小とともにカソード-アノード間耐圧は低下する。低濃度のpアノード層41の幅Mが $0 \mu\text{m}$ になると、カソード-アノード間耐圧は高濃度のpアノード層40と中濃度のnカソード層42のpn接合48で決まる耐圧となる。空乏層がリーチスルーを起こす幅は、中濃度のnカソード層42、および低濃度のpアノード層41をそれぞれ14乗台、13乗台のドーズ量のイオン注入で形成した場合、 $2 \mu\text{m}$ 程度であり、それ以下の幅ではリーチスルーが起こる。つまり、低濃度のpアノード層41の幅Mが $2 \mu\text{m}$ 以下になるとカソード-アノード間耐圧はリーチスルーを起こす電圧で決まる。そのため、低濃度のpアノード層41の幅Mを $2 \mu\text{m}$ 以下とすれば、繰り返しのクランプ電圧を印加しても保護用ダイオード79の耐圧の上昇は抑制される。また、中濃度のnカソード層42を低濃度のpアノード層41と同程度の不純物濃度にした場合には、保護用ダイオード79の耐圧を高めることができる。

【 0 0 9 7 】

図17は、図13の保護用ダイオードの耐圧と電圧クランプ回数との関係を示す特性図である。図17では、低濃度のpアノード層41の幅Mをパラメータとしている。低濃度のpアノード層41の幅Mは、図16に示す幅 X_1 、 X_2 の値である。幅 X_1 、 X_2 の両方は同程度の初期の耐圧を示すが、 $M = X_1$ で形成された単方向ダイオードはクランプ電圧ではリーチスルーを起こさない。一方、 $M = X_2$ で形成された単方向ダイオードは、クランプ電圧でリーチスルーを起こす。リーチスルーを起こさない単方向ダイオード($M = X_1$)は、従来の単方向ダイオードと同様に、繰り返しのクランプ電圧を印加することで電圧は上昇する。

【 0 0 9 8 】

これに対し、リーチスルーを起こす単方向ダイオード($M = X_2$)は、耐圧の上昇は見られない。この保護用ダイオードは、上述したように、アノード端子が接する高濃度のpアノード層40と、カソード端子が接する高濃度のnカソード層43と、これらの高濃度層の間に両高濃度層よりも低濃度で形成された低濃度のpアノード層41と中濃度のnカソード層42が配置された複数の単方向ダイオードからなる(図13参照)。低濃度のpアノード層41の幅Mはクランプ電圧でリーチスルーを起こす幅(リーチスルー幅)に形成されているので、クランプ動作の繰り返しによる耐圧上昇を抑えた保護用ダイオードとなっている。また、中濃度のnカソード層42の不純物濃度と長さを変えることでカソード-アノード間耐圧を変えることが可能となる。

【 0 0 9 9 】

保護用ダイオード79の低濃度のpアノード層41の幅Mを $2 \mu\text{m}$ 以下とすることで、

10

20

30

40

50

保護用ダイオード79の耐圧は空乏層がリーチスルーを起こす電圧（リーチスルー電圧）となり、繰り返しのクランプ電圧印加により保護用ダイオード79の耐圧が上昇することを防止できる。保護用ダイオード79の耐圧の上昇が抑制されることで、半導体装置600は高い破壊耐圧を有するようになる。さらに、クランプ電圧がリーチスルー電圧で決まることから、アバランシェ降伏電圧で決まる場合に比べて、低濃度のpアノード層41の幅Mを狭くすることができる。その結果、高い破壊耐量とチップ面積の縮小化を図ることができる。

【0100】

実施の形態6では、図14のように、IGBT72のゲート-エミッタ間に単方向ダイオードを保護用ダイオード79として挿入する例を示したが、図15のようにコレクタ-ゲート間に挿入してもよい。

10

【0101】

また、図示しないが、実施の形態6の保護用ダイオード79において、低濃度のpアノード層41に代えて中濃度のpアノード層とし、中濃度のnカソード層42に代えて低濃度のnカソード層とし、この低濃度のnカソード層の幅をリーチスルーの生じる幅としても同様の効果を得ることができる。

【0102】

また、図示しないが、保護用ダイオードは、単方向ダイオードを順方向に直列接続して接続したアノード電極とカソード電極とを一つの金属膜で形成し、多段の単方向ダイオードとすることで、高耐圧化することができる。この場合、保護用ダイオードは、n⁺層（高濃度層）/n層（中濃度）/p⁻層（低濃度層）/p⁺層（高濃度層）/n⁺層（高濃度層）/n層（中濃度）/p⁻層（低濃度層）/p⁺層（高濃度層）/で構成される。そして、p⁺層（高濃度層）/n⁺層（高濃度層）の接合部上を一つの金属膜で被覆してオーミック接合にする。また、この構成を繰り返した構成とすることで、保護用ダイオードの耐圧を変更および調整することができる。

20

【0103】

また、図示しないが、単方向ダイオードを背中合わせ（逆方向）に接続した双方向ダイオードで保護用ダイオードを構成しても構わない。この場合、保護用ダイオードは、n⁺層（高濃度層）/n層（中濃度）/p⁻層（低濃度層）/p⁺層（高濃度層）/p⁻層（低濃度層）/n層（中濃度層）/n⁺層（高濃度層）で構成される。また、この構成を繰り返した構成とすることで、保護用ダイオードの耐圧を変更および調整することができる。

30

【0104】

また、上述したように、多数直列接続された双方向ダイオードのpn接合を一つおきに金属膜で短絡することで直列接続された単方向ダイオードとすることができる。この単方向ダイオードで構成される保護用ダイオードをIGBTのゲートとエミッタ間やゲートとコレクタ間に挿入しても同様の効果が得られる。

【0105】

また、保護用ダイオード79はポリシリコン層に形成された例で説明したが、SOI基板など絶縁膜上に形成した単結晶シリコン層に形成しても構わない。これは実施の形態6で説明した保護用ダイオードすべてに適用することができる。

40

【0106】

以上、説明したように、実施の形態6によれば、実施の形態1と同様の効果を得ることができる。

【0107】

また、実施の形態1～6では、被保護素子である半導体素子としてパワー半導体素子であるIGBT72を例に挙げて説明したが、パワーMOSFETなどのパワーMOS素子に本発明を適用することで前記と同様の効果を得ることができる。

【産業上の利用可能性】

【0108】

以上のように、本発明にかかる半導体装置は、外来から印加されるサージ電圧やスイッ

50

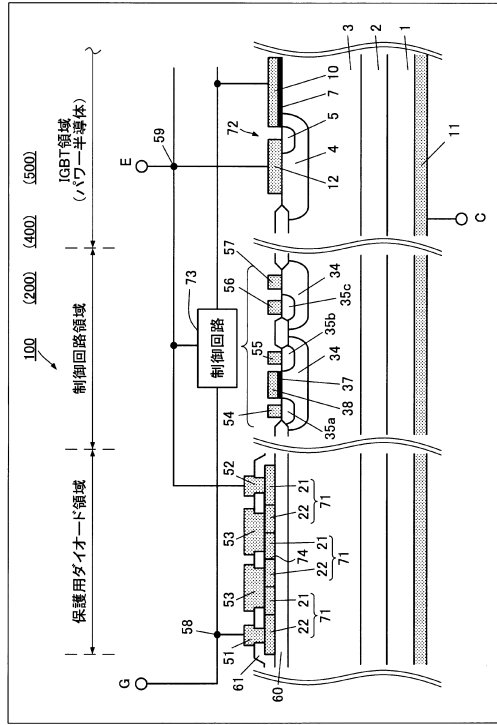
チング時に素子自体から発生するサージ電圧からパワー半導体素子を保護するサージ保護用のダイオードをパワー半導体素子と同一半導体基板に形成した半導体装置に有用である。

【符号の説明】

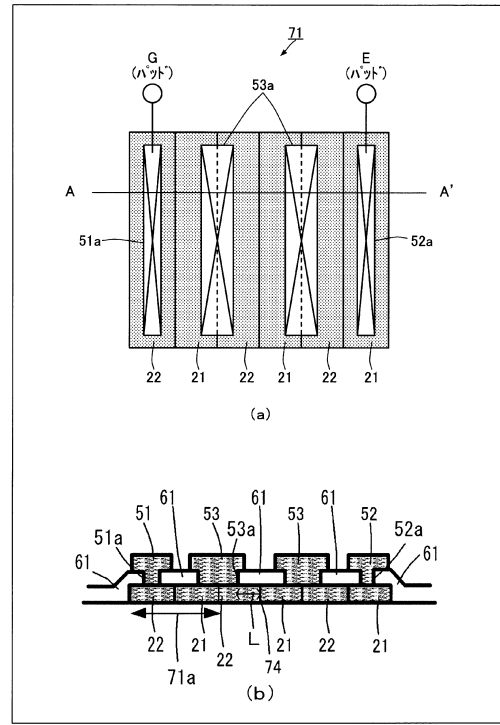
【0109】

1	p半導体基板	
1 a	pコレクタ層	
2	高濃度n半導体層	
3, 3 a	低濃度n半導体層	
4	pウエル層	10
5	nエミッタ層	
7	ゲート絶縁膜	
1 0	ゲート電極	
1 1	コレクタ電極	
1 2	エミッタ電極	
1 6	絶縁層(酸化膜)	
1 7	絶縁分離領域	
2 1, 4 0	高濃度のpアノード層	
2 2	低濃度のnカソード層	
2 3, 4 3	高濃度のnカソード層	20
3 0, 3 1, 5 1 a, 5 2 a, 5 3 a	コンタクトホール	
3 4	pウエル層	
3 5 a	nソース層	
3 5 b	nドレイン層	
3 5 c	nカソード層	
3 7	ゲート絶縁膜	
3 8	ゲート電極	
4 1	低濃度のpアノード層	
4 2	中濃度のnカソード層	
4 8, 7 4	p n接合	30
5 1, 5 6	カソード電極	
5 2, 5 7	アノード電極	
5 3	金属膜	
5 4	ソース電極	
5 5	ドレイン電極	
5 8, 5 9	パッド電極	
6 0	絶縁膜	
6 1	層間絶縁膜	
7 1, 7 5, 7 6, 7 7, 7 8, 7 9	保護用ダイオード	
7 1 a	単方向ダイオード	40
7 2	I G B T	
7 3	制御回路	
1 0 0, 2 0 0, 3 0 0, 4 0 0, 5 0 0, 6 0 0, 8 0 0, 9 0 0	半導体装置	
L	p n接合と金属膜の間の距離	
M	低濃度のpアノード層の幅	
G	ゲート端子	
E	エミッタ端子	
C	コレクタ端子	

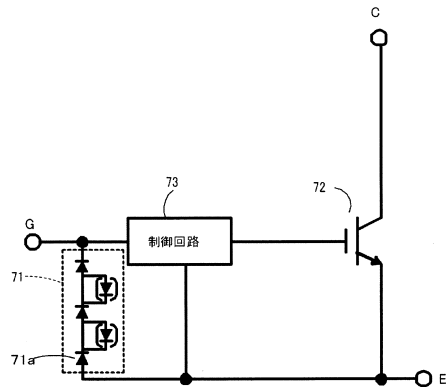
【図1】



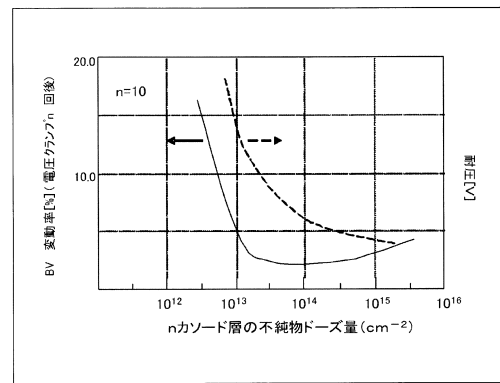
【図2】



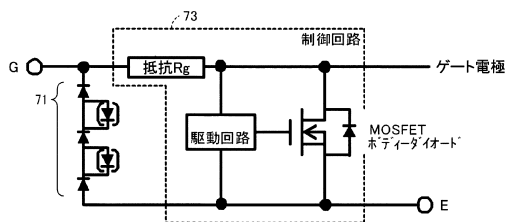
【図3】



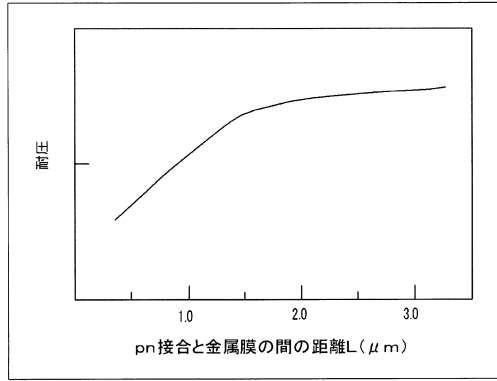
【図5】



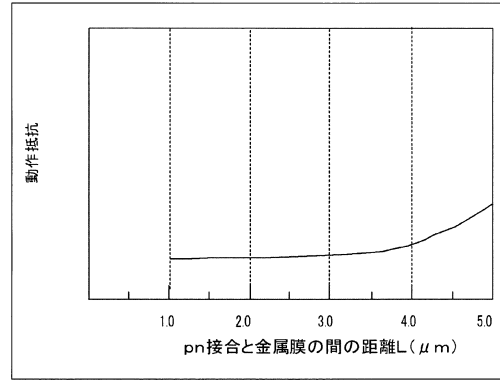
【図4】



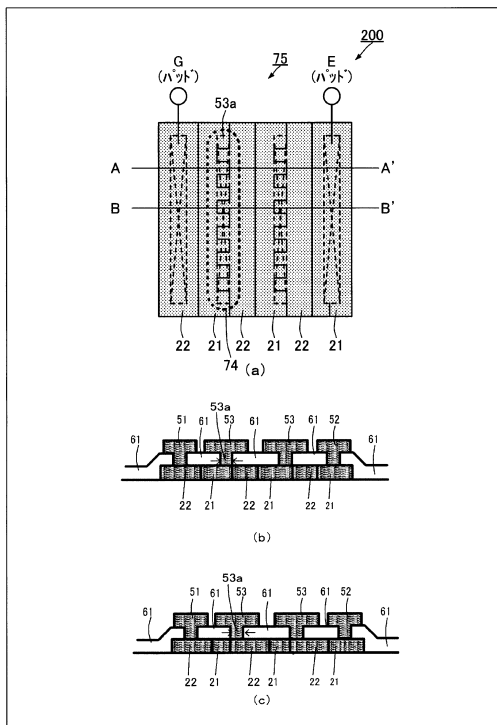
【図6】



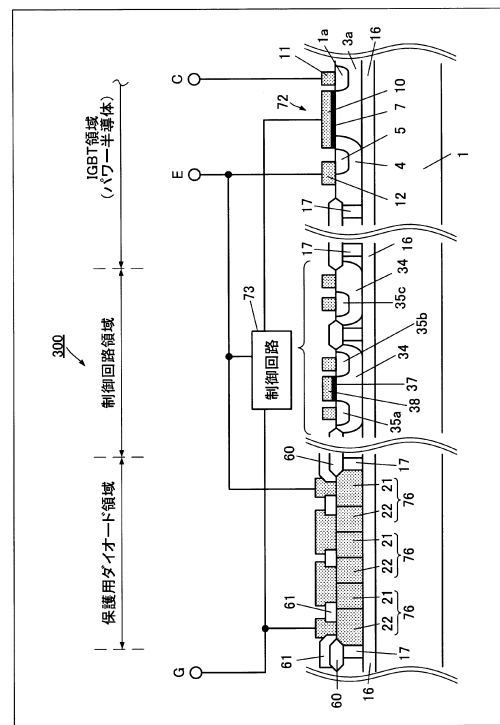
【図7】



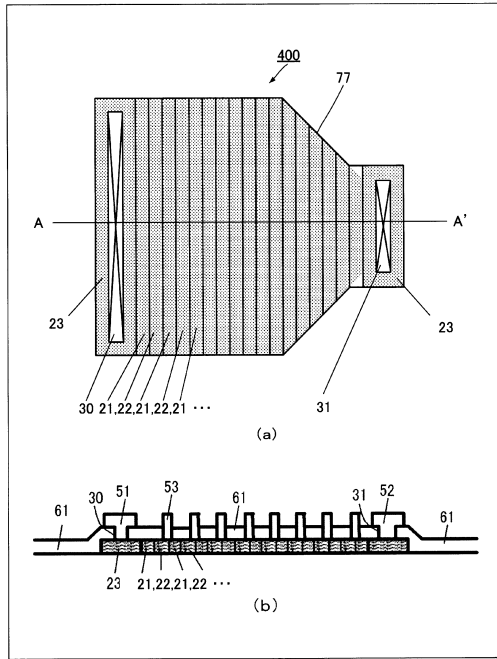
【図8】



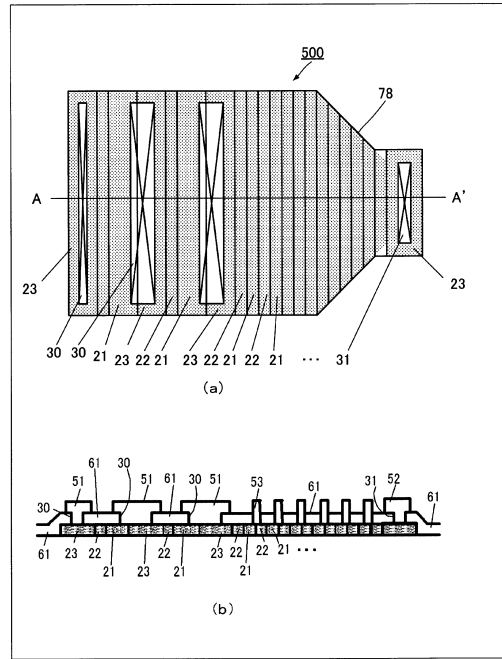
【図9】



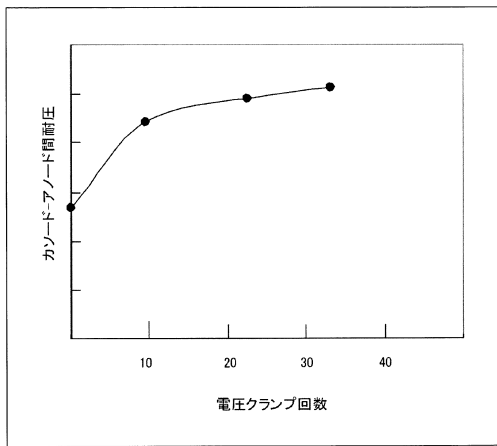
【図10】



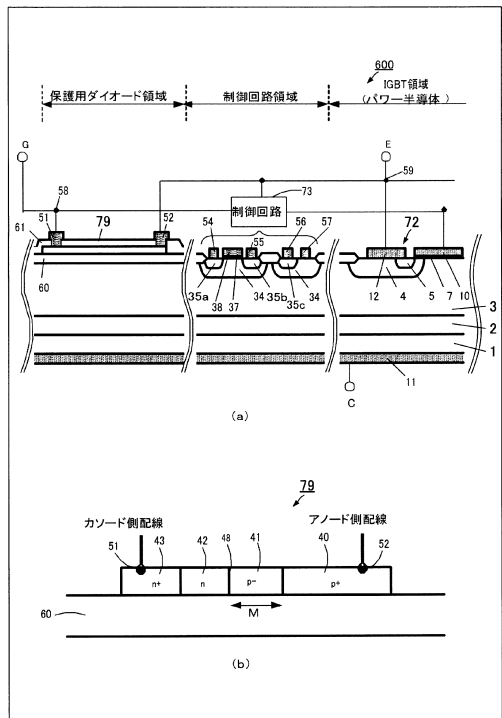
【図11】



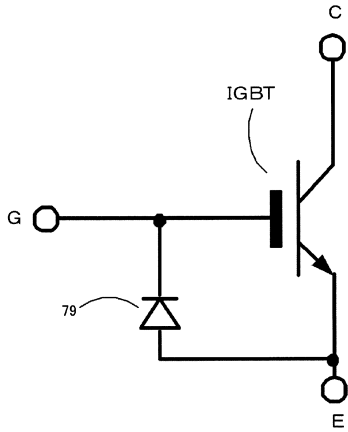
【図12】



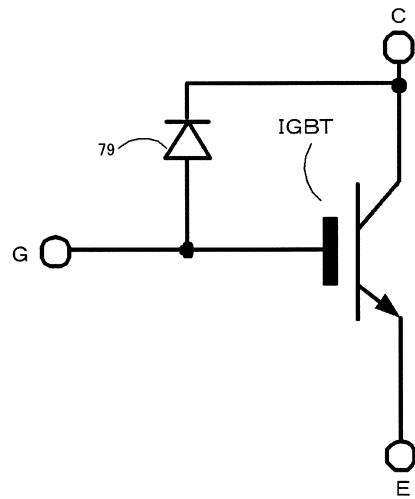
【図13】



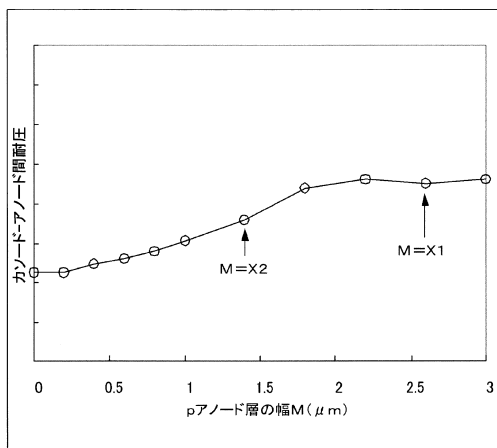
【図14】



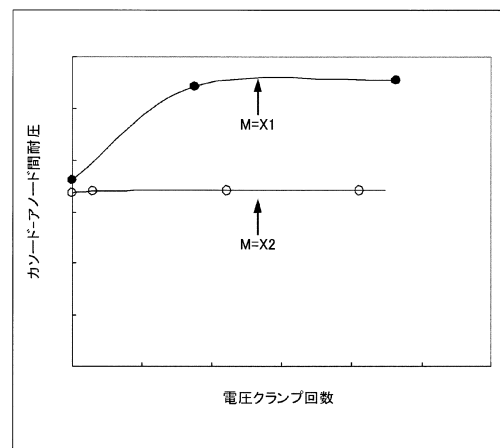
【図15】



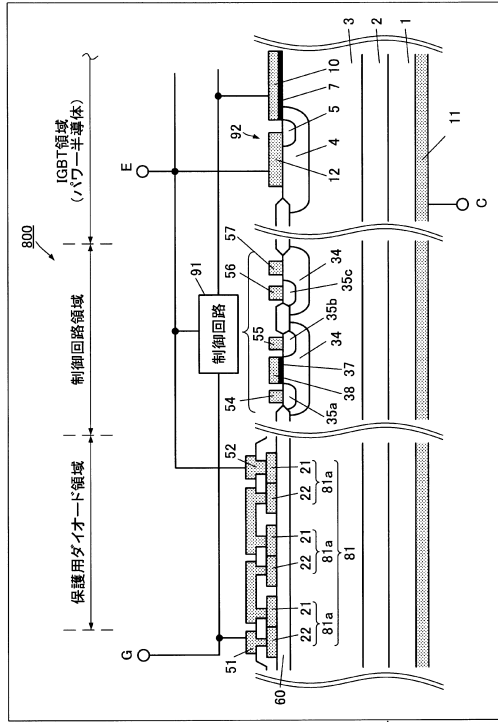
【図16】



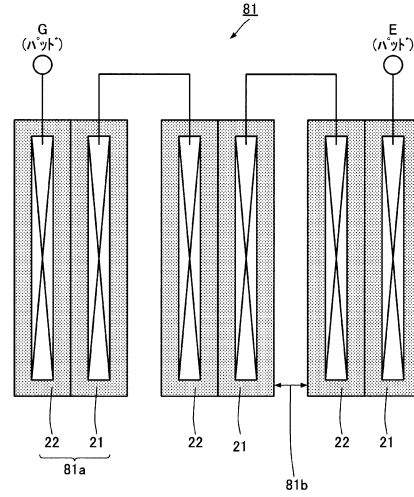
【図17】



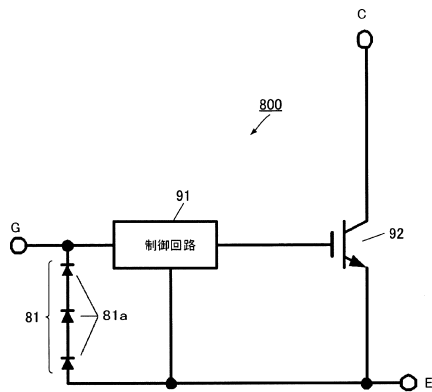
【図18】



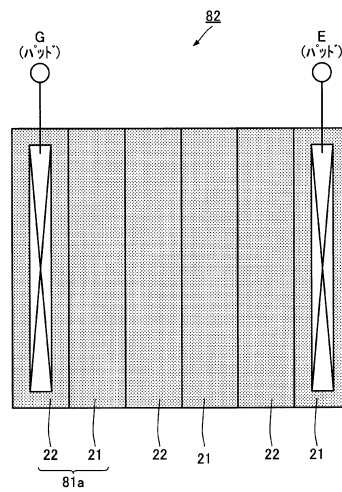
【図19】



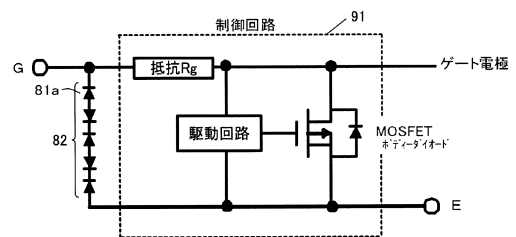
【図20】



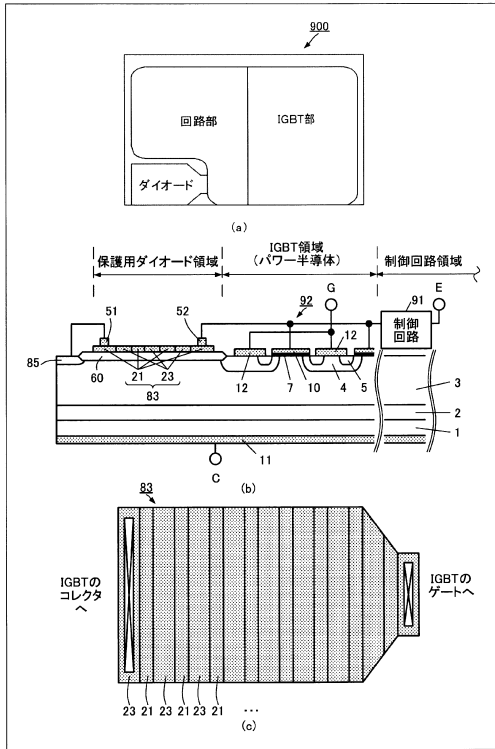
【図21】



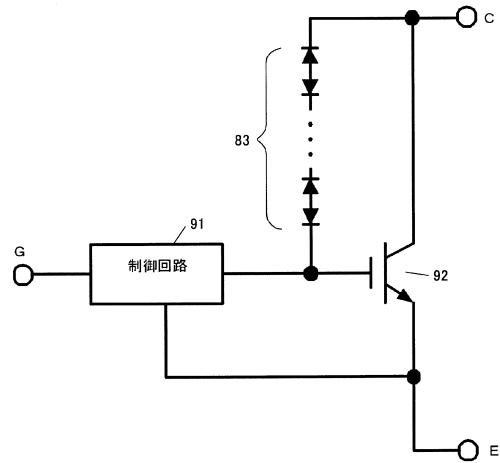
【図22】



【図23】



【図24】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/861	(2006.01)	H 0 1 L	29/91 E
H 0 1 L	21/822	(2006.01)	H 0 1 L	27/04 H
H 0 1 L	27/06	(2006.01)	H 0 1 L	27/06 3 1 1 B

審査官 空 哲次

(56)参考文献 特開平 1 1 - 2 5 1 5 9 4 (J P , A)
 特開平 0 6 - 1 6 3 9 1 1 (J P , A)
 特開平 0 7 - 0 5 0 3 0 4 (J P , A)
 特表 2 0 0 2 - 5 3 8 5 9 8 (J P , A)
 特開 2 0 0 6 - 0 1 9 5 2 8 (J P , A)
 特開平 1 1 - 2 8 4 1 7 5 (J P , A)
 特開平 0 7 - 2 0 2 1 9 1 (J P , A)
 特開 2 0 0 2 - 1 4 1 5 0 7 (J P , A)
 特開昭 5 7 - 1 4 1 9 6 2 (J P , A)
 特開 2 0 0 0 - 1 7 4 2 7 2 (J P , A)
 米国特許第 0 6 7 7 0 9 4 9 (U S , B 1)
 特開平 0 7 - 1 3 0 8 9 8 (J P , A)
 特開平 0 4 - 0 7 2 6 6 7 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 7 / 0 4
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 8 6 8