(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月29日(29.02.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/042863 A1

(51) 国際特許分類:
H04N 25/627 (2023.01) *H04N 25/78* (2023.01)

(21) 国際出願番号： PCT/JP2023/024429

(22) 国際出願日： 2023年6月30日(30.06.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-134127 2022年8月25日(25.08.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 佐藤 守 (**SATO, Mamoru**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

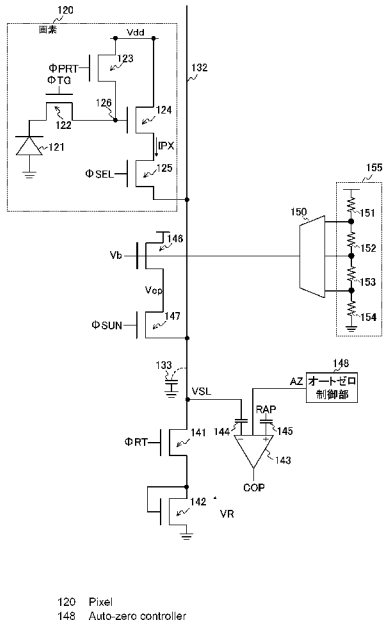
(74) 代理人: 丸島 敏一 (**MARUSHIMA, Toshikazu**); 〒1600022 東京都新宿区新宿３－３－２ 京王新宿三丁目第二ビル ５Ｆ クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,

(54) **Title:** IMAGING DEVICE

(54) 発明の名称： 撮像装置



120 Pixel
148 Auto-zero controller

(57) **Abstract:** The present invention enables prevention of a black level output based on incidence of high-luminance light. This imaging device comprises: a signal line, the potential of which varies on the basis of electric charge stored according to a current flowing when a signal is read out from a pixel; a signal line reset transistor that resets the signal line potential; a signal-line reset level generation unit that generates a reset level of the signal line potential; a signal-line clip transistor that clips the signal line potential; and a signal-line clip voltage setting unit that sets a signal-line clip voltage used in generating a clip level for the signal line potential. The signal line reset level generation unit may be a diode-connected transistor.

(57) 要約：高輝度光の入射に基づく黒レベル出力を防止可能とする。撮像装置は、画素からの信号読出し時に流れる電流に応じて蓄積された電荷に基づいて電位が変化する信号線と、信号線の電位をリセットする信号線リセットトランジスタと、信号線の電位のリセットレベルを生成する信号線リセットレベル生成部と、信号線の電位をクリップする信号線クリップトランジスタと、信号線の電位のクリップレベルの生成に用いられる信号線クリップ電圧を設定する信号線クリップ電圧設定部とを備える。信号線リセットレベル生成部は、ダイオード接続トランジスタでもよい。

WO 2024/042863 A1

[続葉有]

TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 撮像装置

技術分野

[0001]　本技術は、撮像装置に関する。詳しくは、本技術は、高輝度光の入射に基づく黒レベル出力を防止可能な撮像装置に関する。

背景技術

[0002]　画素からの信号の読出し時にソースフォロワの負荷に容量を用いる容量負荷読出し方式が知られている。このような容量負荷読出し方式として、例えば、リセット部により出力線の電圧をリセットした後に定電流源により出力線に一定の電流を流すとともに、増幅トランジスタのソースを出力線に接続する撮像装置が提案されている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２１－４０２７０号公報

発明の概要

発明が解決しようとする課題

[0004]　しかしながら、上述の従来技術では、太陽光などの高輝度光が入射されると、フォトダイオードからフローティングディフュージョンに電荷がオーバーフローする。このため、Ｐ相レベル（リセットレベルとも言う）が低下し、Ｐ相レベルとＤ相レベル（信号レベルとも言う）との差がなくなることから、本来は白レベルであるにもかかわらず、黒レベルが出力される現象（太陽黒点現象と言う）があった。

[0005]　本技術はこのような状況に鑑みて生み出されたものであり、高輝度光の入射に基づく黒レベル出力を防止可能とすることを目的とする。

課題を解決するための手段

[0006]　本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、画素からの信号読出し時に流れる電流に応じて蓄積された電荷に

基づいて電位が変化する信号線と、前記信号線の電位をリセットする信号線リセットトランジスタと、前記信号線の電位のリセットレベルを生成する信号線リセットレベル生成部と、前記信号線の電位をクリップする信号線クリップトランジスタと、前記信号線の電位のクリップレベルの生成に用いられる信号線クリップ電圧を設定する信号線クリップ電圧設定部とを具備する撮像装置である。これにより、入射光量に依存することなく、信号線の電位がクリップされるという作用をもたらす。

[0007] また、第１の側面において、前記信号線の電位は、前記信号線の寄生容量の電位でもよい。これにより、信号線に容量素子を付加することなく、容量負荷読出しが可能となるという作用をもたらす。

[0008] また、第１の側面において、前記画素は、フォトダイオードと、前記フォトダイオードに蓄積された電荷をフローティングディフュージョンに転送する転送トランジスタと、前記フローティングディフュージョンをリセットするリセットトランジスタと、前記フローティングディフュージョンの電位に応じた信号を出力する増幅トランジスタと、前記増幅トランジスタと前記信号線との間に接続された選択トランジスタとを備えてもよい。これにより、画素からの信号の読出し時に画素との間でソースフォロワが形成されるという作用をもたらす。

[0009] また、第１の側面において、前記信号線リセットレベル生成部は、ダイオード接続トランジスタを備えてもよい。これにより、信号線のリセット時にダイオード接続トランジスタの順方向電圧に応じて信号線の電位が持ち上げられるという作用をもたらす。

[0010] また、第１の側面において、前記信号線リセットトランジスタを駆動するドライバをさらに具備してもよい。これにより、信号線リセットトランジスタがオン／オフされるという作用をもたらす。

[0011] また、第１の側面において、前記信号線と前記信号線クリップトランジスタとの間に接続された信号線クリップ選択トランジスタをさらに具備してもよい。これにより、信号線へのクリップレベルの印加が制御されるという作

用をもたらす。

[0012] また、第１の側面において、前記画素、前記信号線クリップトランジスタおよび前記信号線クリップ選択トランジスタが形成された第１チップと、前記第１チップが積層され、前記信号線リセットトランジスタ、前記信号線リセットレベル生成部および前記信号線クリップ電圧設定部が形成された第２チップとを備えてもよい。これにより、信号線クリップトランジスタおよび信号線クリップ選択トランジスタの特性と画素トランジスタの特性とのバラツキが低減されるという作用をもたらす。

[0013] また、第１の側面において、前記信号線クリップトランジスタのゲート長およびゲート幅は、前記画素の増幅トランジスタのゲート長およびゲート幅と等しく、前記信号線クリップ選択トランジスタのゲート長およびゲート幅は、前記画素の選択トランジスタのゲート長およびゲート幅と等しくてもよい。これにより、信号線クリップトランジスタの特性と画素の増幅トランジスタの特性とが等しくなり、信号線クリップ選択トランジスタの特性と画素の選択トランジスタの特性とが等しくなるという作用をもたらす。

[0014] また、第１の側面において、前記信号線は、前記信号線クリップ選択トランジスタおよび前記画素の増幅トランジスタにて同時に駆動されてもよい。これにより、信号線の駆動力が増大するという作用をもたらす。

[0015] また、第１の側面において、前記信号線の電位とランプ信号とを比較するコンパレータをさらに具備してもよい。これにより、画素から読出された信号が信号線の電位に基づいて検出可能となるという作用をもたらす。

[0016] また、第１の側面において、異なるカラムに設けられた信号線の電位を互いに比較するコンパレータをさらに具備してもよい。これにより、容量負荷読出しに基づいて、被写体のエッジが検出されるという作用をもたらす。

[0017] また、第１の側面において、前記コンパレータの第１入力端子に接続された第１ＤＣカットコンデンサと、前記コンパレータの第２入力端子に接続された第２ＤＣカットコンデンサと、オートゼロ期間の前記コンパレータの第１入力および第２入力がバランスするように前記第１ＤＣカットコンデンサ

および前記第２ＤＣカットコンデンサに蓄積される電荷をそれぞれ制御するオートゼロ制御部とをさらに具備してもよい。これにより、固定パターンノイズが低減されるという作用をもたらす。

[0018] また、第１の側面において、前記信号線クリップ選択トランジスタは、前記オートゼロ期間後にオフされてもよい。これにより、信号線がクリップされている時にコンパレータの非反転入力および反転入力がバランスするように調整されるという作用をもたらす。

[0019] また、第１の側面において、前記信号線クリップ電圧は、前記画素のリセットレベルよりも低くてもよい。これにより、画素のリセットレベルが読出し可能となるという作用をもたらす。

[0020] また、第１の側面において、前記信号線に電気的に接続可能であり、前記画素との間に形成されるソースフォロワに基づいて定電流を流す定電流トランジスタをさらに具備してもよい。これにより、容量負荷読出しを実施しないときは、定電流読出しが可能となるという作用をもたらす。

[0021] また、第１の側面において、前記定電流トランジスタを用いた定電流読出しでは、前記定電流トランジスタはオンされ、前記信号線リセットレベル生成部を用いた容量負荷読出しでは、前記定電流トランジスタはオフされてもよい。これにより、容量負荷読出しと定電流読出しとが切替可能となるという作用をもたらす。

[0022] また、第１の側面において、前記信号線クリップ電圧設定部は、複数のクリップレベルを生成してもよい。これにより、信号線のクリップレベルが調整されるという作用をもたらす。

[0023] また、第１の側面において、前記信号線クリップ電圧設定部は、抵抗ラダー回路と、前記抵抗ラダー回路で生成された分圧電圧を切り替える第１セレクタとを備えてもよい。これにより、信号線のクリップレベルが切り替えられるという作用をもたらす。

[0024] また、第１の側面において、前記信号線リセットレベル生成部は、前記抵抗ラダー回路で生成された分圧電圧を切り替える第２セレクタを備えてもよ

い。これにより、信号線のリセットレベルおよびクリップレベルが別個に切り替えられるという作用をもたらす。

[0025] また、第１の側面において、前記画素がロウ方向およびカラム方向にマトリックス状に配置された画素アレイ部を備え、前記信号線は前記カラムごとに設けられ、前記信号線リセットトランジスタおよび前記信号線クリップトランジスタは、前記信号線のそれぞれに設けられてもよい。これにより、信号線の電位が信号線ごとにリセットおよびクリップされるという作用をもたらす。

図面の簡単な説明

[0026] [図1]第１の実施の形態に係る撮像装置が適用されるカメラの構成例を示すブロック図である。

[図2]第１の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

[図3]第１の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示すブロック図である。

[図4]第１の実施の形態に係る固体撮像装置に設けられた画素アレイ部の構成例を示す断面図である。

[図5]第１の実施の形態に係る固体撮像装置に設けられた画素アレイ部の変形例を示す断面図である。

[図6]第１の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[図7]第１の実施の形態に係る撮像装置の信号読出し時の各部の波形の第１の例を示す図である。

[図8]第１の実施の形態に係る撮像装置の信号読出し時の各部の波形の第２の例を示す図である。

[図9]第２の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[図10]第３の実施の形態に係る３カラム分の信号読出し回路の構成例を示す

図である。

[図11]第４の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[図12]第４の実施の形態に係る信号読出し回路の定電流読出しにおける各部の波形の一例を示す図である。

[図13]第５の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[図14]第５の実施の形態に係る信号読出し時の各部の波形の一例を示す図である。

[図15]第６の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[図16]第６の実施の形態に係る信号読出し時の各部の波形の一例を示す図である。

[図17]第７の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[図18]第８の実施の形態に係る２カラム分の信号読出し回路の構成例を示す図である。

[図19]第８の実施の形態に係る信号読出し回路に適用されるコンパレータの構成例を示す図である。

[図20]第８の実施の形態に係る撮像装置の信号読出し時の各部の波形の一例を示す図である。

[図21]第８の実施の形態の比較例に係る撮像装置の信号読出し時の各部の波形の一例を示す図である。

[図22]第９の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[図23]第１０の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[図24]第１１の実施の形態に係る撮像装置の構成例を示す斜視図である。

[図25]車両制御システムの概略的な構成例を示すブロック図である。

[図26]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0027] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（垂直信号線に電気的に接続された信号線クリップ選択トランジスタを介して信号線クリップトランジスタを接続した例）

２．第２の実施の形態（画素が設けられた上層チップに信号線クリップトランジスタおよび信号線クリップ選択トランジスタを設けるとともに、信号線クリップ電圧設定部を下層チップに設けた例）

３．第３の実施の形態（信号線クリップ選択トランジスタを駆動するドライバと、信号線リセットトランジスタを駆動するドライバとを設けた例）

４．第４の実施の形態（信号線リセットトランジスタとダイオード接続トランジスタとの直列回路に並列に定電流トランジスタを接続した例）

５．第５の実施の形態（信号線の電位のクリップおよび選択信号線の選択を信号線クリップトランジスタで実施した例）

６．第６の実施の形態（ＯＢ（Optical Black）画素の増幅トランジスタを信号線クリップトランジスタとして用いるとともに、ＯＢ画素の選択トランジスタを信号線クリップ選択トランジスタとして用いた例）

７．第７の実施の形態（抵抗ラダー回路を信号線のクリップレベルの設定に用いるとともに、信号線のリセットレベルの設定に用いた例）

８．第８の実施の形態（信号線トランジスタとダイオード接続トランジスタとの直列回路を用いた容量負荷読出しをエッジ検出に適用した例）

９．第９の実施の形態（信号線トランジスタとダイオード接続トランジスタとの直列回路を用いた容量負荷読出しを４個のフォトダイオードで増幅トランジスタが共有されるセルに適用した例）

１０．第１０の実施の形態（信号線トランジスタとダイオード接続トランジスタとの直列回路を用いた容量負荷読出しをビニング読出しに適用した例

）

１１．第１１の実施の形態（固体撮像装置が形成される基板を積層化した例）

１２．移動体への応用例

[0028] ＜１．第１の実施の形態＞

図１は、第１の実施の形態に係る撮像装置が適用されるカメラの構成例を示すブロック図である。

[0029] 同図において、カメラ１００は、光学系１０１、固体撮像装置１０２、撮像制御部１０３、画像処理部１０４、記憶部１０５、表示部１０６および操作部１０７を備える。撮像制御部１０３、画像処理部１０４、記憶部１０５、表示部１０６および操作部１０７は、バス１０８を介して互いに接続されている。なお、カメラ１００は、単体としても用いられてもよいし、スマートフォンなどの携帯端末に組み込まれてもよいし、認証装置や監視装置に組み込まれてもよい。

[0030] 光学系１０１は、被写体からの光を固体撮像装置１０２に入射させ、被写像を固体撮像装置１０２の受光面に結像させる。光学系１０１は、例えば、フォーカスレンズ、ズームレンズおよび絞りなどを備えることができる。光学系１０１は、広角レンズ、標準レンズおよび望遠レンズなどの複数のレンズを備えてもよい。

[0031] 固体撮像装置１０２は、被写体からの光を画素ごとに電気信号に変換し、その電気信号をデジタル化して出力する。固体撮像装置１０２は、例えば、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサでもよいし、ＣＣＤ(Charge Coupled Device)でもよい。

[0032] 撮像制御部１０３は、操作部１０７からの指令に基づいて固体撮像装置１０２による撮像を制御する。このとき、撮像制御部１０３は、固体撮像装置１０２の露光時間、露光量および撮像タイミングなどを制御することができる。

[0033] 画像処理部１０４は、固体撮像装置１０２からの出力に基づいて画像処理

を実施する。画像処理は、例えば、ガンマ補正、ホワイトバランス処理、シャープネス処理、階調変換処理である。画像処理部１０４は、ソフトウェアに基づいて処理を実行するプロセッサを備えてもよい。

[0034] 記憶部１０５は、固体撮像装置１０２で撮像された撮像画像を記憶したり、固体撮像装置１０２の撮像パラメータなどを記憶したりする。また、記憶部１０５は、ソフトウェアに基づいてカメラ１００を動作させるプログラムを記憶することができる。記憶部１０５は、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）およびメモリカードを含んでもよい。

[0035] 表示部１０６は、撮像画像を表示したり、撮像操作をサポートする各種情報を表示したりする。表示部１０６は、液晶ディスプレイでもよいし、有機ＥＬ（Electro Luminescence）ディスプレイでもよい。

[0036] 操作部１０７は、カメラ１００を操作するユーザインターフェースを提供する。操作部１０７は、例えば、カメラ１００に設けられたボタン、ダイヤルおよびスイッチを含んでもよい。操作部１０７は、表示部１０６とともにタッチパネルで構成してもよい。

[0037] 図２は、第１の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

[0038] 同図において、固体撮像装置１０２は、画素アレイ部１１１、垂直走査回路１１２、カラム読出し回路１１３、カラム信号処理部１１４、水平走査回路１１５、制御回路１１６および信号線クリップレベル設定回路１１７を備える。

[0039] 画素アレイ部１１１は、複数の画素１２０を備える。画素１２０は、ロウ方向（水平方向とも言う）およびカラム方向（垂直方向とも言う）に沿ってマトリックス状に配列される。各画素１２０は、信号の読出し時にカラム読出し回路１１３との間でソースフォロワを構成することができる。各画素１２０は、ロウごとに水平駆動線１３１に接続され、カラムごとに垂直信号線１３２に接続される。水平駆動線１３１は、各画素１２０からの信号の読出し時に各画素１２０をロウごとに駆動する。垂直信号線１３２は、画素１２

０からの信号読出し時に流れる電流に応じて蓄積された電荷に基づく電位をカラムごとにカラム信号処理部１１４に伝送する。なお、垂直信号線１３２は、特許請求の範囲に記載の信号線の一例である。

[0040] 垂直走査回路１１２は、読出し対象となる画素１２０をカラム方向に走査する。垂直走査回路１１２は、垂直レジスタを用いて構成してもよい。

[0041] カラム読出し回路１１３は、各画素１２０からの信号の読出し時に、各画素１２０との間でソースフォロワを構成することができる。このとき、カラム読出し回路１１３は、画素１２０に保持された電荷に基づいて垂直信号線１３２の電位を変化させることができる。カラム読出し回路１１３は、容量負荷読出しに対応することができる。カラム読出し回路１１３は、定電流読出しにも対応してもよい。また、カラム読出し回路１１３は、容量負荷読出しのＰ相ＶＳＬセトリング時において、垂直信号線１３２の電位をクリップレベルに設定する。このクリップレベルは、フォトダイオードからフローティングディフュージョンに電荷がオーバーフローした場合の画素１２０からの信号の読出し時の垂直信号線１３２の電位よりも高い電位に設定することができる。また、カラム読出し回路１１３は、定電流読出しのＰ相ＶＳＬセトリング時においても、垂直信号線１３２の電位をクリップレベルに設定してもよい。

[0042] カラム信号処理部１１４は、各画素１２０からカラム方向に伝送された信号を処理する。例えば、カラム信号処理部１１４は、各画素１２０からカラム方向に伝送された信号に基づいて、相関二重サンプリング（ＣＤＳ：Correlated Double Sampling）処理を実施することができる。また、カラム信号処理部１１４は、各画素１２０からカラム方向に伝送された信号に基づいて、ＡＤ（Analog to Digital）変換処理を実施し、撮像信号Ｇｏｕｔを出力することができる。

[0043] 水平走査回路１１５は、読出し対象となる画素１２０をロウ方向に走査する。水平走査回路１１５は、水平レジスタを用いて構成してもよい。

[0044] 制御回路１１６は、垂直走査回路１１２、カラム読出し回路１１３、カラ

ム信号処理部１１４および水平走査回路１１５を制御する。例えば、制御回路１１６は、カラム方向の走査タイミング、ロウ方向の走査タイミング、カラム読出し回路１１３の動作タイミングおよびカラム信号処理部１１４の処理タイミングを制御することができる。

[0045] 信号線クリップレベル設定回路１１７は、垂直信号線１３２の電位のクリップレベルの生成に用いられる信号線クリップ電圧Ｖｂを設定する。信号線クリップ電圧Ｖｂは、カラム読出し回路１１３に供給され、垂直信号線１３２の電位のクリップレベルの生成に用いられる。信号線クリップレベル設定回路１１７は、垂直信号線１３２の電位のリセットレベルの生成に用いてもよい。

[0046] 図３は、第１の実施の形態に係る固体撮像装置に設けられた画素の回路構成例を示すブロック図である。

[0047] 同図において、画素１２０は、フォトダイオード１２１、転送トランジスタ１２２、リセットトランジスタ１２３、増幅トランジスタ１２４、選択トランジスタ１２５およびフローティングディフュージョン１２６を備える。転送トランジスタ１２２、リセットトランジスタ１２３、増幅トランジスタ１２４および選択トランジスタ１２５として、ＭＯＳ（Metal Oxide Semiconductor）トランジスタを用いることができる。

[0048] 増幅トランジスタ１２４と選択トランジスタ１２５は、直列に接続されている。フォトダイオード１２１のカソードは、転送トランジスタ１２２を介してフローティングディフュージョン１２６に接続されている。また、フローティングディフュージョン１２６は、リセットトランジスタ１２３を介して電源Ｖｄｄに接続されている。また、電源Ｖｄｄは、増幅トランジスタ１２４と選択トランジスタ１２５の直列回路を介して垂直信号線１３２に接続されている。増幅トランジスタ１２４のゲートはフローティングディフュージョン１２６に接続されている。

[0049] 転送トランジスタ１２２のゲートには、転送信号ΦＴＧが印加される。リセットトランジスタ１２３のゲートには、画素リセット信号ΦＰＲＴが印加

される。選択トランジスタ１２５のゲートには、選択信号ΦＳＥＬが印加される。転送信号ΦＴＧ、画素リセット信号ΦＰＲＴおよび選択信号ΦＳＥＬは、図２の水平駆動線１３１を介して各画素１２０に伝送することができる。

[0050] 転送トランジスタ１２２がオンすると、フォトダイオード１２１に蓄積された電荷がフローティングディフュージョン１２６に転送される。そして、選択トランジスタ１２５がオンすると、フローティングディフュージョン１２６の電位に応じて増幅トランジスタ１２４のソース電位が変化する。そして、増幅トランジスタ１２４のソース電位は、選択トランジスタ１２５を介して垂直信号線１３２に印加され、垂直信号線１３２を介して伝送される。また、リセットトランジスタ１２３がオンすると、フローティングディフュージョン１２６に蓄積された電荷が排出される。

[0051] 図４は、第１の実施の形態に係る固体撮像装置に設けられた画素アレイ部の構成例を示す断面図である。なお、図４では、表面照射型固体撮像装置の例を示す。また、図４では、３画素分の構成例を示した。

[0052] 同図において、半導体基板２３１には、画素１２０ごとにフォトダイオード２３２が形成されている。半導体基板２３１の材料は、Ｓｉでもよいし、ＩｎＧａＡｓでもよいし、ＩｎＰでもよい。

[0053] 半導体基板２３１上には、ゲート電極２１４および配線層２１０が形成される。ゲート電極２１４は、ゲート絶縁膜２１３を介して半導体基板２３１上に形成される。ゲート電極２１４の側壁には、サイドウォール２１５が形成される。ゲート電極２１４の材料は、例えば、不純物が導入された多結晶シリコンを用いることができる。ゲート絶縁膜２１３の材料は、例えば、シリコン酸化膜を用いることができる。サイドウォール２１５の材料は、例えば、シリコン酸化膜またはシリコン窒化膜を用いることができる。

[0054] ゲート電極２１４は、画素トランジスタに用いることができる。画素トランジスタは、図３の転送トランジスタ１２２、リセットトランジスタ１２３、増幅トランジスタ１２４および選択トランジスタ１２５を含む。

[0055] ゲート電極２１４上には、配線２１６が形成される。図４では、３層配線の例を示した。このとき、配線２１６には、光をフォトダイオード２３２に入射させる開口部ＯＰ１が設けられる。ゲート電極２１４および配線２１６は、絶縁層２１７を介して絶縁される。絶縁層２１７は、例えば、シリコン酸化膜を用いることができる。配線２１６の材料は、例えば、ＡｌまたはＣｕなどの金属を用いることができる。

[0056] 配線層２１０上には、画素１２０ごとにカラーフィルタ２１８が形成される。カラーフィルタ２１８上には、画素１２０ごとにマイクロレンズ２１９が形成されている。カラーフィルタ２１８およびマイクロレンズ２１９の材料は、例えば、アクリルまたはポリカーボネートなどの透明樹脂を用いることができる。カラーフィルタ２１８は、着色に顔料が添加されてもよい。カラーフィルタ２１８は、例えば、ベイヤ配列を構成することができる。

[0057] 図５は、第１の実施の形態に係る固体撮像装置に設けられた画素アレイ部の変形例を示す断面図である。なお、図５では、裏面照射型固体撮像装置の例を示す。また、図５では、３画素分の構成例を示した。

[0058] 同図において、半導体層２２１には、画素１２０ごとにフォトダイオード２２２が形成されている。半導体層２２１の材料は、Ｓｉでもよいし、ＩｎＧａＡｓでもよいし、ＩｎＰでもよい。半導体層２２１は、例えば、フォトダイオード２２２が表面側に形成された半導体基板を裏面側から薄膜化して形成することができる。

[0059] 半導体層２２１上には、ゲート電極２２４および配線層２２０が形成される。ゲート電極２２４は、ゲート絶縁膜２２３を介して半導体層２２１上に形成される。ゲート電極２２４の側壁には、サイドウォール２２５が形成される。

[0060] ゲート電極２２４は、画素トランジスタに用いることができる。画素トランジスタは、図３の転送トランジスタ１２２、リセットトランジスタ１２３、増幅トランジスタ１２４および選択トランジスタ１２５を含む。

[0061] ゲート電極２２４上には、配線２２６が形成される。図５では、３層配線

の例を示した。ゲート電極２２４および配線２２６は、絶縁層２２７を介して絶縁される。半導体層２２１は、絶縁層２２７を介し、支持基板２３０上に支持される。支持基板２３０は、ガラス基板でもよいし、Ｓｉ基板でもよいし、サファイア基板でもよい。

[0062] 半導体層２２１の裏面側には、画素１２０ごとにカラーフィルタ２２８が形成される。カラーフィルタ２２８上には、画素１２０ごとにマイクロレンズ２２９が形成されている。カラーフィルタ２２８は、例えば、ベイヤ配列を構成することができる。

[0063] 図６は、第１の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[0064] 同図において、増幅トランジスタ１２４は、選択トランジスタ１２５を介して垂直信号線１３２に接続されている。また、垂直信号線１３２には、容量１３３が付加される。この容量１３３は、垂直信号線１３２の寄生容量でもよいし、垂直信号線１３２に接続された容量素子でもよい。

[0065] また、垂直信号線１３２には、信号線リセットトランジスタ１４１が電気的に接続される。信号線リセットトランジスタ１４１は、垂直信号線１３２の電位ＶＳＬをリセットすることができる。信号線リセットトランジスタ１４１は、例えば、ＭＯＳトランジスタを用いることができる。信号線リセットトランジスタ１４１のゲートには、信号線リセット信号ΦＲＴが印加される。

[0066] 信号線リセットトランジスタ１４１には、ダイオード接続トランジスタ１４２が直列に接続される。ダイオード接続トランジスタ１４２は、例えば、ＭＯＳトランジスタを用いることができる。このとき、ダイオード接続トランジスタ１４２のゲートは、ダイオード接続トランジスタ１４２のドレインに接続される。ダイオード接続トランジスタ１４２のソースは接地される。ダイオード接続トランジスタ１４２のソースは、接地電位よりも高い電位に接続してもよい。ダイオード接続トランジスタ１４２は、０Ｖより高い電圧（例えば、０．５Ｖ）を生成し、信号線リセットトランジスタ１４１を介し

て垂直信号線１３２の電位ＶＳＬを０Ｖより高い電位に設定することができる。なお、ダイオード接続トランジスタ１４２は、特許請求の範囲に記載の信号線リセットレベル生成部の一例である。

[0067] また、垂直信号線１３２には、信号線クリップトランジスタ１４６が電気的に接続される。信号線クリップトランジスタ１４６は、垂直信号線１３２の電位ＶＳＬをクリップする。信号線クリップトランジスタ１４６は、例えば、ＭＯＳトランジスタを用いることができる。信号線クリップトランジスタ１４６のゲートには、信号線クリップ電圧Ｖｂが印加される。信号線クリップトランジスタ１４６は、信号線クリップ電圧Ｖｂに基づいてクリップレベルＶｃｐを生成することができる。信号線クリップ電圧Ｖｂは、画素１２０のリセットレベルよりも低くすることができる。

[0068] 信号線クリップトランジスタ１４６と垂直信号線１３２との間には、信号線クリップ選択トランジスタ１４７が接続される。信号線クリップ選択トランジスタ１４７は、信号線クリップトランジスタ１４６で生成されたクリップレベルＶｃｐを垂直信号線１３２に印加する。クリップレベルＶｃｐは、複数設けて切替可能でもよい。信号線クリップ選択トランジスタ１４７は、例えば、ＭＯＳトランジスタを用いることができる。信号線クリップ選択トランジスタ１４７のゲートには、信号線クリップ選択信号ΦＳＵＮが印加される。

[0069] 抵抗ラダー回路１５５は、信号線クリップ電圧Ｖｂを段階的に生成する。抵抗ラダー回路１５５は、分圧抵抗１５１から１５４を備える。分圧抵抗１５１から１５４は互いに直列に接続される。セレクタ１５０は、分圧抵抗１５１から１５４で生成される分圧電圧を切り替え、その分圧電圧を信号線クリップ電圧Ｖｂとして信号線クリップトランジスタ１４６のゲートに入力する。なお、セレクタ１５０および抵抗ラダー回路１５５は、特許請求の範囲に記載の信号線クリップ電圧設定部の一例である。なお、図６では、信号線クリップ電圧Ｖｂを３段階に切り替え可能な例を示したが、必ずしも３段階に限定されることなく、例えば、２段階でもよいし、４段階以上でもよい。

[0070] 垂直信号線１３２は、ＤＣカットコンデンサ１４４を介してコンパレータ１４３の反転入力に接続される。このとき、コンパレータ１４３の反転入力には、ＤＣカットコンデンサ１４４を介して垂直信号線１３２の電位ＶＳＬが印加される。コンパレータ１４３の非反転入力には、ＤＣカットコンデンサ１４５を介して参照信号ＲＡＰが入力される。参照信号ＲＡＰは、例えば、ランプ信号である。また、コンパレータ１４３には、オートゼロ信号ＡＺが入力される。

[0071] オートゼロ制御部１４８は、オートゼロ信号ＡＺをコンパレータ１４３に入力する。オートゼロ信号ＡＺは、オートゼロ期間にオートゼロ動作をアクティブ化する。このとき、オートゼロ制御部１４８は、コンパレータ１４３の非反転入力および反転入力がバランスするように各ＤＣカットコンデンサ１４４および１４５に蓄積される電荷を制御することができる。

[0072] ここで、画素１２０からの信号の読出し前に、信号線リセットトランジスタ１４１がオンすることで、垂直信号線１３２の電位ＶＳＬが０Ｖより高い電位に設定される。そして、信号線リセットトランジスタ１４１がオフした後、選択トランジスタ１２５および信号線クリップ選択トランジスタ１４７がオンする。このとき、太陽光などの高輝度光が画素１２０に入射したときは、垂直信号線１３２の電位ＶＳＬは、容量負荷読出しのＰ相ＶＳＬセトリング時において、信号線クリップトランジスタ１４６によってクリップレベルＶｃｐにクリップされる。このため、フォトダイオード１２１からフローティングディフュージョン１２６に電荷がオーバーフローした場合においても、画素１２０からの信号の読出し時の垂直信号線１３２の電位よりも高い電位に設定することができる。そして、コンパレータ１４３において、垂直信号線１３２の電位ＶＳＬが参照信号ＲＡＰと比較され、その比較結果ＣＯＰが出力される。このとき、垂直信号線１３２の電位ＶＳＬは、容量負荷読出しのＰ相ＶＳＬセトリング時にクリップレベルＶｃｐにクリップされるので、太陽黒点現象を防止することができる。

[0073] 一方、通常光または低輝度光が画素１２０に入射したときは、垂直信号線

１３２の電位ＶＳＬは、選択トランジスタ１２５を介して垂直信号線１３２に流れる画素電流ＩＰＸに応じた電荷が容量１３３に蓄積され、容量１３３に蓄積された電荷に基づいて垂直信号線１３２の電位ＶＳＬが変化する。そして、コンパレータ１４３において、垂直信号線１３２の電位ＶＳＬが参照信号ＲＡＰと比較され、その比較結果ＣＯＰが出力される。

[0074] 図７は、第１の実施の形態に係る撮像装置の信号読出し時の各部の波形の第１の例を示す図である。なお、同図では、太陽光などの高輝度光が画素１２０に入射したときの信号読出し時の各部の波形を示した。

[0075] 同図において、撮像装置の容量負荷読出しでは、画素リセット／ＶＳＬリセットが実施される（Ｋ１１）。このとき、画素リセット信号ΦＰＲＴが立ち上がり（ｔ１１）、リセットトランジスタ１２３がオンしてフローティングディフュージョン１２６がリセットされる。なお、フローティングディフュージョン１２６のリセットレベルは、電源電位Ｖｄｄに設定することができる。また、信号線リセット信号ΦＲＴが立ち上がり（ｔ１１）、信号線リセットトランジスタ１４１がオンして垂直信号線１３２がリセットされる。このとき、信号線リセットトランジスタ１４１がオンすると、信号線リセットトランジスタ１４１を介してダイオード接続トランジスタ１４２に電流が流れる。このため、垂直信号線１３２のリセットレベルは、ダイオード接続トランジスタ１４２の順方向電圧ＶＲだけ０Ｖより高い電位（例えば、０．５Ｖ）に設定される。なお、画素リセット信号ΦＰＲＴの立ち上がりタイミングと、信号線リセット信号ΦＲＴの立ち上がりタイミングは、必ずしも同時でなくてもよく、互いにずれていてもよい。また、信号線リセット信号ΦＲＴの立ち下がりタイミングは、画素リセット信号ΦＰＲＴの立ち下がりタイミングよりも遅い必要はなく、選択信号ΦＳＥＬの立ち上がり前なら特に限定されない。

[0076] 次に、Ｐ相ＶＳＬセトリングが実施される（Ｋ１２）。このとき、信号線リセット信号ΦＲＴが立ち下がるとともに、選択信号ΦＳＥＬが立ち上がり（ｔ１２）、選択トランジスタ１２５がオンする。また、信号線クリップ電

圧Ｖｂが画素１２０のリセットレベルよりも低くなるように抵抗ラダー回路１５５の出力が選択され、信号線クリップトランジスタ１４６のゲートに印加される。さらに、信号線クリップ選択信号ΦＳＵＮが立ち上がり（ｔ１２）、信号線クリップ選択トランジスタ１４７がオンするとともに、オートゼロ信号ＡＺが立ち上がり（ｔ１２）、コンパレータ１４３のオートゼロ動作がアクティブ化される。そして、選択信号ΦＳＥＬが立ち下がった後（ｔ１３）、オートゼロ信号ＡＺが立ち下がり、オートゼロ信号ＡＺが立ち下がった後、信号線クリップ選択信号ΦＳＵＮが立ち下がる（ｔ１４）。このとき、垂直信号線１３２の電位ＶＳＬはクリップレベルＶｃｐにクリップされるとともに、垂直信号線１３２の電位ＶＳＬがクリップされている時にコンパレータ１４３の非反転入力および反転入力がバランスするように調整される。

[0077] 次に、Ｐ相ＡＤが実施される（Ｋ１３）。このとき、信号線クリップ選択信号ΦＳＵＮが立ち下がった後（ｔ１４）、参照信号ＲＡＰとしてランプ信号がコンパレータ１４３に供給される。そして、コンパレータ１４３において、クリップレベルＶｃｐに応じた垂直信号線１３２の電位ＶＳＬが参照信号ＲＡＰと比較され、参照信号ＲＡＰのレベルが垂直信号線１３２の電位ＶＳＬと一致したときのタイミングが比較結果ＣＯＰとして出力される。このとき、参照信号ＲＡＰのレベルが垂直信号線１３２の電位ＶＳＬと一致するまでのカウント動作に基づいて、垂直信号線１３２に設定されたクリップレベルＶｃｐがＡＤ変換される。

[0078] 次に、転送／ＶＳＬリセットが実施される（Ｋ１４）。このとき、転送信号ΦＴＧが立ち上がり（ｔ１５）、転送トランジスタ１２２がオンしてフォトダイオード１２１に蓄積された電荷がフローティングディフュージョン１２６に転送される。また、信号線リセット信号ΦＲＴが立ち上がり（ｔ１５）、信号線リセットトランジスタ１４１がオンして垂直信号線１３２がリセットされる。このとき、信号線リセットトランジスタ１４１がオンすると、信号線リセットトランジスタ１４１を介してダイオード接続トランジスタ１

４２に電流が流れる。このため、垂直信号線１３２のリセットレベルは、ダイオード接続トランジスタ１４２の順方向電圧ＶＲだけ０Ｖより高い電位（例えば、０．５Ｖ）に設定される。なお、転送信号ΦＴＧの立ち上がりタイミングと、信号線リセット信号ΦＲＴの立ち上がりタイミングは、必ずしも同時でなくてもよく、互いにずれていてもよい。また、信号線リセット信号ΦＲＴの立ち下がりタイミングは、転送信号ΦＴＧの立ち下がりタイミングよりも遅い必要はなく、選択信号ΦＳＥＬの立ち上がり前なら特に限定されない。

[0079] 次に、Ｄ相ＶＳＬセトリングが実施される（Ｋ１５）。このとき、信号線リセット信号ΦＲＴが立ち下がるとともに、選択信号ΦＳＥＬが立ち上がり（ｔ１６）、選択トランジスタ１２５がオンする。そして、増幅トランジスタ１２４のソースフォロワ動作に基づいてフローティングディフュージョン１２６の信号レベルに応じた画素電流ＩＰＸが選択トランジスタ１２５を介して垂直信号線１３２に流れる。そして、その画素電流ＩＰＸに応じた電荷が容量１３３に蓄積され、容量１３３に蓄積された電荷に基づいて垂直信号線１３２の電位ＶＳＬが設定される。

[0080] 次に、Ｄ相ＡＤが実施される（Ｋ１６）。このとき、選択信号ΦＳＥＬが立ち下がるとともに（ｔ１７）、参照信号ＲＡＰとしてランプ信号がコンパレータ１４３に供給される（ｔ１７－ｔ１８）。そして、コンパレータ１４３において、信号レベルに応じた垂直信号線１３２の電位ＶＳＬが参照信号ＲＡＰと比較され、参照信号ＲＡＰのレベルが垂直信号線１３２の電位ＶＳＬと一致したときのタイミングが比較結果ＣＯＰとして出力される。このとき、参照信号ＲＡＰのレベルが垂直信号線１３２の電位ＶＳＬと一致するまでのカウント動作に基づいて、画素１２０から読出された信号レベルがＡＤ変換される。

[0081] 図８は、第１の実施の形態に係る撮像装置の信号読出し時の各部の波形の第２の例を示す図である。なお、同図では、通常光が画素１２０に入射したときの信号読出し時の各部の波形を示した。

[0082] 同図において、通常光が画素１２０に入射したときの信号読出し動作は、太陽光などの高輝度光が画素１２０に入射したときの信号読出し動作と同様である。ただし、通常光が画素１２０に入射したときの信号読出し動作では、Ｐ相ＶＳＬセトリング（Ｋ１２）において、フォトダイオード１２１からフローティングディフュージョン１２６に電荷がオーバーフローしない。このとき、選択トランジスタ１２５がオンすると、増幅トランジスタ１２４のソースフォロワ動作に基づいてフローティングディフュージョン１２６のリセットレベルに応じた画素電流ＩＰＸが選択トランジスタ１２５を介して垂直信号線１３２に流れる。そして、その画素電流ＩＰＸに応じた電荷が容量１３３に蓄積され、容量１３３に蓄積された電荷に基づいて垂直信号線１３２の電位ＶＳＬが設定される。このとき、信号線クリップ電圧Ｖｂは画素１２０のリセットレベルよりも低くなるように設定されるとともに、信号線クリップ選択トランジスタ１４７がオンする。このため、垂直信号線１３２は、増幅トランジスタ１２４にて駆動されている時に、信号線クリップトランジスタ１４６によっても駆動される。このため、信号線クリップトランジスタ１４６が設けられたＰ相ＶＳＬセトリングＶＳＬＢでは、信号線クリップトランジスタ１４６が設けられていないＰ相ＶＳＬセトリングＶＳＬＡに比べて、セトリング時間を短縮することができる。

[0083] このように、上述の第１の実施の形態では、垂直信号線１３２に接続された信号線クリップ選択トランジスタ１４７を介して信号線クリップトランジスタ１４６を電気的に接続する。これにより、入射光量に依存することなく、垂直信号線１３２の電位ＶＳＬをクリップすることができ、太陽黒点現象を防止することが可能となるとともに、Ｐ相ＶＳＬセトリングを高速化することができる。

[0084] また、画素１２０からの信号読出し時に垂直信号線１３２をリセットすることで、画素１２０からの信号読出し時に流れる画素電流ＩＰＸに応じた電荷を容量１３３に蓄積することができる。このため、画素１２０から読出された信号を検出するために、画素１２０から読出された信号に応じた定電流

を垂直信号線１３２に流す必要がなくなり、画素１２０からの信号読出し時の消費電流を低減することができる。

[0085] ＜２．第２の実施の形態＞

上述の第１の実施の形態では、垂直信号線１３２に接続された信号線クリップ選択トランジスタ１４７を介して信号線クリップトランジスタ１４６を電気的に接続した。この第２の実施の形態では、画素１２０が設けられた上層チップに信号線クリップトランジスタ１４６および信号線クリップ選択トランジスタ１４７を設け、抵抗ラダー回路１５５およびセレクタ１５０を下層チップに設ける。

[0086] 図９は、第２の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[0087] 同図において、この信号読出し回路の回路構成は、図６の信号読出し回路の回路構成と同様である。ただし、この信号読出し回路は積層チップに形成される。この積層チップは、上層チップ１６１および下層チップ１６２を備える。上層チップ１６１は、下層チップ１６２上に積層される。

[0088] 上層チップ１６１には、画素１２０、垂直信号線１３２、信号線クリップトランジスタ１４６および信号線クリップ選択トランジスタ１４７が形成される。このとき、信号線クリップトランジスタ１４６のゲート長およびゲート幅は、画素１２０の増幅トランジスタ１２４のゲート長およびゲート幅と等しくすることができる。信号線クリップ選択トランジスタ１４７のゲート長およびゲート幅は、画素１２０の選択トランジスタ１２５のゲート長およびゲート幅と等しくすることができる。

[0089] 下層チップ１６２には、信号線リセットトランジスタ１４１、ダイオード接続トランジスタ１４２、コンパレータ１４３、抵抗ラダー回路１５５およびセレクタ１５０が形成される。このとき、垂直信号線１３２は、上層チップ１６１から下層チップ１６２にかけて配線することができる。

[0090] このように、上述の第２の実施の形態では、画素１２０が形成された上層チップ１６１に信号線クリップトランジスタ１４６および信号線クリップ選

択トランジスタ１４７を形成する。これにより、画素１２０に設けられた画素トランジスタの特性バラツキと、信号線クリップトランジスタ１４６および信号線クリップ選択トランジスタ１４７の特性バラツキとを等しくすることができる。

[0091] ＜３．第３の実施の形態＞

上述の第１の実施の形態では、垂直信号線１３２に接続された信号線クリップ選択トランジスタ１４７を介して信号線クリップトランジスタ１４６を電気的に接続した。この第３の実施の形態では、信号線クリップ選択トランジスタ１４７を駆動するドライバと、信号線リセットトランジスタ１４１を駆動するドライバとを画素１２０の周辺回路に設ける。

[0092] 図１０は、第３の実施の形態に係る３カラム分の信号読出し回路の構成例を示す図である。

[0093] 同図において、信号線リセットトランジスタ１４１、ダイオード接続トランジスタ１４２、コンパレータ１４３、信号線クリップトランジスタ１４６および信号線クリップ選択トランジスタ１４７は、それぞれカラムごとに設けられる。

[0094] ドライバ１６１は、信号線クリップ選択トランジスタ１４７を駆動する。ドライバ１６２は、信号線リセットトランジスタ１４１を駆動する。ドライバ１６１および１６２は、画素１２０の周辺回路に設けられる。ドライバ１６１は、カラムが互いに異なる複数の信号線クリップ選択トランジスタ１４７で共有される。ドライバ１６２は、カラムが互いに異なる複数の信号線リセットトランジスタ１４１で共有される。抵抗ラダー回路１５５およびセレクタ１５０は、カラムが互いに異なる複数の信号線クリップトランジスタ１４６で共有される。

[0095] このように、上述の第３の実施の形態では、カラムが互いに異なる複数の信号線クリップ選択トランジスタ１４７でドライバ１６１を共有し、カラムが互いに異なる複数の信号線リセットトランジスタ１４１でドライバ１６２を共有する。これにより、ドライバ１６１および１６２の専有面積の増大を

抑制しつつ、容量負荷読出しにおける太陽黒点現象を防止することが可能となる。

[0096] ＜４．第４の実施の形態＞

上述の第１の実施の形態では、Ｐ相ＶＳＬセトリングにおける垂直信号線１３２の電位ＶＳＬのクリップ動作を容量負荷読出しに適用した。この第４の実施の形態では、垂Ｐ相ＶＳＬセトリングにおける垂直信号線１３２の電位ＶＳＬのクリップ動作を実現しつつ、電流読出しと容量負荷読出しとを切替可能とする。

[0097] 図１１は、第４の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[0098] 同図において、この信号読出し回路は、上述の第１の実施の形態の信号読出し回路にサンプルホールド回路２０１および定電流トランジスタ３０１が追加されている。第４の実施の形態の信号読出し回路のそれ以外の構成は、上述の第１の実施の形態の信号読出し回路の構成と同様である。

[0099] サンプルホールド回路２０１は、定電流トランジスタ３０１を動作させるバイアス電圧Ｖｂｓをサンプルホールドし、定電流トランジスタ３０１のゲートに印加する。サンプルホールド回路２０１は、トランジスタ２１１およびコンデンサ２１２を備える。トランジスタ２１１は、ＭＯＳトランジスタでもよい。トランジスタ２１１のゲートには、サンプルホールド信号ΦＳＨが印加される。コンデンサ２１２は、トランジスタ２１１のソースとグランド電位との間に接続される。

[0100] 定電流トランジスタ３０１は、垂直信号線１３２に電気的に接続される。定電流トランジスタ３０１は、ＭＯＳトランジスタでもよい。

[0101] ここで、容量負荷読出しでは、バイアス電圧Ｖｂｓは０Ｖに設定され、サンプルホールド信号ΦＳＨはハイレベルに設定される。この場合、定電流トランジスタ３０１はオフされ、定電流トランジスタ３０１には電流は流れない。このときの信号読出し回路の動作は、図７または図８と同様である。

[0102] 定電流読出しでは、トランジスタ２１１がオンしてバイアス電圧Ｖｂｓが

サンプルホールドされる。そして、トランジスタ２１１がオフし、サンプルホールド回路２０１にサンプルホールドされたバイアス電圧Ｖｂｓが定電流トランジスタ３０１のゲートに印加される。この場合、定電流トランジスタ３０１はオンされ、定電流トランジスタ３０１には定電流が流れる。

[0103] 図１２は、第４の実施の形態に係る信号読出し回路の定電流読出しにおける各部の波形の一例を示す図である。なお、同図では、太陽光などの高輝度光が画素１２０に入射したときの信号読出し時の各部の波形を示した。

[0104] 同図において、定電流読出しでは、ＡＤ変換時の横引きノイズを防止するため、トランジスタ２１１がオンしてバイアス電圧Ｖｂｓがサンプルホールドされる。そして、トランジスタ２１１がオフし、サンプルホールド回路２０１にサンプルホールドされたバイアス電圧Ｖｂｓが定電流トランジスタ３０１のゲートに印加される。

[0105] 次に、画素リセットが実施される（Ｋ２１）。このとき、画素リセット信号ΦＰＲＴが立ち上がり（ｔ２１）、リセットトランジスタ１２３がオンしてフローティングディフュージョン１２６がリセットされる。また、選択信号ΦＳＥＬが立ち上がり（ｔ２１）、選択トランジスタ１２５がオンする。このとき、電源電位Ｖｄｄが増幅トランジスタ１２４のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線１３２の電位ＶＳＬが設定される。

[0106] 次に、Ｐ相ＶＳＬセトリングが実施される（Ｋ２２）。このとき、画素リセット信号ΦＰＲＴが立ち下がり（ｔ２２）、リセットトランジスタ１２３がオフする。そして、フローティングディフュージョン１２６のリセットレベルが増幅トランジスタ１２４のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線１３２の電位ＶＳＬが変化する。また、画素１２０のリセットレベルよりも低くなるように設定された信号線クリップ電圧Ｖｂが信号線クリップトランジスタ１４６のゲートに印加される。さらに、信号線クリップ選択信号ΦＳＵＮが立ち上がり（ｔ２３）、信号線クリップ選択トランジスタ１４７がオンするとともに、オートゼロ信号ＡＺが立ち上がり

（ｔ２３）、コンパレータ１４３のオートゼロ動作がアクティブ化される。そして、オートゼロ信号ＡＺが立ち下がった後、信号線クリップ選択信号ΦＳＵＮが立ち下がる（ｔ２４）。このとき、垂直信号線１３２の電位ＶＳＬはクリップレベルＶｃｐにクリップされるとともに、垂直信号線１３２の電位ＶＳＬがクリップされている時にコンパレータ１４３の非反転入力および反転入力がバランスするように調整される。

[0107] 次に、Ｐ相ＡＤが実施される（Ｋ２３）。このとき、参照信号ＲＡＰとしてランプ信号がコンパレータ１４３に供給される。そして、コンパレータ１４３において、クリップレベルＶｃｐに応じた垂直信号線１３２の電位ＶＳＬが参照信号ＲＡＰと比較され、参照信号ＲＡＰのレベルが垂直信号線１３２の電位ＶＳＬと一致したときのタイミングが比較結果ＣＯＰとして出力される。このとき、参照信号ＲＡＰのレベルが垂直信号線１３２の電位ＶＳＬと一致するまでのカウント動作に基づいて、垂直信号線１３２に設定されたクリップレベルＶｃｐがＡＤ変換される。

[0108] 次に、転送が実施される（Ｋ２４）。このとき、転送信号ΦＴＧが立ち上がり（ｔ２５）、転送トランジスタ１２２がオンしてフォトダイオード１２１に蓄積された電荷がフローティングディフュージョン１２６に転送される。また、フォトダイオード１２１のカソード電位が増幅トランジスタ１２４のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線１３２の電位ＶＳＬが設定される。

[0109] 次に、Ｄ相ＶＳＬセトリングが実施される（Ｋ２５）。このとき、転送信号ΦＴＧが立ち下がり（ｔ２５）、転送トランジスタ１２２がオフする。そして、フローティングディフュージョン１２６の信号レベルが増幅トランジスタ１２４のゲートに印加された時のソースフォロワ動作に基づいて垂直信号線１３２の電位ＶＳＬが設定される。

[0110] 次に、Ｐ相ＡＤが実施される（Ｋ２６）。このとき、参照信号ＲＡＰとしてランプ信号がコンパレータ１４３に供給される（ｔ２７－ｔ２８）。そして、コンパレータ１４３において、信号レベルに応じた垂直信号線１３２の

電位ＶＳＬが参照信号ＲＡＰと比較され、参照信号ＲＡＰのレベルが垂直信号線１３２の電位ＶＳＬと一致したときのタイミングが比較結果ＣＯＰとして出力される。このとき、参照信号ＲＡＰのレベルが垂直信号線１３２の電位ＶＳＬと一致するまでのカウント動作に基づいて、画素１２０から読出された信号レベルがＡＤ変換される。

[0111] このように、上述の第４の実施の形態では、信号線リセットトランジスタ１４１とダイオード接続トランジスタ１４２との直列回路に並列に定電流トランジスタ３０１を接続するとともに、Ｐ相ＶＳＬセトリングにおける垂直信号線１３２の電位ＶＳＬをクリップする。これにより、太陽黒点現象を防止しつつ、定電流読出しと容量負荷読出しとを切り替えることが可能となる。

[0112] ＜５．第５の実施の形態＞

上述の第１の実施の形態では、垂直信号線１３２に接続された信号線クリップ選択トランジスタ１４７を介して信号線クリップトランジスタ１４６を電気的に接続した。この第５の実施の形態では、垂直信号線１３２の電位ＶＳＬのクリップおよび垂直信号線１３２の選択を信号線クリップトランジスタ１４６で実施する。

[0113] 図１３は、第５の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[0114] 同図において、この信号読出し回路は、上述の第１の実施の形態の信号読出し回路から信号線クリップ選択トランジスタ１４７が除去されている。第５の実施の形態の信号読出し回路のそれ以外の構成は、上述の第１の実施の形態の信号読出し回路の構成と同様である。

[0115] 信号線クリップトランジスタ１４６は、垂直信号線１３２に直接接続される。このとき、信号線クリップトランジスタ１４６は、垂直信号線１３２の電位ＶＳＬのクリップを実施するとともに、信号線クリップ選択トランジスタ１４７の代わりに垂直信号線１３２の選択を実施する。

[0116] 図１４は、第５の実施の形態に係る信号読出し回路の定電流読出しにおけ

る各部の波形の一例を示す図である。なお、同図では、太陽光などの高輝度光が画素１２０に入射したときの信号読出し時の各部の波形を示した。

[0117] 同図において、信号線クリップ選択トランジスタ１４７がないときの動作は、信号線クリップ選択トランジスタ１４７があるときの動作と同様である。ただし、Ｐ相ＶＳＬセトリング（Ｋ１２）において、セレクタ１５０の切替動作に基づいて、信号線クリップ電圧Ｖｂが電圧Ｖｂ１から電圧Ｖｂ２に遷移し、信号線クリップトランジスタ１４６のゲートに印加される（ｔ１２）。また、セレクタ１５０の切替動作に基づいて、信号線クリップ電圧Ｖｂが電圧Ｖｂ２から電圧Ｖｂ１に遷移し、信号線クリップトランジスタ１４６のゲートに印加される（ｔ１４）。電圧Ｖｂ１は、信号線クリップトランジスタ１４６がオフするように設定される。電圧Ｖｂ２は、信号線クリップトランジスタ１４６を介してクリップされた垂直信号線１３２の電位ＶＳＬがクリップレベルＶｃｐに一致するように設定される。

[0118] このように、上述の第５の実施の形態では、垂直信号線１３２の電位ＶＳＬのクリップおよび垂直信号線１３２の選択を信号線クリップトランジスタ１４６で実施する。これにより、信号線クリップ選択トランジスタ１４７を省略することが可能となり、回路構成を簡易化することができる。

[0119] ＜６．第６の実施の形態＞

上述の第１の実施の形態では、垂直信号線１３２に接続された信号線クリップ選択トランジスタ１４７を介して信号線クリップトランジスタ１４６を電気的に接続した。この第６の実施の形態では、ＯＢ画素の増幅トランジスタを信号線クリップトランジスタ１４６として用いるとともに、ＯＢ画素の選択トランジスタを信号線クリップ選択トランジスタ１４７として用いる。

[0120] 図１５は、第６の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[0121] 同図において、この信号読出し回路は、上述の第１の実施の形態の信号線クリップトランジスタ１４６および信号線クリップ選択トランジスタ１４７に代えて、ＯＢ画素４００が設けられている。第４の実施の形態の信号読出

し回路のそれ以外の構成は、上述の第１の実施の形態の信号読出し回路の構成と同様である。

[0122] ＯＢ画素４００は、フォトダイオード４２１、転送トランジスタ４２２、リセットトランジスタ４２３、増幅トランジスタ４２４、選択トランジスタ４２５およびフローティングディフュージョン４２６を備える。フォトダイオード４２１は、遮光膜で覆われる。

[0123] 増幅トランジスタ４２４と選択トランジスタ４２５は、直列に接続されている。フォトダイオード４２１のカソードは、転送トランジスタ４２２を介してフローティングディフュージョン４２６に接続されている。また、電源Ｖｄｄは、増幅トランジスタ４２４と選択トランジスタ４２５の直列回路を介して垂直信号線１３２に接続されている。増幅トランジスタ４２４のゲートはフローティングディフュージョン４２６に接続されている。

[0124] 転送トランジスタ４２２のゲートには、転送信号ΦＴＧＢが印加される。リセットトランジスタ４２３のゲートには、画素リセット信号ΦＰＲＴＳが印加される。リセットトランジスタ４２３のドレインには、信号線クリップ電圧Ｖｂが印加される。選択トランジスタ４２５のゲートには、選択信号ΦＳＥＬＳが印加される。転送信号ΦＴＧＢ、画素リセット信号ΦＰＲＴＳおよび選択信号ΦＳＥＬＳは、図２の水平駆動線１３１を介してＯＢ画素４００に伝送することができる。

[0125] 図１６は、第６の実施の形態に係る信号読出し回路の定電流読出しにおける各部の波形の一例を示す図である。なお、同図では、太陽光などの高輝度光が画素１２０に入射したときの信号読出し時の各部の波形を示した。

[0126] 同図において、画素１２０から信号を読出すものとする。このとき、ＯＢ画素４００の増幅トランジスタ４２４を信号線クリップトランジスタ１４６として用いるとともに、ＯＢ画素４００の選択トランジスタ４２５を信号線クリップ選択トランジスタ１４７として用いる。この場合の容量負荷読出し動作は、図７の容量負荷読出し動作と同様である。ただし、ＯＢ画素４００の増幅トランジスタ４２４を信号線クリップトランジスタ１４６として用い

るために、増幅トランジスタ４２４のゲートに信号線クリップ電圧Ｖｂが印加される。このとき、画素リセット信号ΦＰＲＴＳをハイレベルに設定し（ｔ１１－ｔ１８）、リセットトランジスタ４２３をオンする。また、転送信号ΦＴＧＢをロウレベルに設定し（ｔ１１－ｔ１８）、転送トランジスタ４２２をオフする。

[0127] そして、Ｐ相ＶＳＬセトリング（Ｋ１２）において、信号線リセット信号ΦＲＴが立ち下がるとともに、選択信号ΦＳＥＬＳが立ち上がり（ｔ１２）、選択トランジスタ４２５がオンする。また、信号線クリップ電圧Ｖｂが画素１２０のリセットレベルよりも低くなるように抵抗ラダー回路１５５の出力が選択され、増幅トランジスタ４２４のゲートに印加される。さらに、オートゼロ信号ＡＺが立ち上がり（ｔ１２）、コンパレータ１４３のオートゼロ動作がアクティブ化される。そして、オートゼロ信号ＡＺが立ち下がった後、選択信号ΦＳＥＬＳが立ち下がる（ｔ１４）。このとき、垂直信号線１３２の電位ＶＳＬはクリップレベルＶｃｐにクリップされるとともに、垂直信号線１３２の電位ＶＳＬがクリップされている時にコンパレータ１４３の非反転入力および反転入力がバランスするように調整される。

[0128] 一方、ＯＢ画素４００から信号を読出すものとする。このとき、ＯＢ画素４００の転送トランジスタ４２２、リセットトランジスタ４２３、増幅トランジスタ４２４および選択トランジスタ４２５を画素１２０の転送トランジスタ１２２、リセットトランジスタ１２３、増幅トランジスタ１２４および選択トランジスタ１２５と同様に動作させる。また、信号線クリップ電圧Ｖｂが電源Ｖｄｄとして供給されるように抵抗ラダー回路１５５の出力が選択され、リセットトランジスタ４２３のドレインに印加される。このとき、ＯＢ画素４００は遮光され、光が入射しないので、Ｐ相ＶＬＳセトリングにおける垂直信号線１３２のクリップは不要である。

[0129] このように、上述の第６の実施の形態では、ＯＢ画素４００の増幅トランジスタ４２４を信号線クリップトランジスタ１４６として用いるとともに、ＯＢ画素４００の選択トランジスタ４２５を信号線クリップ選択トランジス

タ１４７として用いる。これにより、太陽黒点現象を防止するために、信号線クリップトランジスタ１４６および信号線クリップ選択トランジスタ１４７をＯＢ画素４００と別個に設ける必要がなくなり、回路構成を簡易化することができる。

[0130] ＜７．第７の実施の形態＞

上述の第１の実施の形態では、垂直信号線１３２のリセットレベルを設定するために、垂直信号線１３２に電気的に接続された信号線リセットトランジスタ１４１を介してダイオード接続トランジスタ１４２を接続した。この第７の実施の形態では、抵抗ラダー回路１５５を垂直信号線１３２のクリップレベルＶｃｐの設定に用いるとともに、垂直信号線１３２のリセットレベルの設定に用いる。

[0131] 図１７は、第７の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[0132] 同図において、この信号読出し回路は、上述の第１の実施の形態のダイオード接続トランジスタ１４２に代えて、セレクタ５００が設けられている。第７の実施の形態の信号読出し回路のそれ以外の構成は、上述の第１の実施の形態の信号読出し回路の構成と同様である。

[0133] セレクタ５００は、分圧抵抗１５１から１５４で生成される分圧電圧を切り替え、その分圧電圧をリセット電圧ＶＲＴとして信号線リセットトランジスタ１４１のソースに印加する。リセット電圧ＶＲＴは、０Ｖより大きな電圧に設定することができる。セレクタ５００の切り替えは、セレクタ１５０の切り替えと別個に制御することができる。

[0134] このように、上述の第７の実施の形態では、抵抗ラダー回路１５５を垂直信号線１３２のクリップレベルＶｃｐの設定に用いるとともに、垂直信号線１３２のリセット電圧ＶＲＴの設定に用いる。これにより、回路規模の増大を抑制しつつ、垂直信号線１３２のリセット電圧ＶＲＴを切り替えることが可能となる。

[0135] ＜８．第８の実施の形態＞

上述の第１の実施の形態では、Ｐ相ＶＳＬセトリングにおいて垂直信号線１３２の電位ＶＳＬをクリップしつつ、垂直信号線１３２の電位ＶＳＬに基づいて画素１２０から読出された信号を検出した。この第８の実施の形態では、Ｐ相ＶＳＬセトリングにおいて垂直信号線の電位をクリップしつつ、異なるカラムからの負荷容量読出しに基づく垂直信号線の電位の比較結果に基づいてエッジ検出を実施する。

[0136] 図１８は、第８の実施の形態に係る２カラム分の信号読出し回路の構成例を示す図である。

[0137] 同図において、この信号読出し回路は、複数の垂直信号線１３２－１および１３２－２を備えるとともに、上述の第１の実施の形態のコンパレータ１４３に代えて、コンパレータ１４３－１および１４３－２を備える。第８の実施の形態の信号読出し回路のそれ以外の構成は、上述の第１の実施の形態の信号読出し回路の構成と同様であり、図示を省略しているが、信号線クリップトランジスタ１４６および信号線クリップ選択トランジスタ１４７を備えていても良い。

[0138] 各垂直信号線１３２－１および１３２－２には、画素１２０－１および１２０－２がそれぞれ接続されるとともに、各コンパレータ１４３－１および１４３－２には、垂直信号線１３２－１および１３２－２が共に接続される。

[0139] 各画素１２０－１および１２０－２は、図６の画素１２０と同様に構成することができる。各画素１２０－１および１２０－２は、垂直信号線１３２－１および１３２－２にそれぞれ接続される。また、各垂直信号線１３２－１および１３２－２には、信号線リセットトランジスタ１４１を介してダイオード接続トランジスタ１４２が接続される。

[0140] 各コンパレータ１４３－１および１４３－２は、コンパレータ入力ＤＶＳＬ１およびＤＶＳＬ２の差分を検出する。このとき、各ＤＣカットコンデンサ１４４および１４５を介して垂直信号線１３２－１および１３２－２の電位ＶＬＳ１およびＶＬＳ２が出力されることにより、各コンパレータ入力Ｄ

ＶＳＬ１およびＤＶＳＬ２が生成される。そして、各コンパレータ１４３－１および１４３－２のオートゼロ後にコンパレータ入力ＤＶＳＬ１およびＤＶＳＬ２の差分がしきい値以上の場合、エッジ有と判定することができる。

[0141] 図１９は、第８の実施の形態に係る信号読出し回路に適用されるコンパレータの構成例を示す図である。なお、以下の説明では、図１８のコンパレータ１４３－１の構成を例にとるが、コンパレータ１４３－２についても同様に構成することができる。

[0142] 同図において、コンパレータ１４３－１は、差動アンプ５０１、後段アンプ５０２およびインバータ５０３を備える。後段アンプ５０２は、差動アンプ５０１の後段に接続され、インバータ５０３は、後段アンプ５０２の後段に接続されている。

[0143] 差動アンプ５０１は、オートゼロ動作に基づいてコンパレータ入力ＤＶＳＬ１およびＤＶＳＬ２をバランスさせた上で、コンパレータ入力ＤＶＳＬ１およびＤＶＳＬ２の差分に応じた電圧を出力する。差動アンプ５０１は、ＰＭＯＳトランジスタ５１１、５２１、５５１および５６１と、ＮＭＯＳトランジスタ５３１、５４１および５７１とを備える。

[0144] ＰＭＯＳトランジスタ５１１とＮＭＯＳトランジスタ５３１とは互いに直列に接続されている。ＰＭＯＳトランジスタ５２１とＮＭＯＳトランジスタ５４１とは互いに直列に接続されている。各ＰＭＯＳトランジスタ５１１および５２１のソースは、電源電圧ＶＤＤＨに接続され、各ＰＭＯＳトランジスタ５１１および５２１のゲートは、ＰＭＯＳトランジスタ５２１のドレインに接続されている。このとき、ＰＭＯＳトランジスタ５１１および５２１は、カレントミラーを構成することができる。

[0145] ＮＭＯＳトランジスタ５３１のゲートとドレインとの間には、ＰＭＯＳトランジスタ５５１が接続され、ＮＭＯＳトランジスタ５４１のゲートとドレインとの間には、ＰＭＯＳトランジスタ５６１が接続されている。各ＮＭＯＳトランジスタ５３１および５４１のソースは、ＮＭＯＳトランジスタ５７１を介して接地されている。

[0146] 各ＰＭＯＳトランジスタ５５１および５６１のゲートには、オートゼロ信号ＡＺＰが印加され、ＮＭＯＳトランジスタ５７１のゲートには、バイアス電圧ＢＩＡＳが印加される。ＮＭＯＳトランジスタ５７１は、バイアス電圧ＢＩＡＳに基づいて定電流源として動作することができる。

[0147] 後段アンプ５０２は、差動アンプ５０１の出力を増幅する。後段アンプ５０２は、ＰＭＯＳトランジスタ５１２、ＮＭＯＳトランジスタ５２２およびスイッチ５３２を備える。

[0148] ＰＭＯＳトランジスタ５１２とＮＭＯＳトランジスタ５２２とは互いに直列に接続されている。ＰＭＯＳトランジスタ５１２のソースは、電源電圧ＶＤＤＨに接続され、ＰＭＯＳトランジスタ５１２のゲートは、ＰＭＯＳトランジスタ５１１のドレインに接続されている。ＮＭＯＳトランジスタ５２２のゲートとドレインとの間には、スイッチ５３２が接続され、ＮＭＯＳトランジスタ５２２のソースは、接地されている。スイッチ５３２は、オートゼロ信号ＡＺＮに基づいて開閉する。

[0149] インバータ５０３は、後段アンプ５０２の出力を論理値’０’または論理値’１’に変換する。インバータ５０３は、ＰＭＯＳトランジスタ５１３およびＮＭＯＳトランジスタ５２３を備える。

[0150] ＰＭＯＳトランジスタ５１３とＮＭＯＳトランジスタ５２３とは互いに直列に接続されている。ＰＭＯＳトランジスタ５１３のソースは、電源電圧ＶＤＤＬに接続され、ＮＭＯＳトランジスタ５２３のソースは、接地されている。電源電圧ＶＤＤＬは、電源電圧ＶＤＤＨよりも低くすることができる。ＰＭＯＳトランジスタ５１３のゲートとＮＭＯＳトランジスタ５２３のゲートとは、ＰＭＯＳトランジスタ５１２のドレインに接続されている。

[0151] オートゼロ期間において、オートゼロ信号ＡＺＰに基づいて各ＰＭＯＳトランジスタ５５１および５６１がオンし、オートゼロ信号ＡＺＮに基づいてスイッチ５３２が閉じる。なお、各ＰＭＯＳトランジスタ５５１および５６１がオンした後にオフするタイミングは、スイッチ５３２が閉じた後に開くタイミングより遅くすることができる。このとき、ＰＭＯＳトランジスタ５

１１および５２１のカレントミラー動作に基づいて、各ＰＭＯＳトランジスタ５５１および５６１に電流が流れる。そして、コンパレータ１４３－１の非反転入力および反転入力がバランスするように各ＤＣカットコンデンサ１４４および１４５に電荷が蓄積される。

[0152] 図２０は、第８の実施の形態に係る撮像装置の信号読出し時の各部の波形の一例を示す図である。なお、同図では、画素１２０－１には、通常光が入射し、画素１２０－２には、太陽光などの高輝度光が入射したものとした。

[0153] 同図において、容量負荷読出し動作は、画素１２０－１では図８と同様であり、画素１２０－２では図７と同様である。このとき、画素１２０－２に高輝度光が入射している場合においても、Ｐ相ＶＳＬセトリング（Ｋ１２）において垂直信号線１３２－２の電位ＶＳＬ２がクリップされるため、垂直信号線１３２－２の電位ＶＳＬ２は、垂直信号線１３２－１の電位ＶＳＬ１と同等の電位まで持ち上げられる。このため、Ｄ相ＶＳＬセトリングにおいて各垂直信号線１３２－１および１３２－２の電位ＶＳＬ１およびＶＳＬ２の差分に応じたコンパレータ入力ＤＶＳＬ１およびＤＶＳＬ２の差分がほぼ維持され、エッジ誤判定が防止される。

[0154] 図２１は、第８の実施の形態の比較例に係る撮像装置の信号読出し時の各部の波形の一例を示す図である。なお、この比較例では、Ｐ相ＶＳＬセトリングにおいて垂直信号線１３２－２がクリップされないものとした。また、同図では、画素１２０－１には、通常光が入射し、画素１２０－２には、太陽光などの高輝度光が入射したものとした。

[0155] 同図において、容量負荷読出し動作は、画素１２０－１では図８と同様であり、画素１２０－２では図７と同様である。ただし、Ｐ相ＶＳＬセトリング（Ｋ１２）時に信号線クリップ選択信号ΦＳＵＮがロウレベルを維持するものする。このとき、垂直信号線１３２－２の電位ＶＳＬ２がクリップされないため、通常光が画素１２０－１に入射し、高輝度光が画素１２０－２に入射すると、Ｐ相ＶＳＬセトリング時に各垂直信号線１３２－１および１３２－２の電位ＶＳＬ１およびＶＳＬ２が開く。このため、Ｄ相ＶＳＬセトリ

ングにおいて各垂直信号線１３２－１および１３２－２の電位ＶＳＬ１およびＶＳＬ２の差分がコンパレータ入力ＤＶＳＬ１およびＤＶＳＬ２の差分に反映されなくなり、エッジ誤判定を招く。

[0156] このように、上述の第８の実施の形態では、Ｐ相ＶＳＬセトリングにおいて各垂直信号線１３２－１および１３２－２の電位ＶＬＳ１およびＶＬＳ２をクリップしつつ、各コンパレータ１４３－１および１４３－２のオートゼロ後にコンパレータ入力ＤＶＳＬ１およびＤＶＳＬ２の差分を検出する。これにより、太陽光などの高輝度光が画素１２０－２に入射した場合においても、固定パターンノイズの影響を軽減しつつ、被写体のエッジを検出することができる。

[0157] ＜９．第９の実施の形態＞

上述の第１の実施の形態では、１つの増幅トランジスタ１２４に対して１つのフォトダイオード１２１が設けられた画素１２０からの容量負荷読出しに垂直信号線１３２の電位ＶＬＳのクリップ動作を適用した。この第９の実施の形態では、１つの増幅トランジスタ１２４に対して４つのフォトダイオードが設けられたセルからの容量負荷読出しに垂直信号線１３２の電位ＶＬＳのクリップ動作を適用する。

[0158] 図２２は、第９の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[0159] 同図において、この信号読出し回路は、上述の第１の実施の形態の信号読出し回路の画素１２０に代えて、セル１３０が設けられている。第９の実施の形態の信号読出し回路のそれ以外の構成は、上述の第１の実施の形態の信号読出し回路の構成と同様である。

[0160] セル１３０は、上述の第１の実施の形態のフォトダイオード１２１および転送トランジスタ１２２に代えて、フォトダイオード１２１－１から１２１－４および転送トランジスタ１２２－１から１２２－４を備える。第９の実施の形態のセル１３０のそれ以外の構成は、上述の第１の実施の形態の画素１２０の構成と同様である。

[0161] 各フォトダイオード１２１－１から１２１－４は、２行×２列に配置することができる。各フォトダイオード１２１－１から１２１－４は、転送トランジスタ１２２－１から１２２－４をそれぞれ介し、フローティングディフュージョン１２６に接続されている。各転送トランジスタ１２２－１から１２２－４のゲートには、転送信号ΦＴＧ１～ΦＴＧ４が印加される。この転送信号ΦＴＧ１～ΦＴＧ４の印加タイミングを制御することにより、各フォトダイオード１２１－１から１２１－４から垂直信号線１３２に個別に信号を読出すことができる。各フォトダイオード１２１－１から１２１－４からの容量負荷読出し動作は、図７または図８と同様である。

[0162] このように、上述の第９の実施の形態では、１つの増幅トランジスタ１２４に対して４つのフォトダイオード１２１－１から１２１－４が設けられたセル１３０からの容量負荷読出しに垂直信号線１３２の電位ＶＬＳのクリップ動作を適用する。これにより、画素領域の増大を抑制しつつ、画素数を増大させることが可能となるとともに、太陽黒点現象を防止しつつ、画素ごとに容量負荷読出しを適用することができる。

[0163] なお、上述の第９の実施の形態では、１つの増幅トランジスタ１２４に対して４つのフォトダイオード１２１－１から１２１－４を共有した例を示したが、１つの増幅トランジスタ１２４に対して８つのフォトダイオードを共有してもよい。また、セル１３０が設けられた構成について、上述の第２の実施の形態から第８の実施の形態のいずれの構成を適用してもよい。

[0164] ＜１０．第１０の実施の形態＞

上述の第１の実施の形態では、垂直信号線１３２に接続された各画素１２０からの容量負荷読出しに垂直信号線１３２の電位ＶＬＳのクリップ動作を適用した。この第１０の実施の形態では、垂直信号線１３２に接続された画素１２０からの容量負荷読出しに基づくビニング動作に垂直信号線１３２の電位ＶＬＳのクリップ動作を適用する。

[0165] 図２３は、第１０の実施の形態に係る１カラム分の信号読出し回路の構成例を示す図である。

[0166] 同図において、この信号読出し回路は、上述の第１の実施の形態の信号読出し回路の画素１２０に代えて、画素１４０および１５０が設けられている。また、この信号読出し回路は、上述の第１の実施の形態の信号読出し回路にビニング線１３４が追加されている。第１０の実施の形態の信号読出し回路のそれ以外の構成は、上述の第１の実施の形態の信号読出し回路の構成と同様である。

[0167] 各画素１４０および１５０は、上述の第１の実施の形態の画素１２０にビニングトランジスタ１２７が追加されている。第１０の実施の形態の各画素１４０および１５０のそれ以外の構成は、上述の第１の実施の形態の画素１２０の構成と同様である。

[0168] ビニングトランジスタ１２７は、フローティングディフュージョン１２６とビニング線１３４との間に画素１４０および１５０ごとに接続される。ビニングトランジスタ１２７は、ＭＯＳトランジスタでもよい。ビニングトランジスタ１２７のゲートには、ビニング信号ΦＢＮ１およびΦＢＮ２が画素１４０および１５０ごとに印加される。転送トランジスタ１２２のゲートには、転送信号ΦＴＧ１およびΦＴＧ２が画素１４０および１５０ごとに印加される。リセットトランジスタ１２３のゲートには、画素リセット信号ΦＰＲＴ１およびΦＰＲＴ２が画素１４０および１５０ごとに印加される。選択トランジスタ１２５のゲートには、選択信号ΦＳＥＬ１およびΦＳＥＬ２が画素１４０および１５０ごとに印加される。

[0169] 各画素１４０および１５０から個別に信号を読出す場合、各ビニング信号ΦＢＮ１およびΦＢＮ２はロウレベルに設定され、各画素１４０および１５０のビニングトランジスタ１２７はオフされる。各画素１４０および１５０から信号をビニング読出しする場合、各ビニング信号ΦＢＮ１およびΦＢＮ２はハイレベルに設定され、各画素１４０および１５０のビニングトランジスタ１２７はオンされる。各画素１４０および１５０からの容量負荷読出し動作は、図７と同様である。このとき、ビニング読出しでは、各画素１４０および１５０の選択トランジスタ１２５のいずれか一方をオンさせてもよい

し、各画素１４０および１５０の選択トランジスタ１２５の両方をオンさせてもよい。

[0170] このように、上述の第１０の実施の形態では、垂直信号線１３２に接続された画素１４０および１５０にビニングトランジスタ１２７を設ける。これにより、各フレームの読出し回数を低減させつつ、容量負荷読出しを適用することができ、低消費電力化を図ることができる。

[0171] なお、画素１４０および１５０が設けられた構成について、上述の第２の実施の形態から第９の実施の形態のいずれの構成を適用してもよい。

[0172] ＜１１．第１１の実施の形態＞

上述の第１の実施の形態では、画素１２０から読出された信号を伝送する垂直信号線１３２に接続された信号線クリップ選択トランジスタ１４７を介して信号線クリップトランジスタ１４６を電気的に接続した。この第１２の実施の形態では、画素１２０がマトリックス状に配列された画素アレイ部が設けられた固体撮像装置が形成される基板を積層化する。

[0173] 図２４は、第１１の実施の形態に係る撮像装置の構成例を示す斜視図である。

[0174] 同図におけるａにおいて、固体撮像装置９０１は、支持基板９１１および半導体基板９１２を備える。半導体基板９１２は、支持基板９１１上に積層されている。半導体基板９１２には、画素アレイ部９１３および周辺回路９１４が形成される。周辺回路９１４には、カラム読出し回路９１５およびカラムＡＤＣ９１６が形成される。カラム読出し回路９１５およびカラムＡＤＣ９１６は、画素アレイ部９１３のカラム方向の両側に形成してもよい。

[0175] 画素アレイ部９１３には、ロウ方向およびカラム方向に沿ってマトリックス状に画素１２０が配列される。カラム読出し回路９１５は、Ｄ相ＶＳＬセトリングにおいて垂直信号線の電位をクリップし、容量負荷読出しに基づいて各画素１２０から信号を読出すことができる。カラム読出し回路９１５には、例えば、図６の信号線リセットトランジスタ１４１、ダイオード接続トランジスタ１４２、信号線クリップトランジスタ１４６および信号線クリッ

プ選択トランジスタ１４７を形成してもよい。カラムＡＤＣ９１６は、カラム読出し回路９１５を介して読出された信号をカラムごとにＡＤ変換することができる。このとき、固体撮像装置９０１は、裏面照射型イメージセンサを構成することができる。

[0176] 同図におけるｂにおいて、固体撮像装置９０２は、半導体基板９２１および９２２を備える。半導体基板９２２は、半導体基板９２１上に積層されている。半導体基板９２２には、画素アレイ部９２３が形成される。半導体基板９２２には、周辺回路９２４が形成される。周辺回路９２４には、カラム読出し回路９２５およびカラムＡＤＣ９２６が形成される。カラム読出し回路９２５およびカラムＡＤＣ９２６は、画素アレイ部９２３のカラム方向の両側の位置に対応するように形成してもよい。このとき、固体撮像装置９０２は、裏面照射型イメージセンサを構成することができる。

[0177] このように、上述の第１２の実施の形態では、各固体撮像装置９０１および９０２が形成される基板をそれぞれ積層化する。これにより、各画素アレイ部９１３および９２３を支持しつつ、各画素アレイ部９１３および９２３がそれぞれ形成される半導体基板９１２および９２２を薄膜化することができ、裏面照射型イメージセンサを形成することができる。

[0178] ＜１２．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0179] 図２５は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0180] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図２５に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユ

ニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ(interface)１２０５３が図示されている。

[0181] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0182] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0183] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0184] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であってもよいし、赤外線等の非可視光であってもよい。

[0185] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0186] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0187] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0188] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向

車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0189] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２５の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0190] 図２６は、撮像部１２０３１の設置位置の例を示す図である。

[0191] 図２６では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0192] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0193] なお、図２６には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像

部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0194] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0195] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0196] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回

避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0197] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0198] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、例えば、上述のカメラ１００は、撮像部１２０３１に適用することができる。車両制御システム１２０００に本開示に係る技術を適用することにより、消費電力の増大を抑制しつつ、撮影画像を得ることが可能となる。

[0199] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。また、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい

。

[0200] なお、本技術は以下のような構成もとることができる。

（１）画素からの信号読出し時に流れる電流に応じて蓄積された電荷に基づいて電位が変化する信号線と、

前記信号線の電位をリセットする信号線リセットトランジスタと、

前記信号線の電位のリセットレベルを生成する信号線リセットレベル生成部と、

前記信号線の電位をクリップする信号線クリップトランジスタと、

前記信号線の電位のクリップレベルの生成に用いられる信号線クリップ電圧を設定する信号線クリップ電圧設定部と

を具備する撮像装置。

（２）前記信号線の電位は、前記信号線の寄生容量の電位である

前記（１）記載の撮像装置。

（３）前記画素は、

フォトダイオードと、

前記フォトダイオードに蓄積された電荷をフローティングディフュージョンに転送する転送トランジスタと、

前記フローティングディフュージョンをリセットするリセットトランジスタと、

前記フローティングディフュージョンの電位に応じた信号を出力する増幅トランジスタと、

前記増幅トランジスタと前記信号線との間に接続された選択トランジスタと

を備える前記（１）または（２）記載の撮像装置。

（４）前記信号線リセットレベル生成部は、ダイオード接続トランジスタを備える

前記（１）から（３）のいずれかに記載の撮像装置。

（５）前記信号線リセットトランジスタを駆動するドライバをさらに具備す

る

前記（１）から（４）のいずれかに記載の撮像装置。

（６）前記信号線と前記信号線クリップトランジスタとの間に接続された信号線クリップ選択トランジスタをさらに具備する

前記（１）から（５）のいずれかに記載の撮像装置。

（７）前記画素、前記信号線クリップトランジスタおよび前記信号線クリップ選択トランジスタが形成された第１チップと、

前記第１チップが積層され、前記信号線リセットトランジスタ、前記信号線リセットレベル生成部および前記信号線クリップ電圧設定部が形成された第２チップと

を備える

前記（６）記載の撮像装置。

（８）前記信号線クリップトランジスタのゲート長およびゲート幅は、前記画素の増幅トランジスタのゲート長およびゲート幅と等しく、

前記信号線クリップ選択トランジスタのゲート長およびゲート幅は、前記画素の選択トランジスタのゲート長およびゲート幅と等しい

前記（６）または（７）に記載の撮像装置。

（９）前記信号線は、前記信号線クリップ選択トランジスタおよび前記画素の増幅トランジスタにて同時に駆動される

前記（６）から（８）のいずれかに記載の撮像装置。

（１０）前記信号線の電位とランプ信号とを比較するコンパレータを

さらに具備する前記（６）から（９）のいずれかに記載の撮像装置。

（１１）異なるカラムに設けられた信号線の電位を互いに比較するコンパレータを

さらに具備する前記（６）から（９）のいずれかに記載の撮像装置。

（１２）前記コンパレータの第１入力端子に接続された第１ＤＣカットコンデンサと、

前記コンパレータの第２入力端子に接続された第２ＤＣカットコンデンサ

と、

オートゼロ期間の前記コンパレータの第１入力および第２入力がバランスするように前記第１ＤＣカットコンデンサおよび前記第２ＤＣカットコンデンサに蓄積される電荷をそれぞれ制御するオートゼロ制御部と

をさらに具備する前記（６）から（１１）のいずれかに記載の撮像装置。

（１３）前記信号線クリップ選択トランジスタは、前記オートゼロ期間後にオフされる

前記（１２）記載の撮像装置。

（１４）前記信号線クリップ電圧は、前記画素のリセットレベルよりも低い

前記（１）から（１３）のいずれかに記載の撮像装置。

（１５）前記信号線に電気的に接続可能であり、前記画素との間に形成されるソースフォロワに基づいて定電流を流す定電流トランジスタを

さらに具備する前記（１）から（１４）のいずれかに記載の撮像装置。

（１６）前記定電流トランジスタを用いた定電流読出しでは、前記定電流トランジスタはオンされ、

前記信号線リセットレベル生成部を用いた容量負荷読出しでは、前記定電流トランジスタはオフされる

前記（１５）記載の撮像装置。

（１７）前記信号線クリップ電圧設定部は、複数のクリップレベルを生成する

前記（１）から（１６）のいずれかに記載の撮像装置。

（１８）前記信号線クリップ電圧設定部は、

抵抗ラダー回路と、

前記抵抗ラダー回路で生成された分圧電圧を切り替える第１セレクタと

前記（１）から（１７）のいずれかに記載の撮像装置。

（１９）前記信号線リセットレベル生成部は、

前記抵抗ラダー回路で生成された分圧電圧を切り替える第２セレクタを

備える前記（１８）記載の撮像装置。

（２０）前記画素がロウ方向およびカラム方向にマトリックス状に配置された画素アレイ部を備え、

前記信号線は前記カラムごとに設けられ、

前記信号線リセットトランジスタおよび前記信号線クリップトランジスタは、前記信号線のそれぞれに設けられる

前記（１）から（１９）のいずれかに記載の撮像装置。

符号の説明

[0201] １００　カメラ

１０１　光学系

１０２　固体撮像装置

１０３　撮像制御部

１０４　画像処理部

１０５　記憶部

１０６　表示部

１０７　操作部

１０８　バス

１１１　画素アレイ部

１１２　垂直走査回路

１１３　カラム読出し回路

１１４　カラム信号処理部

１１５　水平走査回路

１１６　制御回路

１１７　信号線クリップレベル設定回路

１２１　フォトダイオード

１２２　転送トランジスタ

１２３　リセットトランジスタ

１２４　増幅トランジスタ

１２５　選択トランジスタ

１２６　フローティングディフュージョン

１３１　水平駆動線

１３２　垂直信号線

１３３　容量

１４１　信号線リセットトランジスタ

１４２　ダイオード接続トランジスタ

１４３　コンパレータ

１４４、１４５　ＤＣカットコンデンサ

１４６　信号線クリップトランジスタ

１４７　信号線クリップ選択トランジスタ

１４８　オートゼロ制御部

１５０　セレクタ

１５１から１５４　分圧抵抗

１５５　抵抗ラダー回路

請求の範囲

[請求項1] 画素からの信号読出し時に流れる電流に応じて蓄積された電荷に基づいて電位が変化する信号線と、

前記信号線の電位をリセットする信号線リセットトランジスタと、

前記信号線の電位のリセットレベルを生成する信号線リセットレベル生成部と、

前記信号線の電位をクリップする信号線クリップトランジスタと、

前記信号線の電位のクリップレベルの生成に用いられる信号線クリップ電圧を設定する信号線クリップ電圧設定部と

を具備する撮像装置。

[請求項2] 前記信号線の電位は、前記信号線の寄生容量の電位である

請求項１記載の撮像装置。

[請求項3] 前記画素は、

フォトダイオードと、

前記フォトダイオードに蓄積された電荷をフローティングディフュージョンに転送する転送トランジスタと、

前記フローティングディフュージョンをリセットするリセットトランジスタと、

前記フローティングディフュージョンの電位に応じた信号を出力する増幅トランジスタと、

前記増幅トランジスタと前記信号線との間に接続された選択トランジスタと

を備える請求項１記載の撮像装置。

[請求項4] 前記信号線リセットレベル生成部は、ダイオード接続トランジスタを備える

請求項１記載の撮像装置。

[請求項5] 前記信号線リセットトランジスタを駆動するドライバをさらに具備する

請求項１記載の撮像装置。

[請求項6] 前記信号線と前記信号線クリップトランジスタとの間に接続された信号線クリップ選択トランジスタをさらに具備する
請求項１記載の撮像装置。

[請求項7] 前記画素、前記信号線クリップトランジスタおよび前記信号線クリップ選択トランジスタが形成された第１チップと、
前記第１チップが積層され、前記信号線リセットトランジスタ、前記信号線リセットレベル生成部および前記信号線クリップ電圧設定部が形成された第２チップと
を備える
請求項６記載の撮像装置。

[請求項8] 前記信号線クリップトランジスタのゲート長およびゲート幅は、前記画素の増幅トランジスタのゲート長およびゲート幅と等しく、
前記信号線クリップ選択トランジスタのゲート長およびゲート幅は、前記画素の選択トランジスタのゲート長およびゲート幅と等しい
請求項７記載の撮像装置。

[請求項9] 前記信号線は、前記信号線クリップ選択トランジスタおよび前記画素の増幅トランジスタにて同時に駆動される
請求項７記載の撮像装置。

[請求項10] 前記信号線の電位とランプ信号とを比較するコンパレータを
さらに具備する請求項６記載の撮像装置。

[請求項11] 異なるカラムに設けられた信号線の電位を互いに比較するコンパレータを
さらに具備する請求項６記載の撮像装置。

[請求項12] 前記コンパレータの第１入力端子に接続された第１ＤＣカットコンデンサと、
前記コンパレータの第２入力端子に接続された第２ＤＣカットコンデンサと、

オートゼロ期間の前記コンパレータの第１入力および第２入力がバランスするように前記第１ＤＣカットコンデンサおよび前記第２ＤＣカットコンデンサに蓄積される電荷をそれぞれ制御するオートゼロ制御部と

をさらに具備する請求項１０記載の撮像装置。

[請求項13] 前記信号線クリップ選択トランジスタは、前記オートゼロ期間後にオフされる

請求項１２記載の撮像装置。

[請求項14] 前記信号線クリップ電圧は、前記画素のリセットレベルよりも低い

請求項１記載の撮像装置。

[請求項15] 前記信号線に電気的に接続可能であり、前記画素との間に形成されるソースフォロワに基づいて定電流を流す定電流トランジスタを

さらに具備する請求項１記載の撮像装置。

[請求項16] 前記定電流トランジスタを用いた定電流読出しでは、前記定電流トランジスタはオンされ、

前記信号線リセットレベル生成部を用いた容量負荷読出しでは、前記定電流トランジスタはオフされる

請求項１５記載の撮像装置。

[請求項17] 前記信号線クリップ電圧設定部は、複数のクリップレベルを生成する

請求項１記載の撮像装置。

[請求項18] 前記信号線クリップ電圧設定部は、

抵抗ラダー回路と、

前記抵抗ラダー回路で生成された分圧電圧を切り替える第１セレクタと

を備える請求項１記載の撮像装置。

[請求項19] 前記信号線リセットレベル生成部は、

前記抵抗ラダー回路で生成された分圧電圧を切り替える第２セレク

タを

備える請求項１８記載の撮像装置。

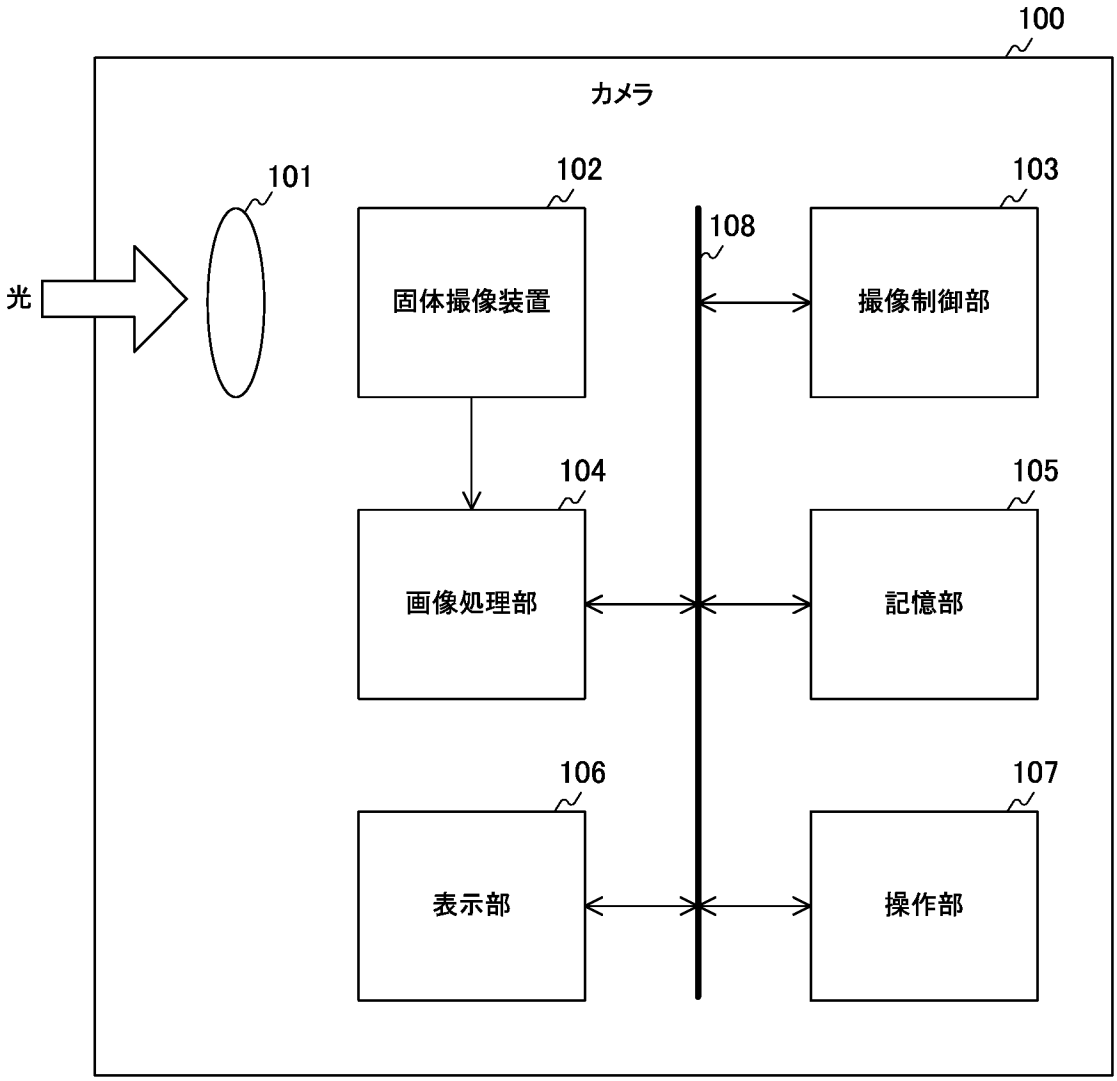
[請求項20] 前記画素がロウ方向およびカラム方向にマトリックス状に配置された画素アレイ部を備え、

前記信号線は前記カラムごとに設けられ、

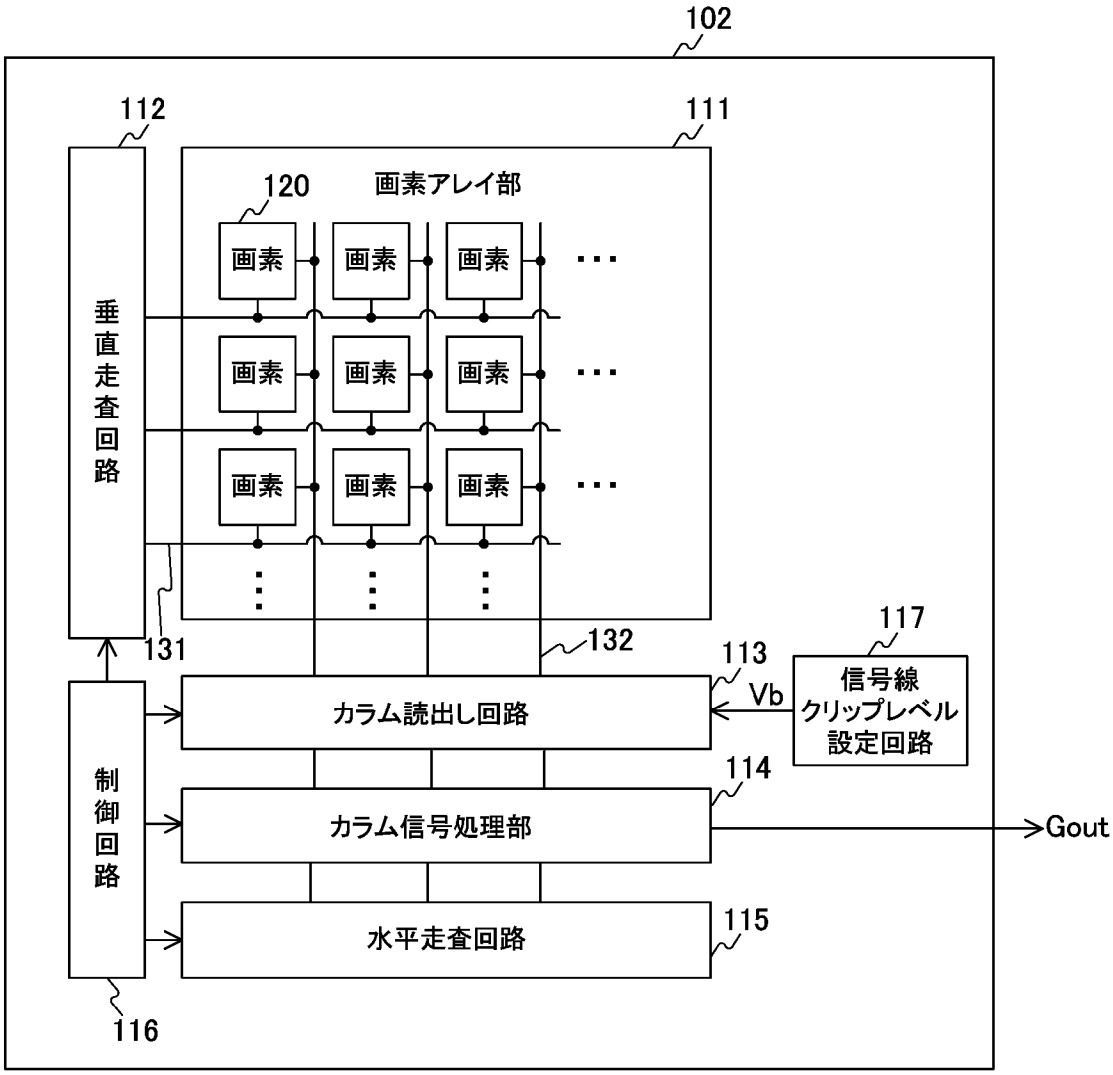
前記信号線リセットトランジスタおよび前記信号線クリップトランジスタは、前記信号線のそれぞれに設けられる

請求項１記載の撮像装置。

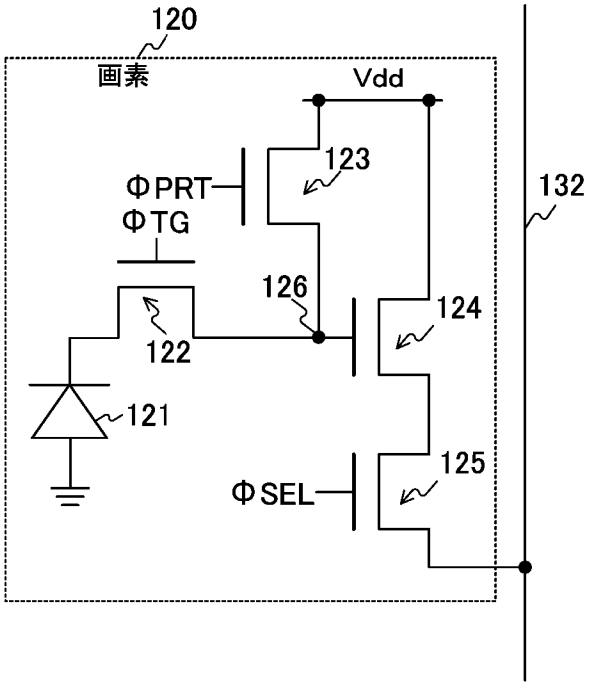
[図1]


100
カメラ
101
102
103
108
光
固体撮像装置
撮像制御部
104
105
画像処理部
記憶部
106
107
表示部
操作部

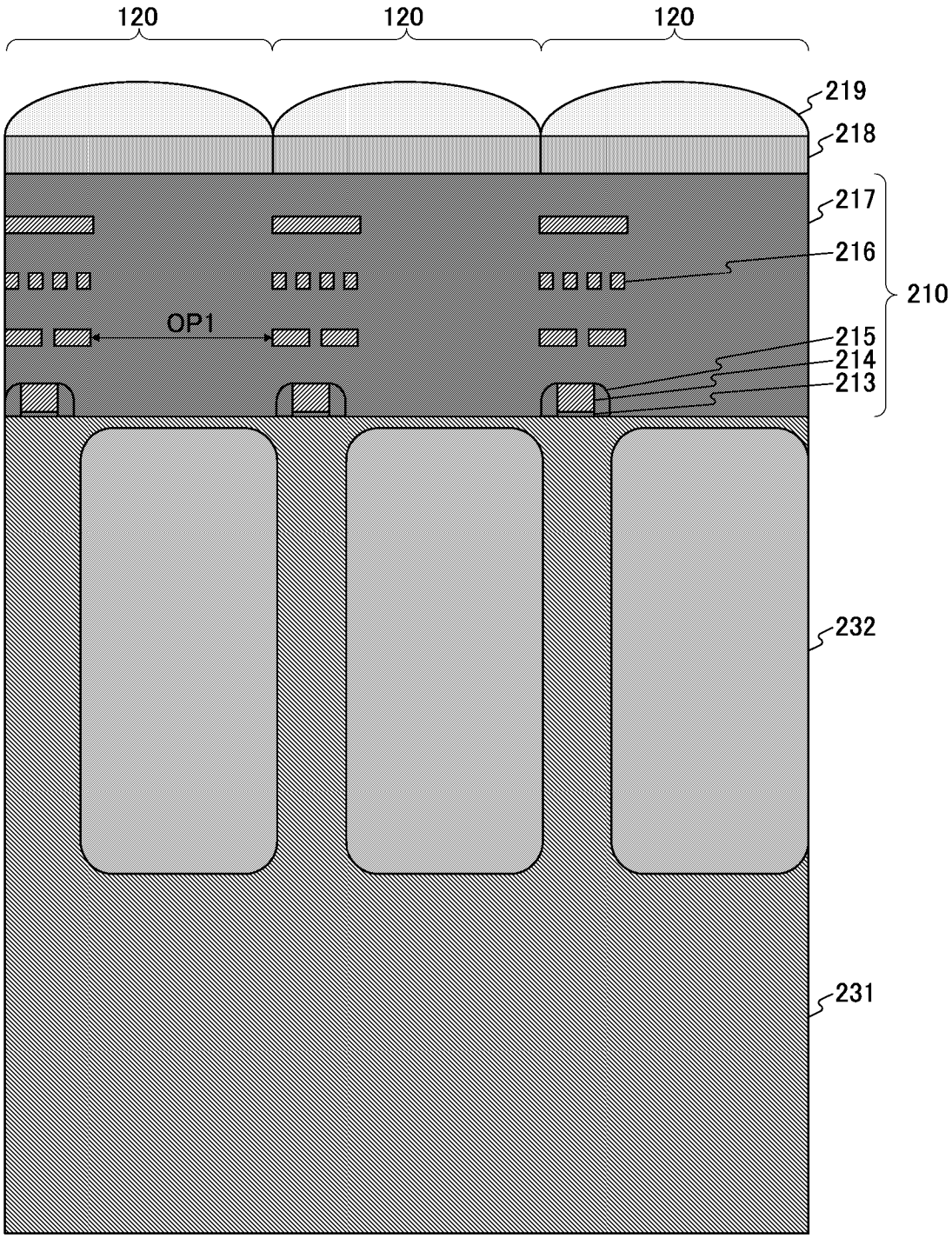
[図2]


102
112
111
120
画素アレイ部
画素
垂直走査回路
131
132
113
Vb
117
信号線クリップレベル設定回路
カラム読出し回路
114
カラム信号処理部
Gout
制御回路
水平走査回路
115
116

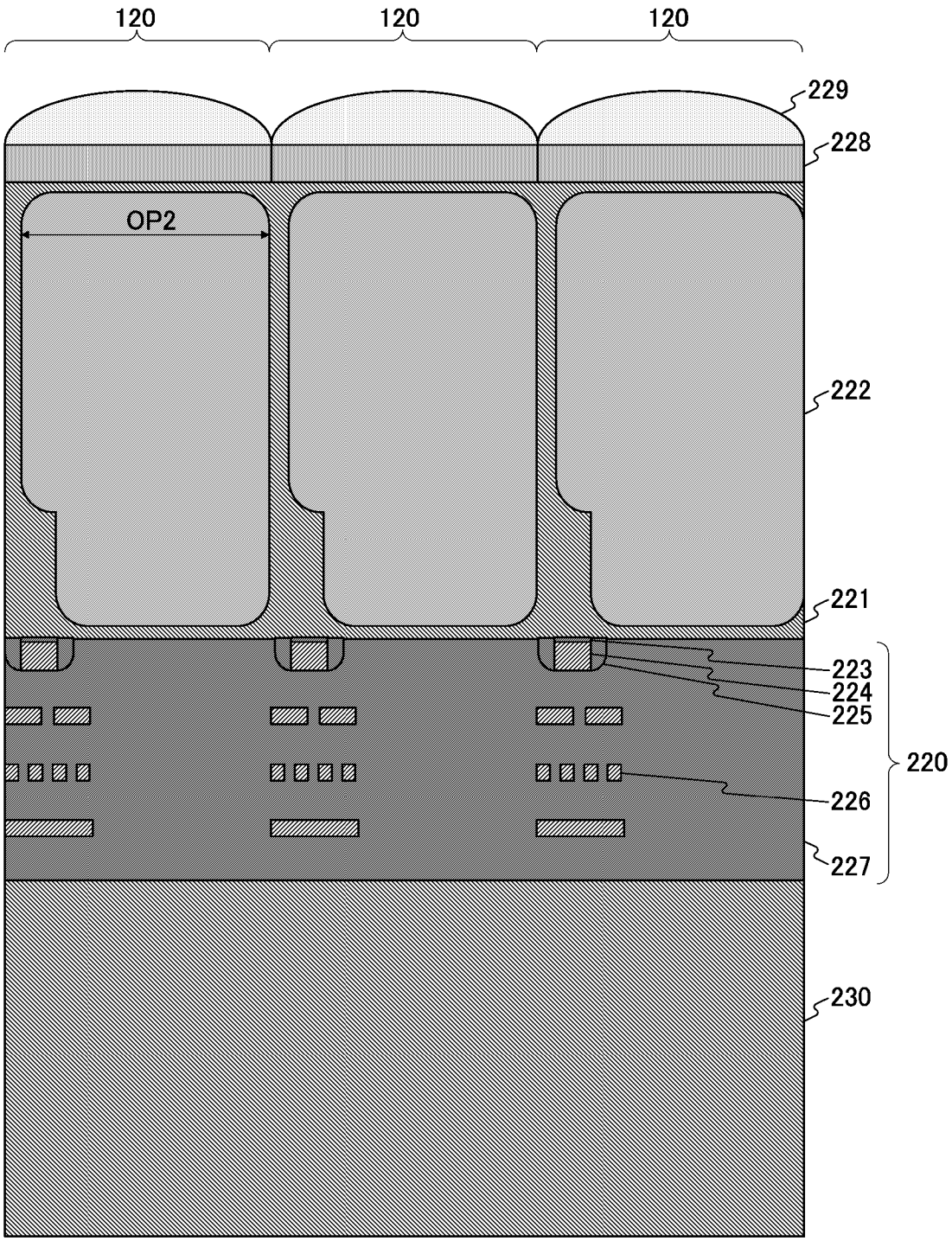
[図3]



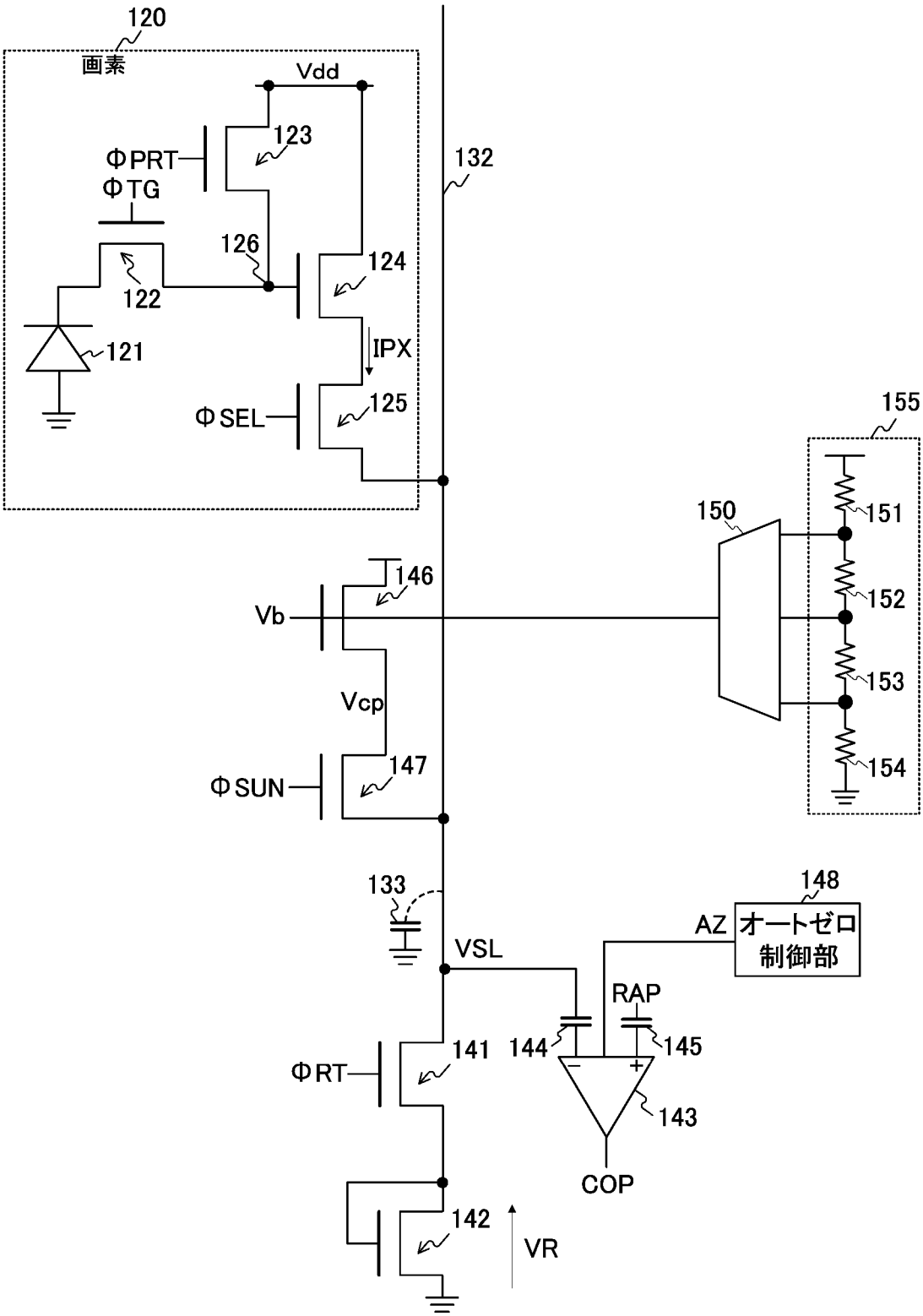
[図4]



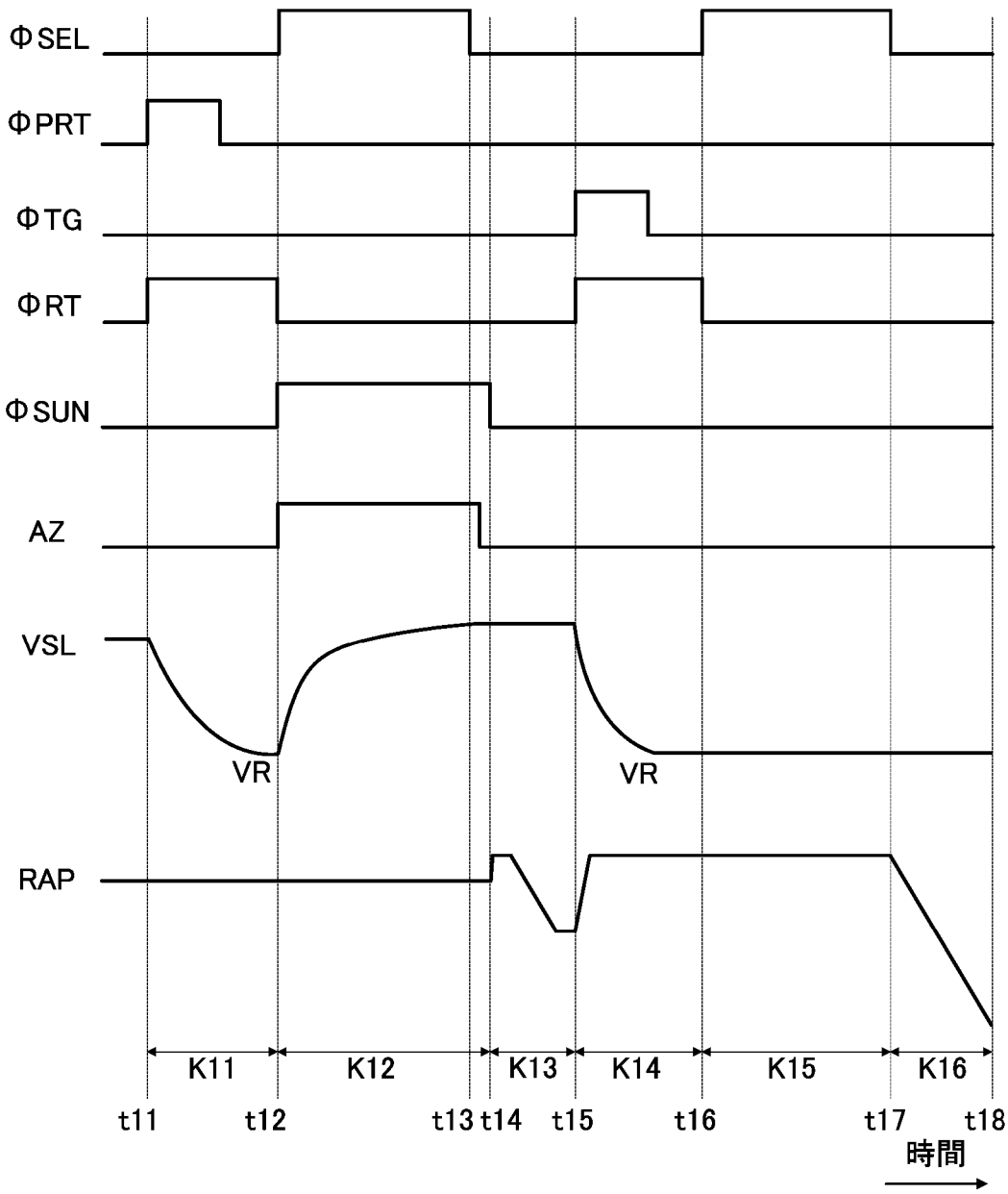
[図5]



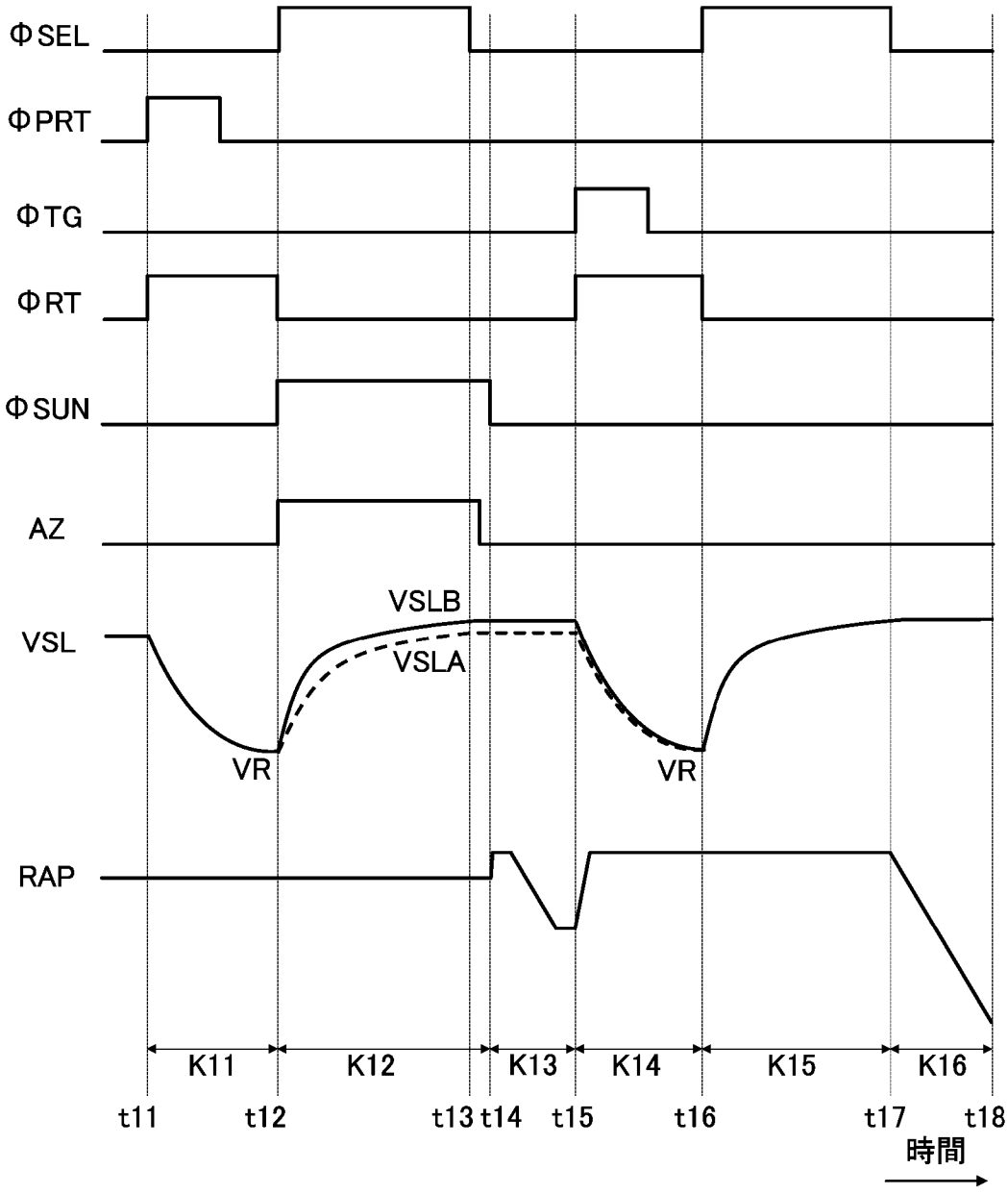
[図6]


120
画素
Vdd
123
ΦPRT
ΦTG
126
124
122
121
IPX
ΦSEL
125
132
155
150
151
152
153
154
146
Vb
Vcp
ΦSUN
147
133
148
AZ
オートゼロ
制御部
VSL
RAP
144
145
141
ΦRT
143
COP
142
VR

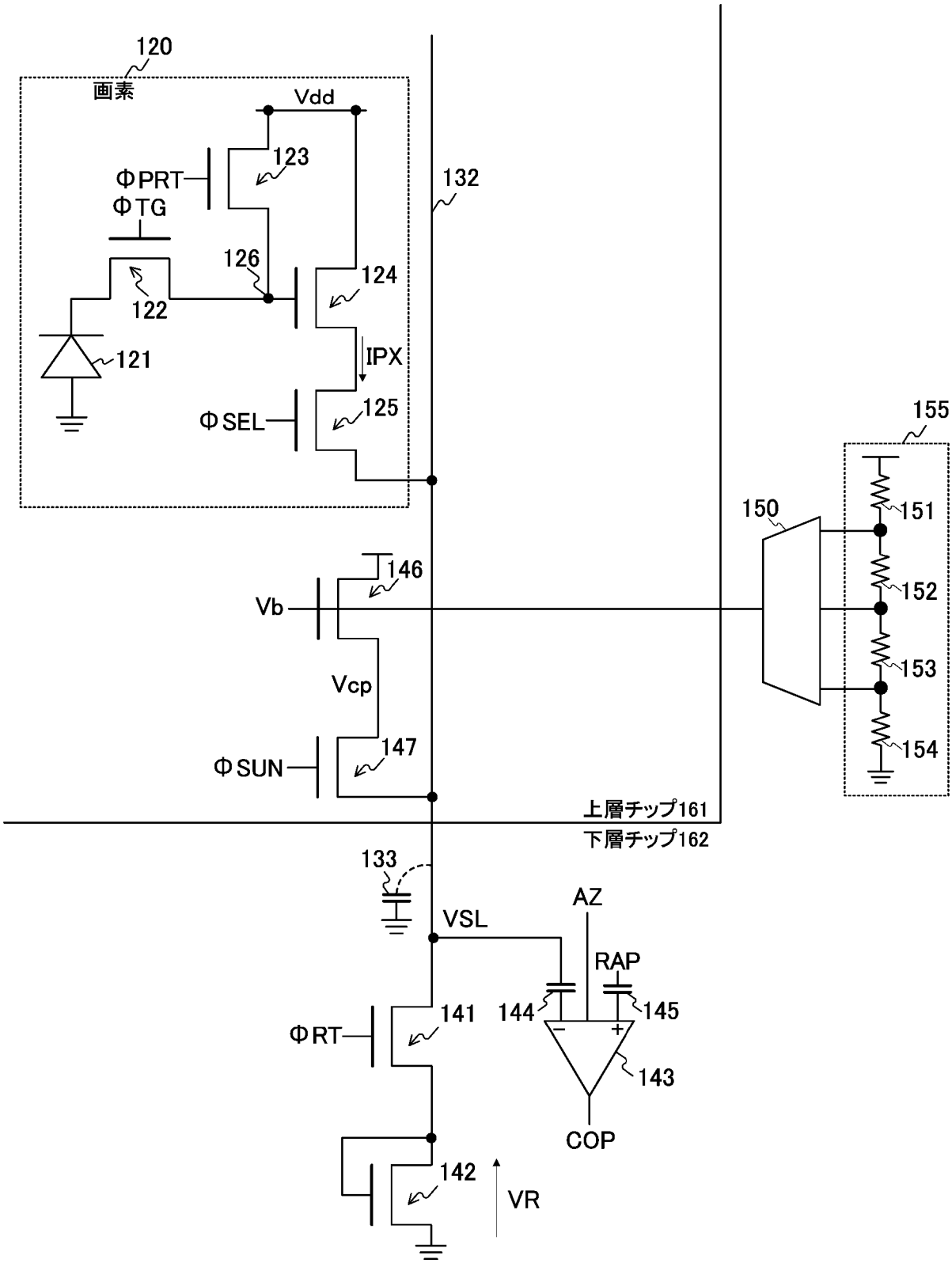
[図7]


ΦSEL
ΦPRT
ΦTG
ΦRT
ΦSUN
AZ
VSL
VR
VR
RAP
K11
K12
K13
K14
K15
K16
t11
t12
t13
t14
t15
t16
t17
t18
時間

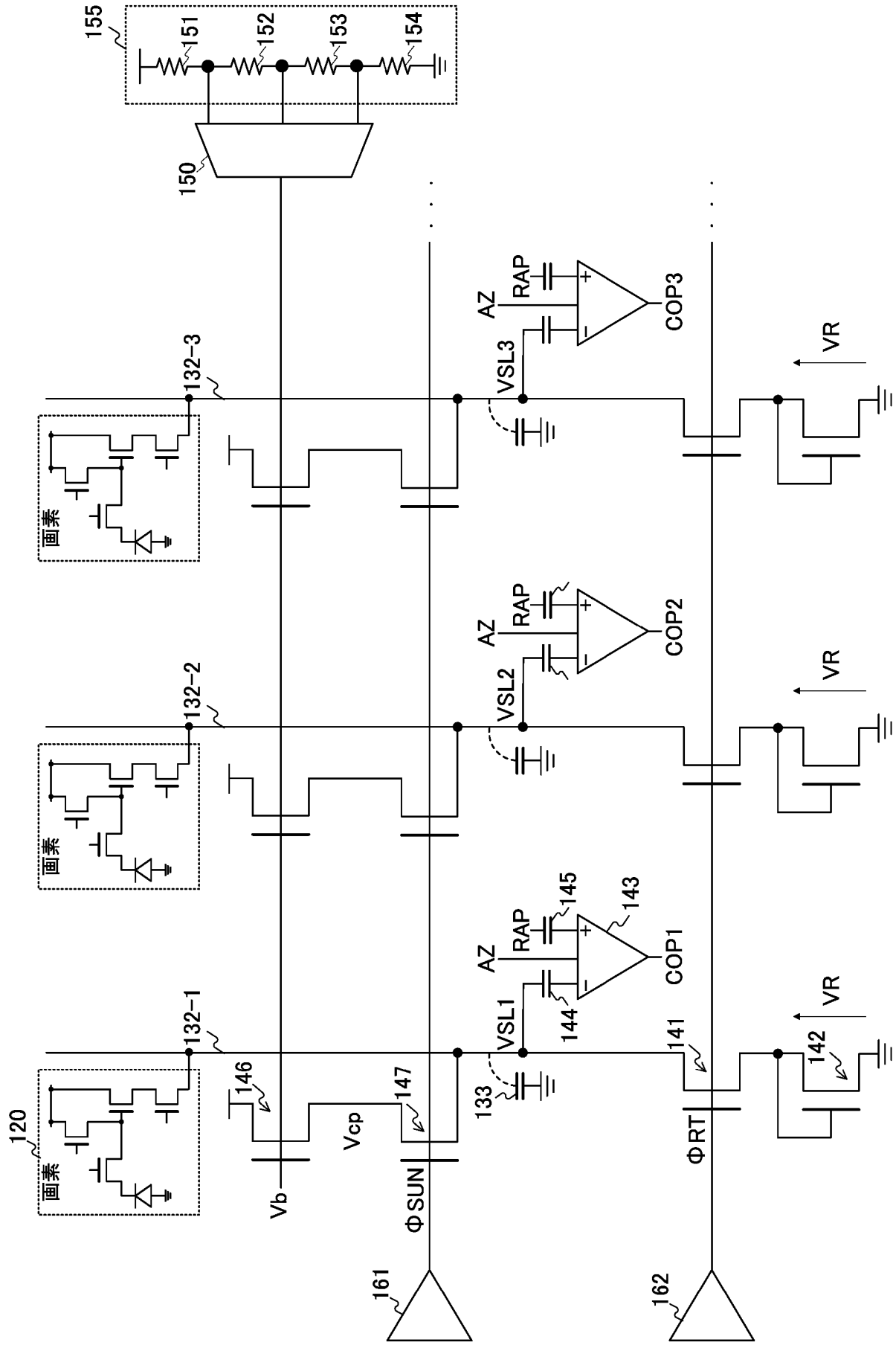
[図8]


ΦSEL
ΦPRT
ΦTG
ΦRT
ΦSUN
AZ
VSL
VSLB
VSLA
VR
VR
RAP
K11
K12
K13
K14
K15
K16
t11
t12
t13
t14
t15
t16
t17
t18
時間

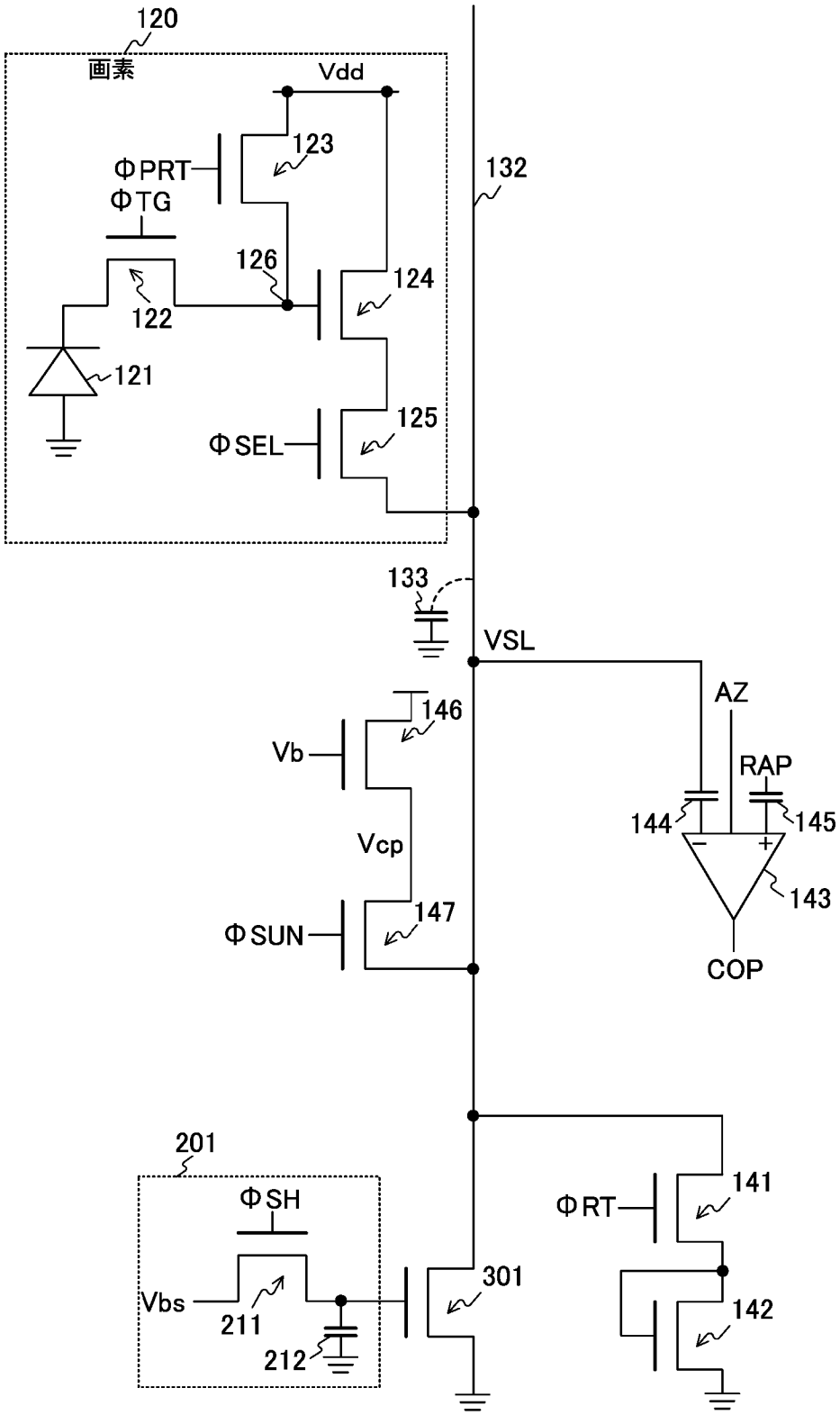
[図9]


120
画素
Vdd
123
ΦPRT
ΦTG
132
126
124
122
121
IPX
ΦSEL
125
155
150
151
152
153
154
146
Vb
Vcp
147
ΦSUN
上層チップ161
下層チップ162
133
VSL
AZ
RAP
144
145
141
ΦRT
143
COP
142
VR

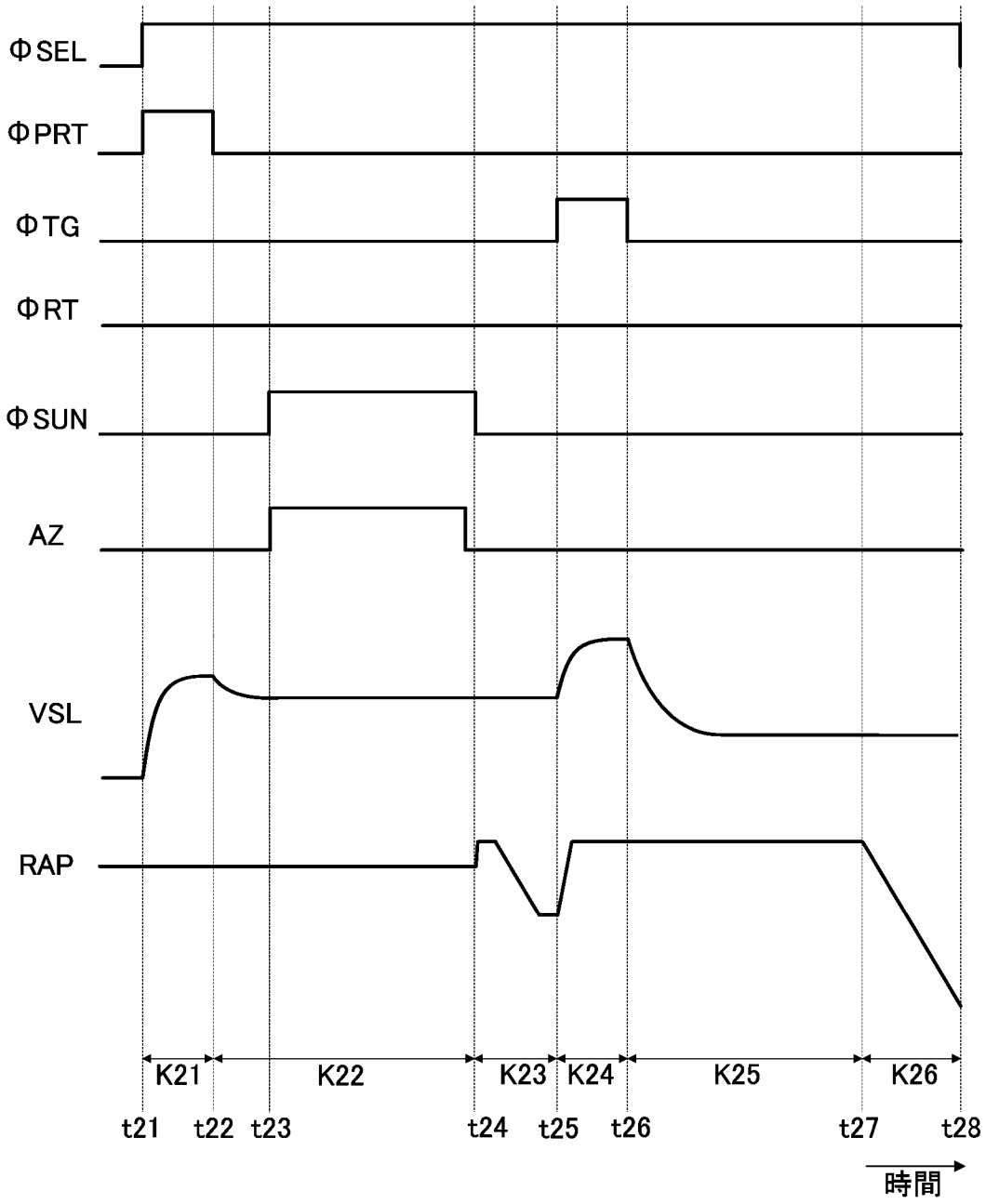
[図10]


155
151
152
153
154
150
132-3
132-2
132-1
120
画素
AZ
RAP
COP3
COP2
COP1
VSL3
VSL2
VSL1
VR
145
143
144
141
142
133
146
147
Vb
Vcp
ΦSUN
ΦRT
161
162

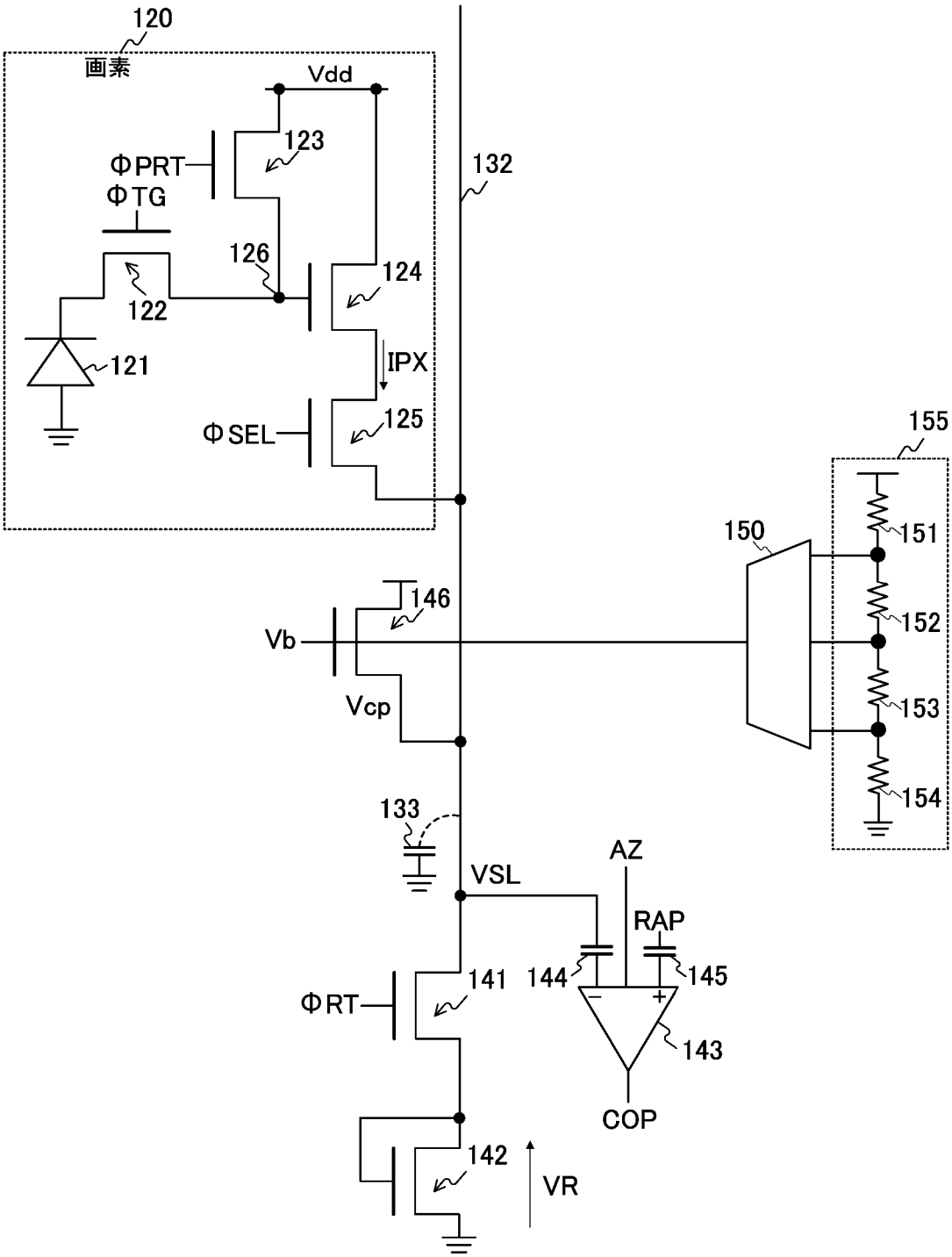
[図11]


120
画素
Vdd
123
ΦPRT
ΦTG
132
126
124
122
121
125
ΦSEL
133
VSL
AZ
146
Vb
RAP
144
145
Vcp
143
147
ΦSUN
COP
201
ΦSH
141
ΦRT
301
Vbs
211
142
212

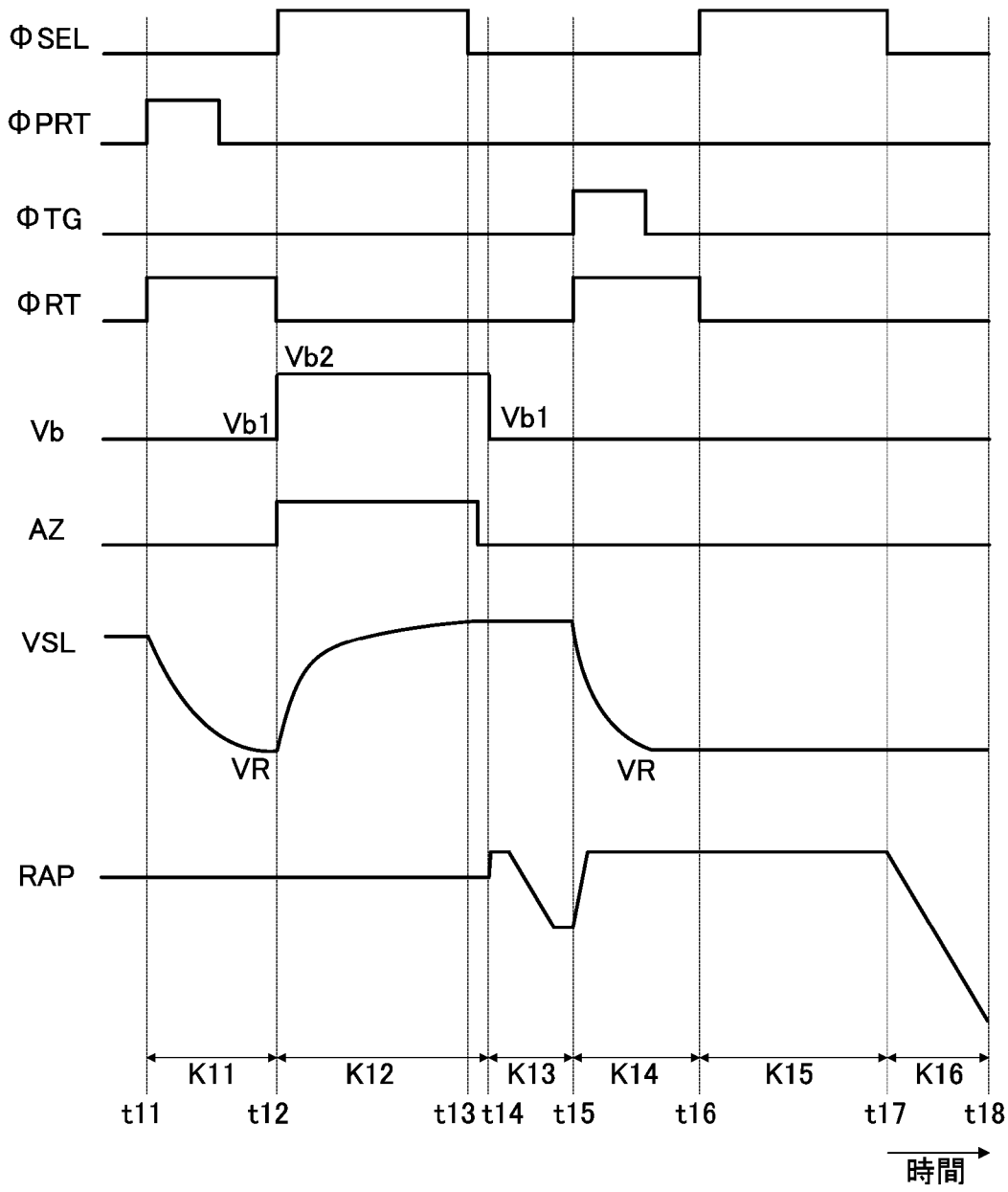
[図12]


ΦSEL
ΦPRT
ΦTG
ΦRT
ΦSUN
AZ
VSL
RAP
K21
K22
K23
K24
K25
K26
t21
t22
t23
t24
t25
t26
t27
t28
時間

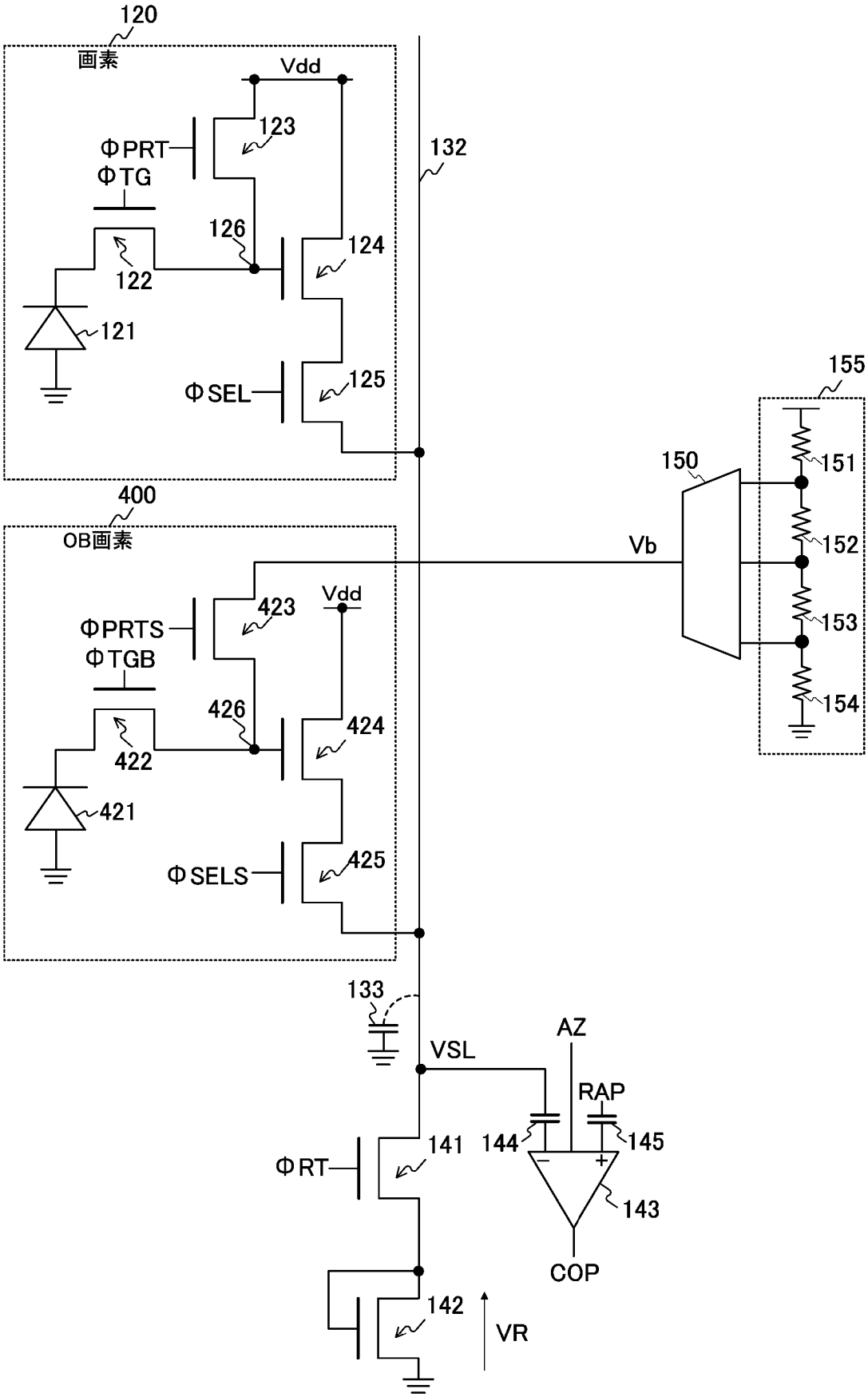
[図13]


120
画素
Vdd
123
ΦPRT
ΦTG
126
124
122
121
IPX
ΦSEL
125
132
155
150
151
152
153
154
146
Vb
Vcp
133
VSL
AZ
RAP
144
145
141
ΦRT
143
COP
142
VR

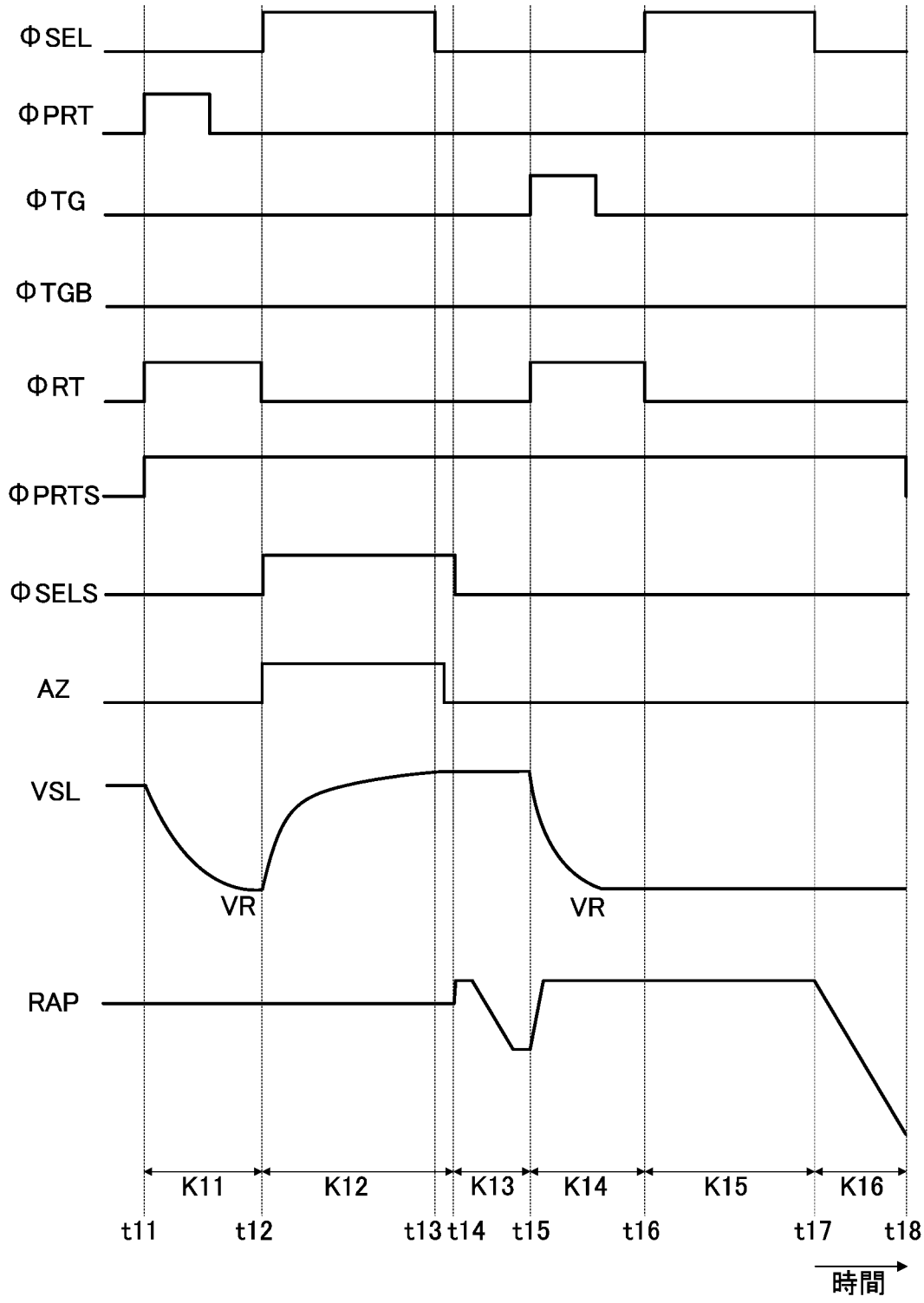
[図14]


ΦSEL
ΦPRT
ΦTG
ΦRT
Vb2
Vb
Vb1
Vb1
AZ
VSL
VR
VR
RAP
K11
K12
K13
K14
K15
K16
t11
t12
t13
t14
t15
t16
t17
t18
時間

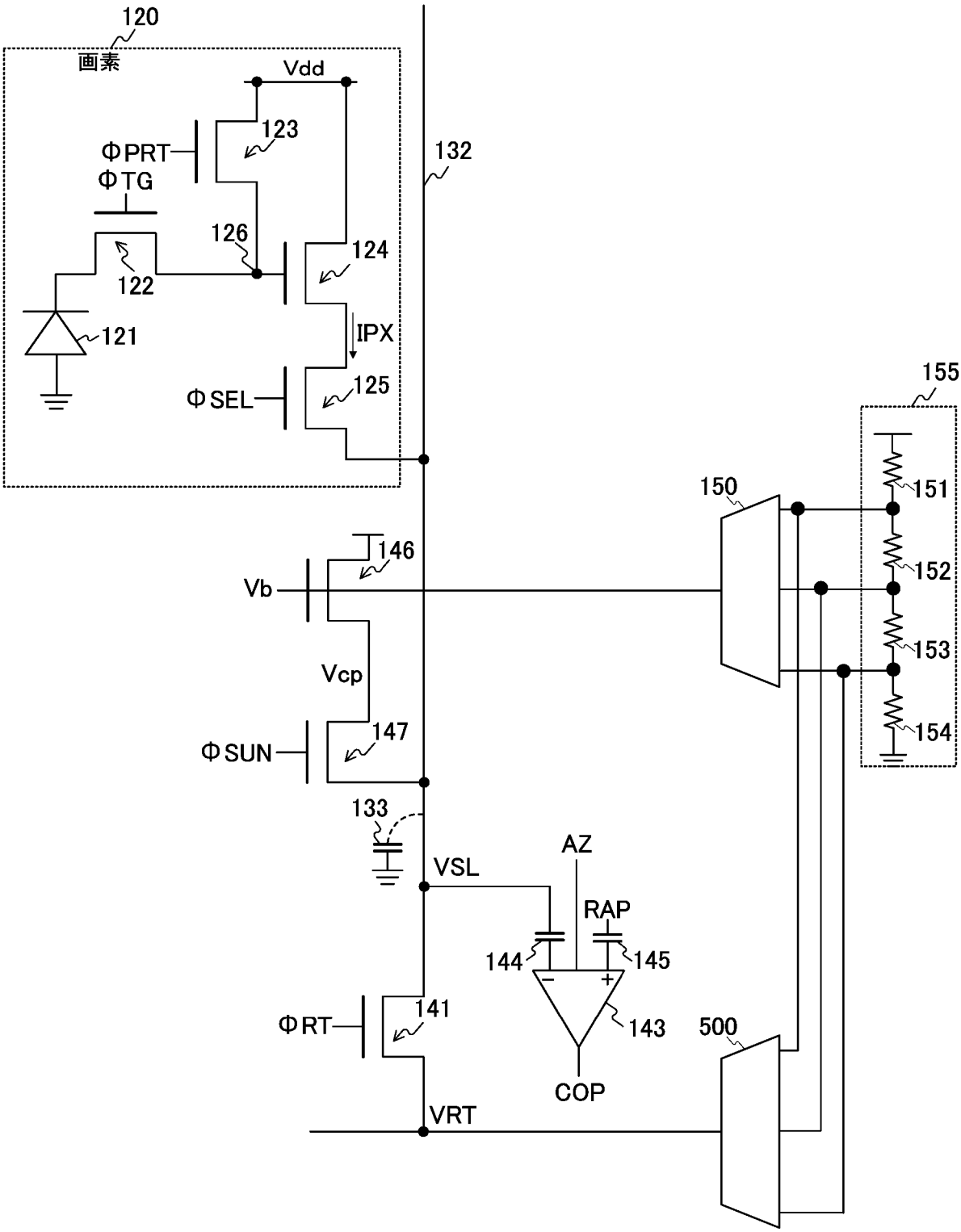
[図15]


120
画素
Vdd
123
ΦPRT
ΦTG
126
124
122
121
ΦSEL
125
132
155
150
151
152
153
154
Vb
400
OB画素
423
Vdd
ΦPRTS
ΦTGB
426
424
422
421
ΦSELS
425
133
AZ
VSL
RAP
144
145
141
ΦRT
143
COP
142
VR

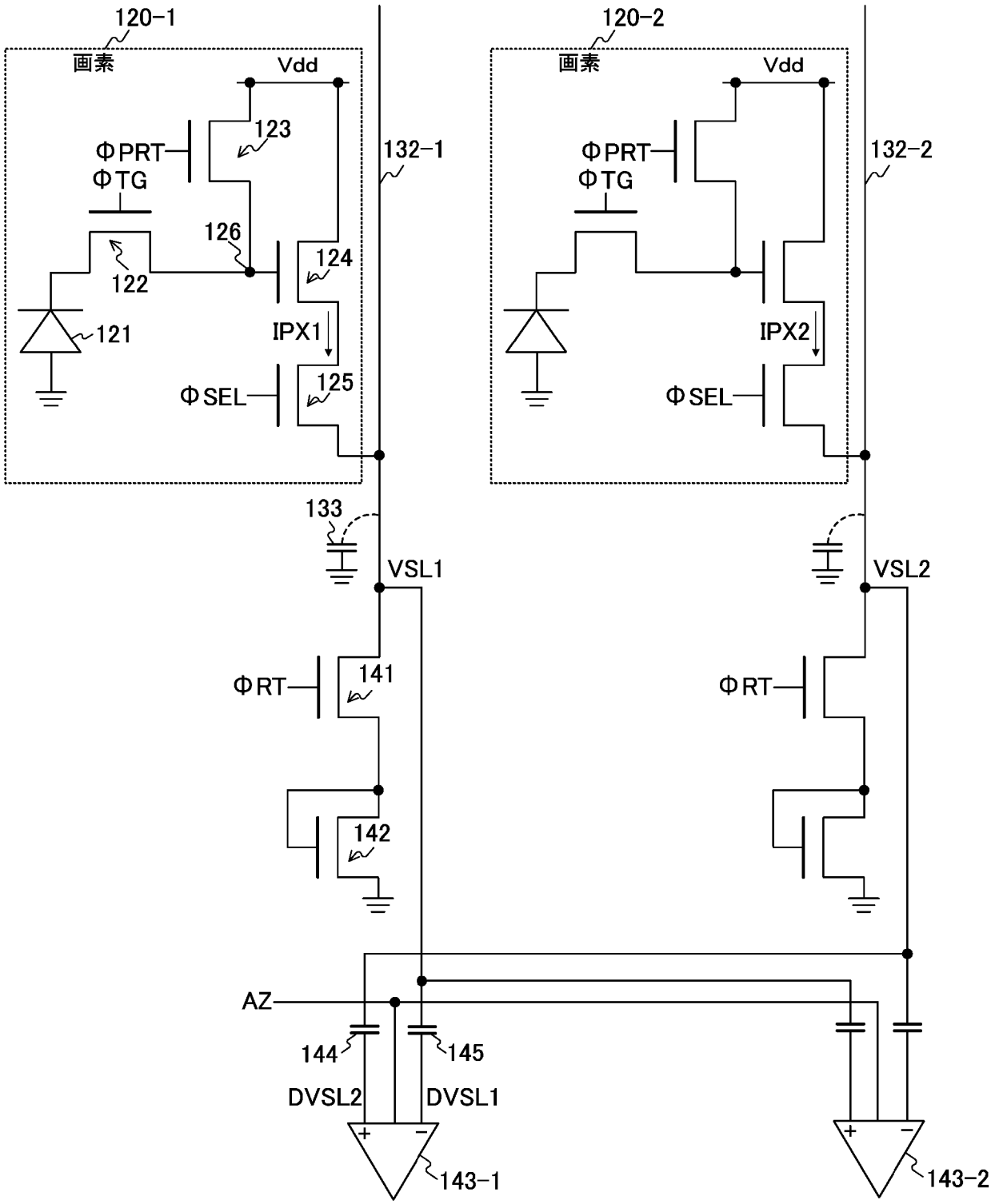
[図16]


ΦSEL
ΦPRT
ΦTG
ΦTGB
ΦRT
ΦPRTS
ΦSELS
AZ
VSL
VR
VR
RAP
K11
K12
K13
K14
K15
K16
t11
t12
t13
t14
t15
t16
t17
t18
時間

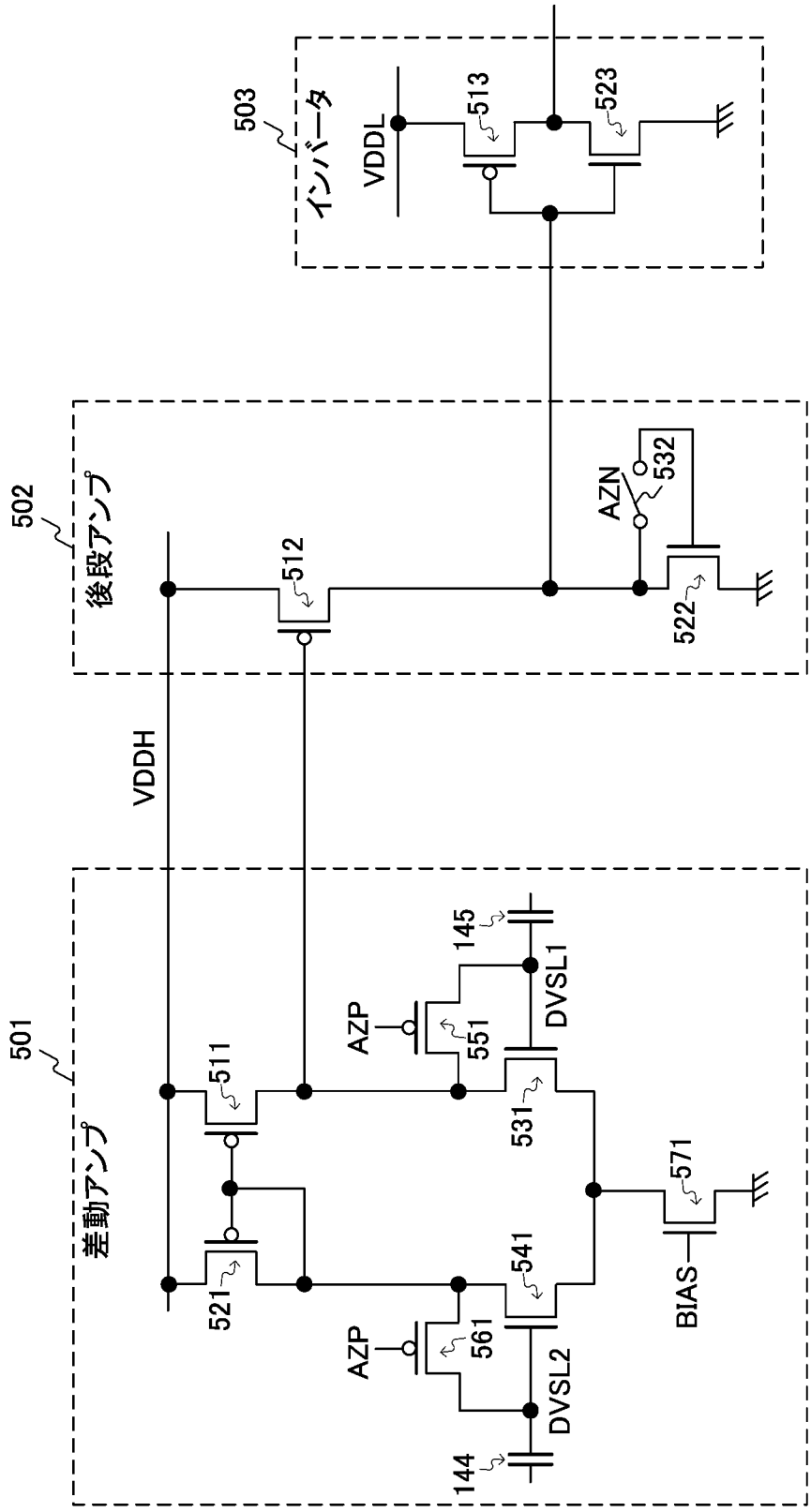
[図17]


120
画素
Vdd
123
ΦPRT
ΦTG
126
124
122
121
IPX
ΦSEL
125
132
155
150
151
152
153
154
146
Vb
Vcp
147
ΦSUN
133
VSL
AZ
RAP
144
145
143
141
ΦRT
500
COP
VRT

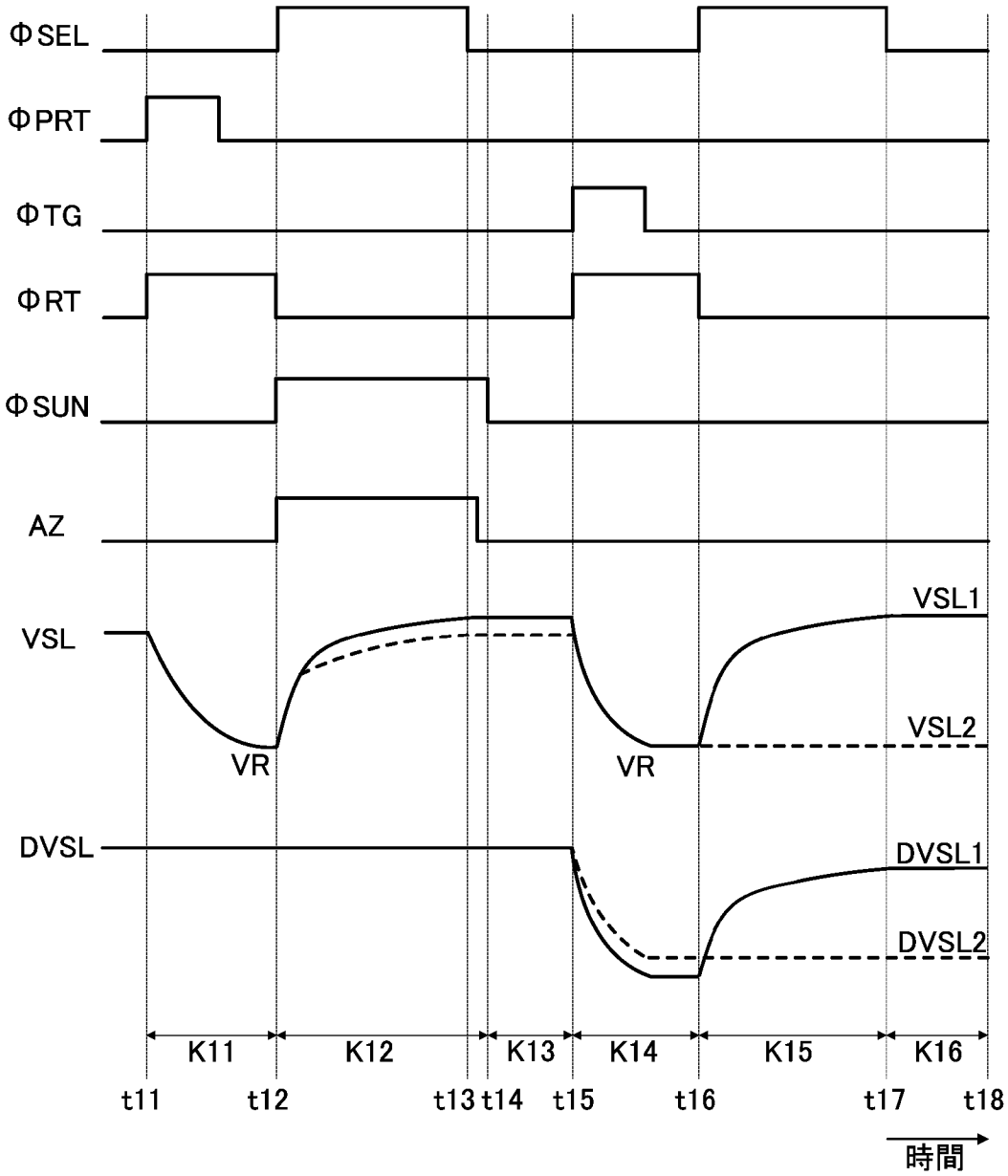
[図18]


120-1
画素
Vdd
123
ΦPRT
ΦTG
132-1
126
124
122
121
IPX1
ΦSEL
125
120-2
画素
Vdd
ΦPRT
ΦTG
132-2
IPX2
ΦSEL
133
VSL1
VSL2
ΦRT
141
ΦRT
142
AZ
144
145
DVSL2
DVSL1
143-1
143-2

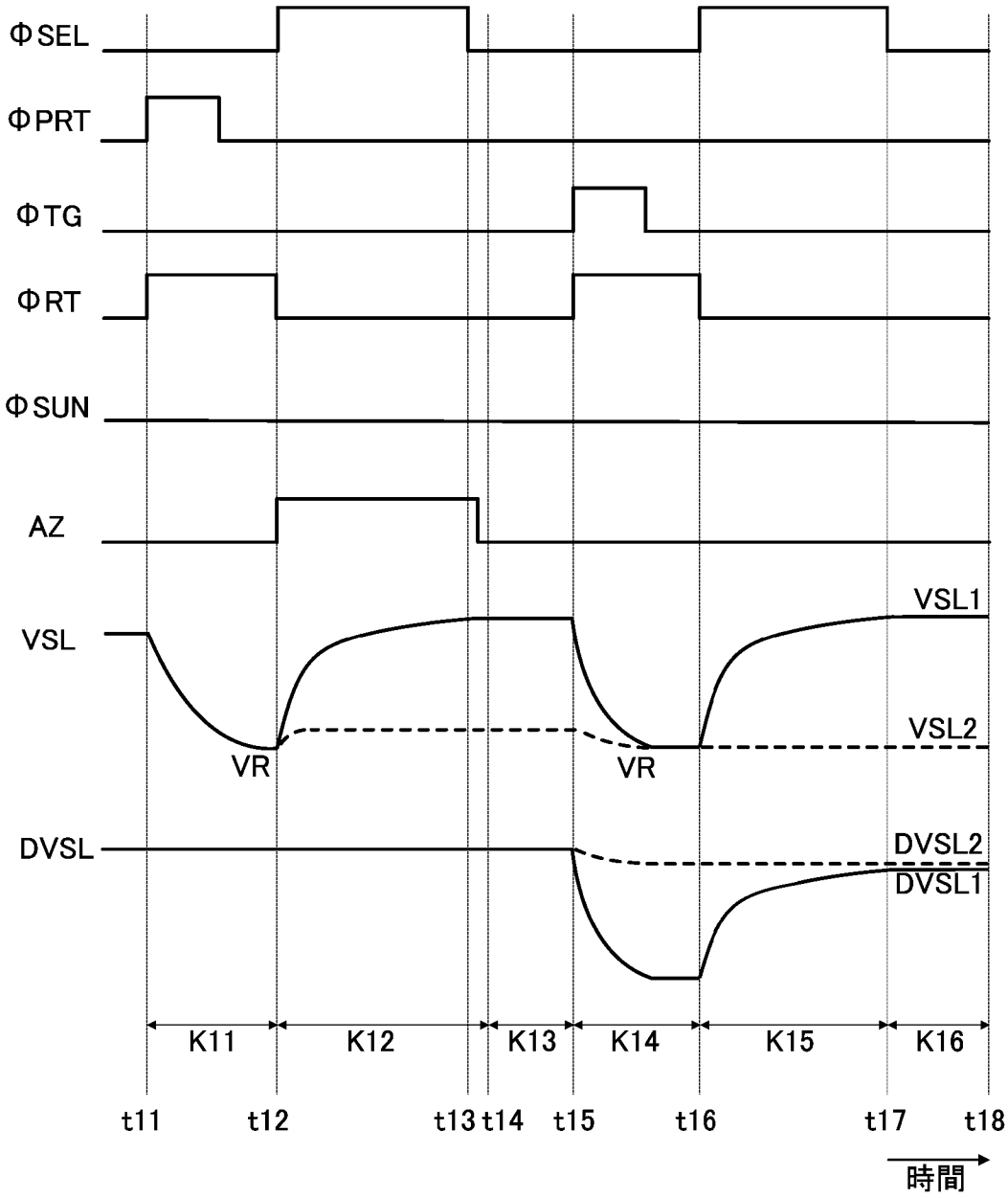
[図19]


503
インバータ
VDDL
513
523
502
後段アンプ
512
AZN
532
522
VDDH
501
差動アンプ
145
AZP
551
DVSL1
511
531
571
521
541
BIAS
AZP
561
DVSL2
144

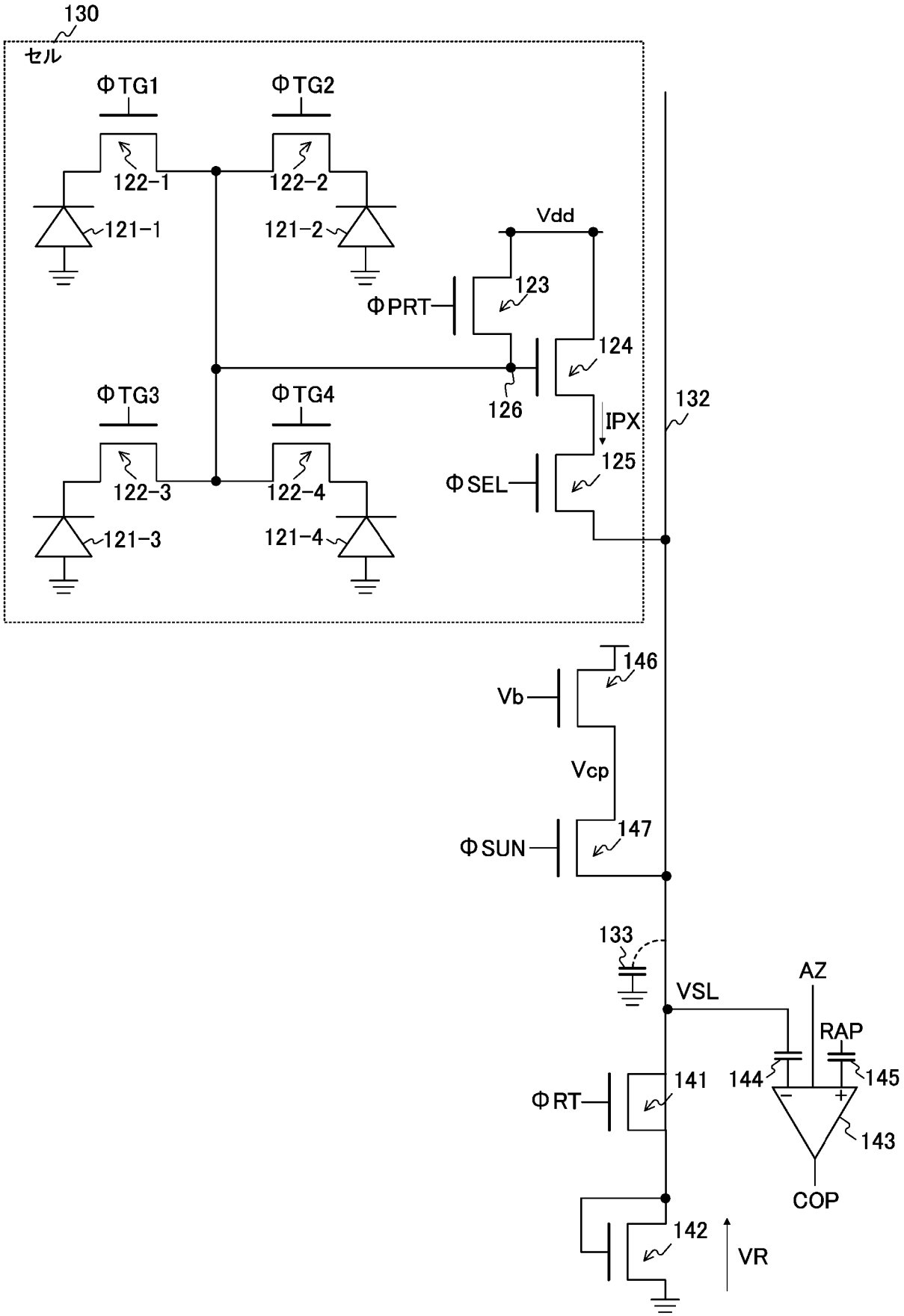
[図20]


ΦSEL
ΦPRT
ΦTG
ΦRT
ΦSUN
AZ
VSL
VSL1
VSL2
VR
VR
DVSL
DVSL1
DVSL2
K11
K12
K13
K14
K15
K16
t11
t12
t13
t14
t15
t16
t17
t18
時間

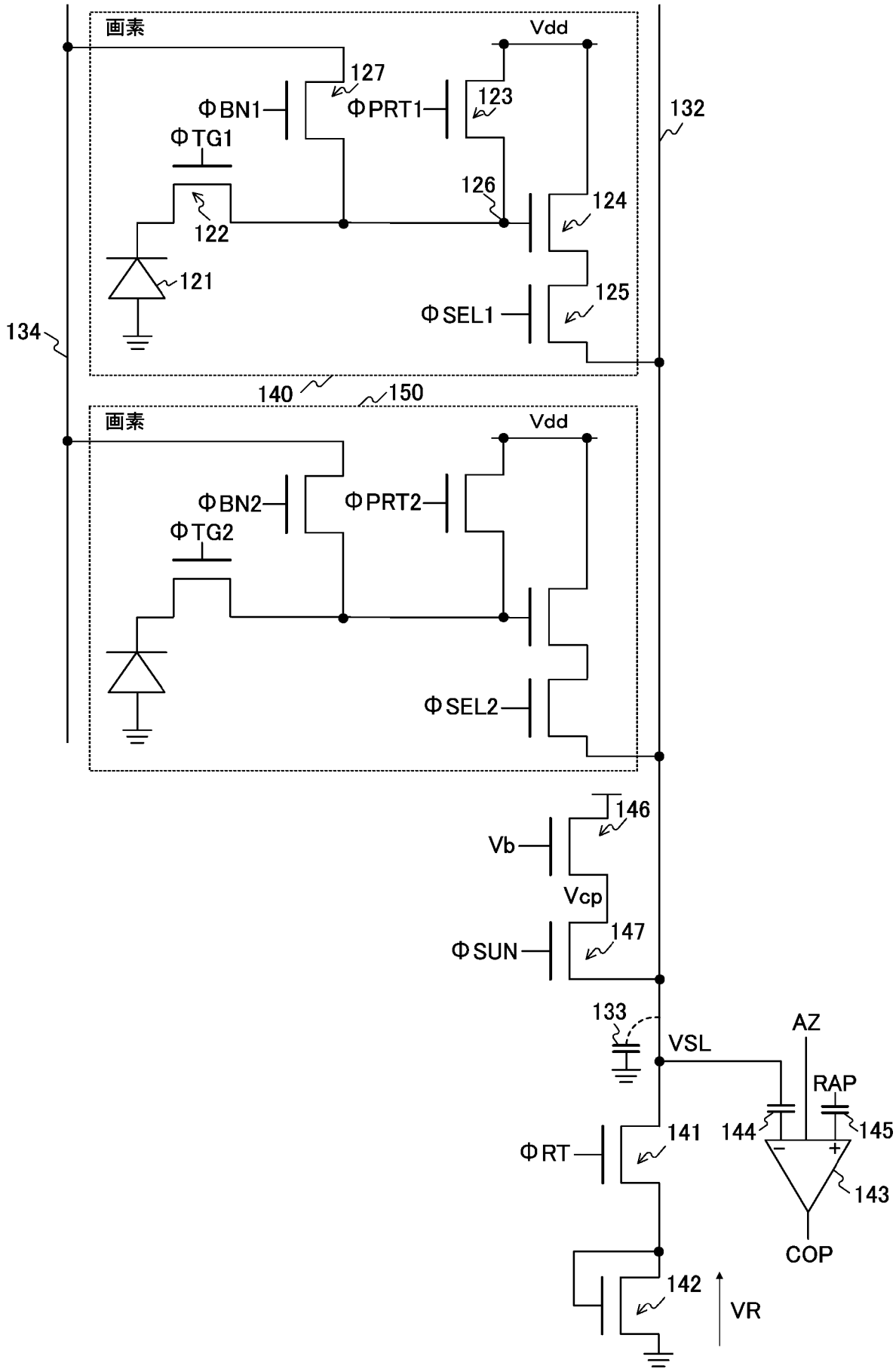
[図21]


ΦSEL
ΦPRT
ΦTG
ΦRT
ΦSUN
AZ
VSL
VSL1
VSL2
VR
VR
DVSL
DVSL2
DVSL1
K11
K12
K13
K14
K15
K16
t11
t12
t13
t14
t15
t16
t17
t18
時間

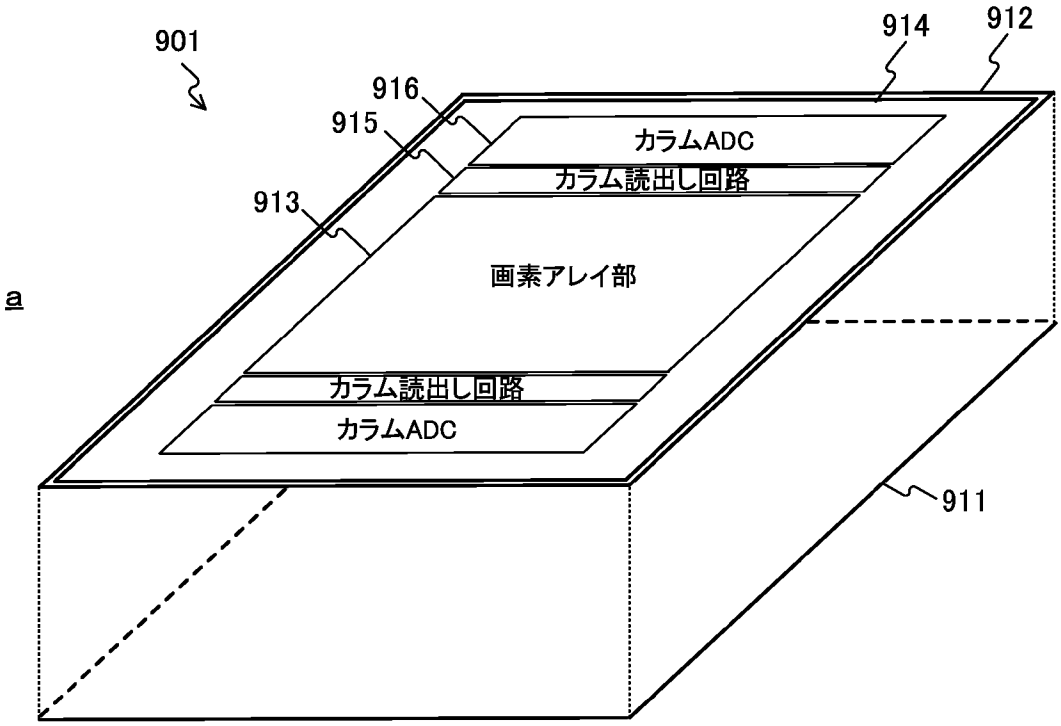
[図22]

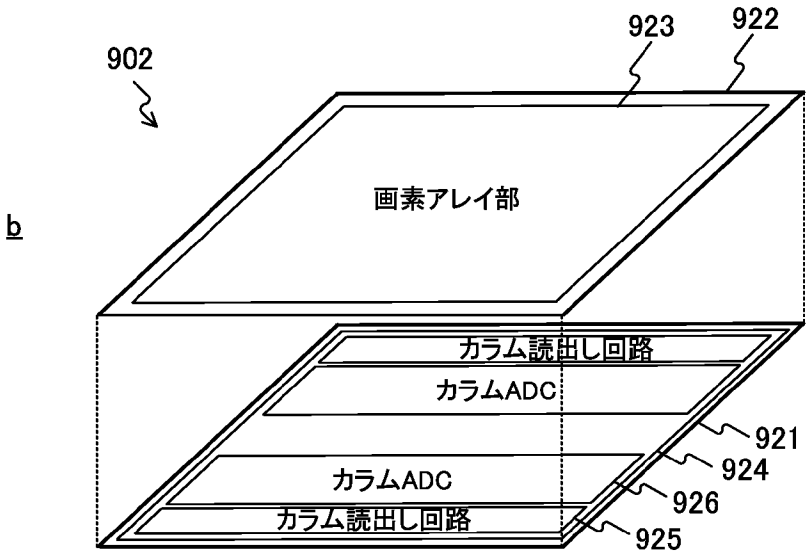

130
セル
ΦTG1
ΦTG2
122-1
122-2
121-1
121-2
Vdd
123
ΦPRT
124
126
132
IPX
ΦTG3
ΦTG4
122-3
122-4
121-3
121-4
ΦSEL
125
146
Vb
Vcp
ΦSUN
147
133
VSL
AZ
RAP
141
144
145
ΦRT
143
COP
142
VR

[図23]

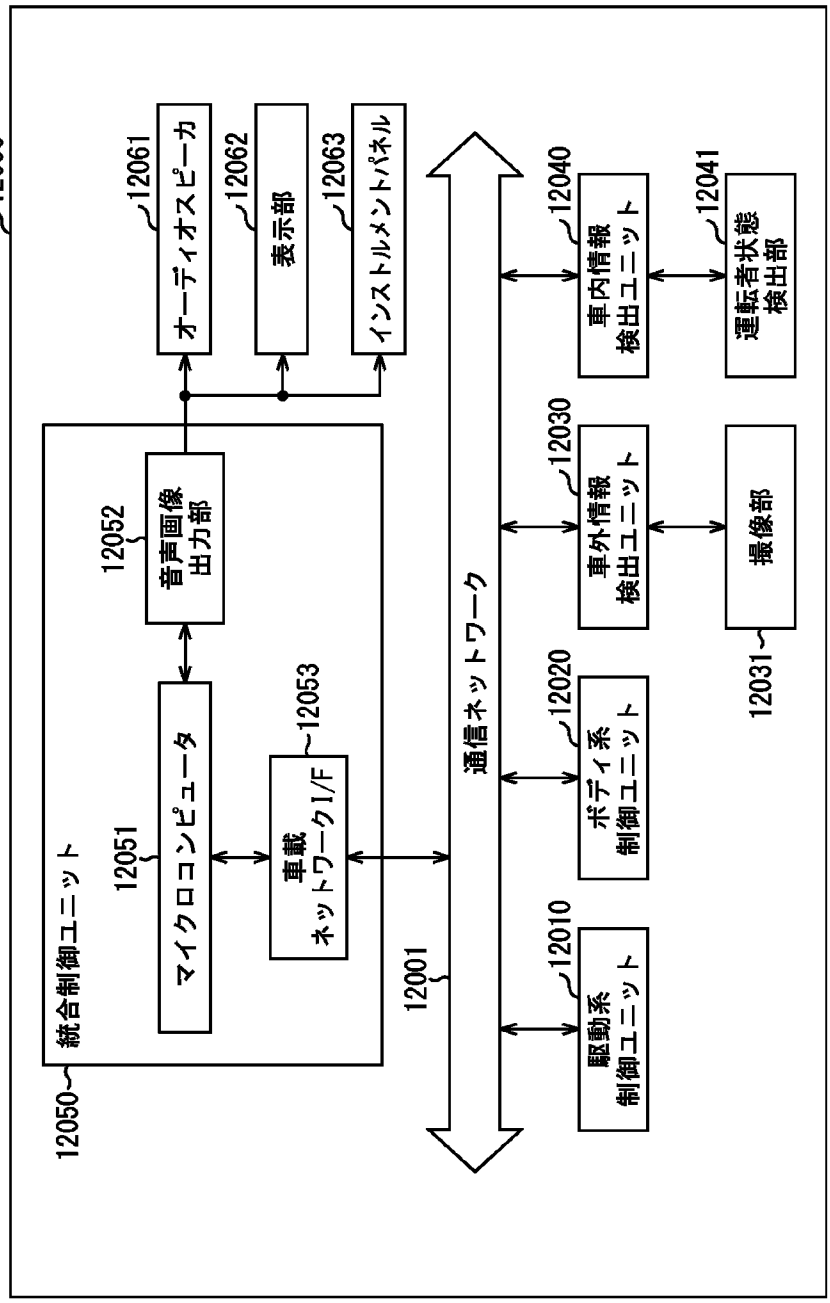

画素
Vdd
127
ΦBN1
ΦPRT1
123
132
ΦTG1
126
124
122
121
125
ΦSEL1
134
140
150
画素
Vdd
ΦBN2
ΦPRT2
ΦTG2
ΦSEL2
146
Vb
Vcp
147
ΦSUN
133
VSL
AZ
RAP
144
145
141
ΦRT
143
COP
142
VR

[図24]

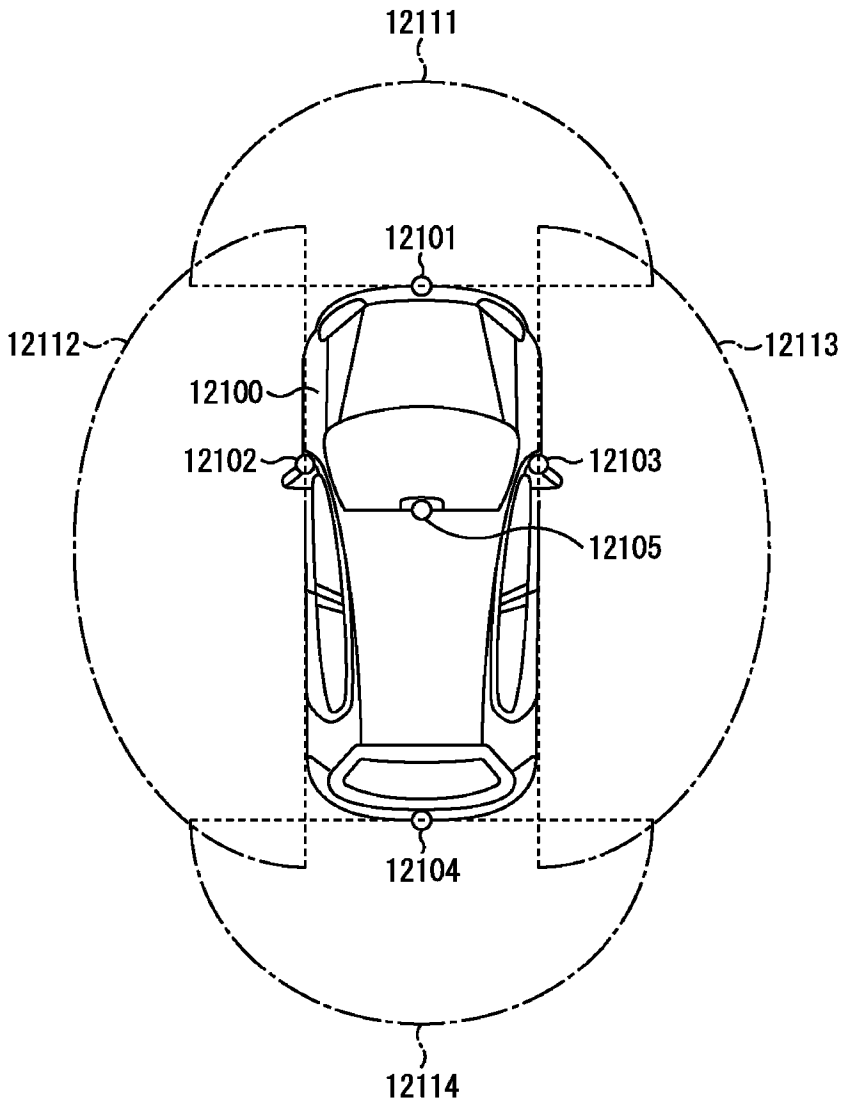

a
901
914
912
916
915
913
カラムADC
カラム読出し回路
画素アレイ部
カラム読出し回路
カラムADC
911


b
902
923
922
画素アレイ部
カラム読出し回路
カラムADC
カラムADC
カラム読出し回路
921
924
926
925

[図25]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
通信ネットワーク
12020
ボディ系
制御ユニット
12001
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図26]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/024429

A. CLASSIFICATION OF SUBJECT MATTER

H04N 25/627(2023.01)i; ***H04N 25/78***(2023.01)i
FI: H04N25/627; H04N25/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/627; H04N25/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2009/047883 A1 (NIKON CORP.) 16 April 2009 (2009-04-16) paragraphs [0009]-[0044], [0053], fig. 1-3, 5, 6, 12	1-6, 14-15, 20
Y	paragraphs [0009]-[0044], [0053], fig. 1-3, 5, 6, 12	7-10, 12, 17-19
A	entire text, all drawings	11, 13, 16
Y	WO 2016/158484 A1 (SONY CORP.) 06 October 2016 (2016-10-06) paragraphs [0031]-[0035], [0040], [0070]-[0092], [0103]-[0107], fig. 2, 3, 5, 7-18	7-10, 12, 17-19
A	entire text, all drawings	11, 13, 16
A	WO 2019/026429 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07 February 2019 (2019-02-07) paragraphs [0108]-[0113], fig. 10, 11	11

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 September 2023	**19 September 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/024429

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2009/047883 A1	16 April 2009	US 2010/0188539 A1 paragraphs [0015]-[0081], [0091], fig. 1-3, 5, 6, 12 CN 101822041 A	
WO 2016/158484 A1	06 October 2016	US 2018/0098005 A1 paragraphs [0050]-[0054], [0059], [0089]-[0111], [0122]-[0126], fig. 2, 3, 5, 7-18	
WO 2019/026429 A1	07 February 2019	US 2020/0382735 A1 paragraphs [0166]-[0171], fig. 10, 11	

国際調査報告

国際出願番号
PCT/JP2023/024429

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 25/627(2023.01)i; H04N 25/78(2023.01)i
FI: H04N25/627; H04N25/78

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N25/627; H04N25/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2009/047883 A1 (株式会社ニコン) 16.04.2009 (2009-04-16) 段落[0009]-[0044], [0053], 図1-3, 5-6, 12	1-6, 14-15, 20
Y	段落[0009]-[0044], [0053], 図1-3, 5-6, 12	7-10, 12, 17-19
A	全文, 全図	11, 13, 16
Y	WO 2016/158484 A1 (ソニー株式会社) 06.10.2016 (2016-10-06) 段落[0031]-[0035], [0040], [0070]-[0092], [0103]-[0107], 図2-3, 5, 7-18	7-10, 12, 17-19
A	全文, 全図	11, 13, 16
A	WO 2019/026429 A1 (ソニーセミコンダクタソリューションズ株式会社) 07.02.2019 (2019-02-07) 段落[0108]-[0113], 図10-11	11

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
01.09.2023	19.09.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
三沢　岳志 5V 2590

電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/024429

引用文献	公表日	パテントファミリー文献	公表日
WO 2009/047883 A1	16.04.2009	US 2010/0188539 A1 段落[0015]-[0081], [0091], 図1-3, 5-6, 12 CN 101822041 A	
WO 2016/158484 A1	06.10.2016	US 2018/0098005 A1 段落[0050]-[0054], [0059], [0089]-[0111], [0122]-[0126], 図2-3, 5, 7-18	
WO 2019/026429 A1	07.02.2019	US 2020/0382735 A1 段落[0166]-[0171], 図10-11	