

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年8月18日(18.08.2022)



(10) 国際公開番号

WO 2022/172425 A1

(51) 国際特許分類:
H03D 5/00 (2006.01)

(21) 国際出願番号: PCT/JP2021/005390

(22) 国際出願日: 2021年2月15日(15.02.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 堤 恒次(TSUTSUMI, Koji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 山本 航(YAMAMOTO, Wataru); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

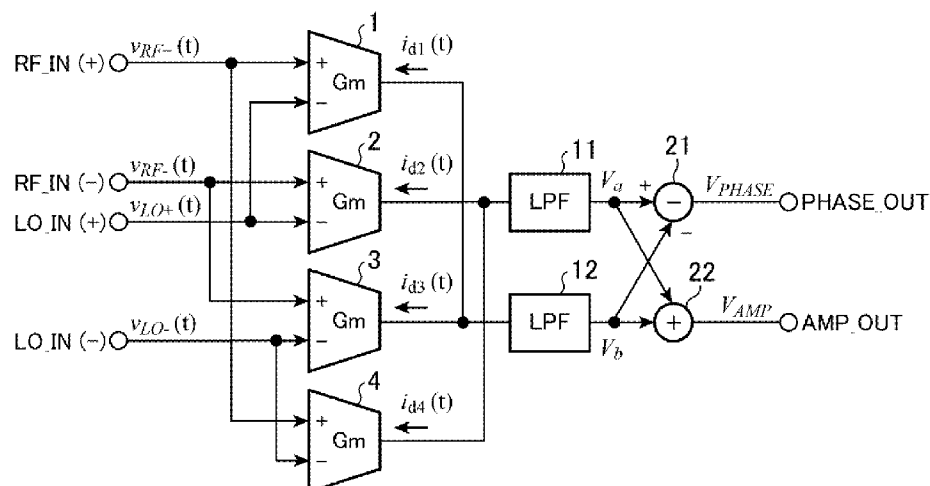
(74) 代理人: 特許業務法人山王内外特許事務所 (SANNO PATENT ATTORNEYS OFFICE); 〒1000014 東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: AMPLITUDE-PHASE DETECTION CIRCUIT

(54) 発明の名称: 振幅位相検波回路



(57) Abstract: An amplitude-phase detection circuit according to this disclosure includes, in the order from the input side, at least two pairs of differential input terminals, four non-linear elements (1-4 or 31-34), two low-pass filters (11-12 or 101-102), an adder (22 or 72), and a subtractor (21 or 71).

(57) 要約: 本開示技術に係る振幅位相検波回路は、入力側から順に、少なくとも2組の差動入力端子、4つの非線形素子(1~4又は31~34)、2つのローパスフィルタ(11~12又は101~102)、加算器(22又は72)、減算器(21又は71)、を含む。

[続葉有]

添付公開書類：

一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称： 振幅位相検波回路

技術分野

[0001] 本開示技術は、振幅位相検波回路に関する。

背景技術

[0002] 一般に信号の振幅と位相とを求める方法として、測定対象信号をA/D変換し、A/D変換されたデジタルデータに対して信号処理を行うことが考えられる。しかし取り扱う信号がマイクロ波帯及びミリ波帯等である場合、非常に高速なA/D変換を行う必要がありこの方法は現実的ではない。取り扱う信号がマイクロ波帯及びミリ波帯等である場合は、アナログ的な振幅位相検波回路がよく用いられる。

[0003] 振幅位相検波回路が用いられている製品の一例として、フェーズドアレーアンテナが知られている。フェーズドアレーアンテナはレーダや通信装置に使用されるアンテナ群であって、送信する電波（以下、「送信ビーム」という）の放射方向を制御できる性質を有する。フェーズドアレーアンテナの各アンテナは直線上又は円周上に配列され、ある任意の方向で同相に加わり合うように各アンテナ素子から出力する電波の位相を調整することにより、その方向に対して強い指向性を持つ。アンテナ素子へ供給される送信RF信号の振幅と位相は、可変利得増幅器及び移相器を用いて調整される場合と、各アンテナ素子にそれぞれ独立な発振器を接続し発振位相を制御する場合とがある。

[0004] アンテナ素子へ供給される送信RF信号のばらつきをなくすため、供給される信号の一部を取り出してフィードバック制御することが行われている。取り出した信号の測定は、振幅検波回路と位相検波回路とが用いられる。また、回路規模の増大を抑えるという目的で、信号の位相と振幅とを1つの回路で実現した振幅位相検波回路も開示されている（例えば特許文献1）。

[0005] 特許文献1に係る振幅位相検波回路は、基準信号の位相を0°変化させて

出力する第1の状態、基準信号の位相を 90° 変化させて出力する第2の状態、及び基準信号の通過を遮断する第3の状態の3つの状態を順に切り替えて動作するスイッチを備える。特許文献1に係る振幅位相検波回路は、第1の状態又は第2の状態の場合に基準信号と測定対象信号との位相差を算出し、第3の状態の場合に測定対象信号の振幅を算出している。より簡単に言えば、特許文献1に係る振幅位相検波回路は、時分割により位相と振幅の検波を実現している。

先行技術文献

特許文献

[0006] 特許文献1：国際公開番号WO2018/109871号公報

発明の概要

発明が解決しようとする課題

[0007] 振幅位相検波回路は、算出する振幅と位相差とがあまり変化しない場合には従来の時分割方式の検波を採用してもさほど問題とはならない。しかし状況により振幅位相検波回路は、1つの回路で測定対象信号の振幅と位相差とを同時に検出することが望まれる。本開示技術はこの課題を解決し、時分割に頼らず1つの回路で測定対象信号の振幅と位相差とを同時に検出する振幅位相検波回路の提供を目的とする。

課題を解決するための手段

[0008] 本開示技術に係る振幅位相検波回路は、入力側から順に、少なくとも2組の差動入力端子、4つの非線形素子、2つのローパスフィルタ、加算器、減算器、を含む。

発明の効果

[0009] 本開示技術に係る振幅位相検波回路は上記構成を備えるため、時分割に頼らず1つの回路で測定対象信号の振幅と位相差とを同時に検出できる。

図面の簡単な説明

[0010] [図1]図1は、実施の形態1に係る振幅位相検波回路の構成を示す構成図であ

る。

[図2]図2は、実施の形態2に係る振幅位相検波回路の構成を示す構成図である。

[図3]図3は、実施の形態3に係る振幅位相検波回路の構成を示す構成図である。

[図4]図4は、実施の形態4に係る振幅位相検波回路の構成を示す構成図である。

[図5]図5は、実施の形態5に係る振幅位相検波回路の構成を示す構成図である。

[図6]図6は、実施の形態6に係る振幅位相検波回路の構成を示す構成図である。

[図7]図7は、実施の形態4～6に係る振幅位相検波回路のシミュレーション比較結果の一例を示したグラフである。

発明を実施するための形態

[0011] 本開示技術に係る振幅位相検波回路は、以下の実施の形態ごとの図面に沿った説明により明らかにされる。

[0012] 実施の形態1.

図1は、実施の形態1に係る振幅位相検波回路の構成を示す構成図である。図1が示すとおり実施の形態1に係る振幅位相検波回路は、第1トランスコンダクタンス素子1と、第2トランスコンダクタンス素子2と、第3トランスコンダクタンス素子3と、第4トランスコンダクタンス素子4と、第1ローパスフィルタ11と、第2ローパスフィルタ12と、減算器21と、加算器22と、を含む。

[0013] 図1が示すとおり実施の形態1に係る振幅位相検波回路は上記に示した構成要素に加え、4つの入力端子と、2つの出力端子と、を含む。4つの入力端子は、図1の左側に記載されたRF__IN(+)、RF__IN(-)、LO__IN(+)、及びLO__IN(-)で表されている。2つの出力端子は、図1の右側に記載されたPHASE__OUT、及びAMP__OUTで表さ

れている。RF__IN (+) と RF__IN (−) は測定対象信号のための差動入力端子であり、測定対象信号は差動信号として入力される。LO__IN (+) と LO__IN (−) はローカル信号のための差動入力端子であり、ローカル信号も差動信号として入力される。ローカル信号は、測定対象信号と同じ周波数の信号である。PHASE__OUT は、測定対象信号のローカル信号に対する位相差を出力するための端子である。AMP__OUT は、測定対象信号の振幅を出力するための端子である。

[0014] 第1トランスコンダクタンス素子1、第2トランスコンダクタンス素子2、第3トランスコンダクタンス素子3、及び第4トランスコンダクタンス素子4は、それぞれ正相入力と逆相入力とを有する。正相入力は、図1において「+」の記号で示されている。逆相入力は、図1において「−」の記号で示されている。いずれの正相入力も、測定対象信号の差動信号に関する RF__IN (+) 又は RF__IN (−) が接続されるように回路が構成されている。またいずれの逆相入力も、ローカル信号の差動信号に関する LO__IN (+) 又は LO__IN (−) が接続されるように回路が構成されている。{ RF__IN (+)、RF__IN (−) } から1つを選び、{ LO__IN (+)、LO__IN (−) } から1つを選ぶ組合せは全部で4通りである。4つのトランスコンダクタンス素子(1~4)は、いずれも異なった入力の組合せで回路が構成されている。

また、第1トランスコンダクタンス素子1、第2トランスコンダクタンス素子2、第3トランスコンダクタンス素子3、及び第4トランスコンダクタンス素子4は、いずれも同じ非線形特性を有する非線形素子である。ここでは非線形素子としてトランスコンダクタンス素子を例示したが、非線形素子はトランスコンダクタンス素子以外の素子でもよい。より好ましい構成は、これら4つのトランスコンダクタンス素子(1~4)がいずれも同じ2次非線形特性を有することである。本開示技術に係る振幅位相検波回路が非線形特性を有する素子を採用する理由は、後述の動作原理の説明により明らかにされる。

[0015] 図1の例では、第1トランスコンダクタンス素子1の正相入力 $R F_I N (+)$ と接続され、逆相入力 $L O_I N (+)$ が接続されている。第2トランスコンダクタンス素子2の正相入力 $R F_I N (-)$ と接続され、逆相入力 $L O_I N (+)$ が接続されている。第3トランスコンダクタンス素子3の正相入力 $R F_I N (-)$ と接続され、逆相入力 $L O_I N (-)$ が接続されている。第4トランスコンダクタンス素子4の正相入力 $R F_I N (+)$ と接続され、逆相入力 $L O_I N (-)$ が接続されている。

[0016] 4つのトランスコンダクタンス素子(1~4)は、いずれも電流を出力する。4つのトランスコンダクタンス素子(1~4)の出力電流は、図1においてそれぞれ順に $i d 1$ 、 $i d 2$ 、 $i d 3$ 、及び $i d 4$ と示されている。第1トランスコンダクタンス素子1の出力電流($i d 1$)と第3トランスコンダクタンス素子3の出力電流($i d 3$)とは、合成され、第2ローパスフィルタ12へ送られる。第2トランスコンダクタンス素子2の出力電流($i d 2$)と第4トランスコンダクタンス素子4の出力電流($i d 4$)とは、合成され、第1ローパスフィルタ11へ送られる。

[0017] 第1ローパスフィルタ11及び第2ローパスフィルタ12は、いずれも入力された信号のAC成分を遮断し、DC成分を通過させる。通過したDC成分は、電流電圧変換がなされる。第1ローパスフィルタ11で電流電圧変換がなされたDC成分は、図1において $V a$ と示されている。第2ローパスフィルタ12で電流電圧変換がなされたDC成分は、図1において $V b$ と示されている。

[0018] 第1ローパスフィルタ11の出力($V a$)と第2ローパスフィルタ12の出力($V b$)とは、いずれも減算器21と加算器22とへ送られる。減算器21は、第1ローパスフィルタ11の出力から第2ローパスフィルタ12の出力を減算する減算処理を行う。減算処理結果は、 $P H A S E_O U T$ 端子より位相差に関する情報を含む信号として出力される。加算器22は、第1ローパスフィルタ11の出力と第2ローパスフィルタ12の出力との加算処

理を行う。加算処理結果は、AMP__OUT端子より振幅に関する情報を含む信号として出力される。

[0019] 実施の形態1に係る振幅位相検波回路の動作原理は、以下の具体的な数式により明らかにされる。測定対象信号及びローカル信号は、以下の時間波形を表す数式で定義される。

$$\begin{cases} v_{RF+}(t) &:= +V_r \cos(\omega t + \phi) \\ v_{RF-}(t) &:= -V_r \cos(\omega t + \phi) \\ v_{LO+}(t) &:= +V_l \cos(\omega t) \\ v_{LO-}(t) &:= -V_l \cos(\omega t) \end{cases} \quad \dots \quad (1)$$

ここで、 V_r は測定対象信号の振幅、 V_l はローカル信号の振幅、 ω は測定対象信号及びローカル信号の角周波数、 ϕ はローカル信号に対する測定対象信号の位相差、をそれぞれ表す。以降、時間を引数とする変数は小文字アルファベットで表され、時間に依存しない定数等は大文字アルファベットで表される。

[0020] 4つのトランスコンダクタンス素子（1～4）が有する2次非線形特性は、以下の数式で定義される。

$$i_{out}(t) := \alpha \{\Delta v_{in}(t)\}^2 + \beta \Delta v_{in}(t) + \gamma \quad \dots \quad (2)$$

ここで $\Delta V_{in}(t)$ は正相入力から逆相入力を引いた電圧、 $i_{out}(t)$ は出力される電流、 α 、 β 、 γ はトランスコンダクタンス素子が有する2次非線形特性を表す係数、である。

[0021] 具体的に4つのトランスコンダクタンス素子（1～4）の出力電流（ i_{d1} 、 i_{d2} 、 i_{d3} 、 i_{d4} ）は、以下のように表される。

$$\begin{cases} i_{d1}(t) &= \alpha \{v_{RF+}(t) - v_{LO+}(t)\}^2 + \beta \{v_{RF+}(t) - v_{LO+}(t)\} + \gamma \\ &= \alpha \{+V_r \cos(\omega t + \phi) - V_l \cos(\omega t)\}^2 + \beta \{+V_r \cos(\omega t + \phi) - V_l \cos(\omega t)\} + \gamma \\ i_{d2}(t) &= \alpha \{-V_r \cos(\omega t + \phi) - V_l \cos(\omega t)\}^2 + \beta \{-V_r \cos(\omega t + \phi) - V_l \cos(\omega t)\} + \gamma, \dots \quad (3) \\ i_{d3}(t) &= \alpha \{-V_r \cos(\omega t + \phi) + V_l \cos(\omega t)\}^2 + \beta \{-V_r \cos(\omega t + \phi) + V_l \cos(\omega t)\} + \gamma \\ i_{d4}(t) &= \alpha \{+V_r \cos(\omega t + \phi) + V_l \cos(\omega t)\}^2 + \beta \{+V_r \cos(\omega t + \phi) + V_l \cos(\omega t)\} + \gamma \end{cases}$$

[0022] i_{d1} と i_{d3} との合成電流、 i_{d2} と i_{d4} との合成電流は、以下のよう表される。

$$\left\{ \begin{aligned} i_{d1}(t) + i_{d3}(t) &= 2\alpha\{V_r \cos(\omega t + \phi) - V_l \cos(\omega t)\}^2 + 2\gamma \\ &= 2\alpha\{V_r^2 \cos^2(\omega t + \phi) - 2V_r V_l \cos(\omega t + \phi) \cos(\omega t) + V_l^2 \cos^2(\omega t)\} + 2\gamma \\ &= \alpha\{V_r^2\{\cos(2\omega t + 2\phi) + 1\} - 2V_r V_l\{\cos(2\omega t + \phi) + \cos(\phi)\} + V_l^2\{\cos(2\omega t) + 1\}\} \\ &\quad + 2\gamma \end{aligned} \right. \quad \dots \quad (4)$$

$$\left\{ \begin{aligned} i_{d2}(t) + i_{d4}(t) &= 2\alpha\{V_r \cos(\omega t + \phi) + V_l \cos(\omega t)\}^2 + 2\gamma \\ &= 2\alpha\{V_r^2 \cos^2(\omega t + \phi) + 2V_r V_l \cos(\omega t + \phi) \cos(\omega t) + V_l^2 \cos^2(\omega t)\} + 2\gamma \\ &= \alpha\{V_r^2\{\cos(2\omega t + 2\phi) + 1\} + 2V_r V_l\{\cos(2\omega t + \phi) + \cos(\phi)\} + V_l^2\{\cos(2\omega t) + 1\}\} \\ &\quad + 2\gamma \end{aligned} \right. \quad \dots \quad (5)$$

[0023] i_{d1} と i_{d3} との合成電流は第2ローパスフィルタ12へ送付され、 i_{d2} と i_{d4} との合成電流は第1ローパスフィルタ11へ送付される。第1ローパスフィルタ11の出力（ V_a ）と第2ローパスフィルタ12の出力（ V_b ）とは、それぞれ以下のように表される。

$$\begin{cases} V_a = K[\alpha\{V_r^2 + 2V_r V_l \cos(\phi) + V_l^2\} + 2\gamma] \\ V_b = K[\alpha\{V_r^2 - 2V_r V_l \cos(\phi) + V_l^2\} + 2\gamma] \end{cases} \quad \dots \quad (6)$$

ただしKは、電流電圧変換係数である。

[0024] 減算器21は、第1ローパスフィルタ11の出力（ V_a ）から第2ローパスフィルタ12の出力（ V_b ）を減算する。減算結果（ V_{PHASE} ）は、以下のように表される。

$$V_{\text{PHASE}} := V_a - V_b = 4K\alpha V_r V_l \cos(\phi) \quad \dots \quad (7)$$

加算器22は、第1ローパスフィルタ11の出力（ V_a ）と第2ローパスフィルタ12の出力（ V_b ）との加算処理を行う。加算結果（ V_{AMP} ）は、以下のように表される。

$$V_{\text{AMP}} := V_a + V_b = K[2\alpha(V_r^2 + V_l^2) + 4\gamma] \quad \dots \quad (8)$$

[0025] 式（8）においてK、 α 、 V_l 、 γ は既知であるため、 V_{AMP} から測定対象信号の振幅（ V_r ）を求めることができる。さらに求めた V_r と V_{PHASE} とから、式（7）の關係を用いて測定対象信号のローカル信号に対する位相差（ ϕ ）を求めることができる。

[0026] V_{PHASE} を出力するPHASE__OUT端子は、測定対象信号の位相に関す

る情報を入力する端子である。また V_{AMP} を出力する AMP__OUT 端子は、測定対象信号の振幅に関する情報を入力する端子である。

[0027] 以上のとおり実施の形態 1 に係る振幅位相検波回路は上記構成を備えるため、時分割に頼らず 1 つの回路で測定対象信号の振幅と位相差とを同時に検出できる。

[0028] 実施の形態 2.

実施の形態 1 では、本開示技術に係る振幅位相検波回路が式 (8) に従って V_{AMP} から測定対象信号の振幅 (V_r) を求められることが示されている。式 (8) が示すように非線形素子が有する 2 次非線形特性のうちの定数項 γ は、値が 0 であれば振幅 (V_r) の算出がより容易になる。ただし γ は非線形素子に固有の値であるため、任意に値を変更することはできない。

実施の形態 2 では、実施の形態 1 で示された構成に或る回路を追加することで、定数項 γ の影響を排除できることが示される。

[0029] 図 2 は、実施の形態 2 に係る振幅位相検波回路の構成を示す構成図である。実施の形態 2 で用いる符号は、あらたに追加された構成要素を除き実施の形態 1 で用いたものが用いられている。また、実施の形態 2 に係る振幅位相検波回路の説明において、実施の形態 1 と重複する部分は、適宜省略される。

[0030] 図 2 が示すとおり実施の形態 2 に係る振幅位相検波回路は、実施の形態 1 の構成に加えて、さらに 4 つのトランスコンダクタンス素子 (5、6、7、8) と、第 3 ローパスフィルタ 13 と、第 2 減算器 23 と、を含む。ここで 4 つのトランスコンダクタンス素子 (5、6、7、8) は、実施の形態 1 に係るトランスコンダクタンス素子 (1、2、3、4) と同じ非線形特性を有する (式 (2) 参照)。また、第 3 ローパスフィルタ 13 は、実施の形態 1 に係る第 1 ローパスフィルタ 11 及び第 2 ローパスフィルタ 12 と同じ特性を有し、電流電圧変換係数も同じ K である。

図 2 では 4 つの非線形素子を 4 つのトランスコンダクタンス素子 (5、6、7、8) として表したが、本開示技術はこれに限定されない。すなわち 4

つのトランスコンダクタンス素子（５、６、７、８）は、それぞれ第５非線形素子、第６非線形素子、第７非線形素子、及び第８非線形素子であってもよい。

[0031] ４つのトランスコンダクタンス素子（５、６、７、８）の入力は、いずれもＧＮＤに接続されている。４つのトランスコンダクタンス素子（５、６、７、８）の出力電流（ i_{d5} 、 i_{d6} 、 i_{d7} 、 i_{d8} ）はすべて合成され、第３ローパスフィルタ１３へ送られる。第３ローパスフィルタ１３の出力（ V_c ）は、加算器２２の後段に設置された第２減算器２３へ送られる。第２減算器２３は、加算器２２の出力から第３ローパスフィルタ１３の出力を減算する減算処理を行う。

[0032] 実施の形態２に係る構成が定数項 γ の影響を排除できる原理は、以下の具体的な数式により明らかにされる。４つのトランスコンダクタンス素子（５、６、７、８）の出力電流（ i_{d5} 、 i_{d6} 、 i_{d7} 、 i_{d8} ）は、以下のように表される。

$$\begin{cases} i_{d5}(t) \equiv \gamma \\ i_{d6}(t) \equiv \gamma \\ i_{d7}(t) \equiv \gamma \\ i_{d8}(t) \equiv \gamma \end{cases} \quad \dots \quad (9)$$

[0033] 合成電流が入力された第３ローパスフィルタ１３の出力（ V_c ）は、以下のように表される。

$$V_c = 4K\gamma \quad \dots \quad (10)$$

[0034] 第２減算器２３の減算結果（ V_{AMP2} ）は、以下のように表される。

$$V_{AMP2} := V_a + V_b - V_c = 2K\alpha(V_r^2 + V_l^2) \quad \dots \quad (11)$$

[0035] 以上のとおり実施の形態２に係る振幅位相検波回路は上記構成を備えるため、実施の形態１のものよりも容易に測定対象信号の振幅と位相差とを同時に検出できる。

[0036] 実施の形態３．

実施の形態２では、本開示技術に係る振幅位相検波回路が式（１１）に従って V_{AMP2} から測定対象信号の振幅（ V_r ）を求められることが示されている。

る。式（１１）が示すように V_{AMP2} から測定対象信号の振幅（ V_r ）を求めるには、ローカル信号の振幅（ V_l ）を正しく把握しなければならない。

実施の形態３では、実施の形態２で示された構成を少し変形することで、ローカル信号の振幅（ V_l ）の情報をを用いることなく測定対象信号の振幅（ V_r ）が求められることが示される。

[0037] 図３は、実施の形態３に係る振幅位相検波回路の構成を示す構成図である。実施の形態３で用いる符号は、あらたに追加された構成要素を除き実施の形態１及び実施の形態２で用いたものが用いられている。また、実施の形態３に係る振幅位相検波回路の説明において、実施の形態１又は実施の形態２と重複する部分は、適宜省略される。

[0038] 図３が示すとおり実施の形態３に係る振幅位相検波回路では、４つのトランスコンダクタンス素子（５、６、７、８）の逆相入力は、それぞれローカル信号が入力されるよう接続先が変更されている。具体的には第５トランスコンダクタンス素子５と第６トランスコンダクタンス素子６の逆相入力には $LO_IN(+)$ からの信号が入力される。また第７トランスコンダクタンス素子７と第８トランスコンダクタンス素子８の逆相入力には $LO_IN(-)$ からの信号が入力される。

[0039] 実施の形態３に係る構成がローカル信号の振幅（ V_l ）の情報を不要とする原理は、以下の具体的な数式により明らかにされる。４つのトランスコンダクタンス素子（５～８）の出力電流（ i_{d5-3} 、 i_{d6-3} 、 i_{d7-3} 、 i_{d8-3} ）は、以下のように表される。

$$\begin{cases} i_{d5-3}(t) = i_{d6-3}(t) &= \alpha\{V_l \cos(\omega t)\}^2 - \beta V_l \cos(\omega t) + \gamma \\ i_{d7-3}(t) = i_{d8-3}(t) &= \alpha\{V_l \cos(\omega t)\}^2 + \beta V_l \cos(\omega t) + \gamma \end{cases} \quad \dots \quad (12)$$

[0040] 合成電流は、以下のように表される。

$$\begin{cases} i_{d5-3}(t) + i_{d6-3}(t) + i_{d7-3}(t) + i_{d8-3}(t) &= 4[\alpha\{V_l \cos(\omega t)\}^2 + \gamma] \\ &= 4\left\{\alpha V_l^2 \frac{\cos(2\omega t) + 1}{2} + \gamma\right\} \end{cases} \quad \dots \quad (13)$$

[0041] 合成電流が入力された第３ローパスフィルタ１３の出力（ V_{c3} ）は、以下のように表される。

$$V_{c3} = 2K\{\alpha V_l^2 + 2\gamma\} \quad \dots \quad (14)$$

式(6)と式(14)との関係から、第2減算器23の出力(V_{AMP3})はローカル信号の振幅(V_l)を含まない形にすることができる。

[0042] 以上のとおり実施の形態3に係る振幅位相検波回路は上記構成を備えるため、ローカル信号の振幅(V_l)の情報をを用いることなく測定対象信号の振幅と位相差とを同時に検出できる。

[0043] 実施の形態4.

実施の形態1から実施の形態3は、本開示技術に係る振幅位相検波回路における非線形素子をトランスコンダクタンス素子(1~8)で実現した構成例を示した。

実施の形態4は、別の非線形素子を用いて本開示技術に係る振幅位相検波回路を実現する構成例を示す。

[0044] 図4は、実施の形態4に係る振幅位相検波回路の構成を示す構成図である。実施の形態4で用いる符号は、あらたに登場する構成要素を除き既出の実施の形態で用いたものが用いられている。また、実施の形態4に係る振幅位相検波回路の説明において、既出の実施の形態と重複する部分は、適宜省略される。

[0045] 図4が示すとおり実施の形態4に係る振幅位相検波回路は、非線形素子として、第1トランジスタ31と、第2トランジスタ32と、第3トランジスタ33と、第4トランジスタ34と、を含む。

実施の形態4に係る振幅位相検波回路は、さらにインダクタ41を含む。

[0046] 図4における四角い破線で示した構成要素(101、102)は、図1から図3ではブロックで示された第1ローパスフィルタ11及び第2ローパスフィルタ12を回路構成で示したものである。図4が示すとおりローパスフィルタ回路(101、102)は、それぞれ抵抗(51、54)と、コンデンサ(52、53)と、を含む。

[0047] 図4における四角い破線で示した構成要素(201)は、図1から図3では減算を示す円で示された減算器21を回路構成で示したものである。また

図4における四角い破線で示した構成要素(202)は、図1から図3では加算を示す円で示された加算器22を回路構成で示したものである。

[0048] トランスコンダクタンス素子(1~4)の正相入力と逆相入力とは、それぞれトランジスタ(31~34)のゲート端子とソース端子とに該当する。

図4の例では、第1トランジスタ31のゲート端子はRF__IN(+)が接続され、同素子のソース端子はLO__IN(+)が接続されている。第2トランジスタ32のゲート端子はRF__IN(-)が接続され、同素子のソース端子はLO__IN(+)が接続されている。第3トランジスタ33のゲート端子はRF__IN(-)が接続され、同素子のソース端子はLO__IN(-)が接続されている。第4トランジスタ34のゲート端子はRF__IN(+)が接続され、同素子のソース端子はLO__IN(-)が接続されている。

LO__IN(+)端子とLO__IN(-)端子との間にはインダクタ41が接続され、そのセンタータップ端子はGND接地されている。

[0049] トランスコンダクタンス素子(1~4)の出力は、それぞれトランジスタ(31~34)のドレイン端子が該当する。

第1トランジスタ31と第3トランジスタ33それぞれのドレイン端子は互いに接続され、抵抗(51)とコンデンサ(52)の並列接続で構成される第1ローパスフィルタ回路101に入力される。第2トランジスタ32と第4トランジスタ34それぞれのドレイン端子は互いに接続され、抵抗(54)とコンデンサ(53)の並列接続で構成される第2ローパスフィルタ回路102に入力される。

第1ローパスフィルタ回路101と第2ローパスフィルタ回路102とは、それぞれ電流を電圧に変換するとともにAC成分をカットする機能を有する。

[0050] 減算器回路201は減算器用オペアンプ71と抵抗(61~64)で構成される差動増幅回路であり、第1ローパスフィルタ回路101の出力と第2ローパスフィルタ回路102の出力の電圧減算結果がPHASE__OUT端

子へ出力される。また加算器回路202は加算器用オペアンプ72と抵抗(65~67)で構成される加算回路であり、第1ローパスフィルタ回路101の出力と第2ローパスフィルタ回路102の出力との電圧加算結果がAMP_OUT端子へ出力される。

[0051] 実施の形態4に係る振幅位相検波回路の動作原理は、以下の具体的な数式により明らかにされる。測定対象信号及びローカル信号は、以下の時間波形を表す数式で定義される。

$$\begin{cases} v_{RF+}(t) &:= +V_r \cos(\omega t + \phi) + V_{bias} \\ v_{RF-}(t) &:= -V_r \cos(\omega t + \phi) + V_{bias} \\ v_{LO+}(t) &:= +V_l \cos(\omega t) \\ v_{LO-}(t) &:= -V_l \cos(\omega t) \end{cases} \quad \dots \quad (15)$$

式(1)とは異なり式(15)は、測定対象信号に重畳されたバイアス電圧 V_{bias} があるものとして定義されている。

[0052] 4つのトランジスタが有する2次非線形特性は、以下の数式で定義される。

$$i_D(t) = \delta \{v_G(t) - v_S(t) - V_{th}\}^2 \quad \dots \quad (16)$$

ここで i_D はドレイン端子を流れるドレイン電流、 V_G はゲート電圧、 V_S はソース電圧、 V_{th} は閾値電圧、 δ はトランジスタの非線形特性に関する係数である。

[0053] 具体的に4つのトランジスタのドレイン端子を流れるドレイン電流(i_{D1} 、 i_{D2} 、 i_{D3} 、 i_{D4})は、以下のように表される。

$$\begin{cases} i_{D1}(t) &= \delta \{v_{RF+}(t) - v_{LO+}(t) - V_{th}\}^2 \\ &= \delta \{+V_r \cos(\omega t + \phi) + V_{bias} - V_l \cos(\omega t) - V_{th}\}^2 \\ i_{D2}(t) &= \delta \{-V_r \cos(\omega t + \phi) + V_{bias} - V_l \cos(\omega t) - V_{th}\}^2 \\ i_{D3}(t) &= \delta \{-V_r \cos(\omega t + \phi) + V_{bias} + V_l \cos(\omega t) - V_{th}\}^2 \\ i_{D4}(t) &= \delta \{+V_r \cos(\omega t + \phi) + V_{bias} + V_l \cos(\omega t) - V_{th}\}^2 \end{cases} \quad \dots \quad (17)$$

[0054] i_{D1} と i_{D3} との合成電流、 i_{D2} と i_{D4} との合成電流は、以下のように表される。

$$\left\{ \begin{array}{l} i_{D1}(t) + i_{D3}(t) = 2\delta \left\{ \{V_{bias} - V_{th}\}^2 + \underbrace{\{+V_r \cos(\omega t + \phi) - V_l \cos(\omega t)\}^2}_{\triangleq X} \right\} \\ \text{ただし} \\ X = V_r^2 \{\cos(2\omega t + 2\phi) + 1\} - 2V_r V_l \{\cos(2\omega t + \phi) + \cos(\phi)\} + V_l^2 \{\cos(2\omega t) + 1\} \end{array} \right. \quad \dots (18)$$

$$\left\{ \begin{array}{l} i_{D2}(t) + i_{D4}(t) = 2\delta \left\{ \{V_{bias} - V_{th}\}^2 + \underbrace{\{+V_r \cos(\omega t + \phi) + V_l \cos(\omega t)\}^2}_{\triangleq Y} \right\} \\ \text{ただし} \\ Y = V_r^2 \{\cos(2\omega t + 2\phi) + 1\} + 2V_r V_l \{\cos(2\omega t + \phi) + \cos(\phi)\} + V_l^2 \{\cos(2\omega t) + 1\} \end{array} \right. \quad \dots (19)$$

[0055] 図4に示す回路においては、第1ローパスフィルタ回路101の出力（V_a）と第2ローパスフィルタ回路102の出力（V_b）とは、それぞれ以下のように表される。

$$\left\{ \begin{array}{l} V_a = V_{DD} - R\delta \{2(V_{bias} - V_{th})^2 + V_r^2 + V_l^2 - 2V_r V_l \cos(\phi)\} \\ V_b = V_{DD} - R\delta \{2(V_{bias} - V_{th})^2 + V_r^2 + V_l^2 + 2V_r V_l \cos(\phi)\} \end{array} \right. \quad \dots (20)$$

ただしV_{DD}は電源電圧、Rは抵抗（51、54）の値、である。

[0056] 抵抗（61～64）の値が等しく、かつ、その値が十分大きいと仮定すると、減算器回路201の出力電圧（V_{PHASE4}）は、以下の式で表される。

$$V_{PHASE4} = V_a - V_b + V_{cm} = V_{cm} - 4R\delta V_r V_l \cos(\phi) \quad \dots (21)$$

ただしV_{cm}は同相電圧である。

抵抗（65～67）の値が等しく、かつ、その値が十分大きいと仮定すると、加算器回路202の出力電圧（V_{AMP4}）は、以下の式で表される。

$$V_{AMP4} = -(V_a + V_b) = -2V_{DD} + 2R\delta \{2(V_{bias} - V_{th})^2 + V_r^2 + V_l^2\} \quad \dots (22)$$

[0057] 式（22）において、V_{DD}、R、δ、V_{bias}、V_{th}、V_lは既知であるため、V_{AMP4}から測定対象信号の振幅（V_r）を求めることができる。さらにV_{cm}も既知であるため、求めたV_rとV_{PHASE4}とから、式（21）の關係を用いて測定対象信号のローカル信号に対する位相差（φ）を求めることができる。

[0058] 以上のとおり実施の形態4に係る回路構成を用いても、本開示技術に係る

振幅位相検波回路は、時分割に頼らず 1 つの回路で測定対象信号の振幅と位相差とを同時に検出できる。

[0059] 実施の形態 5.

実施の形態 2 では、実施の形態 1 で示された構成に或る回路を追加することで、定数項 γ の影響を排除できることが示されている。

同様に実施の形態 5 は、実施の形態 4 で示された構成に或る回路を追加することで、 V_{bias} と V_{th} との影響を排除できることが示される。

[0060] 図 5 は、実施の形態 5 に係る振幅位相検波回路の構成を示す構成図である。実施の形態 5 で用いる符号は、あらたに追加された構成要素を除き既出の実施の形態で用いたものが用いられている。また、実施の形態 5 に係る振幅位相検波回路の説明において、既出の実施の形態と重複する部分は、適宜省略される。

[0061] 図 5 が示すとおり実施の形態 5 に係る振幅位相検波回路は、実施の形態 4 の構成に加えて、レプリカ検波回路 301 をさらに含む。また実施の形態 5 は、加算器回路 202 に代えて 3 入力加減算器回路 203 が用いられている。

レプリカ検波回路 301 は、4 つのトランジスタ (35、36、37、38) と、第 3 ローパスフィルタ回路 103 と、第 2 インダクタ 42 と、レプリカ用コンデンサ 81 と、を含む。ここで 4 つのトランジスタ (35、36、37、38) は、実施の形態 4 に係るトランジスタ (31、32、33、34) と同じ非線形特性を有する (式 (16) 参照)。また、第 3 ローパスフィルタ回路 103 は、実施の形態 4 に係る第 1 ローパスフィルタ回路 101 及び第 2 ローパスフィルタ回路 102 と同じ値のコンデンサ及び抵抗により構成されている。

レプリカ検波回路 301 の出力は、3 入力加減算器回路 203 の 3 つの入力端子のうちの 1 つの入力端子へ接続されている。

[0062] 4 つのトランジスタ (35、36、37、38) のゲート端子は、それぞれレプリカ用コンデンサ 81 を介して GND 接地されている。

第5トランジスタ35と第6トランジスタ36のソース端子は、それぞれ第2インダクタ42の一端（図5では左側）に接続されている。第7トランジスタ37と第8トランジスタ38のソース端子は、それぞれ第2インダクタ42の他端（図5では右側）に接続されている。

第2インダクタ42のセンタータップ端子は、GND接地されている。

4つのトランジスタ（35、36、37、38）のドレイン端子は、それぞれ第3ローパスフィルタ回路103に接続されている。

[0063] 第3ローパスフィルタ回路103の出力はレプリカ検波回路301の出力であり、前述のとおり3入力加減算器回路203の3つの入力端子のうちの1つの入力端子へ接続されている。

[0064] 実施の形態5に係る構成が V_{bias} と V_{th} との影響を排除できる原理は、以下の具体的な数式により明らかにされる。4つのトランジスタ（35～38）のドレイン電流（ i_{D5} 、 i_{D6} 、 i_{D7} 、 i_{D8} ）は、以下のように表される。

$$\begin{cases} i_{D5}(t) \equiv \delta\{V_{bias} - V_{th}\}^2 \\ i_{D6}(t) \equiv \delta\{V_{bias} - V_{th}\}^2 \\ i_{D7}(t) \equiv \delta\{V_{bias} - V_{th}\}^2 \\ i_{D8}(t) \equiv \delta\{V_{bias} - V_{th}\}^2 \end{cases} \quad \dots \quad (23)$$

[0065] 図5に示す回路において、第3ローパスフィルタ回路103の出力（ V_{c5} ）は、以下のように表される。

$$V_{c5} = V_{DD} - R\delta\{4(V_{bias} - V_{th})^2\} \quad \dots \quad (24)$$

[0066] 3入力加減算器回路203は、出力（ V_{AMP5} ）が以下の等式が成り立つように抵抗値を決めておく。

$$V_{AMP5} = V_{c5} - (V_a + V_b) \quad \dots \quad (25)$$

式（20）と式（24）との関係を式（25）へ代入すれば、図5に示す回路の出力（ V_{AMP5} ）は、以下のように表される。

$$V_{AMP5} = 2R\delta\{V_r^2 + V_l^2\} \quad \dots \quad (26)$$

[0067] 以上のとおり実施の形態5に係る振幅位相検波回路は上記構成を備えるた

め、実施の形態4のものよりも容易に測定対象信号の振幅と位相差とを同時に検出できる。

[0068] 実施の形態6.

実施の形態3では、実施の形態2で示された構成を少し変形することで、ローカル信号の振幅（ V_l ）の情報をを用いることなく測定対象信号の振幅（ V_r ）が求められることが示されている。

同様に実施の形態6は、実施の形態5で示された構成を少し変形することで、ローカル信号の振幅（ V_l ）の情報をを用いることなく測定対象信号の振幅（ V_r ）が求められることが示される。

[0069] 図6は、実施の形態6に係る振幅位相検波回路の構成を示す構成図である。実施の形態6で用いる符号は、あらたに追加された構成要素を除き既出の実施の形態で用いたものが用いられている。また、実施の形態6に係る振幅位相検波回路の説明において、既出の実施の形態と重複する部分は、適宜省略される。

[0070] 図6が示すとおり実施の形態6に係る振幅位相検波回路では、4つのトランジスタ（35～38）のソース端子は、それぞれローカル信号が入力されるよう接続先が変更されている。具体的には第5トランジスタ35と第6トランジスタ36のソース端子には $LO_IN(+)$ からの信号が入力される。また第7トランジスタ37と第8トランジスタ38のソース端子には $LO_IN(-)$ からの信号が入力される。

[0071] 実施の形態6に係る構成がローカル信号の振幅（ V_l ）の情報を不要とする原理は、以下の具体的な数式により明らかにされる。4つのトランジスタ（35～38）の出力電流（ i_{D5-6} 、 i_{D6-6} 、 i_{D7-6} 、 i_{D8-6} ）は、以下のように表される。

$$\begin{cases} i_{D5-6}(t) = i_{D6-6}(t) = \delta\{V_{bias} - V_l \cos(\omega t) - V_{th}\}^2 \\ i_{D7-6}(t) = i_{D8-6}(t) = \delta\{V_{bias} + V_l \cos(\omega t) - V_{th}\}^2 \end{cases} \quad \dots \quad (27)$$

[0072] 図6の回路構成における合成電流は、以下のように表される。

$$\begin{cases} i_{D5-6}(t) + i_{D6-6}(t) + i_{D7-6}(t) + i_{D8-6}(t) &= 4\delta[(V_{bias} - V_{th})^2 + \{V_l \cos(\omega t)\}^2] \\ &= 4\delta\left\{(V_{bias} - V_{th})^2 + V_l^2 \frac{\cos(2\omega t) + 1}{2}\right\} \dots \quad (28) \end{cases}$$

[0073] 図6に示す回路において、第3ローパスフィルタ回路103の出力(V_{c6})は、以下のように表される。

$$V_{c6} = V_{DD} - 2R\delta\{2(V_{bias} - V_{th})^2 + V_l^2\} \dots \quad (29)$$

[0074] 式(20)と式(29)との関係から、図6に示す回路の出力(V_{AMP6})は、以下のように表される。

$$\begin{cases} V_{AMP6} &= V_{c6} - (V_a + V_b) \\ &= 2R\delta V_l^2 \dots \quad (30) \end{cases}$$

[0075] 以上のとおり実施の形態6に係る振幅位相検波回路は上記構成を備えるため、ローカル信号の振幅(V_l)の情報をを用いることなく測定対象信号の振幅と位相差とを同時に検出できる。

[0076] 図7は、実施の形態4～6に係る振幅位相検波回路のシミュレーション比較結果の一例を示したグラフである。図7が示すとおり、レプリカ検波回路301がない実施の形態4の構成では測定対象信号の入力電力が小さい場合 V_{bias} と V_l の影響を受け易い。実施の形態5の構成では、 V_{bias} の影響を排除した分だけ、若干線形特性が改善されている。図7は、実施の形態6の構成を採用することにより、測定対象信号の入力電力に対する線形特性を改善できることを示している。

産業上の利用可能性

[0077] 本開示技術は、レーダや通信装置に使用されるフェーズドアレーアンテナの検波回路に応用でき、産業上の利用可能性を有する。

符号の説明

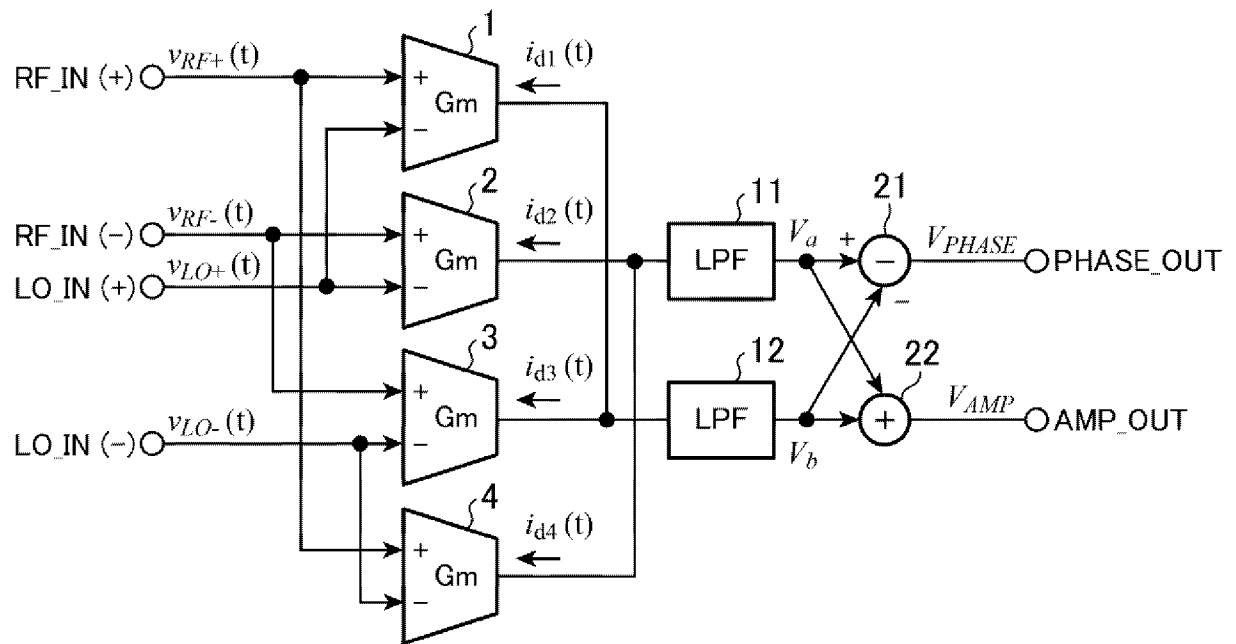
[0078] 1～8 第1～第8トランスコンダクタンス素子、 11～13 第1～第3ローパスフィルタ、 21 減算器、 22 加算器、 23 第2減算器、 31～38 第1～第8トランジスタ、 41 インダクタ、 42 第2インダクタ、 71 減算器用オペアンプ、 72 加算器用オペアンプ

アンプ、 81 レプリカ用コンデンサ、 101～103 第1～第3ローパスフィルタ回路、 201 減算器回路、 202 加算器回路、 203 3入力加減算器回路、 301 レプリカ検波回路。

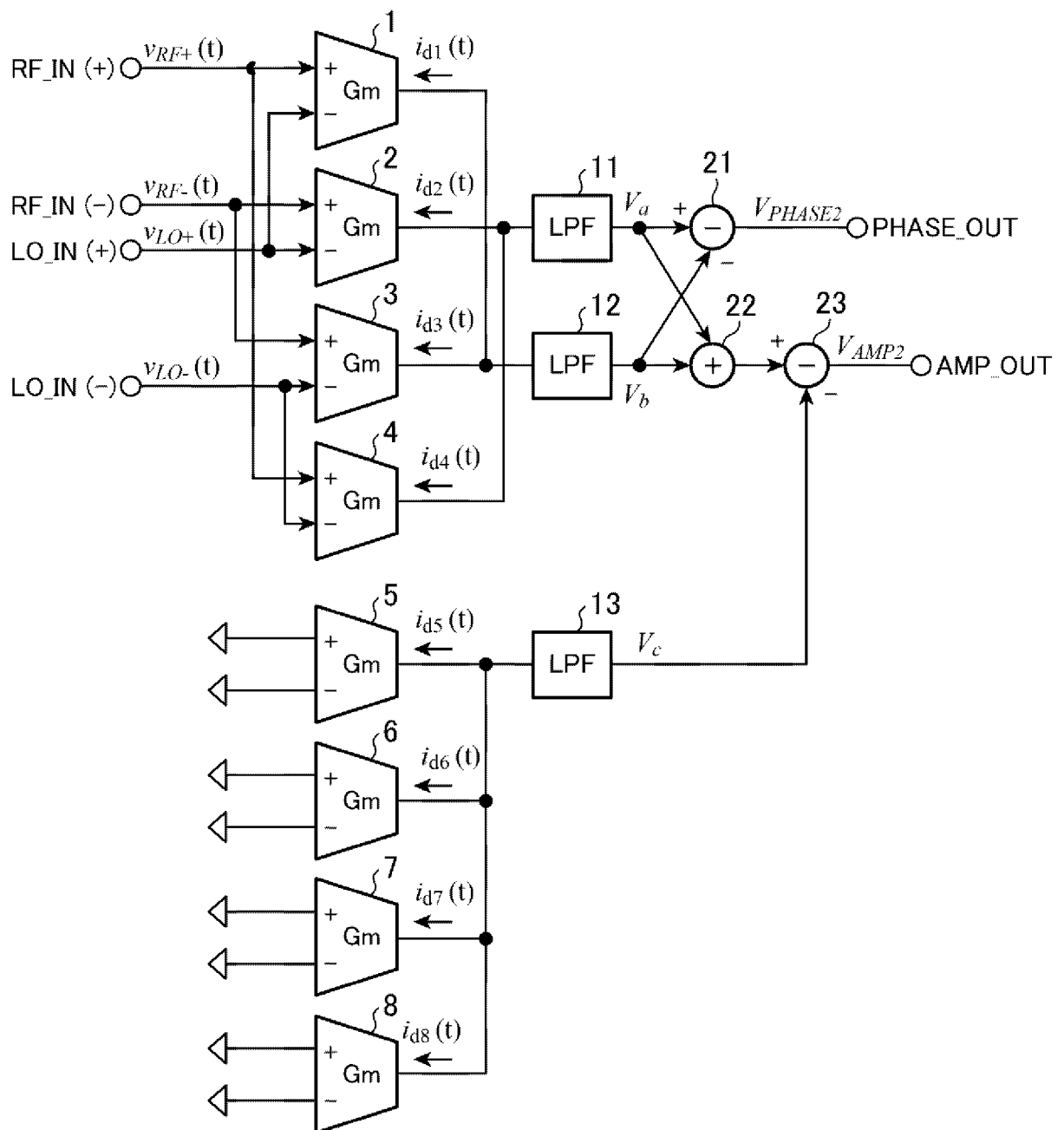
請求の範囲

- [請求項1] 入力側から順に、少なくとも2組の差動入力端子、4つの非線形素子、2つのローパスフィルタ、加算器、減算器、を含む振幅位相検波回路。
- [請求項2] 上流から順に、
 前記非線形素子と同じ特性を有する第5非線形素子、第6非線形素子、第7非線形素子、及び第8非線形素子と、
 第3ローパスフィルタと、
 第2減算器と、をさらに含み、
 前記第5非線形素子、前記第6非線形素子、前記第7非線形素子、及び前記第8非線形素子は、いずれも信号が入力されず、
 前記第2減算器は、前記加算器の後段に設置されている請求項1に記載の振幅位相検波回路。
- [請求項3] 上流から順に、
 前記非線形素子と同じ特性を有する第5非線形素子、第6非線形素子、第7非線形素子、及び第8非線形素子と、
 第3ローパスフィルタと、
 第2減算器と、をさらに含み、
 前記第5非線形素子、前記第6非線形素子、前記第7非線形素子、及び前記第8非線形素子は、いずれもローカル信号が入力され、
 前記第2減算器は、前記加算器の後段に設置されている請求項1に記載の振幅位相検波回路。
- [請求項4] 前記非線形素子は、トランスコンダクタンス素子である請求項1に記載の振幅位相検波回路。
- [請求項5] 前記非線形素子は、トランジスタである請求項1に記載の振幅位相検波回路。

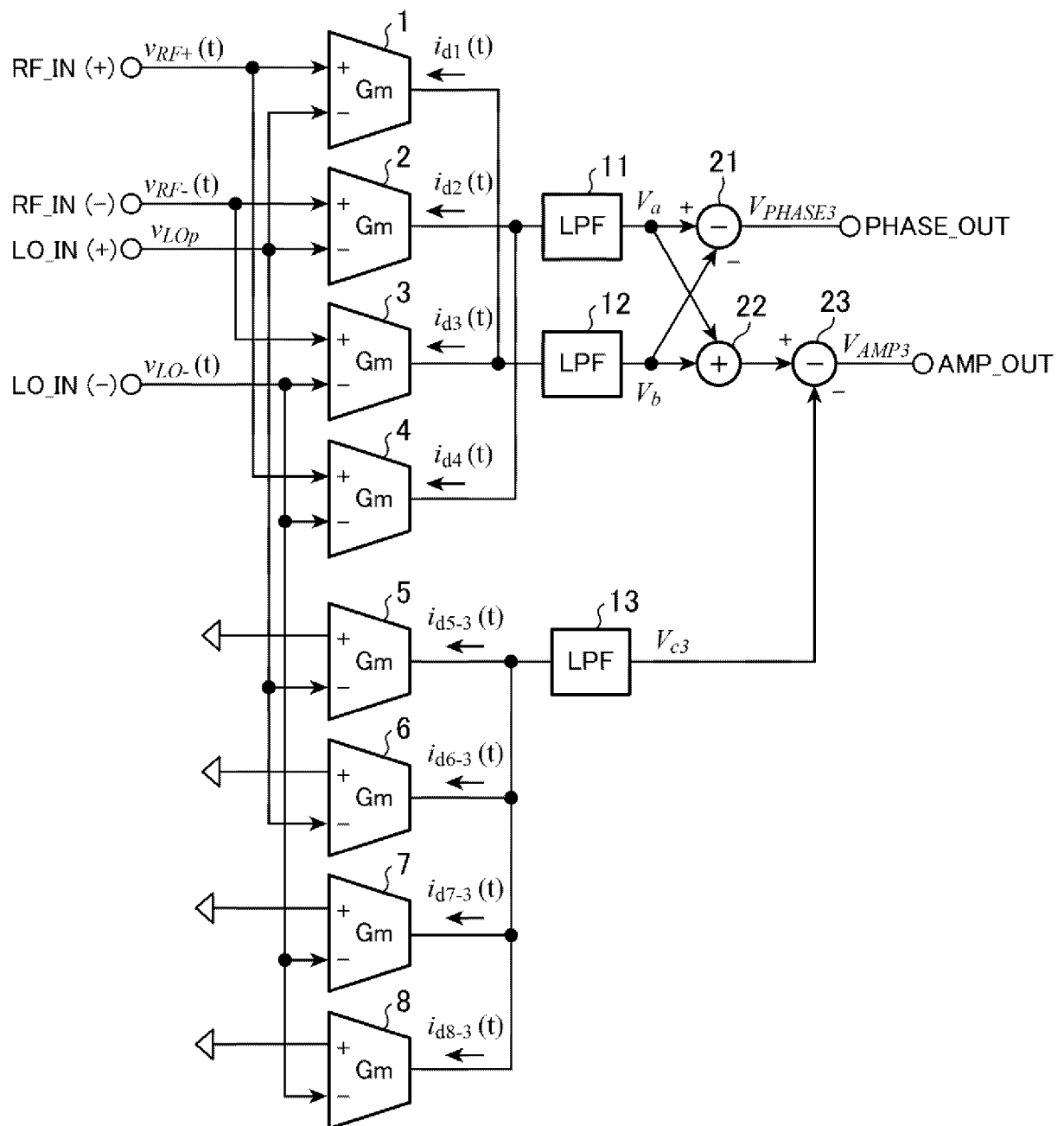
[図1]



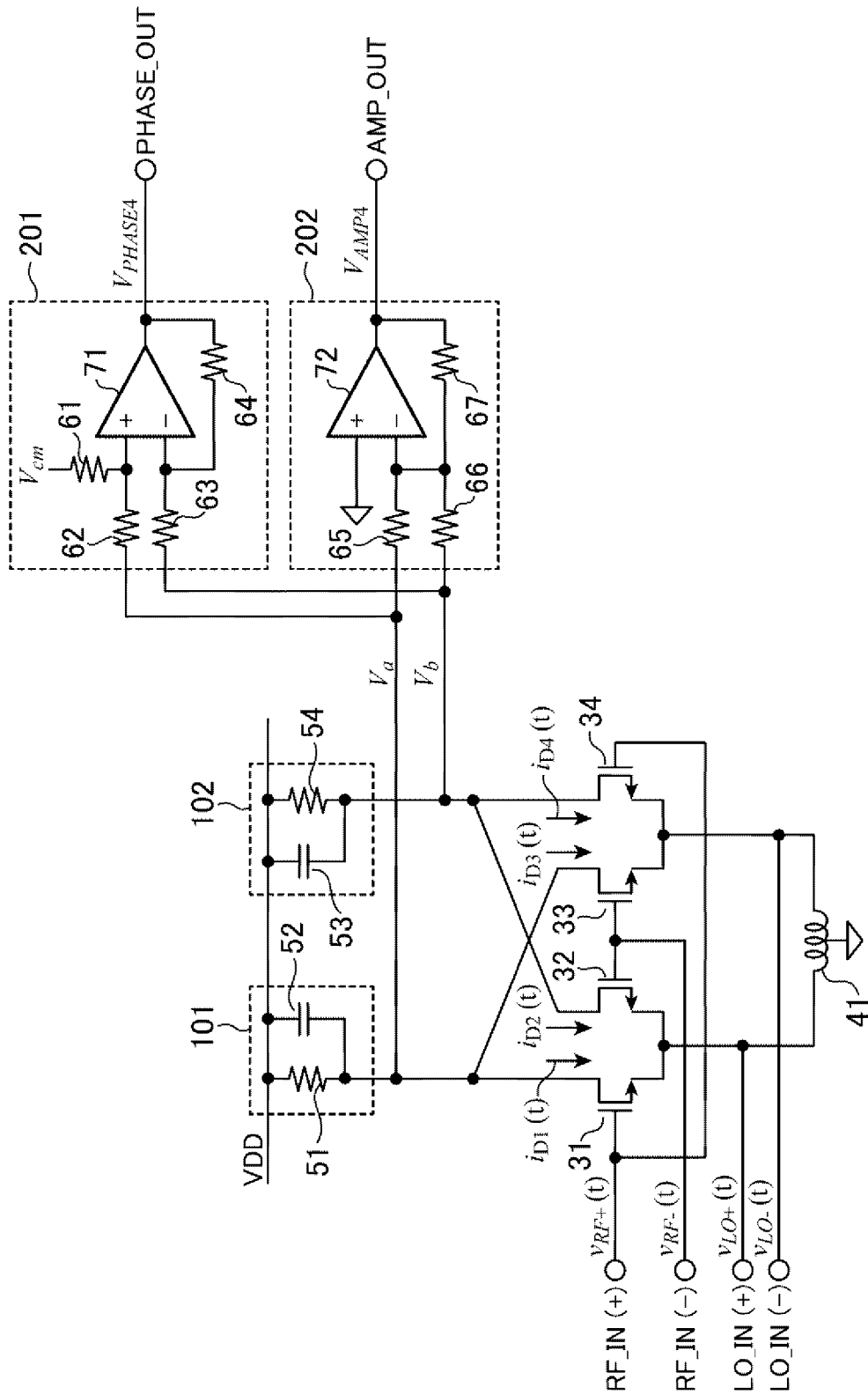
[図2]



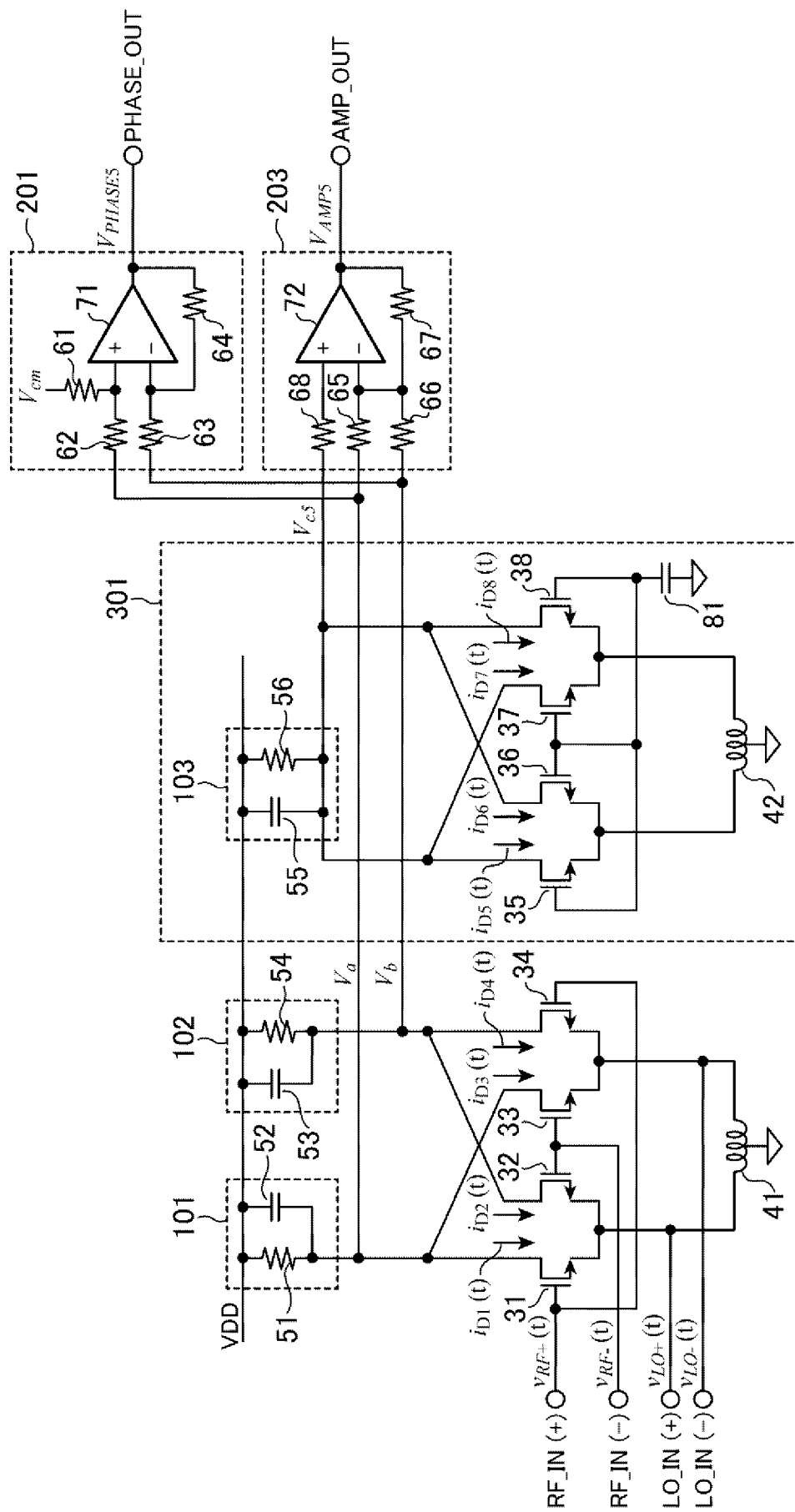
[図3]



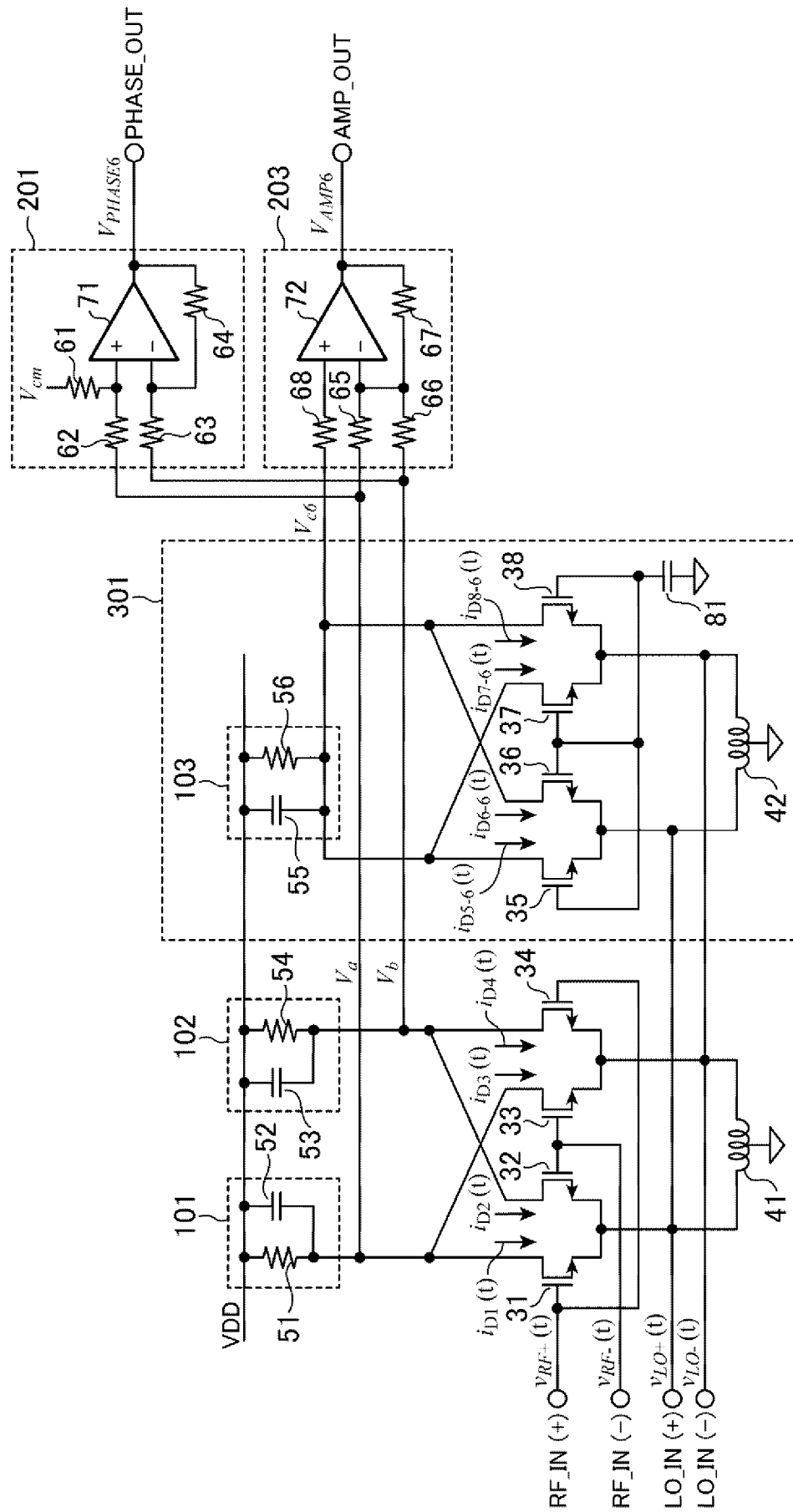
[図4]



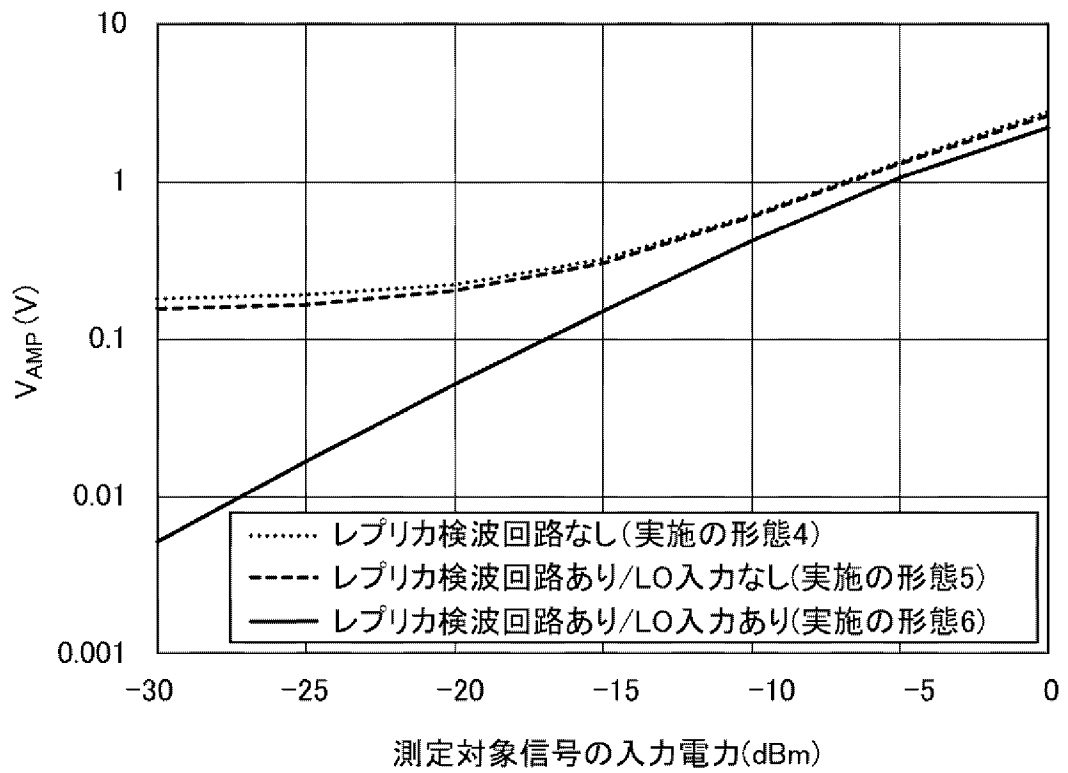
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/005390

A. CLASSIFICATION OF SUBJECT MATTER

H03D 5/00(2006.01)i

FI: H03D5/00 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03D5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-134038 A (TOSHIBA CORP) 12 May 2000 (2000-05-12) entire text, all drawings	1-5
A	JP 2006-173897 A (MATSUSHITA ELECTRIC IND CO LTD) 29 June 2006 (2006-06-29) entire text, all drawings	1-5
A	JP 7-226677 A (HITACHI LTD) 22 August 1995 (1995-08-22) entire text, all drawings	1-5

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 March 2021 (25.03.2021)

Date of mailing of the international search report

06 April 2021 (06.04.2021)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/005390

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2000-134038 A	12 May 2000	(Family: none)	
JP 2006-173897 A	29 Jun. 2006	(Family: none)	
JP 7-226677 A	22 Aug. 1995	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03D 5/00(2006.01)i FI: H03D5/00 A														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03D5/00 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2000-134038 A（株式会社東芝）12.05.2000（2000 - 05 - 12） 全文, 全図	1-5												
A	JP 2006-173897 A（松下電器産業株式会社）29.06.2006（2006 - 06 - 29） 全文, 全図	1-5												
A	JP 7-226677 A（株式会社日立製作所）22.08.1995（1995 - 08 - 22） 全文, 全図	1-5												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 25.03.2021	国際調査報告の発送日 06.04.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 橋本 和志 5W 4183 電話番号 03-3581-1101 内線 3576													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/005390

引用文献			公表日	パテントファミリー文献	公表日
JP	2000-134038	A	12.05.2000	(ファミリーなし)	
JP	2006-173897	A	29.06.2006	(ファミリーなし)	
JP	7-226677	A	22.08.1995	(ファミリーなし)	