СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1520551 A1

(51) 4 G 06 F 15/46

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

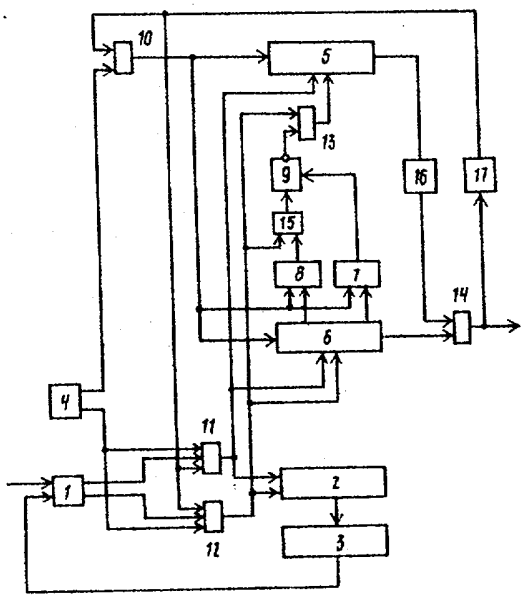
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4446409/24-24
(22) 29.04.88.
(46) 07.11.89. Бюл. № 41
(71) Институт кибернетики им. В.М.Глушкова
(72) Л.С.Файнзильберг
(53) 681.325 (088.8)
(56) Авторское свидетельство СССР № 813216, кл. G 06 F 15/46, 1981.
Авторское свидетельство СССР № 752162, кл. G 06 F 15/46, 1980.

(54) АНАЛИЗАТОР АНАЛОГОВЫХ СИГНАЛОВ

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано для обнаружения в аналоговых сигналах фрагментов, определяемых нахождением сигналов в заданных пределах по амплитуде и времени. Цель изобретения - расширение области применения анализатора. Анализатор содержит схему 1 сравнения, реверсивный счетчик 2, цифроаналоговый преобразователь 3, генератор 4 импульсов, счетчики 5 и 6 времени, компараторы 7 и 8 кода, триггер 9, элементы И 10 - 14, элемент ИЛИ 15 и элементы НЕ 16 и 17. Особенность устройства заключается в том, что оно позволяет обнаружить фрагмент сигнала с требуемой скоростью изменения, причем требования к скорости изменения задаются в виде ограничения как на максимальную, так и на минимальную скорости изменения на фрагменте, подлежащем обнаружению. 4 ил.



Фиг.1

(19) SU (11) 1520551 A1

Изобретение относится к цифровой вычислительной технике, а более точно - к специализированным устройствам для цифровой обработки аналоговых сигналов, и может быть использовано при решении задач, связанных с необходимостью автоматического обнаружения в процессе обработки аналогового сигнала его характерного фрагмента с заданной скоростью изменения, такие задачи возникают например, при построении систем медицинской и технической диагностики, а также систем предварительной обработки сигналов датчиков технологических параметров, в частности сигнала датчика температуры охлаждающейся пробы жидкого металла в процессе его кристаллизации.

Цель изобретения - расширение области применения анализатора.

На фиг.1 показана схема анализатора; на фиг.2 - схема генератора импульсов; на фиг.3 - вариант построения компаратора кода; на фиг.4 - временные диаграммы, иллюстрирующие принцип действия устройства.

Анализатор содержит (фиг.1) схему 1 сравнения, первый вход которой является входом устройства, реверсивный счетчик 2, цифроаналоговый преобразователь 3, генератор 4 импульсов, первый 5 и второй 6 счетчики времени, первый и второй компараторы 7 и 8 кода, триггер 9, с первого по пятый элементы И 10 - 14, элемент ИЛИ 15 и первый и второй элементы НЕ 16 и 17.

Элемент 1 сравнения имеет два выхода, причем на первом выходе образуется сигнал логической единицы, если входной сигнал $X(t)$, поступающий на первый вход схемы 1 сравнения, превышает компенсирующий сигнал $X_к(t)$, поступающий на второй вход схемы 1 сравнения, на величину, большую некоторого порога ε_0, а на втором выходе схемы 1 сравнения образуется сигнал логической единицы, если компенсирующий сигнал $X_к(t)$ превышает входной сигнал $X(t)$ на величину, большую порога ε_0. Если разность значений сигналов $X_0(t)$ и $X_к(t)$ по модулю не превышает порог ε_0, то на обоих выходах схемы 1 сравнения образуются сигналы логического нуля.

Генератор 4 импульсов имеет два выхода, на которых образуются две серии импульсов, разнесенных во времени одна относительно другой. Такой генератор может быть собран, например, по схеме, представленной на фиг.2. Генератор содержит несимметричный мультивибратор 18, триггер 19, элементы И 20 и 21, входы которых подключены к единичному и нулевому выходам триггера 19, и делитель 22 частоты. Выход мультивибратора 18 подключен к счетному входу триггера 19 и к входам элементов И 20 и 21. Выход элемента И 21 образует первый выход генератора 4 импульсов - выход синхронизирующих импульсов. Выход элемента И 20 подключен к входу делителя 22 частоты. Выход последнего образует второй выход генератора 4 импульсов - выход тактовых импульсов.

Посредством компараторов 7 и 8 кода анализатор настраивается на обнаружение фрагмента с заданной скоростью V изменения сигнала, причем настройка компаратора 7 определяет максимальную скорость $V_{макс}$ изменения сигнала на фрагменте, подлежащем обнаружению, а настройка компаратора 8 определяет минимальную скорость $V_{мин}$ изменение сигнала на фрагменте, подлежащем обнаружению.

На фиг.3 показан вариант построения компараторов 7 и 8, подключенных к счетчику 6 времени. Компаратор содержит многовходовой элемент И 23 и узел 24 переключателей. При этом один вход многовходового элемента И 23 образует импульсный вход селектора, объединенный со счетным входом счетчика 6 времени, а каждый из остальных входов элемента И 23 через соответствующий переключатель узла 24 подсоединен к соответствующему единичному или нулевому разряду счетчика 6 времени. При этом положения переключателей узла 24 компаратора 7 должны соответствовать двоичному коду числа N_1, связанному с требуемой максимальной скоростью $V_{макс}$ (выраженной в единицах заданных приращений ε_0 в секунду), а также с частотой f_0 поступления импульсов на вход счетчика 6 времени следующим соотношением

$$N_1 = \frac{\varepsilon_0 f_0}{V_{макс}} - 1. \qquad (I)$$

Так, например, если обрабатываемый сигнал X(t) представляет собой изменение напряжения во времени и порог ε_0 (шаг квантования по уровню) составляет 0,1 В, а требуемая скорость $V_{макс}$ составляет 0,05 В/с или, что то же самое, 0,5 ε_0/с, то при частоте f_0=100 Гц в соответствии с (1) имеем N_1=20 (двоичный код $\bar{N}_1$= =10100). Следовательно, в данном случае переключатели третьего и пятого разрядов узла 24 должны быть подключены к единичным выходам соответствующих разрядов счетчика 6 времени, а остальные к нулевым.

Аналогичным образом с помощью узла 24 переключателей компаратора 8 устанавливается код числа N_2, связанного с требуемой минимальной скоростью $V_{мин}$ изменения обрабатываемого сигнала на выделяемом фрагменте и величинами ε_0, f_0 соотношением

$$N_2=\frac{\varepsilon_0 f_0}{V_{мин}} - 1. \qquad (2)$$

Устройство работает следующим образом.

Перед началом цикла обработки сигнала X(t) с помощью кнопки начальной установки (не показана) счетчики 5 и 6 времени устанавливаются в начальное (нулевое) состояние. При этом на выходах переполнения счетчиков 5 и 6 времени образуются управляющие сигналы логической единицы, а значит на выходе элемента И 14 – сигнал логического нуля. Этот сигнал, проходя через элемент НЕ 17, открывает элементы И 10 – 12.

После открывания элемента И 10 тактовые импульсы с частотой следования f_0 с второго выхода генератора 4 (выхода делителя 22) поступают на счетные входы счетчиков 5 и 6 времени. Синхронизирующие импульсы с частотой следования f_1=0,5 $f_м$, где $f_м$ – частота следования импульсов мультивибратора 18 с первого выхода генератора 4 (фиг.1), поступают на входы элементов И 11 и 12. В этом случае, когда входной сигнал X(t) превышает аналоговый компенсирующий сигнал $X_к(t)$, поступающий с выхода цифроаналогового преобразователя 3 на второй вход схемы 1 сравнения на величину, большую порога ε_0 (режим "недокомпенсация"), схема 1 сравнения сигналами на своих выходах открывает элемент И 11 и закрывает элемент И 12. При этом синхронизирующие импульсы через открытый элемент И 11 поступают на вход сложения реверсивного счетчика 2. В том же случае, когда аналоговый компенсирующий сигнал $X_к(t)$ превышает входной сигнал X(t) на величину, большую порога ε_0 (режим "перекомпенсация"), схема 1 сравнения сигналами на своих выходах открывает элемент И 12 и закрывает элемент И 11. При этом синхронизирующие импульсы поступают на вход вычитания реверсивного счетчика 2. Поступление импульсов на вход сложения или вычитания реверсивного счетчика 2 прекращается только в том случае, когда компенсирующий аналоговый сигнал $X_к(t)$ будет равен входному сигналу X(t) с точностью до $\pm\varepsilon_0$. Тем самым осуществляется следящее аналого-цифровое преобразование обрабатываемого сигнала X(t) в цифровой эквивалент – параллельный двоичный код, образуемый в реверсивном счетчике 2, и реверсивный унитарный (числоимпульсный) код, представляющий собой последовательность синхронизированных во времени кодовых импульсов K^+ и K^-, образуемых в зависимости от знака приращения сигнала X(t) на выходе элемента И 11 или И 12 при элементарных приращениях сигнала X(t), превышающих порог ε_0.

В процессе обработки аналогового сигнала X(t) кодовые импульсы K^+ и K^- с выходов элементов И 11 и 12 поступают на установочные входы счетчика 6 времени и сбрасывают последний в нуль. При этом в зависимости от скорости V изменения сигнала интервалы времени Δt_V (V=1,2,...) между моментами сброса в нуль счетчика 6 будут различными – при больших скоростях интервалы Δt_V будут малыми, а при малых скоростях интервалы Δt_V будут большими.

Рассмотрим работу устройства на примере обработки сигналов, представленных на фиг.4. На фиг.4 а представлен график изменения во времени сигнала X(t), который характеризуется тем, что между моментами времени t_1 и t_2 наблюдается фрагмент сигнала, скорость V изменения которого больше заданной величины $V_{макс}$. В данном случае интервалы Δt_V времени оказываются настолько малыми, что к момен-

ту очередного сброса в нуль счетчика 6 времени (фиг.1) этот счетчик не успевает досчитать ни до числа N_1, ни до числа N_2, определяемыми настройками компараторов 8 и 7. В связи с этим триггер 9 в моменты формирования очередного кодового импульса K^- будет оставаться в начальном (нулевом) состоянии. Сигнал с нулевого выхода этого триггера, управляя элементом И 13, обеспечит прохождение очередного кодового импульса K^- на вход начальной установки счетчика 5 времени. В результате между моментами t_1 и t_2 каждый кодовый импульс K^- осуществляет сброс в нулевое состояние счетчика 5 времени и, проходя через элемент ИЛИ 15 на нулевой вход триггера 9, своим задним фронтом подтверждает нулевое состояние этого триггера. Поэтому при обработке сигнала (фиг.4 а) управляющий сигнал на выходе переполнения счетчика 5 времени не образуется.

На фиг.4 б показан график изменения сигнала X(t), который характеризуется тем, что между моментами t_3 и t_4 наблюдается фрагмент сигнала, скорость V изменения которого меньше заданной величины $V_{мин}$. Вследствие такой малой скорости интервалы Δt_v времени между очередными сбросами в нуль счетчика 6 (фиг.1) становятся такими, что к моменту очередного сброса счетчик 6 успевает уже досчитать вначале до числа N_1, а затем и до числа N_2. Как только в счетчике 6 образуется число N_1, то с приходом следующего по счету тактового импульса на вход этого счетчика и входу компаратора 7 (вход элемента И 22, фиг.3) на выходе компаратора 7 (фиг.1) образуется импульс, который устанавливает триггер 9 в единичное состояние. Как только в счетчике 6 образуется число N_2, то с приходом следующего по счету тактового импульса на вход этого счетчика и вход компаратора 8 на выходе компаратора 8 образуется импульс, который, проходя через элемент ИЛИ 15, возвращает триггер в нулевое состояние. Таким образом, при обработке сигнала, показанного на фиг.4 б к моменту формирования очередного кодового импульса К триггер 9 (фиг.1) находится в нулевом состоянии, а значит элемент И 13 будет открыт для прохождения этого импульса на установочный вход счетчика 5 времени. Поэтому и в данном случае управляющий сигнал на выходе переполнения счетчика 5 времени не образуется.

На фиг.4 в показан график изменения сигнала X(t), который характеризуется тем, что между моментами t_5 и t_6 наблюдается фрагмент сигнала, скорость V изменения которого заключена в заданных пределах $V_{мин} < V < V_{макс}$. При такой скорости изменения сигнала интервалы Δt_v времени будут такими, что к моменту прихода очередного кодового импульса K^- счетчик 6 успевает досчитать до числа N_1, но не успевает досчитать до числа N_2. Следовательно, к моменту прихода очередного кодового импульса K^- компаратор 7 уже успевает установить триггер 9 в единичное состояние, а компаратор 8 еще не срабатывает. В результате, начиная с момента времени t_5 (фиг.4 в) при формировании очередного кодового импульса K^- триггер 9 (фиг.1) находится в единичном состоянии и своим выходом блокирует элемент И 13. Поэтому очередной кодовый импульс K^- не проходит на установочный вход счетчика 5 времени и этот счетчик продолжает подсчет времени (считает тактовые импульсы) от момента t_5 (фиг.4 в) начала фрагмента с заданной скоростью изменения. При этом кодовый импульс K^- своим задним фронтом, проходя через элемент ИЛИ 15 (фиг.1), возвращает триггер 9 в нулевое состояние. Если и в дальнейшем скорость V изменения сигнала остается в заданных пределах $V_{мин} < V < V_{макс}$, то описанная ситуация будет повторяться: к моменту прихода очередного кодового импульса K^- триггер успевает устанавливаться в единичное состояние и осуществляет блокировку сброса счетчика 5 времени этим кодовым импульсом K^-, возвращаясь по заднему фронту этого же импульса в нулевое состояние. При этом в момент времени $t_6 = t_5 + \tau_0$ счетчик 5 времени переполнится и на его выходе переполнения образуется сигнал логического нуля. Указанный сигнал, проходя через элемент НЕ 16, формирует на первом входе элемента И 14 сигнал логической единицы. Поскольку на второй вход этого элемента в данной ситуации поступает сигнал логической единицы с вы-

хода переполнения счетчика 6 времени, то на выходе элемента И 14 (выходе устройства) образуется сигнал логической единицы, свидетельствующий об обнаружении на обрабатываемом сигнале X(t) фрагмента продолжительностью $\tau \geq \tau_0$ с заданной скоростью изменения сигнала. Одновременно управляющий сигнал с выхода элемента И 14, проходя через элемент НЕ 17, блокирует элементы И 10 - 12, вследствие чего прекращается дальнейшее поступление тактовых импульсов на входы счетчиков 5 и 6 времени, а также прекращается дальнейшее формирование кодовых импульсов K^+ и K^- при изменениях сигнала X(t) до начала следующего цикла обработки сигнала.

Если в течение интервала времени между моментами t_5 и t_6 (фиг.4 в) скорость изменения сигнала X(t) станет меньше заданной величины $V_{мин}$ или же больше заданной величины $V_{макс}$, то к моменту формирования очередного кодового импульса K^- триггер 9 (фиг.1) окажется в нулевом состоянии, поскольку этот триггер либо не успеет установиться в единичное состояние, так как при $V>V_{макс}$ не сработает компаратор 7, либо при $V<V_{мин}$ триггер 9 уже будет сброшен в нуль сработавшим компаратором 8. Поэтому в данном случае к моменту прихода очередного кодового импульса K^- элемент И 13 окажется открытым, а значит этот импульс осуществит сброс в начальное состояние счетчика 5 времени.

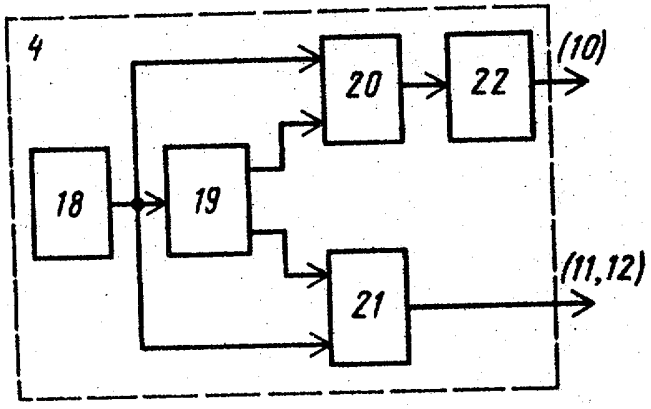
На фиг.4 г показан график изменения сигнала X(t), который характеризуется тем, что в течение интервала времени между моментами t_8 и t_{10} изменения сигнала не превышают порог ε_0, а значит в течение этого времени кодовые импульсы K^- не образуются. Вполне понятно, что в данном случае в момент времени $t_9=t_8+\tau_0$ на выходе переполнения счетчика 5 времени образуется сигнал логического нуля, который через инвертор 16 формирует сигнал логической единицы на входе элемента И 14. Однако в этот же момент времени $t_9=t_8+\tau_0$ на выходе переполнения счетчика 6 времени образуется сигнал логического нуля, который, поступая на другой вход элемента И 14, предотвращает формирование на выходе устройства ложного управляющего сигнала при отсутствии фрагмента сигнала с заданной скоростью изменения.

Изобретение имеет ряд существенных преимуществ по сравнению с известным устройством. В отличие от известного устройства изобретение позволяет в реальном масштабе времени осуществить автоматическое обнаружение характерного фрагмента сигнала с заданной скоростью изменения, ограниченной как снизу, так и сверху заданными величинами $V_{мин}$ и $V_{макс}$. При этом в течение действия фрагмента допускаются локальные выбросы сигнала в пределах заданного порога ε_0. Изобретение может найти широкое применение при решении прикладных задач в медицинской и технической диагностике, а также при обработке сигналов датчиков различных физических величин. В частности, предлагаемое устройство полезно при обработке сигнала датчика температуры охлаждающейся пробы жидкого металла с целью автоматической сигнализации наступления режима заданной скорости кристаллизации металла, обеспечивающей получение отливок металла с требуемой микроструктурой.

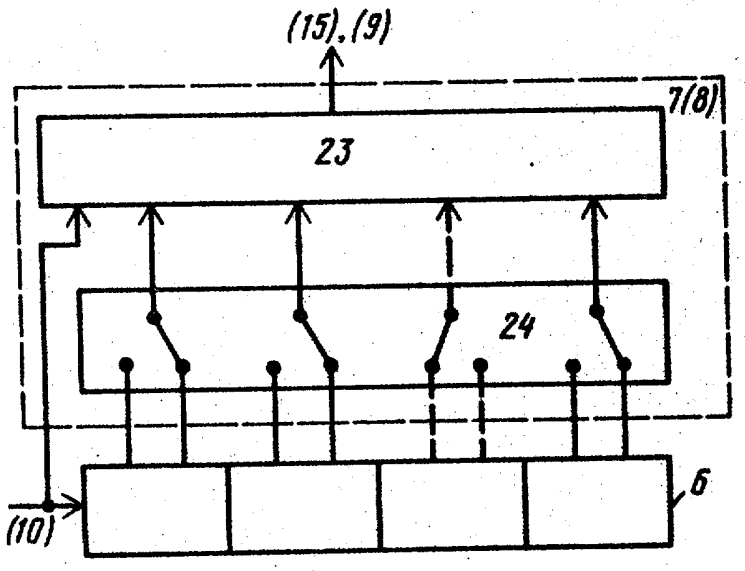
Формула изобретения

Анализатор аналоговых сигналов, содержащий схему сравнения, реверсивный счетчик, цифроаналоговый преобразователь, генератор импульсов, первый, второй и третий элементы И, первый счетчик времени, счетный вход которого подключен к выходу первого элемента И, первые входы второго и третьего элементов И подключены к первому и второму выходам схемы сравнения, вторые входы второго и третьего элементов И подключены к первому выходу генератора импульсов, второй выход которого соединен с первым входом первого элемента И, выходы второго и третьего элементов И подключены к входам сложения и вычитания реверсивного счетчика, выход которого соединен с входом цифроаналогового преобразователя, выходом подключенного к первому входу схемы сравнения, второй вход которой является входом устройства, *отличающийся* тем, что, с целью расширения области применения анализатора, в него введены второй счетчик времени, первый и

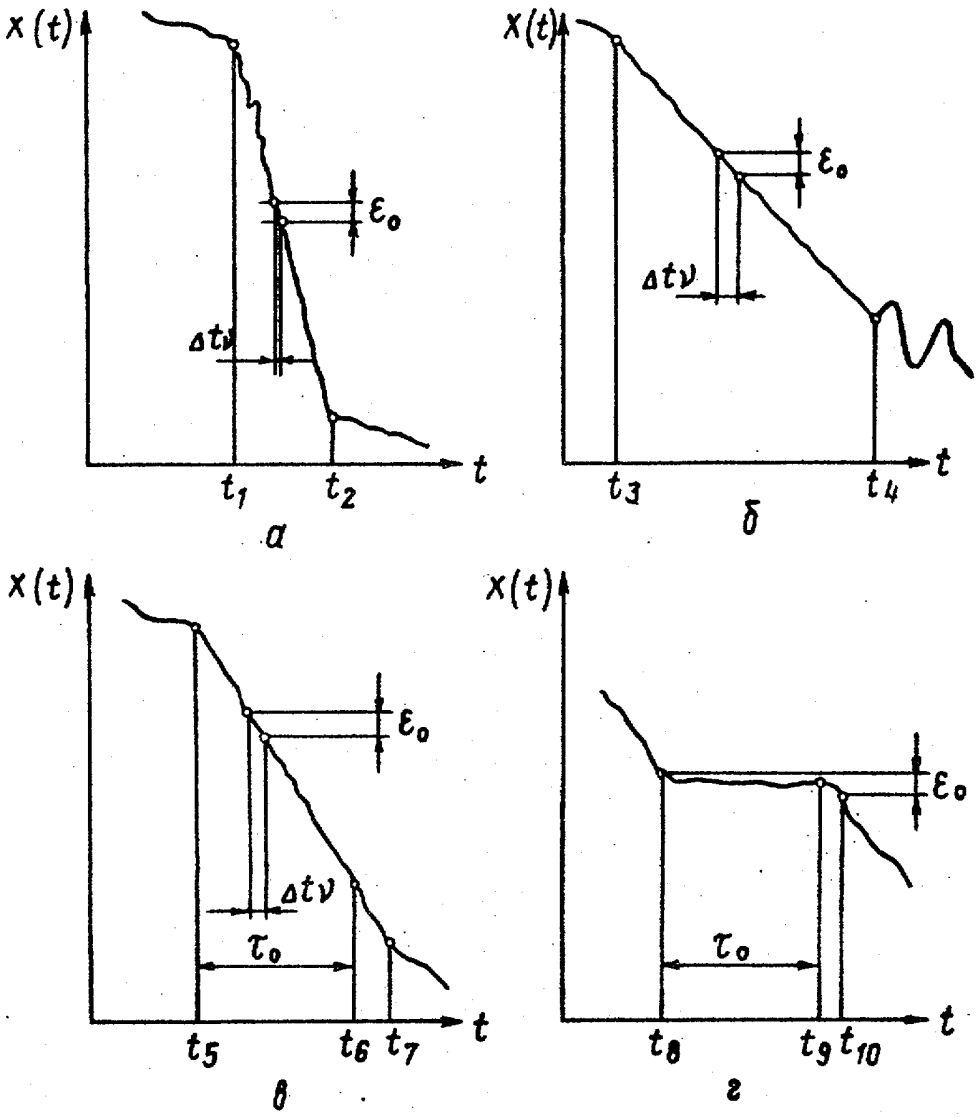
второй компараторы кода, триггер, четвертый и пятый элементы И, два элемента НЕ и элемент ИЛИ, подключенный выходом к первому установочному входу триггера, второй установочный вход которого соединен с выходом первого компаратора кода, а выход - с первым входом четвертого элемента И, выход которого подключен к первому установочному входу первого счетчика времени, выход первого элемента И подключен к счетному входу второго счетчика времени и к синхровходам первого и второго компараторов кода, кодовые входы которых соединены с соответствующими выходами данных второго счетчика времени, выход переполнения которого соединен с первым входом пятого элемента И, выход переполнения первого счетчика времени через первый элемент НЕ подключен к второму входу пятого элемента И, выход которого через второй элемент НЕ соединен с вторым входом первого элемента И, с третьими входами второго и третьего элементов И и является выходом анализатора, выход третьего элемента И соединен с первым установочным входом второго счетчика времени, вторым входом четвертого элемента И и с первым входом элемента ИЛИ, второй вход которого подключен к выходу второго компаратора кода, а выход второго элемента И подключен к вторым установочным входам первого и второго счетчиков времени.



Фиг. 2



Фиг. 3



Фиг. 4

Составитель И.Алексеев
Редактор В.Бугренкова Техред Л.Сердюкова Корректор О.Кравцова

Заказ 6760/51 Тираж 668 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101