

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7589141号  
(P7589141)

(45)発行日 令和6年11月25日(2024.11.25)

(24)登録日 令和6年11月15日(2024.11.15)

(51)国際特許分類

F I

H 0 1 L	27/146 (2006.01)	H 0 1 L	27/146	D
H 0 1 L	21/3205(2006.01)	H 0 1 L	27/146	F
H 0 1 L	21/768 (2006.01)	H 0 1 L	21/88	Q
H 0 1 L	23/532 (2006.01)	H 0 1 L	21/88	Z
H 0 1 L	23/522 (2006.01)	H 0 1 L	21/88	J

請求項の数 3 (全47頁) 最終頁に続く

(21)出願番号 特願2021-507262(P2021-507262)  
 (86)(22)出願日 令和2年3月12日(2020.3.12)  
 (86)国際出願番号 PCT/JP2020/010711  
 (87)国際公開番号 WO2020/189473  
 (87)国際公開日 令和2年9月24日(2020.9.24)  
 審査請求日 令和5年3月6日(2023.3.6)  
 (31)優先権主張番号 特願2019-48552(P2019-48552)  
 (32)優先日 平成31年3月15日(2019.3.15)  
 (33)優先権主張国・地域又は機関  
 日本国(JP)

(73)特許権者 316005926  
 ソニーセミコンダクタソリューションズ  
 株式会社  
 神奈川県厚木市旭町四丁目14番1号  
 (74)代理人 110001357  
 弁理士法人つばさ国際特許事務所  
 (72)発明者 松本 光市  
 神奈川県厚木市旭町四丁目14番1号  
 ソニーセミコンダクタソリューションズ  
 株式会社内  
 審査官 加藤 俊哉

最終頁に続く

(54)【発明の名称】 撮像装置の製造方法

(57)【特許請求の範囲】

【請求項1】

光電変換を行うセンサ画素を有する第1半導体基板上に第1の層間絶縁膜を形成し、  
 前記第1の層間絶縁膜上に前記第1半導体基板と平行な方向に延在する半導体層を形成し、

前記第1の層間絶縁膜および前記半導体層上に第2の層間絶縁膜を形成し、  
 前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する  
 第2半導体基板を形成し、

前記第2半導体基板の所定の領域に前記半導体層まで貫通する開口部を形成し、  
 前記開口部内の前記半導体層上に金属層を積層することで、少なくとも一部に前記半導  
 体層と金属層との積層領域を有する配線を形成する

撮像装置の製造方法。

【請求項2】

前記半導体層上にスパッタにより金属膜を成膜したのち、熱処理により前記金属膜をシリ  
 サイド化して前記金属層を形成する、請求項1に記載の撮像装置の製造方法。

【請求項3】

前記半導体層上に化学気相成長(CVD)法を用いて前記金属層を形成する、請求項1  
 に記載の撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

20

## 【 0 0 0 1 】

本開示は、3次元構造を有する撮像装置および撮像装置の製造方法ならびに半導体装置に関する。

## 【背景技術】

## 【 0 0 0 2 】

従来、2次元構造の撮像装置の1画素あたりの面積の微細化は、微細プロセスの導入と実装密度の向上によって実現されてきた。近年、撮像装置のさらなる小型化および画素の高密度化を実現するため、3次元構造の撮像装置が開発されている。3次元構造の撮像装置では、例えば、複数のセンサ画素を有する半導体基板と、各センサ画素で得られた信号を処理する信号処理回路を有する半導体基板とが互いに積層されている。

10

## 【先行技術文献】

## 【特許文献】

## 【 0 0 0 3 】

【文献】特開2010-245506号公報

## 【発明の概要】

## 【 0 0 0 4 】

ところで、3次元構造の撮像装置では、寄生容量の低下が望まれている。

## 【 0 0 0 5 】

寄生容量を低減することが可能な撮像装置の製造方法を提供することが望ましい。

## 【 0 0 0 7 】

20

本開示の一実施形態の撮像装置の製造方法は、光電変換を行うセンサ画素を有する第1半導体基板上に第1の層間絶縁膜を形成し、第1の層間絶縁膜上に第1半導体基板と平行な方向に延在する半導体層を形成し、第1の層間絶縁膜および半導体層上に第2の層間絶縁膜を形成し、センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第2半導体基板を形成し、第2半導体基板の所定の領域に半導体層まで貫通する開口部を形成し、開口部内の半導体層上に金属層を積層することで、少なくとも一部に半導体層と金属層との積層領域を有する配線を形成する。

## 【 0 0 0 9 】

本開示の一実施形態の撮像装置の製造方法では、少なくとも一部に半導体層と金属層とが積層された積層領域を有する配線構造とすることで、第1半導体基板と第2半導体基板との間に配線を形成できるようになり、例えば第1半導体基板の法線方向に延びる貫通配線の数削減する。もしくは、貫通配線の高さの和が減少する。

30

## 【図面の簡単な説明】

## 【 0 0 1 0 】

【図1】本開示の第1の実施の形態に係る半導体装置（撮像装置）の要部の構成を表す垂直方向の断面模式図である。

【図2】図1に示した撮像装置を構成するセンサ画素、読み出し回路およびロジック回路の一例を表す図である。

【図3A】図1に示した撮像装置の下層デバイス層におけるレイアウトを表す模式図である。

40

【図3B】図1に示した撮像装置の上層デバイス層および配線層におけるレイアウトを表す模式図である。

【図4A】図1に示した撮像装置の製造過程の一例を表す図である。

【図4B】図4Aに続く製造過程の一例を表す図である。

【図4C】図4Bに続く製造過程の一例を表す図である。

【図4D】図4Cに続く製造過程の一例を表す図である。

【図4E】図4Dに続く製造過程の一例を表す図である。

【図4F】図4Eに続く製造過程の一例を表す図である。

【図4G】図4Fに続く製造過程の一例を表す図である。

【図4H】図4Gに続く製造過程の一例を表す図である。

50

- 【図 4 I】図 4 H に続く製造過程の一例を表す図である。
- 【図 5】一般的な撮像装置の垂直方向の断面模式図である。
- 【図 6 A】図 5 に示した撮像装置の水平方向の断面模式図である。
- 【図 6 B】図 5 に示した撮像装置の水平方向の断面模式図である。
- 【図 7】本開示の第 1 の実施の形態に係る撮像装置の垂直方向の断面構成の一例を表す図である。
- 【図 8】図 7 に示した撮像装置の概略構成の一例を表す図である。
- 【図 9】図 7 に示したセンサ画素および読み出し回路の一例を表す図である。
- 【図 10】図 7 に示したセンサ画素および読み出し回路の一例を表す図である。
- 【図 11】図 7 に示したセンサ画素および読み出し回路の一例を表す図である。 10
- 【図 12】図 7 に示したセンサ画素および読み出し回路の一例を表す図である。
- 【図 13】複数の読み出し回路と複数の垂直信号線との接続態様の一例を表す図である。
- 【図 14】図 7 に示した撮像装置の水平方向の断面構成の一例を表す図である。
- 【図 15】図 7 に示した撮像装置の水平方向の断面構成の一例を表す図である。
- 【図 16】図 7 に示した撮像装置の水平方向の断面構成の一例を表す図である。
- 【図 17】図 7 に示した撮像装置の水平面内での配線レイアウトの一例を表す図である。
- 【図 18】図 7 に示した撮像装置の水平面内での配線レイアウトの一例を表す図である。
- 【図 19】図 7 に示した撮像装置の水平面内での配線レイアウトの一例を表す図である。
- 【図 20】図 7 に示した撮像装置の水平面内での配線レイアウトの一例を表す図である。
- 【図 21】本開示の第 2 の実施の形態に係る撮像装置の要部の構成を表す垂直方向の断面模式図である。 20
- 【図 22 A】図 21 に示した撮像装置の要部の構成の一例を表す水平方向の断面模式図である。
- 【図 22 B】図 21 に示した撮像装置の要部の構成の一例を表す水平方向の断面模式図である。
- 【図 23】本開示の第 3 の実施の形態に係る撮像装置の要部の構成を表す垂直方向の断面模式図である。
- 【図 24】本開示の第 4 の実施の形態に係る撮像装置の要部の構成を表す垂直方向の断面模式図である。
- 【図 25】本開示の第 5 の実施の形態に係る撮像装置の要部の構成を表す垂直方向の断面模式図である。 30
- 【図 26】本開示の変形例 1 に係る撮像装置の垂直方向の断面構成の一例を表す図である。
- 【図 27】本開示の変形例 2 に係る撮像装置の垂直方向の断面構成の一例を表す図である。
- 【図 28】本開示の変形例 3 に係る撮像装置の水平方向の断面構成の一例を表す図である。
- 【図 29】本開示の変形例 3 に係る撮像装置の水平方向の断面構成の他の例を表す図である。
- 【図 30】本開示の変形例 4 に係る撮像装置の水平方向の断面構成の一例を表す図である。
- 【図 31】本開示の変形例 4 に係る撮像装置の水平方向の断面構成の一例を表す図である。
- 【図 32】本開示の変形例 5 に係る撮像装置の水平方向の断面構成の一例を表す図である。
- 【図 33】本開示の変形例 6 に係る撮像装置の水平方向の断面構成の他の例を表す図である。 40
- 【図 34】本開示の変形例 7 に係る撮像装置に撮像装置の回路構成の一例を表す図である。
- 【図 35】本開示の変形例 8 に係る図 34 の撮像装置を 3 つの基板を積層して構成した例を表す図である。
- 【図 36】本開示の変形例 9 に係るロジック回路を、センサ画素の設けられた基板と、読み出し回路の設けられた基板とに分けて形成した例を表す図である。
- 【図 37】本開示の変形例 10 に係るロジック回路を、第 3 基板に形成した例を表す図である。
- 【図 38】上記実施の形態およびその変形例に係る撮像装置を備えた撮像システムの概略構成の一例を表す図である。 50

【図 3 9】図 3 8 の撮像システムにおける撮像手順の一例を表す図である。

【図 4 0】車両制御システムの概略的な構成の一例を示すブロック図である。

【図 4 1】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【図 4 2】内視鏡手術システムの概略的な構成の一例を示す図である。

【図 4 3】カメラヘッド及び C C U の機能構成の一例を示すブロック図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、本開示における一実施形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

10

1 . 第 1 の実施の形態 ( 第 1 半導体基板と第 2 半導体基板との間に積層構造を有する配線を設けた例 )

1 - 1 . 半導体装置の構成

1 - 2 . 半導体装置の製造方法

1 - 3 . 撮像装置の構成

1 - 4 . 作用・効果

2 . 第 2 の実施の形態 ( 第 1 半導体基板と第 2 半導体基板との間に部分的に積層構造を有する配線を設けた例 )

3 . 第 3 の実施の形態 ( 転送トランジスタのゲート上に直接配線を設けた例 )

20

4 . 第 4 の実施の形態 ( 転送トランジスタのゲートと配線を一体形成した例 )

5 . 第 5 の実施の形態 ( 第 1 半導体基板と第 2 半導体基板との間および第 2 半導体基板と第 3 半導体基板との間に積層構造を有する配線を設けた例 )

6 . 変形例

6 - 1 . 変形例 1 ( 縦型 T G を用いた例 )

6 - 2 . 変形例 2 ( パネル外縁で C u - C u 接合を用いた例 )

6 - 3 . 変形例 3 ( F D をセンサ画素ごとに設けた例 )

6 - 4 . 変形例 4 ( センサ画素と読み出し回路との間にオフセットを設けた例 )

6 - 5 . 変形例 5 ( 読み出し回路の設けられたシリコン基板が島状となっている例 )

6 - 6 . 変形例 6 ( 読み出し回路の設けられたシリコン基板が島状となっている例 )

30

6 - 7 . 変形例 7 ( カラム信号処理回路を一般的なカラム A D C 回路で構成した例 )

6 - 8 . 変形例 8 ( 撮像装置を、3 つの基板を積層して構成した例 )

6 - 9 . 変形例 9 ( ロジック回路を第 1 基板、第 2 基板に設けた例 )

6 - 1 0 . 変形例 1 0 ( ロジック回路を第 3 基板に設けた例 )

7 . 適用例

8 . 応用例

【 0 0 1 2 】

< 1 . 第 1 の実施の形態 >

( 1 - 1 . 半導体装置の構成 )

図 1 は、本開示の第 1 の実施の形態に係る半導体装置 ( 半導体装置 1 ) の要部の垂直方向 ( Y 軸方向 ) の断面構成の一例を模式的に表したものである。半導体装置 1 は、デバイス層 A 1 とデバイス層 A 2 とが積層された 3 次元構造を有する半導体装置であり、デバイス層 A 1 とデバイス層 A 2 との間の配線層 B に、半導体層 W 1 と金属層 W 2 とが積層された配線 W が設けられた構成を有する。この半導体装置 1 は、例えば、3 次元構造を有する撮像装置に適用することが可能である。よって、後述する撮像装置 1 A の構成を用いて説明する。撮像装置 1 A の詳細な構成については後述する。

40

【 0 0 1 3 】

撮像装置 1 A は、半導体基板 1 1 に、光電変換を行うセンサ画素 1 2 を有する第 1 基板 1 0 と、半導体基板 2 1 に、センサ画素 1 2 から出力された電荷に基づく画像信号を出力する読み出し回路 2 2 を有する第 2 基板 2 0 と、ロジック回路 3 2 ( 信号処理回路 ) を有

50

する第3基板30とが積層されたものである(図7参照)。この半導体基板11が上記デバイス層A1に、半導体基板21が上記デバイス層A2に相当する。半導体装置1では、第1基板10および第2基板20の積層体において、半導体基板11と半導体基板21との間に、半導体基板11と平行な方向に延在すると共に、半導体層49Aと金属層49Bとが積層された配線49が設けられている。この半導体層49A、金属層49Bおよび配線49が、それぞれ、上記半導体層W1、金属層W2および配線Wに相当する。

#### 【0014】

図2は、センサ画素12、読み出し回路22およびロジック回路32(垂直駆動回路33)の一例を表したものである。図3Aは、デバイス層A1におけるレイアウトを表したものであり、図3Bは、デバイス層A2および配線層Bにおけるレイアウトを表したものである。図3Aおよび図3Bには、1つのフローティングディフュージョンFDを共有する2×2の4つのセンサ画素12の構成が例示されている。この1つのフローティングディフュージョンFDを共有する2×2の4つのセンサ画素12に対応する単位領域を、便宜的に、単位領域12Xと称することとする。なお、図1に示した断面は、図3Aおよび図3Bに示したI-I線およびII-II線に対応したものである。但し、I-I線およびII-II線は便宜的に示したものであり、図1と完全に一致するものではないとする。

#### 【0015】

第1基板10は、半導体基板11に、光電変換を行う複数のセンサ画素12を有している。半導体基板11は、本開示の「第1半導体基板」および「第1デバイス層」の一具体例に相当する。複数のセンサ画素12は、第1基板10における画素領域13内に行列状に設けられている。第1基板10は、フォトダイオードPDから出力された電荷を一時的に保持するフローティングディフュージョンFDを4つのセンサ画素12ごとに共有している。各センサ画素12は、互いに共通の構成要素を有している。第2基板20は、半導体基板21に、センサ画素12から出力された電荷に基づく画素信号を出力する読み出し回路22を4つのセンサ画素12ごとに1つずつ有している。半導体基板21は、本開示の「第2半導体基板」および「第2デバイス層」の一具体例に相当する。第3基板30は、半導体基板31に、画素信号を処理するロジック回路32を有している。半導体基板31は、本開示の「第3半導体基板」の一具体例に相当する。ロジック回路32は、図2に示したように、例えば、垂直駆動回路33を有している。

#### 【0016】

各センサ画素12は、例えば、フォトダイオードPDと、フォトダイオードPDと電氣的に接続された転送トランジスタTRと、転送トランジスタTRを介してフォトダイオードPDから出力された電荷を一時的に保持するフローティングディフュージョンFDとを有している。フォトダイオードPDのカソードは転送トランジスタTRのソースに電氣的に接続されており、フォトダイオードPDのアノードは基準電位線(例えばグラウンド)に電氣的に接続されている。転送トランジスタTRのドレインはフローティングディフュージョンFDに電氣的に接続され、転送トランジスタTRのゲートは、例えば、後述する画素駆動線23を介して垂直駆動回路33に電氣的に接続されている。

#### 【0017】

4つのセンサ画素12が共有するフローティングディフュージョンFDは、共通の読み出し回路22の入力端に電氣的に接続されている。読み出し回路22は、例えば、リセットトランジスタRSTと、選択トランジスタSELと、増幅トランジスタAMPとを有している。リセットトランジスタRSTのソース(読み出し回路22の入力端)はフローティングディフュージョンFDに電氣的に接続されており、リセットトランジスタRSTのドレインは電源線VDDおよび増幅トランジスタAMPのドレインに電氣的に接続されている。増幅トランジスタAMPのソースは選択トランジスタSELのドレインに電氣的に接続されており、増幅トランジスタAMPのゲートはリセットトランジスタRSTのソースに電氣的に接続されている。本実施の形態では、第1基板10は、上記のように、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに有し、フローティングディフュージョンFDを4つのセンサ画素12ごとに共有している。単位領域12X

10

20

30

40

50

内において各センサ画素 1 2 に設けられた 4 つの転送ゲート T G は、1 つのフローティングディフュージョン F D を囲むように配置されている。また、リセットトランジスタ R S T および選択トランジスタ S E L と、増幅トランジスタ A M P とは、図 3 B に示したように、単位領域 1 2 X の対向する一対の辺に沿って、それぞれ配置されている。

#### 【 0 0 1 8 】

次に、半導体装置 1 の垂直方向の断面構成について図 1 を用いて説明する。半導体装置 1 は、上記のように、第 1 基板 1 0 および第 2 基板 2 0 がこの順に積層された構成を有する。

#### 【 0 0 1 9 】

第 1 基板 1 0 は、半導体基板 1 1 の表面（面 1 1 S 1）上に、層間絶縁膜 5 1 の一部として絶縁層 4 6 を積層して構成されている。半導体基板 1 1 は、シリコン基板で構成されている。半導体基板 1 1 は、例えば p 型の半導体領域で構成された p ウェル 4 2 と、p ウェル 4 2 とは異なる導電型（具体的には n 型）の半導体領域で構成されたフォトダイオード P D 4 1 とを有している。半導体基板 1 1 は、p ウェル 4 2 内に、p ウェル 4 2 とは異なる導電型（具体的には n 型）の半導体領域として、フローティングディフュージョン F D を有している。また、半導体基板 1 1 は、p ウェル 4 2 内に、p ウェル 4 2 と同一の導電型（具体的には p 型）且つ、p ウェル 4 2 よりも不純物濃度の高いコンタクト用拡散層 4 2 P を有している。つまり、第 1 基板 1 0 は、半導体基板 1 1 の面 1 1 S 1 側（光入射面側とは反対側、第 2 基板 2 0 側）の一部に、転送トランジスタ T R、フローティングディフュージョン F D およびコンタクト用拡散層 4 2 P が設けられた構成となっている。

#### 【 0 0 2 0 】

第 2 基板 2 0 は、半導体基板 2 1 上に、層間絶縁膜 5 1 の一部として絶縁層 5 2 を積層して構成されている。半導体基板 2 1 は、シリコン基板で構成されている。第 2 基板 2 0 は、4 つのセンサ画素 1 2 ごとに、1 つの読み出し回路 2 2 を有している。第 2 基板 2 0 は、半導体基板 2 1 の表面（面 2 1 S 1）側の一部に読み出し回路 2 2 が設けられた構成となっている。第 2 基板 2 0 は、さらに、半導体基板 2 1 と同一の層内に、層間絶縁膜 5 1 の一部として絶縁層 5 3 を有している。第 2 基板 2 0 は、例えば、絶縁層 5 2 内に、読み出し回路 2 2（具体的には、リセットトランジスタ R S T）に接続される接続部 5 9 を有している。第 2 基板 2 0 は、さらに、例えば、絶縁層 5 2 上に接続配線 5 5 を有している。接続配線 5 5 は、接続部 5 9 と、後述する貫通配線 5 4 とを接続するものであり、これにより、フローティングディフュージョン F D と読み出し回路 2 2 とは電氣的に接続されている。

#### 【 0 0 2 1 】

第 1 基板 1 0 および第 2 基板 2 0 からなる積層体は、層間絶縁膜 5 1 内に設けられた貫通配線 5 4 を有している。貫通配線 5 4 は、本開示の「第 1 貫通配線」の一具体例に相当する。上記積層体は、センサ画素 1 2 ごとに、1 つの貫通配線 5 4 を有している。貫通配線 5 4 は、半導体基板 2 1 の法線方向（Y 軸方向）に延びており、層間絶縁膜 5 1 のうち、絶縁層 5 3 を含む箇所を貫通して設けられている。第 1 基板 1 0 および第 2 基板 2 0 は、貫通配線 5 4 によって互いに電氣的に接続されている。具体的には、貫通配線 5 4 は、接続配線 5 5 および接続部 5 9 と共に、フローティングディフュージョン F D と読み出し回路 2 2 とを電氣的に接続している。

#### 【 0 0 2 2 】

第 1 基板 1 0 および第 2 基板 2 0 からなる積層体は、さらに、層間絶縁膜 5 1 内に設けられた貫通配線 4 7、4 8 を有している。上記積層体は、4 つのセンサ画素 1 2 ごとに、例えば 1 つ以上の貫通配線 4 7 と、1 つの貫通配線 4 8 とを有している。貫通配線 4 7、4 8 は、それぞれ、半導体基板 2 1 の法線方向に延びており、層間絶縁膜 5 1 のうち、絶縁層 5 3 を含む箇所を貫通して設けられている。第 1 基板 1 0 および第 2 基板 2 0 は、貫通配線 4 7、4 8 によって互いに電氣的に接続されている。具体的には、貫通配線 4 7 は、半導体基板 1 1 のコンタクト用拡散層 4 2 P と、第 2 基板 2 0 内の配線（具体的には、垂直信号線 2 4）とを電氣的に接続している。貫通配線 4 8 は、詳細は後述するが、一端

が半導体基板 1 1 と半導体基板 2 1 との間に設けられると共に、半導体基板 1 1 と平行方向に延在する配線 4 9 に接続され、他端が第 2 基板 2 0 内の配線（具体的には、画素駆動線 2 3）に接続され、転送トランジスタ T R の転送ゲート T G と、垂直駆動回路 3 3 とを電氣的に接続している。この貫通配線 4 8 は、例えば、後述する図 2 7 に示した周辺領域 1 4 に形成されている。

#### 【 0 0 2 3 】

第 1 基板 1 0 および第 2 基板 2 0 からなる積層体は、さらに、層間絶縁膜 5 1 内に配線 4 9 を有している。配線 4 9 は、上記配線 W に相当すると共に、本開示の「配線」の一具体例に相当する。配線 4 9 は、具体的には、第 1 基板 1 0 を構成する半導体基板 1 1 と、第 2 基板 2 0 を構成する半導体基板 2 1 との間の絶縁層 4 6 内に設けられている。配線 4 9 は、ビア 4 9 V および貫通配線 4 8 と共に、転送トランジスタ T R の転送ゲート T G と垂直駆動回路 3 3 とを電氣的に接続するものである。配線 4 9 は、単位領域 1 2 X 内に配置された 4 つのセンサ画素 1 2 のそれぞれに 1 つずつ設けられている。即ち、単位領域 1 2 X 内には、図 3 B に示したように、4 つの配線 4 9 X 1 , 4 9 X 2 , 4 9 X 3 , 4 9 X 4 が、例えばリセットトランジスタ R S T および選択トランジスタ S E L と増幅トランジスタ A M P との間に、帯状に並んで配置されている。各配線 4 9 X 1 , 4 9 X 2 , 4 9 X 3 , 4 9 X 4 は、各転送トランジスタ T R 1 , T R 2 , T R 3 , T R 4 の転送ゲート T G と各配線 4 9 X 1 , 4 9 X 2 , 4 9 X 3 , 4 9 X 4 とを接続するビア 4 9 V 1 , 4 9 V 2 , 4 9 V 3 , 4 9 V 4 を互いにずらして設けることで、互いに独立して形成することができる。

#### 【 0 0 2 4 】

配線 4 9 は、半導体層 4 9 A と金属層 4 9 B とが半導体基板 1 1 側から順に積層された積層構造を有する。半導体層 4 9 A の材料としては、例えば、S i 、 G e 、 S i G e 、 S i C 、 Z n S e 、 G a A s 、 G a P 、 I n P 、 I n N 、 G a N 、 I n G a N 、 G a A l A s 、 I G a A s 、 G a I n N A s 、 I n G a A l P 、 Z n O 、 I G Z O 、 M o S 2 、 M o S e 2 、 M o T e 2 、 W S 2 、 W S e 2 、 W T e 2 、 Z r S 2 、 Z r S e 2 、 Z r T e 2 、 H f S 2 、 H f S e 2 、 H f T e 2 、 グラフェン、フォスフェレンおよびカーボンナノチューブの重合体またはアモルファスもしくは単結晶が挙げられる。金属層 4 9 B の材料としては、例えば、タングステン ( W ) 、 アルミニウム ( A l ) 、 コバルト ( C o ) 、 ニッケル ( N i ) および白金 ( P t ) のうちの 1 種または 2 種以上、もしくは、上記金属のいずれかとシリコン ( S i ) との化合物 ( シリサイド ) が挙げられる。配線 4 9 と転送ゲート T G とは、ビア 4 9 V を介して接続されている。ビア 4 9 V の材料としては、半導体層 4 9 A において挙げた半導体が挙げられる。配線 4 9 と垂直駆動回路 3 3 とは、貫通配線 4 8 を介して接続されている。貫通配線 4 8 の材料としては、金属層 4 9 B において挙げた金属が挙げられる。

#### 【 0 0 2 5 】

##### ( 1 - 2 . 半導体装置の製造方法 )

次に、半導体装置 1 の製造方法について説明する。図 4 A ~ 図 4 F は、半導体装置 1 の製造過程の一例を表したものである。

#### 【 0 0 2 6 】

まず、半導体基板 1 1 に、p ウェル 4 2 や、素子分離部 4 3 、 p ウェル層 4 4 を形成する。次に、半導体基板 1 1 に、フォトダイオード P D 4 1 、転送トランジスタ T R およびフローティングディフュージョン F D を形成する ( 図 4 A ) 。これにより、半導体基板 1 1 に、センサ画素 1 2 が形成される。続いて、半導体基板 1 1 上に、絶縁層 4 6 A を形成する。次に、転送トランジスタ T R の転送ゲート ( T G ) 上に、絶縁層 4 6 A を貫通する開口 4 6 H を設けたのち、開口 4 6 H を埋設するビア 4 9 V と共に、半導体基板 1 1 と平行な方向に延伸する半導体層 4 9 A を、例えばポリシリコンを用いて形成する ( 図 4 B ) 。続いて、絶縁層 4 6 A および半導体層 4 9 A 上に絶縁層 4 6 B を形成する ( 図 4 C ) 。このようにして、第 1 基板 1 0 が形成される。

#### 【 0 0 2 7 】

次に、第1基板10上に、半導体基板21を貼り合わせたのち、半導体基板21を貫通する開口21Hを形成して、半導体基板21を複数のブロック21Aに分離する。その後、開口21Hを埋め込むように、絶縁層53を形成する。続いて、半導体基板21の各ブロック21Aに、増幅トランジスタAMP等を含む読み出し回路22を形成する(図4D)。次に、半導体基板21上に絶縁層52Aを形成したのち、半導体層49A上に対応する位置に、絶縁層52A、53、46を貫通する開口H1を形成する(図4E)。

#### 【0028】

続いて、半導体層49A上に金属層49Bを形成する(図4F)。金属層49Bは、シリサイド化を用いて形成することができる。例えば、半導体層49A上に、例えばコバルト(Co)またはニッケル(Ni)をスパッタしたのち、アニール処理する。その後、未反応部分を除去し、再度アニール処理をする。これにより、半導体層49A上に金属層49Bが形成される。この他、金属層49Bは、選択CVDを用いて形成してもよい。例えば、フッ化タングステン(WF<sub>6</sub>)およびシラン(SiH<sub>4</sub>)を用いた選択CVDにより、半導体層49A上にW膜からなる金属層49Bを選択的に形成することができる

10

#### 【0029】

次に、開口H1を埋め込むように、絶縁層52Aおよび金属層49B上に絶縁層を成膜することで、絶縁層52を形成する。このようにして、絶縁層46、52、53からなる層間絶縁膜51を形成する(図4G)。続いて、層間絶縁膜51に貫通孔51H1、51H2、51H3、51H4を形成する(図4H)。具体的には、層間絶縁膜51のうち、読み出し回路22と対向する箇所に、絶縁層52を貫通する貫通孔51H1を形成する。また、層間絶縁膜51のうち、フローティングディフュージョンFDと対向する箇所に、層間絶縁膜51を貫通する貫通孔51H2を形成する。更に、層間絶縁膜51のうち、コンタクト用拡散層42Pと対向する箇所に、層間絶縁膜51を貫通する貫通孔51H3を形成する。更にまた、配線49と対向する箇所に、層間絶縁膜51を貫通する貫通孔51H4を形成する。

20

#### 【0030】

次に、貫通孔51H1、51H2、51H3、51H4に導電性材料を埋め込むことにより、貫通孔51H1内に貫通配線54を形成すると共に、貫通孔51H2内に接続部59を形成する。また、貫通孔51H3内に貫通配線47、貫通孔51H4内に貫通配線48を形成する。続いて、絶縁層52上に、貫通配線54と接続部59とを互いに電氣的に接続する接続配線55を形成する(図4I)。このようにして、第2基板20が形成され、図1に示した半導体装置1が製造される。

30

#### 【0031】

図5は、図1に示した半導体装置1に対応する、一般的な3次元構造を有する半導体装置100の垂直方向(Y軸方向)の断面構成を模式的に表したものである。図6Aは、デバイス層A100におけるレイアウトを表したものであり、図6Bは、デバイス層A200におけるレイアウトを表したものである。なお、図5に示した断面は、図6Aおよび図6Bに示したIII-III線およびIV-IV線に対応したものである。但し、III-III線およびIV-IV線は便宜的に示したものであり、図1と完全に一致するものではないとする。

40

#### 【0032】

図5、図6A、図6Bに示したように、一般的な3次元構造を有する半導体装置100では、フローティングディフュージョンFDと読み出し回路1022とを電氣的に接続する貫通配線1054の周囲に、転送トランジスタTRの転送ゲートTGと垂直駆動線(図示せず)とを電氣的に接続する複数(半導体装置100では4つ)の貫通配線1048が並走するように形成される。このため、貫通配線1054と貫通配線1048との間との間の容量(寄生容量)が大きくなる。

#### 【0033】

これに対して本実施の形態では、デバイス層A1とデバイス層A2との間の配線層B内に、デバイス層A1と平行な方向に延在すると共に、半導体層W1と金属層W2とが積層

50

された配線Wを形成するようにした。これにより、デバイス層A1およびデバイス層A2の積層方向に延伸する貫通配線の総数が削減される。これにより、貫通配線間の寄生容量を低減させることが可能となる。

#### 【0034】

##### (1-3. 撮像装置の構成)

次に、上述した半導体装置1の構成を適用した撮像装置1Aについて詳細に説明する。図7は、本開示の第1の実施の形態に係る撮像装置(撮像装置1A)の垂直方向の断面構成の一例を表したものである。図8は、図7に示した撮像装置1Aの概略構成の一例を表したものである。本実施の形態の撮像装置1Aは、3つの基板(第1基板10、第2基板20および第3基板30)がこの順に積層されたものである。

10

#### 【0035】

第1基板10は、上記のように、半導体基板11に、光電変換を行う複数のセンサ画素12を有している。複数のセンサ画素12は、第1基板10における画素領域13内に行列状に設けられている。第1基板10は、フォトダイオードPDから出力された電荷を一時的に保持するフローティングディフュージョンFDを4つのセンサ画素12ごとに共有している。第2基板20は、半導体基板21に、センサ画素12から出力された電荷に基づく画素信号を出力する読み出し回路22を4つのセンサ画素12ごとに1つずつ有している。第2基板20は、行方向に延在する複数の画素駆動線23と、列方向に延在する複数の垂直信号線24とを有している。なお、複数の画素駆動線23は、例えば、第1基板10側(例えば、半導体基板11と半導体基板21との間の層間絶縁膜51内)に設けられていてもよい。第3基板30は、半導体基板31に、画素信号を処理するロジック回路32を有している。半導体基板31は、本開示の「第3半導体基板」の一具体例に相当する。ロジック回路32は、例えば、垂直駆動回路33、カラム信号処理回路34、水平駆動回路35およびシステム制御回路36を有している。ロジック回路32(具体的には水平駆動回路35)は、センサ画素12ごとの出力電圧Voutを外部に出力する。ロジック回路32では、例えば、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、CoSi<sub>2</sub>やNiSi等のサリサイド(Self Aligned Silicide)プロセスを用いて形成されたシリサイドからなる低抵抗領域が形成されていてもよい。

20

#### 【0036】

垂直駆動回路33は、例えば、複数のセンサ画素12を行単位で順に選択する。カラム信号処理回路34は、例えば、垂直駆動回路33によって選択された行の各センサ画素12から出力される画素信号に対して、相関二重サンプリング(Correlated Double Sampling: CDS)処理を施す。カラム信号処理回路34は、例えば、CDS処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素12の受光量に応じた画素データを保持する。水平駆動回路35は、例えば、カラム信号処理回路34に保持されている画素データを順次、外部に出力する。システム制御回路36は、例えば、ロジック回路32内の各ブロック(垂直駆動回路33、カラム信号処理回路34および水平駆動回路35)の駆動を制御する。

30

#### 【0037】

図9は、センサ画素12および読み出し回路22の一例を表したものである。以下では、図3Aに示したように、4つのセンサ画素12が1つのフローティングディフュージョンFDおよび1つの読み出し回路22を共有している場合について説明する。ここで、「共有」とは、4つのセンサ画素12の出力が共通のフローティングディフュージョンFDおよび読み出し回路22に入力されることを指している。

40

#### 【0038】

各センサ画素12は、互いに共通の構成要素を有している。図9には、各センサ画素12の構成要素を互いに区別するために、各センサ画素12の構成要素の符号の末尾に識別番号(1, 2, 3, 4)が付与されている。以下では、各センサ画素12の構成要素を互いに区別する必要のある場合には、各センサ画素12の構成要素の符号の末尾に識別番号を付与するが、各センサ画素12の構成要素を互いに区別する必要のない場合には、各セ

50

ンサ画素 1 2 の構成要素の符号の末尾の識別番号を省略するものとする。

【 0 0 3 9 】

各センサ画素 1 2 は、例えば、フォトダイオード P D と、フォトダイオード P D と電氣的に接続された転送トランジスタ T R と、転送トランジスタ T R を介してフォトダイオード P D から出力された電荷を一時的に保持するフローティングディフュージョン F D とを有している。フォトダイオード P D は、本開示の「光電変換素子」の一具体例に相当する。フォトダイオード P D は、光電変換を行って受光量に応じた電荷を発生する。上述したように、フォトダイオード P D のカソードが転送トランジスタ T R のソースに電氣的に接続されており、フォトダイオード P D のアノードが基準電位線（例えばグラウンド）に電氣的に接続されている。転送トランジスタ T R のドレインがフローティングディフュージョン F D に電氣的に接続され、転送トランジスタ T R のゲートは画素駆動線 2 3 に電氣的に接続されている。転送トランジスタ T R は、例えば、C M O S ( Complementary Metal Oxide Semiconductor ) トランジスタである。

10

【 0 0 4 0 】

上述したように、4 つのセンサ画素 1 2 が共有するフローティングディフュージョン F D は、共通の読み出し回路 2 2 の入力端に電氣的に接続されている。読み出し回路 2 2 は、例えば、リセットトランジスタ R S T と、選択トランジスタ S E L と、増幅トランジスタ A M P とを有している。なお、選択トランジスタ S E L は、必要に応じて省略してもよい。リセットトランジスタ R S T のソース（読み出し回路 2 2 の入力端）がフローティングディフュージョン F D に電氣的に接続されており、リセットトランジスタ R S T のドレインが電源線 V D D および増幅トランジスタ A M P のドレインに電氣的に接続されている。リセットトランジスタ R S T のゲートは画素駆動線 2 3 に電氣的に接続されている。増幅トランジスタ A M P のソースが選択トランジスタ S E L のドレインに電氣的に接続されており、増幅トランジスタ A M P のゲートがリセットトランジスタ R S T のソースに電氣的に接続されている。選択トランジスタ S E L のソース（読み出し回路 2 2 の出力端）が垂直信号線 2 4 に電氣的に接続されており、選択トランジスタ S E L のゲートが画素駆動線 2 3 に電氣的に接続されている。

20

【 0 0 4 1 】

転送トランジスタ T R は、転送トランジスタ T R がオン状態となると、フォトダイオード P D の電荷をフローティングディフュージョン F D に転送する。転送トランジスタ T R のゲート（転送ゲート T G ）は、例えば、図 7 に示したように、平面型の転送ゲート T G を有しており、半導体基板 1 1 の表面に形成されている。リセットトランジスタ R S T は、フローティングディフュージョン F D の電位を所定の電位にリセットする。リセットトランジスタ R S T がオン状態となると、フローティングディフュージョン F D の電位を電源線 V D D の電位にリセットする。選択トランジスタ S E L は、読み出し回路 2 2 からの画素信号の出力タイミングを制御する。増幅トランジスタ A M P は、画素信号として、フローティングディフュージョン F D に保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタ A M P は、ソースフォロア型のアンプを構成しており、フォトダイオード P D で発生した電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタ A M P は、選択トランジスタ S E L がオン状態となると、フローティングディフュージョン F D の電位を増幅して、その電位に応じた電圧を、垂直信号線 2 4 を介してカラム信号処理回路 3 4 に出力する。リセットトランジスタ R S T 、増幅トランジスタ A M P および選択トランジスタ S E L は、例えば、C M O S トランジスタである。

30

40

【 0 0 4 2 】

なお、図 1 0 に示したように、選択トランジスタ S E L が、電源線 V D D と増幅トランジスタ A M P との間に設けられていてもよい。この場合、リセットトランジスタ R S T のドレインが電源線 V D D および選択トランジスタ S E L のドレインに電氣的に接続されている。選択トランジスタ S E L のソースが増幅トランジスタ A M P のドレインに電氣的に接続されており、選択トランジスタ S E L のゲートが画素駆動線 2 3 に電氣的に接続されている。増幅トランジスタ A M P のソース（読み出し回路 2 2 の出力端）が垂直信号線 2

50

4に電氣的に接続されており、増幅トランジスタAMPのゲートがリセットトランジスタRSTのソースに電氣的に接続されている。また、図11および図12に示したように、FD転送トランジスタFDGが、リセットトランジスタRSTのソースと増幅トランジスタAMPのゲートとの間に設けられていてもよい。

#### 【0043】

FD転送トランジスタFDGは、変換効率を切り替える際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。Q = CVに基づき、電荷電圧変換を行う際に、フローティングディフュージョンFDの容量(FD容量C)が大きければ、増幅トランジスタAMPで電圧に変換した際のVが小さくなってしまふ。一方、明るい場所では、画素信号が大きくなるので、FD容量Cが大きくなければ、フローティングディフュージョンFDで、フォトダイオードPDの電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際のVが大きくなりすぎないように(言い換えると、小さくなるように)、FD容量Cが大きくなっている必要がある。これらを踏まえると、FD転送トランジスタFDGをオンにしたときには、FD転送トランジスタFDG分のゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、FD転送トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、FD転送トランジスタFDGをオンオフ切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。

#### 【0044】

図13は、複数の読み出し回路22と、複数の垂直信号線24との接続態様の一例を表したものである。複数の読み出し回路22が、垂直信号線24の延在方向(例えば列方向)に並んで配置されている場合、複数の垂直信号線24は、読み出し回路22ごとに1つずつ割り当てられていてもよい。例えば、図13に示したように、4つの読み出し回路22が、垂直信号線24の延在方向(例えば列方向)に並んで配置されている場合、4つの垂直信号線24が、読み出し回路22ごとに1つずつ割り当てられていてもよい。なお、図13では、各垂直信号線24を区別するために、各垂直信号線24の符号の末尾に識別番号(1, 2, 3, 4)が付与されている。

#### 【0045】

次に、撮像装置1Aの垂直方向の断面構成について図7を用いて説明する。撮像装置1Aは、上記のように、第1基板10、第2基板20および第3基板30がこの順に積層された構成を有し、さらに、第1基板10の裏面(光入射面)側に、カラーフィルタ40および受光レンズ50を備えている。カラーフィルタ40および受光レンズ50は、それぞれ、例えば、センサ画素12ごとに1つずつ設けられている。つまり、撮像装置1Aは、裏面照射型の撮像装置である。

#### 【0046】

第1基板10は、上述したように、半導体基板11の表面(面11S1)上に絶縁層46を積層して構成されている。第1基板10は、層間絶縁膜51の一部として、絶縁層46を有している。絶縁層46は、半導体基板11と、後述の半導体基板21との間に設けられている。半導体基板11は、シリコン基板で構成されている。半導体基板11は、例えば、表面の一部およびその近傍に、pウェル42を有しており、それ以外の領域(pウェル42よりも深い領域)に、pウェル42とは異なる導電型のPD41を有している。pウェル42は、p型の半導体領域で構成されている。PD41は、pウェル42とは異なる導電型(具体的にはn型)の半導体領域で構成されている。半導体基板11は、pウェル42内に、pウェル42とは異なる導電型(具体的にはn型)の半導体領域として、フローティングディフュージョンFDを有している。

#### 【0047】

第1基板10は、上述したように、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに有し、フローティングディフュージョンFDを4つのセンサ画素12ごとに共有している。第1基板10は、半導体基板11の面11S1側(光入射面側とは反対側、第2基板20側)の一部に、転送トランジスタTRおよびフローティングディフュージョンFDが設けられた構成となっている。

## 【 0 0 4 8 】

第1基板10は、各センサ画素12を分離する素子分離部43を有している。素子分離部43は、半導体基板11の法線方向（半導体基板11の表面に対して垂直な方向）から見て、センサ画素12を完全には囲っておらず、フローティングディフュージョンFD（貫通配線54）の近傍と、貫通配線47の近傍に、隙間（未形成領域）を有している。そして、その隙間によって、4つのセンサ画素12による1つの貫通配線54の共有や、4つのセンサ画素12Aによる1つの貫通配線47の共有を可能にしている。素子分離部43は、例えば、酸化シリコンによって構成されている。素子分離部43は、例えば、半導体基板11を貫通している。第1基板10は、例えば、さらに、素子分離部43の側面であって、且つ、フォトダイオードPD側の面に接するpウェル層44を有している。pウェル層44は、フォトダイオードPDとは異なる導電型（具体的にはp型）の半導体領域で構成されている。第1基板10は、例えば、さらに、半導体基板11の裏面（面11S2、他の面）に接する固定電荷膜45を有している。固定電荷膜45は、半導体基板11の受光面側の界面準位に起因する暗電流の発生を抑制するため、負に帯電している。固定電荷膜45は、例えば、負の固定電荷を有する絶縁膜によって形成されている。そのような絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。固定電荷膜45が誘起する電界により、半導体基板11の受光面側の界面にホール蓄積層が形成される。このホール蓄積層によって、界面からの電子の発生が抑制される。カラーフィルタ40は、半導体基板11の裏面側に設けられている。カラーフィルタ40は、例えば、固定電荷膜45に接して設けられており、固定電荷膜45を介してセンサ画素12と対向する位置に設けられている。受光レンズ50は、例えば、カラーフィルタ40に接して設けられており、カラーフィルタ40および固定電荷膜45を介してセンサ画素12と対向する位置に設けられている。

10

20

## 【 0 0 4 9 】

第2基板20は、上述したように、半導体基板21上に絶縁層52を積層して構成されている。第2基板20は、層間絶縁膜51の一部として、絶縁層52を有している。絶縁層52は、半導体基板21と、半導体基板31との間に設けられている。半導体基板21は、シリコン基板で構成されている。第2基板20は、4つのセンサ画素12ごとに、1つの読み出し回路22を有している。第2基板20は、半導体基板21の表面（第3基板30と対向する面21S1、一の面）側の一部に読み出し回路22が設けられた構成となっている。第2基板20は、半導体基板11の表面（面11S1）に対して半導体基板21の裏面（面21S2、他の面）を向けて第1基板10に貼り合わされている。つまり、第2基板20は、第1基板10に、フェイストウバックで貼り合わされている。第2基板20は、さらに、半導体基板21と同一の層内に絶縁層53を有している。第2基板20は、層間絶縁膜51の一部として、絶縁層53を有している。絶縁層53は、半導体基板21を貫通する開口21H内に形成されており、上述した貫通配線47、48、54の側面を覆うように設けられている。

30

## 【 0 0 5 0 】

第2基板20は、例えば、絶縁層52内に、読み出し回路22や半導体基板21と電氣的に接続された複数の接続部59を有している。第2基板20は、さらに、例えば、絶縁層52上に配線層56を有している。配線層56は、例えば、絶縁層57と、絶縁層57内に設けられた複数の画素駆動線23および複数の垂直信号線24を有している。配線層56は、さらに、例えば、絶縁層57内に複数の接続配線55を4つのセンサ画素12ごとに1つずつ有している。接続配線55は、読み出し回路22を共有する4つのセンサ画素12に含まれるフローティングディフュージョンFDに電氣的に接続された各貫通配線54を互いに電氣的に接続している。

40

## 【 0 0 5 1 】

配線層56は、さらに、例えば、絶縁層57内に複数のパッド電極58を有している。各パッド電極58は、例えば、Cu（銅）、Al（アルミニウム）等の金属で形成されている。各パッド電極58は、配線層56の表面に露出している。各パッド電極58は、第

50

2基板20と第3基板30との電気的な接続と、第2基板20と第3基板30との貼り合わせに用いられる。複数のパッド電極58は、例えば、画素駆動線23および垂直信号線24ごとに1つずつ設けられている。ここで、パッド電極58の総数（または、パッド電極58とパッド電極64（後述）との接合の総数は、第1基板10に含まれるセンサ画素12の総数よりも少ない。

#### 【0052】

第3基板30は、例えば、半導体基板31上に層間絶縁膜61を積層して構成されている。なお、第3基板30は、後述するように、第2基板20に、表面側の面同士で貼り合わされていることから、第3基板30内の構成について説明する際には、上下の説明が、図面での上下方向とは逆となっている。半導体基板31は、シリコン基板で構成されている。第3基板30は、半導体基板31の表面（面31S1）側の一部にロジック回路32が設けられた構成となっている。第3基板30は、さらに、例えば、層間絶縁膜61上に配線層62を有している。配線層62は、例えば、絶縁層63と、絶縁層63内に設けられた複数のパッド電極64を有している。複数のパッド電極64は、ロジック回路32と電気的に接続されている。各パッド電極64は、例えば、Cu（銅）で形成されている。各パッド電極64は、配線層62の表面に露出している。各パッド電極64は、第2基板20と第3基板30との電気的な接続と、第2基板20と第3基板30との貼り合わせに用いられる。また、パッド電極64は、必ずしも複数でなくてもよく、1つでもロジック回路32と電気的に接続が可能である。第2基板20および第3基板30は、パッド電極58, 64同士の接合によって、互いに電気的に接続されている。つまり、転送トランジスタTRの転送ゲートTGは、貫通配線48とパッド電極58, 64とを介して、ロジック回路32に電気的に接続されている。第3基板30は、半導体基板21の表面（面21S1）側に半導体基板31の表面（面31S1）を向けて第2基板20に貼り合わされている。つまり、第3基板30は、第2基板20に、フェイストウフェイスで貼り合わされている。

#### 【0053】

図14は、撮像装置1Aの水平方向の断面構成の一例を表したものである。図14の上側の図は、図7の断面Sec1での断面構成の一例を表す図であり、図14の下側の図は、図1の断面Sec2での断面構成の一例を表す図である。図14には、2×2の4つのセンサ画素12を2組、第2方向Hに並べた構成が例示されている。なお、図14の上側の断面図では、図7の断面Sec1での断面構成の一例を表す図に、半導体基板11の表面構成の一例を表す図が重ね合わされると共に、絶縁層46が省略されている。また、図14の下側の断面図では、図7の断面Sec2での断面構成の一例を表す図に、半導体基板21の表面構成の一例を表す図が重ね合わされている。

#### 【0054】

マトリクス状に配置された複数のセンサ画素12において、1つのフローティングディフュージョンFDを共有する4つのセンサ画素12に対応する単位領域を、1つのセンサ画素12分だけ第1方向Vにずらすことにより得られる領域に対応する4つのセンサ画素12を、便宜的に、4つのセンサ画素12Aと称することとする。このとき、第1基板10は、貫通配線47を4つのセンサ画素12Aごとに共有している。第1方向Vは、マトリクス状に配置された複数のセンサ画素12の2つの配列方向（例えば行方向および列方向）のうち一方の配列方向（例えば列方向）と平行となっている。フローティングディフュージョンFDおよび読み出し回路22を共有する4つのセンサ画素12において、4つの転送ゲートTGは、1つのフローティングディフュージョンFDを囲むように配置されており、例えば、4つの転送ゲートTGによって円環形状となる形状となっている。

#### 【0055】

絶縁層53は、第1方向Vに延在する複数のブロックで構成されている。半導体基板21は、第1方向Vに延在すると共に、絶縁層53を介して第1方向Vと直交する第2方向Hに並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、複数組のリセットトランジスタRST、増幅トランジスタAMPおよび選

10

20

30

40

50

択トランジスタSELが設けられている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、4つのセンサ画素12と対向する領域内にある、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELによって構成されている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、絶縁層53の左隣りのブロック21A内の増幅トランジスタAMPと、絶縁層53の右隣りのブロック21A内のリセットトランジスタRSTおよび選択トランジスタSELとによって構成されている。

#### 【0056】

図15は、撮像装置1Aの水平方向の断面構成の他の例を表したものである。第1基板10は、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに有し、フローティングディフュージョンFDを4つのセンサ画素12ごとに共有している。更に、第1基板10は、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに分離する素子分離部43を有している。図15では、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている半導体基板21が、1つのフローティングディフュージョンFDを共有する4つのセンサ画素ごとに島状になっている点が上記図14の断面Sec2と異なる。

10

#### 【0057】

図16は、撮像装置1Aの水平方向の断面構成の他の例を表したものである。第1基板10は、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに有し、フローティングディフュージョンFDを4つのセンサ画素12ごとに共有している。更に、第1基板10は、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに分離する素子分離部43を有している。図16は、図15において1つのフローティングディフュージョンFDを共有する4つのセンサ画素ごとに島状になっている半導体基板21が、第1方向Vに1センサ画素分ずらして配置されたものである。

20

#### 【0058】

図17、図18、図19および図20は、撮像装置1Aの水平面内での配線レイアウトの一例を表したものである。図17～図20には、4つのセンサ画素12によって共有される1つの読み出し回路22が4つのセンサ画素12と対向する領域内に設けられている場合が例示されている。図17～図20に記載の配線は、例えば、配線層56において互いに異なる層内に設けられている。

30

#### 【0059】

貫通配線54は、例えば、図17に示したように、接続配線55と電氣的に接続されている。貫通配線54は、さらに、例えば、図17に示したように、接続配線55および接続部59を介して、絶縁層53の左隣りブロック21Aに含まれる増幅トランジスタAMPのゲートと、絶縁層53の右隣りブロック21Aに含まれるリセットトランジスタRSTのゲートとに電氣的に接続されている。

#### 【0060】

電源線VDDは、例えば、図18に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。電源線VDDは、例えば、図18に示したように、接続部59を介して、第2方向Hに並んで配置された各読み出し回路22の増幅トランジスタAMPのドレインおよびリセットトランジスタRSTのドレインに電氣的に接続されている。2本の画素駆動線23が、例えば、図18に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。一方の画素駆動線23（第2制御線）は、例えば、図18に示したように、第2方向Hに並んで配置された各読み出し回路22のリセットトランジスタRSTのゲートに電氣的に接続された配線RSTGである。他方の画素駆動線23（第3制御線）は、例えば、図18に示したように、第2方向Hに並んで配置された各読み出し回路22の選択トランジスタSELのゲートに電氣的に接続された配線SELGである。各読み出し回路22において、増幅トランジスタAMPのソースと、選択トランジスタSELのドレインとが、例えば、図18に示したように、配線25を介して、互いに電氣的に接続されている。

40

50

## 【 0 0 6 1 】

2本の電源線VSSが、例えば、図19の断面Sec2に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。各電源線VSSは、例えば、図19の断面Sec2に示したように、第2方向Hに並んで配置された各センサ画素12と対向する位置において、複数の貫通配線47に電氣的に接続されている。4本の画素駆動線23(配線49)が、例えば、図19の断面Sec1に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。4本の画素駆動線23(配線49)の各々は、例えば、第2方向Hに並んで配置された各読み出し回路22に対応する4つのセンサ画素12のうちの1つのセンサ画素12の貫通配線48と電氣的に接続された配線TRGである。つまり、4本の画素駆動線23(配線49, 第1制御線)は、第2方向Hに並んで配置された各センサ画素12の転送トランジスタTRのゲート(転送ゲートTG)に電氣的に接続されている。図19の断面Sec1では、各配線TRGを区別するために、各配線TRGの末尾に識別子(1, 2, 3, 4)が付与されている。

10

## 【 0 0 6 2 】

垂直信号線24は、例えば、図20に示したように、第1方向Vに並んで配置された各読み出し回路22と対向する位置に配置されている。垂直信号線24(出力線)は、例えば、図20に示したように、第1方向Vに並んで配置された各読み出し回路22の出力端(増幅トランジスタAMPのソース)に電氣的に接続されている。

20

## 【 0 0 6 3 】

本実施の形態の撮像装置1Aは、例えば、図4A~図4Iを用いた説明した半導体装置1の製造工程に続いて、以下のようにして製造することができる。

## 【 0 0 6 4 】

例えば、図4Iに示したようにして第2基板20まで形成したのち、半導体基板31の表面側に半導体基板21の表面を向けて、ロジック回路32や配線層62が形成された第3基板30に貼り合わせる。このとき、第2基板20のパッド電極58と、第3基板30のパッド電極64とを互いに接合することにより、第2基板20と第3基板30とを互いに電氣的に接続する。このようにして、図7に示した撮像装置1Aが製造される。

## 【 0 0 6 5 】

(1-4. 作用・効果)

従来、2次元構造の撮像装置の1画素あたりの面積の微細化は、微細プロセスの導入と実装密度の向上によって実現されてきた。近年、撮像装置のさらなる小型化および1画素あたりの面積の微細化を実現するため、3次元構造の撮像装置が開発されている。3次元構造の撮像装置では、例えば、複数のセンサ画素を有する半導体基板と、各センサ画素で得られた信号を処理する信号処理回路を有する半導体基板とが互いに積層されている。これにより、今までと同等のチップサイズで、センサ画素の集積度をより高くしたり、信号処理回路のサイズをより大きくしたりすることができる。

30

## 【 0 0 6 6 】

ところで、3次元構造の撮像装置では、読み出し回路等が形成される上層デバイスの形成において従来のMOSプロセスを用いる。従来のMOSプロセスでは、1000以上の高温プロセスがあるため、配線は上層デバイスの形成後に行う。このため、3次元構造の撮像装置では、配線の引き回しが冗長になりやすい。例えば上述した半導体装置100(図5)のように、半導体基板1011の法線方向に延びる貫通配線1054の周囲には、転送トランジスタTRの転送ゲートTGと第2基板(デバイス層A200)に設けられる画素駆動線(図示せず)とを電氣的に接続する複数の貫通配線1048が並走するように形成されており、貫通配線1054と貫通配線1048との間との間の容量(寄生容量)が大きくなる。このように、3次元構造を有する撮像装置では、フリッピング等によって寄生容量が増加しやすい。

40

## 【 0 0 6 7 】

一方、例えば400以下の低温プロセスで上層デバイスを形成した場合、上層デバイ

50

スの下方に配線を引き回せるため、寄生容量を最小化できるものの、上層デバイスの品質が低下する。具体的には、読み出し回路におけるノイズ特性等が悪化する。

【0068】

これに対して、本実施の形態では、第1基板10を構成する半導体基板11と、第2基板20を構成する半導体基板21との間の絶縁層46内に、半導体基板11と平行な方向に延在すると共に、半導体層49Aと金属層49Bとが積層された配線49を形成するようにした。これにより、第1基板10および第2基板20の積層方向に延伸する貫通配線の並走距離が削減される。具体的には、例えば、図5に示したフローティングディフュージョンFDと読み出し回路1022とを電氣的に接続する貫通配線1054と、転送トランジスタTRのゲート(TG)と垂直駆動回路33とを電氣的に接続する貫通配線1048との並走距離が、図1に示したように、転送トランジスタTRのゲート(TG)と配線49との間を接続するビア49V分に削減される。また、第1基板10および第2基板20の積層方向に延伸する貫通配線の総数が削減される。

10

【0069】

以上により、光電変換を行うセンサ画素12を有する第1基板10、センサ画素12から出力された電荷に基づく画像信号を出力する読み出し回路22を有する第2基板20およびロジック回路32を有する第3基板30が積層された3次元構造を有する撮像装置1Aにおいて、寄生容量を低減させることが可能となる。

【0070】

また、本実施の形態では、配線49を半導体層49Aと金属層49Bとの積層構造としたので、半導体層49Aのみで形成した場合と比較して配線49の抵抗を低減することが可能となる。即ち、第1基板10を構成する半導体基板11と、第2基板20を構成する半導体基板21との間に、低抵抗な配線を形成することが可能となる。

20

【0071】

以下に、第2～第5の実施の形態および変形例1～10について説明する。なお、以下の説明において上記第1の実施の形態と同一構成部分については同一符号を付してその説明は適宜省略する。

【0072】

<2. 第2の実施の形態>

図21は、本開示の第2の実施の形態に係る半導体装置(半導体装置2)の垂直方向の断面構成を模式的に表したものである。図22Aは、デバイス層A1におけるレイアウトを表したものであり、図22Bは、デバイス層A2および配線層Bにおけるレイアウトを表したものである。なお、図21に示した断面は、図22Aおよび図22Bに示したV-V線およびVI-VI線に対応したものである。半導体装置2は、上記第1の実施の形態と同様に、デバイス層A1(半導体基板11)に、光電変換を行うセンサ画素12を有する第1基板10と、デバイス層A2(半導体基板21)に、センサ画素12から出力された電荷に基づく画像信号を出力する読み出し回路22を有する第2基板20とが積層された積層体である。

30

【0073】

上記第1の実施の形態では、リセットトランジスタRSTおよび選択トランジスタSELと、増幅トランジスタAMPとを、単位領域12Xの対向する一対の辺に沿って配置し、その間に配線49を形成した例を示したが、リセットトランジスタRST、選択トランジスタSELおよび増幅トランジスタAMPは、図22Bに示したように、単位領域12Xの中央に張り出した配置としてもよい。この場合、単位領域12X内に帯状に配置される4つの配線49X1, 49X2, 49X3, 49X4は、図21に示したように、上方に半導体基板21を有する領域R1では半導体層49Aの単層構造、上方に半導体基板21がない領域R2では上記第1の実施の形態と同様に、半導体層49Aと金属層49Bの積層構造とする。この上方に半導体基板21がない領域R2が、本開示の「積層領域」に相当する。

40

【0074】

50

以上のように、配線 4 9 の上方にリセットトランジスタ R S T、選択トランジスタ S E L および増幅トランジスタ A M P が配置される場合であっても、リセットトランジスタ R S T、選択トランジスタ S E L および増幅トランジスタ A M P が配置されない領域 R 2 に、半導体層 4 9 A と金属層 4 9 B との積層領域 R を設けることで、上記第 1 の実施の形態と同様の効果を有する。

【 0 0 7 5 】

< 3 . 第 3 の実施の形態 >

図 2 3 は、本開示の第 3 の実施の形態に係る半導体装置（半導体装置 3）の垂直方向の断面構成を模式的に表したものである。半導体装置 3 は、上記第 1 の実施の形態と同様に、デバイス層 A 1（半導体基板 1 1）に、光電変換を行うセンサ画素 1 2 を有する第 1 基板 1 0 と、デバイス層 A 2（半導体基板 2 1）に、センサ画素 1 2 から出力された電荷に基づく画像信号を出力する読み出し回路 2 2 を有する第 2 基板 2 0 とが積層された積層体である。本実施の形態の半導体装置 3 は、転送トランジスタ T R の転送ゲート T G 上に、ビア 4 9 V を介さずに、直接配線 4 9 を形成したものである。

10

【 0 0 7 6 】

このように、転送トランジスタ T R の転送ゲート T G 上に、ビア 4 9 V を介さずに、直接配線 4 9 を形成した場合であっても、上記第 1 の実施の形態と同様の効果を有する。

【 0 0 7 7 】

< 4 . 第 4 の実施の形態 >

図 2 4 は、本開示の第 4 の実施の形態に係る半導体装置（半導体装置 4）の要部の垂直方向の断面構成を模式的に表したものである。半導体装置 4 は、上記第 1 の実施の形態と同様に、デバイス層 A 1（半導体基板 1 1）に、光電変換を行うセンサ画素 1 2 を有する第 1 基板 1 0 と、デバイス層 A 2（半導体基板 2 1）に、センサ画素 1 2 から出力された電荷に基づく画像信号を出力する読み出し回路 2 2 を有する第 2 基板 2 0 とが積層された積層体である。本実施の形態の撮像装置 1 A は、転送トランジスタ T R の転送ゲート T G を配線 4 9 として用いたものである。

20

【 0 0 7 8 】

このように、転送トランジスタ T R の転送ゲート T G を用いて配線 4 9 を形成した場合であっても、上記第 1 の実施の形態と同様の効果を有する。なお、この配線 4 9 を兼ねた転送ゲート T G は、ポリシリコン等の半導体材料を用いて形成（半導体層 4 9 A）されており、上方に半導体基板 2 1 がない場合には、図 2 4 に示したように、半導体層 4 9 A と金属層 4 9 B とが積層された積層構造を有する。

30

【 0 0 7 9 】

< 5 . 第 5 の実施の形態 >

図 2 5 は、本開示の第 5 の実施の形態に係る半導体装置（半導体装置 5）の要部の垂直方向の断面構成を模式的に表したものである。半導体装置 5 は、上記第 1 の実施の形態の撮像装置 1 A と同様に、半導体基板 1 1 に、光電変換を行うセンサ画素 1 2 を有する第 1 基板 1 0 と、半導体基板 2 1 に、センサ画素 1 2 から出力された電荷に基づく画像信号を出力する読み出し回路 2 2 を有する第 2 基板 2 0 と、ロジック回路 3 2 を有する第 3 基板 3 0 とが積層された 3 次元構造を有する撮像装置である。本実施の形態の半導体装置 5 は、第 2 基板 2 0 を構成する半導体基板 2 1 と、第 3 基板 3 0 を構成する半導体基板 3 1 との間に、半導体基板 2 1 と半導体基板 3 1 との間を延在すると共に、一部に半導体層 7 2 A と金属層 7 2 B とが積層された領域 R 2 を有する配線 7 3 が形成されたものである。

40

【 0 0 8 0 】

半導体装置 5 では、第 2 基板 2 0 上に第 3 基板 3 0 として、半導体基板 3 1 と、半導体基板 3 1 と同層に設けられると共に、層間絶縁膜 5 1 の一部として絶縁層 7 1 と、半導体基板 3 1 および絶縁層 7 1 上に設けられると共に、層間絶縁膜 5 1 の一部として絶縁層 7 2 とを有する。半導体基板 3 1 の面 S 2 には、例えばロジック回路 3 2 が設けられている。絶縁層 5 2 には、上記のように、配線 7 3 が設けられている。配線 7 3 は、上方に半導体基板 3 1 がない領域 R 2 では半導体層 7 3 A 上に金属層 7 3 B が積層された積層構造を

50

有する。

【0081】

このように、半導体基板21と半導体基板31との間の層間絶縁膜51（具体的には、絶縁層52）内に、半導体層73Aと金属層73Bとが積層された配線73を設けることで、第1基板10、第2基板20および第3基板30が積層された、3次元構造を有する半導体装置5において、配線引き回しの自由度が向上し、互いに並走する貫通配線の数をさらに削減することが可能となる。よって、貫通配線間の寄生容量をさらに低減させることが可能となる。

【0082】

なお、上記第1～第5の実施の形態に係る第2基板20では、読み出し回路22を構成することのできる増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELは、同じ半導体基板21に形成されていた。しかし、例えば、上記第1～第5の実施の形態に係る第2基板20において、読み出し回路22に含まれる少なくとも1つのトランジスタを半導体基板21に形成し、残りのトランジスタを半導体基板11および半導体基板21とは異なる半導体基板（例えば、半導体基板21X）に形成してもよい。このとき、第2基板20は、図示しないが、例えば、半導体基板21上に、絶縁層52、57、接続部59、接続配線55を形成し、さらに半導体基板21Xを積層することにより形成されてもよい。半導体基板21Xは、層間絶縁膜51との位置関係において、半導体基板11側とは反対側の領域内に積層され、所望のトランジスタを形成することができる。一例として、半導体基板21に増幅トランジスタAMPを形成し、リセットトランジスタRSTおよび/または選択トランジスタSELを半導体基板21Xに形成することができる。

【0083】

また、上記第1～第5の実施の形態に係る第2基板20に対して、新たな半導体基板を複数設け、それぞれに、読み出し回路22に含まれる所望のトランジスタを設けてもよい。一例として、半導体基板21に増幅トランジスタAMPを形成することができる。更に、半導体基板21上に絶縁層、接続部、接続配線を積層し、その上に半導体基板21Xを積層し、半導体基板21XにリセットトランジスタRSTを形成することができる。半導体基板21X上に絶縁層、接続部、接続配線を積層し、その上に半導体基板21Yを積層し、半導体基板21Yに選択トランジスタSELを形成することができる。半導体基板21、21X、21Yに形成するトランジスタは、読み出し回路22を構成するいずれのトランジスタでもよい。

【0084】

このように、第2基板20に複数の半導体基板を設けることにより、1つの読み出し回路22が占める半導体基板21の面積を小さくすることができる。各読み出し回路22の面積を小さくしたり、各トランジスタを微細化したりすることが出来れば、チップの面積を小さくすることも可能になる。また、読み出し回路22を構成することのできる増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELのうち、所望のトランジスタの面積を拡大することができる。特に、増幅トランジスタAMPの面積を拡大することで、ノイズ低減効果も期待できる。

【0085】

<6. 変形例>

(6-1. 変形例1)

図26は、上記第1～第5の実施の形態の変形例（変形例1）に係る撮像装置（例えば、撮像装置1A）の垂直方向の断面構成の一例を表したものである。本変形例では、転送トランジスタTRが、縦型の転送ゲートTGを有している。縦型の転送ゲートTGは、図26に示したように、半導体基板11の表面からpウェル42を貫通してPD41に達する深さまで延在している。転送トランジスタTRに縦型の転送ゲートTGが用いられる場合であっても、撮像装置1Aは、上記第1の実施の形態と同様の効果を有する。

【0086】

10

20

30

40

50

## ( 6 - 2 . 変形例 2 )

図 27 は、上記第 1 ~ 第 5 の実施の形態の変形例 ( 変形例 2 ) に係る撮像装置 ( 例えば、撮像装置 1 A ) の垂直方向の断面構成の一例を表したものである。本変形例では、第 2 基板 20 と第 3 基板 30 との電氣的な接続が、第 1 基板 10 における周辺領域 14 と対向する領域でなされている。周辺領域 14 は、第 1 基板 10 の額縁領域に相当しており、画素領域 13 の周縁に設けられている。本変形例では、第 2 基板 20 は、周辺領域 14 と対向する領域に、複数のパッド電極 58 を有しており、第 3 基板 30 は、周辺領域 14 と対向する領域に、複数のパッド電極 64 を有している。第 2 基板 20 および第 3 基板 30 は、周辺領域 14 と対向する領域に設けられたパッド電極 58 , 64 同士の接合によって、互いに電氣的に接続されている。

10

## 【 0087 】

このように、本変形例では、第 2 基板 20 および第 3 基板 30 が、周辺領域 14 と対向する領域に設けられたパッド電極 58 , 64 同士の接合によって、互いに電氣的に接続されている。これにより、画素領域 13 と対向する領域で、パッド電極 58 , 64 同士の接合する場合と比べて、1 画素あたりの面積の微細化を阻害するおそれを低減することができる。従って、上記第 1 の実施の形態の効果に加えて、今までと同等のチップサイズで、1 画素あたりの面積の微細化を阻害することのない 3 層構造の撮像装置 1 A を提供することができる。

## 【 0088 】

## ( 6 - 3 . 変形例 3 )

図 28、図 29 は、上記第 1 ~ 第 5 の実施の形態の変形例 ( 変形例 3 ) に係る撮像装置 ( 例えば、撮像装置 1 A ) の水平方向の断面構成の一例を表したものである。図 29、図 30 には、図 14 の断面構成の一変形例が示されている。

20

## 【 0089 】

本変形例では、第 1 基板 10 は、フォトダイオード PD と、フォトダイオード PD と電氣的に接続された転送トランジスタ TR と、転送トランジスタ TR を介してフォトダイオード PD から出力された電荷を一時的に保持するフローティングディフュージョン FD とをセンサ画素 12 ごとに有している。従って、本変形例では、センサ画素 12 ごとに、貫通配線 54 が設けられている。

## 【 0090 】

本変形例では、第 1 基板 10 は、フォトダイオード PD および転送トランジスタ TR をセンサ画素 12 ごとに分離する素子分離部 43 を有している。素子分離部 43 は、半導体基板 11 の法線方向から見て、センサ画素 12 を完全に囲っており、互いに隣接するセンサ画素 12 同士を電氣的に分離している。第 2 基板 20 は、上記第 1 の実施の形態と同様に、4 つのセンサ画素 12 ごとに読み出し回路 22 を有している。

30

## 【 0091 】

本変形例では、複数の貫通配線 54 および複数の貫通配線 47 は、図 28、図 29 に示したように、第 1 基板 10 の面内において第 1 方向 V に帯状に並んで配置されている。なお、図 28、図 29 には、複数の貫通配線 54 および複数の貫通配線 47 が第 1 方向 V に 2 列に並んで配置されている場合が例示されている。第 1 方向 V は、マトリクス状に配置された複数のセンサ画素 12 の 2 つの配列方向 ( 例えば行方向および列方向 ) のうち一方の配列方向 ( 例えば列方向 ) と平行となっている。読み出し回路 22 を共有する 4 つのセンサ画素 12 において、4 つのフローティングディフュージョン FD は、例えば、素子分離部 43 を介して互いに近接して配置されている。読み出し回路 22 を共有する 4 つのセンサ画素 12 において、4 つの転送ゲート TG は、4 つのフローティングディフュージョン FD を囲むように配置されており、例えば、4 つの転送ゲート TG によって円環形状となる形状となっている。

40

## 【 0092 】

## ( 6 - 4 . 変形例 4 )

図 30 は、上記第 1 ~ 第 5 の実施の形態の変形例 ( 変形例 4 ) に係る撮像装置 ( 例えば

50

、撮像装置 1 A ) の垂直方向の断面構成の一例を表したものである。図 3 1 は、上記第 1 ~ 第 5 の実施の形態の変形例 ( 変形例 3 ) に係る撮像装置 ( 例えば、撮像装置 1 A ) の垂直方向の断面構成の他の例を表すものである。図 3 0 および図 3 1 の上側の図は、図 7 の断面 S e c 1 での断面構成の一変形例であり、図 3 0 の下側の図は、図 7 の断面 S e c 2 での断面構成の一変形例である。なお、図 3 0 および図 3 1 の上側の断面図では、図 7 の断面 S e c 1 での断面構成の一変形例を表す図に、図 7 の半導体基板 1 1 の表面構成の一変形例を表す図が重ね合わされると共に、絶縁層 4 6 が省略されている。また、図 3 0 および図 3 1 の下側の断面図では、図 7 の断面 S e c 2 での断面構成の一変形例を表す図に、半導体基板 2 1 の表面構成の一変形例を表す図が重ね合わされている。

#### 【 0 0 9 3 】

図 3 0 および図 3 1 に示したように、複数の貫通配線 5 4、複数の貫通配線 4 8 および複数の貫通配線 4 7 ( 図中の行列状に配置された複数のドット ) は、第 1 基板 1 0 の面内において第 1 方向 V ( 図 3 0 および図 3 1 の左右方向 ) に帯状に並んで配置されている。なお、図 3 0 および図 3 1 には、複数の貫通配線 5 4、複数の貫通配線 4 8 および複数の貫通配線 4 7 が第 1 方向 V に 2 列に並んで配置されている場合が例示されている。読み出し回路 2 2 を共有する 4 つのセンサ画素 1 2 において、4 つのフローティングディフュージョン F D は、例えば、素子分離部 4 3 を介して互いに近接して配置されている。読み出し回路 2 2 を共有する 4 つのセンサ画素 1 2 において、4 つの転送ゲート T G ( T G 1 , T G 2 , T G 3 , T G 4 ) は、4 つのフローティングディフュージョン F D を囲むように配置されており、例えば、4 つの転送ゲート T G によって円環形状となる形状となっている。

#### 【 0 0 9 4 】

絶縁層 5 3 は、第 1 方向 V に延在する複数のブロックで構成されている。半導体基板 2 1 は、第 1 方向 V に延在すると共に、絶縁層 5 3 を介して第 1 方向 V と直交する第 2 方向 H に並んで配置された複数の島状のブロック 2 1 A で構成されている。各ブロック 2 1 A には、例えば、リセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L が設けられている。4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、例えば、4 つのセンサ画素 1 2 と正対して配置されておらず、第 2 方向 H にずれて配置されている。

#### 【 0 0 9 5 】

図 3 0 では、4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、第 2 基板 2 0 において、4 つのセンサ画素 1 2 と対向する領域を第 1 方向 V にずらした領域内にある、リセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L によって構成されている。4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、例えば、1 つのブロック 2 1 A 内の増幅トランジスタ A M P、リセットトランジスタ R S T および選択トランジスタ S E L によって構成されている。

#### 【 0 0 9 6 】

図 3 1 では、4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、第 2 基板 2 0 において、4 つのセンサ画素 1 2 と対向する領域を第 1 方向 V にずらした領域内にある、リセットトランジスタ R S T、増幅トランジスタ A M P、選択トランジスタ S E L および F D 転送トランジスタ F D G によって構成されている。4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、例えば、1 つのブロック 2 1 A 内の増幅トランジスタ A M P、リセットトランジスタ R S T、選択トランジスタ S E L および F D 転送トランジスタ F D G によって構成されている。

#### 【 0 0 9 7 】

本変形例では、4 つのセンサ画素 1 2 によって共有される 1 つの読み出し回路 2 2 は、例えば、4 つのセンサ画素 1 2 と正対して配置されておらず、4 つのセンサ画素 1 2 と正対する位置から第 2 方向 H にずれて配置されている。このようにした場合には、配線 2 5 を短くすることができ、または、配線 2 5 を省略して、増幅トランジスタ A M P のソースと、選択トランジスタ S E L のドレインとを共通の不純物領域で構成することもできる。

10

20

30

40

50

その結果、読み出し回路 2 2 のサイズを小さくしたり、読み出し回路 2 2 内の他の箇所のサイズを大きくしたりすることができる。

【 0 0 9 8 】

( 6 - 5 . 変形例 5 )

図 3 2 は、上記変形例 3 の変形例 ( 変形例 5 ) に係る撮像装置 ( 例えば、撮像装置 1 A ) の水平方向の断面構成の一例を表したものである。図 3 2 には、図 2 8 の断面構成の一変形例が示されている。

【 0 0 9 9 】

本変形例では、半導体基板 2 1 が、絶縁層 5 3 を介して第 1 方向 V および第 2 方向 H に並んで配置された複数の島状のブロック 2 1 A で構成されている。各ブロック 2 1 A には、例えば、一組のリセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L が設けられている。このようにした場合には、互いに隣接する読み出し回路 2 2 同士のクロストークを、絶縁層 5 3 によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

10

【 0 1 0 0 】

( 6 - 6 . 変形例 6 )

図 3 3 は、上記変形例 3 の変形例 ( 変形例 6 ) に係る撮像装置 ( 例えば、撮像装置 1 A ) の水平方向の断面構成の一例を表したものである。図 3 3 には、図 2 8 の断面構成の一変形例が示されている。

【 0 1 0 1 】

本変形例では、4つのセンサ画素 1 2 によって共有される1つの読み出し回路 2 2 が、例えば、4つのセンサ画素 1 2 と正対して配置されておらず、第 1 方向 V にずれて配置されている。本変形例では、さらに、変形例 5 と同様、半導体基板 2 1 が、絶縁層 5 3 を介して第 1 方向 V および第 2 方向 H に並んで配置された複数の島状のブロック 2 1 A で構成されている。各ブロック 2 1 A には、例えば、一組のリセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L が設けられている。本変形例では、さらに、複数の貫通配線 4 7 および複数の貫通配線 5 4 が、第 2 方向 H にも配列されている。具体的には、複数の貫通配線 4 7 が、ある読み出し回路 2 2 を共有する4つの貫通配線 5 4 と、その読み出し回路 2 2 の第 2 方向 H に隣接する他の読み出し回路 2 2 を共有する4つの貫通配線 5 4 との間に配置されている。このようにした場合には、互いに隣接する読み出し回路 2 2 同士のクロストークを、絶縁層 5 3 および貫通配線 4 7 によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

20

30

【 0 1 0 2 】

( 6 - 7 . 変形例 7 )

図 3 4 は、上記第 1 ~ 第 5 の実施の形態および変形例 1 ~ 6 の変形例 ( 変形例 7 ) に係る撮像装置 ( 例えば、撮像装置 1 A ) の回路構成の一例を表したものである。本変形例に係る撮像装置 1 A は、列並列 A D C 搭載の C M O S イメージセンサである。

【 0 1 0 3 】

図 3 4 に示すように、本変形例に係る撮像装置 1 A は、光電変換素子を含む複数のセンサ画素 1 2 が行列状 ( マトリクス状 ) に 2 次元配置されてなる画素領域 1 3 に加えて、垂直駆動回路 3 3、カラム信号処理回路 3 4、参照電圧供給部 3 8、水平駆動回路 3 5、水平出力線 3 7 およびシステム制御回路 3 6 を有する構成となっている。

40

【 0 1 0 4 】

このシステム構成において、システム制御回路 3 6 は、マスタークロック M C K に基づいて、垂直駆動回路 3 3、カラム信号処理回路 3 4、参照電圧供給部 3 8 および水平駆動回路 3 5 等の動作の基準となるクロック信号や制御信号等を生成し、垂直駆動回路 3 3、カラム信号処理回路 3 4、参照電圧供給部 3 8 および水平駆動回路 3 5 等に対して与える。

【 0 1 0 5 】

また、垂直駆動回路 3 3 は、画素領域 1 3 の各センサ画素 1 2 と共に、第 1 基板 1 0 形成されており、さらに、読み出し回路 2 2 の形成されている第 2 基板 2 0 にも形成される

50

。カラム信号処理回路 3 4、参照電圧供給部 3 8、水平駆動回路 3 5、水平出力線 3 7 およびシステム制御回路 3 6 は、第 3 基板 3 0 に形成される。

【 0 1 0 6 】

センサ画素 1 2 としては、ここでは図示を省略するが、例えば、フォトダイオード P D の他に、フォトダイオード P D で光電変換して得られる電荷をフローティングディフュージョン F D に転送する転送トランジスタ T R とを有する構成のものを用いることができる。また、読み出し回路 2 2 としては、ここでは図示を省略するが、例えば、フローティングディフュージョン F D の電位を制御するリセットトランジスタ R S T と、フローティングディフュージョン F D の電位に応じた信号を出力する増幅トランジスタ A M P と、画素選択を行うための選択トランジスタ S E L とを有する 3 トランジスタ構成のものを用いることができる。

10

【 0 1 0 7 】

画素領域 1 3 には、センサ画素 1 2 が 2 次元配置されると共に、この m 行 n 列の画素配置に対して行毎に画素駆動線 2 3 が配線され、列毎に垂直信号線 2 4 が配線されている。複数の画素駆動線 2 3 の各一端は、垂直駆動回路 3 3 の各行に対応した各出力端に接続されている。垂直駆動回路 3 3 は、シフトレジスタ等によって構成され、複数の画素駆動線 2 3 を介して画素領域 1 3 の行アドレスや行走査の制御を行う。

【 0 1 0 8 】

カラム信号処理回路 3 4 は、例えば、画素領域 1 3 の画素列毎、即ち、垂直信号線 2 4 毎に設けられた A D C (アナログ - デジタル変換回路) 3 4 - 1 ~ 3 4 - m を有し、画素領域 1 3 の各センサ画素 1 2 から列毎に出力されるアナログ信号をデジタル信号に変換して出力する。

20

【 0 1 0 9 】

参照電圧供給部 3 8 は、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ ( R A M P ) 波形の参照電圧  $V_{ref}$  を生成する手段として、例えば D A C (デジタル - アナログ変換回路) 3 8 A を有している。なお、ランプ波形の参照電圧  $V_{ref}$  を生成する手段としては、D A C 3 8 A に限られるものではない。

【 0 1 1 0 】

D A C 3 8 A は、システム制御回路 3 6 から与えられる制御信号 C S 1 による制御の下に、当該システム制御回路 3 6 から与えられるクロック C K に基づいてランプ波形の参照電圧  $V_{ref}$  を生成してカラム信号処理回路 3 4 の A D C 3 4 - 1 ~ 3 4 - m に対して供給する。

30

【 0 1 1 1 】

なお、A D C 3 4 - 1 ~ 3 4 - m の各々は、センサ画素 1 2 全ての情報を読み出すプログラムレス走査方式での通常フレームレートモードと、通常フレームレートモード時に比べて、センサ画素 1 2 の露光時間を  $1/N$  に設定してフレームレートを N 倍、例えば 2 倍に上げる高速フレームレートモードとの各動作モードに対応した A D 変換動作を選択的に実行可能な構成となっている。この動作モードの切り替えは、システム制御回路 3 6 から与えられる制御信号 C S 2 , C S 3 による制御によって実行される。また、システム制御回路 3 6 に対しては、外部のシステムコントローラ (図示せず) から、通常フレームレートモードと高速フレームレートモードの各動作モードとを切り替えるための指示情報が与えられる。

40

【 0 1 1 2 】

A D C 3 4 - 1 ~ 3 4 - m は全て同じ構成となっており、ここでは、A D C 3 4 - m を例に挙げて説明するものとする。A D C 3 4 - m は、比較器 3 4 A、計数手段である例えばアップ/ダウンカウンタ (図中、U / D C N T と記している) 3 4 B、転送スイッチ 3 4 C およびメモリ装置 3 4 D を有する構成となっている。

【 0 1 1 3 】

比較器 3 4 A は、画素領域 1 3 の n 列目の各センサ画素 1 2 から出力される信号に応じた垂直信号線 2 4 の信号電圧  $V_x$  と、参照電圧供給部 3 8 から供給されるランプ波形の参

50

照電圧  $V_{ref}$  とを比較し、例えば、参照電圧  $V_{ref}$  が信号電圧  $V_x$  よりも大なるときに出力  $V_{co}$  が "H" レベルになり、参照電圧  $V_{ref}$  が信号電圧  $V_x$  以下のときに出力  $V_{co}$  が "L" レベルになる。

**【0114】**

アップ/ダウンカウンタ 34B は非同期カウンタであり、システム制御回路 36 から与えられる制御信号  $CS_2$  による制御の下に、システム制御回路 36 からクロック  $CK$  が  $DAC18A$  と同時に与えられ、当該クロック  $CK$  に同期してダウン (DOWN) カウントまたはアップ (UP) カウントを行うことにより、比較器 34A での比較動作の開始から比較動作の終了までの比較期間を計測する。

**【0115】**

具体的には、通常フレームレートモードでは、1つのセンサ画素 12 からの信号の読み出し動作において、1回目の読み出し動作時にダウンカウントを行うことにより1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことにより2回目の読み出し時の比較時間を計測する。

**【0116】**

一方、高速フレームレートモードでは、ある行のセンサ画素 12 についてのカウント結果をそのまま保持しておき、引き続き、次の行のセンサ画素 12 について、前回のカウント結果から1回目の読み出し動作時にダウンカウントを行うことで1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことで2回目の読み出し時の比較時間を計測する。

**【0117】**

転送スイッチ 34C は、システム制御回路 36 から与えられる制御信号  $CS_3$  による制御の下に、通常フレームレートモードでは、ある行のセンサ画素 12 についてのアップ/ダウンカウンタ 34B のカウント動作が完了した時点でオン (閉) 状態となって当該アップ/ダウンカウンタ 34B のカウント結果をメモリ装置 34D に転送する。

**【0118】**

一方、例えば  $N = 2$  の高速フレームレートでは、ある行のセンサ画素 12 についてのアップ/ダウンカウンタ 34B のカウント動作が完了した時点でオフ (開) 状態のままであり、引き続き、次の行のセンサ画素 12 についてのアップ/ダウンカウンタ 34B のカウント動作が完了した時点でオン状態となって当該アップ/ダウンカウンタ 34B の垂直 2 画素分についてのカウント結果をメモリ装置 34D に転送する。

**【0119】**

このようにして、画素領域 13 の各センサ画素 12 から垂直信号線 24 を経由して列毎に供給されるアナログ信号が、 $ADC_{34-1} \sim ADC_{34-m}$  における比較器 34A およびアップ/ダウンカウンタ 34B の各動作により、 $N$  ビットのデジタル信号に変換されてメモリ装置 34D に格納される。

**【0120】**

水平駆動回路 35 は、シフトレジスタ等によって構成され、カラム信号処理回路 34 における  $ADC_{34-1} \sim ADC_{34-m}$  の列アドレスや列走査の制御を行う。この水平駆動回路 35 による制御の下に、 $ADC_{34-1} \sim ADC_{34-m}$  の各々で  $AD$  変換された  $N$  ビットのデジタル信号は順に水平出力線 37 に読み出され、当該水平出力線 37 を経由して撮像データとして出力される。

**【0121】**

なお、本開示には直接関連しないため特に図示しないが、水平出力線 37 を経由して出力される撮像データに対して各種の信号処理を施す回路等を、上記構成要素以外に設けることも可能である。

**【0122】**

上記構成の本変形例に係る列並列  $ADC$  搭載の撮像装置 1A では、アップ/ダウンカウンタ 34B のカウント結果を、転送スイッチ 34C を介して選択的にメモリ装置 34D に転送することができるため、アップ/ダウンカウンタ 34B のカウント動作と、当該アッ

10

20

30

40

50

プ/ダウンカウンタ34Bのカウンタ結果の水平出力線37への読み出し動作とを独立して制御することが可能である。

【0123】

(6-8. 変形例8)

図35は、図34の撮像装置を3つの基板(第1基板10, 第2基板20, 第3基板30)を積層して構成した例を表したものである。本変形例では、第1基板10において、中央部分に、複数のセンサ画素12を含む画素領域13が形成されており、画素領域13の周囲に垂直駆動回路33が形成されている。また、第2基板20において、中央部分に、複数の読み出し回路22を含む読み出し回路領域15が形成されており、読み出し回路領域15の周囲に垂直駆動回路33が形成されている。第3基板30において、カラム信号処理回路34、水平駆動回路35、システム制御回路36、水平出力線37および参照電圧供給部38が形成されている。これにより、上記実施の形態およびその変形例と同様、基板同士を電氣的に接続する構造に起因して、チップサイズが大きくなったり、1画素あたりの面積の微細化を阻害したりしてしまわない。その結果、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置1Aを提供することができる。なお、垂直駆動回路33は、第1基板10のみに形成されても、第2基板20のみに形成されてもよい。

10

【0124】

(6-9. 変形例9)

図36は、上記第1~第5の実施の形態およびその変形例1~8の変形例(変形例9)に係る撮像装置(例えば、撮像装置1A)の断面構成の一例を表したものである。

20

上記第1~第4の実施および変形例1~8等では、撮像装置1Aは、3つの基板(第1基板10, 第2基板20, 第3基板30)を積層して構成されていた。しかし、上記第5の実施の形態における撮像装置1Aのように、2つの基板(第1基板10, 第2基板20)を積層して構成されていてもよい。このとき、ロジック回路32は、例えば、図36に示したように、第1基板10と、第2基板20とに分けて形成されていてもよい。ここで、ロジック回路32のうち、第1基板10側に設けられた回路32Aでは、高温プロセスに耐え得る材料(例えば、high-k)からなる高誘電率膜とメタルゲート電極とが積層されたゲート構造を有するトランジスタが設けられている。一方、第2基板20側に設けられた回路32Bでは、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、CoSi<sub>2</sub>やNiSi等のシリサイド(Self Aligned Silicide)プロセスを用いて形成されたシリサイドからなる低抵抗領域26が形成されている。シリサイドからなる低抵抗領域は、半導体基板の材料と金属との化合物で形成されている。これにより、センサ画素12を形成する際に、熱酸化等の高温プロセスを用いることができる。また、ロジック回路32のうち、第2基板20側に設けられた回路32Bにおいて、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域26を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路32での演算速度を高速化することができる。

30

【0125】

(6-10. 変形例10)

40

図37は、上記第1~第4の実施の形態およびその変形例1~8の変形例(変形例10)に係る撮像装置1Aの断面構成の一変形例を表す。上記第1~第4の実施の形態およびその変形例1~8に係る第3基板30のロジック回路32において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、CoSi<sub>2</sub>やNiSi等のシリサイド(Self Aligned Silicide)プロセスを用いて形成されたシリサイドからなる低抵抗領域37が形成されていてもよい。これにより、センサ画素12を形成する際に、熱酸化等の高温プロセスを用いることができる。また、ロジック回路32において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域37を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路32での演算速度を高速化することができる。

50

## 【0126】

なお、上記第1～第5の実施の形態およびその変形例1～10では、導電型が逆になってもよい。例えば、上記第1～第5の実施の形態およびその変形例1～10の記載において、p型をn型に読み替えると共に、n型をp型に読み替えてもよい。このようにした場合であっても、上記1～第5の実施の形態およびその変形例1～10と同様の効果を得ることができる。

## 【0127】

<7.適用例>

図38は、上記第1～第5の実施の形態およびその変形例1～10に係る撮像装置（例えば、撮像装置1A）を備えた撮像システム7の概略構成の一例を表したものである。

10

## 【0128】

撮像システム7は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置等の電子機器である。撮像システム7は、例えば、光学系141、シャッタ装置142、撮像装置1A、DSP回路143、フレームメモリ144、表示部145、記憶部146、操作部147および電源部148を備えている。撮像システム7において、シャッタ装置142、撮像装置1A、DSP回路143、フレームメモリ144、表示部145、記憶部146、操作部147および電源部148は、バスライン149を介して相互に接続されている。

## 【0129】

撮像装置1Aは、入射光に応じた画像データを出力する。光学系141は、1枚または複数枚のレンズを有するものであり、被写体からの光（入射光）を撮像装置1Aに導き、撮像装置1Aの受光面に結像させる。シャッタ装置142は、光学系141および撮像装置1Aの間に配置され、操作部147の制御に従って、撮像装置1Aへの光照射期間および遮光期間を制御する。DSP回路143は、撮像装置1Aから出力される信号（画像データ）を処理する信号処理回路である。フレームメモリ144は、DSP回路143により処理された画像データを、フレーム単位で一時的に保持する。表示部145は、例えば、液晶パネルや有機EL（Electro Luminescence）パネル等のパネル型表示装置からなり、撮像装置1Aで撮像された動画又は静止画を表示する。記憶部146は、撮像装置1Aで撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部147は、ユーザによる操作に従い、撮像システム7が有する各種の機能についての操作指令を発する。電源部148は、撮像装置1A、DSP回路143、フレームメモリ144、表示部145、記憶部146および操作部147の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

20

## 【0130】

次に、撮像システム7における撮像手順について説明する。

## 【0131】

図39は、撮像システム7における撮像動作のフローチャートの一例を表す。ユーザは、操作部147を操作することにより撮像開始を指示する（ステップS101）。すると、操作部147は、撮像指令を撮像装置1Aに送信する（ステップS102）。撮像装置1A（具体的にはシステム制御回路36）は、撮像指令を受けると、所定の撮像方式での撮像を実行する（ステップS103）。

40

## 【0132】

撮像装置1Aは、光学系141およびシャッタ装置142を介して受光面に結像された光（画像データ）をDSP回路143に出力する。ここで、画像データとは、フローティングディフュージョンFDに一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。DSP回路143は、撮像装置1Aから入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理等）を行う（ステップS104）。DSP回路143は、所定の信号処理がなされた画像データをフレームメモリ144に保持させ、フレームメモリ144は、画像データを記憶部146に記憶させる（ステップS105）。このようにして、撮像システム7における撮像が行われる。

50

## 【 0 1 3 3 】

本適用例では、撮像装置 1 A が撮像システム 7 に適用される。これにより、撮像装置 1 A を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム 7 を提供することができる。

## 【 0 1 3 4 】

< 8 . 応用例 >

## ( 応用例 1 )

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

10

## 【 0 1 3 5 】

図 4 0 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

## 【 0 1 3 6 】

車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 4 0 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F ( i n t e r f a c e ) 1 2 0 5 3 が図示されている。

20

## 【 0 1 3 7 】

駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

## 【 0 1 3 8 】

ボディ系制御ユニット 1 2 0 2 0 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 1 2 0 2 0 は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 1 2 0 2 0 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 1 2 0 2 0 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

30

## 【 0 1 3 9 】

車外情報検出ユニット 1 2 0 3 0 は、車両制御システム 1 2 0 0 0 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 1 2 0 3 0 には、撮像部 1 2 0 3 1 が接続される。車外情報検出ユニット 1 2 0 3 0 は、撮像部 1 2 0 3 1 に車外の画像を撮像させると共に、撮像された画像を受信する。車外情報検出ユニット 1 2 0 3 0 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

40

## 【 0 1 4 0 】

撮像部 1 2 0 3 1 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 1 2 0 3 1 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 1 2 0 3 1 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

## 【 0 1 4 1 】

50

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

#### 【0142】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

10

#### 【0143】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

20

#### 【0144】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

#### 【0145】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図40の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

30

#### 【0146】

図41は、撮像部12031の設置位置の例を示す図である。

#### 【0147】

図41では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

#### 【0148】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

40

#### 【0149】

なお、図41には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を

50

示し、撮像範囲 1 2 1 1 2 , 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2 , 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

#### 【 0 1 5 0 】

撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

10

#### 【 0 1 5 1 】

例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。更に、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

20

#### 【 0 1 5 2 】

例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

30

#### 【 0 1 5 3 】

撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

40

#### 【 0 1 5 4 】

以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 1 2 0 3 1 に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像装置 1 A は、撮像部 1 2 0 3 1 に適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

50

## 【 0 1 5 5 】

( 応 用 例 2 )

図 4 2 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

## 【 0 1 5 6 】

図 4 2 では、術者（医師）1 1 1 3 1 が、内視鏡手術システム 1 1 0 0 0 を用いて、患者ベッド 1 1 1 3 3 上の患者 1 1 1 3 2 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 1 1 0 0 0 は、内視鏡 1 1 1 0 0 と、気腹チューブ 1 1 1 1 1 やエネルギー処置具 1 1 1 1 2 等の、その他の術具 1 1 1 1 0 と、内視鏡 1 1 1 0 0 を支持する支持アーム装置 1 1 1 2 0 と、内視鏡下手術のための各種の装置が搭載されたカート 1 1 2 0 0 と、から構成される。

10

## 【 0 1 5 7 】

内視鏡 1 1 1 0 0 は、先端から所定の長さの領域が患者 1 1 1 3 2 の体腔内に挿入される鏡筒 1 1 1 0 1 と、鏡筒 1 1 1 0 1 の基端に接続されるカメラヘッド 1 1 1 0 2 と、から構成される。図示する例では、硬性の鏡筒 1 1 1 0 1 を有するいわゆる硬性鏡として構成される内視鏡 1 1 1 0 0 を図示しているが、内視鏡 1 1 1 0 0 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

## 【 0 1 5 8 】

鏡筒 1 1 1 0 1 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 1 1 1 0 0 には光源装置 1 1 2 0 3 が接続されており、当該光源装置 1 1 2 0 3 によって生成された光が、鏡筒 1 1 1 0 1 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向且つて照射される。なお、内視鏡 1 1 1 0 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

20

## 【 0 1 5 9 】

カメラヘッド 1 1 1 0 2 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）1 1 2 0 1 に送信される。

30

## 【 0 1 6 0 】

CCU 1 1 2 0 1 は、CPU (Central Processing Unit) や GPU (Graphics Processing Unit) 等によって構成され、内視鏡 1 1 1 0 0 及び表示装置 1 1 2 0 2 の動作を統括的に制御する。更に、CCU 1 1 2 0 1 は、カメラヘッド 1 1 1 0 2 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

## 【 0 1 6 1 】

表示装置 1 1 2 0 2 は、CCU 1 1 2 0 1 からの制御により、当該 CCU 1 1 2 0 1 によって画像処理が施された画像信号に基づく画像を表示する。

40

## 【 0 1 6 2 】

光源装置 1 1 2 0 3 は、例えば LED (Light Emitting Diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡 1 1 1 0 0 に供給する。

## 【 0 1 6 3 】

入力装置 1 1 2 0 4 は、内視鏡手術システム 1 1 0 0 0 に対する入力インタフェースである。ユーザは、入力装置 1 1 2 0 4 を介して、内視鏡手術システム 1 1 0 0 0 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 1 1 1 0 0 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

## 【 0 1 6 4 】

処置具制御装置 1 1 2 0 5 は、組織の焼灼、切開又は血管の封止等のためのエネルギー

50

処置具 1 1 1 1 2 の駆動を制御する。気腹装置 1 1 2 0 6 は、内視鏡 1 1 1 0 0 による視野の確保及び術者の作業空間の確保の目的で、患者 1 1 1 3 2 の体腔を膨らめるために、気腹チューブ 1 1 1 1 1 を介して当該体腔内にガスを送り込む。レコーダ 1 1 2 0 7 は、手術に関する各種の情報を記録可能な装置である。プリンタ 1 1 2 0 8 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

【 0 1 6 5 】

なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

10

【 0 1 6 6 】

また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

20

【 0 1 6 7 】

また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニングリーン（ICG）等の試薬を体組織に局注すると共に当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 1 1 2 0 3 は、このような特殊光観察に対応した狭帯域光及び/又は励起光を供給可能に構成され得る。

30

【 0 1 6 8 】

図 4 3 は、図 4 2 に示すカメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 の機能構成の一例を示すブロック図である。

【 0 1 6 9 】

カメラヘッド 1 1 1 0 2 は、レンズユニット 1 1 4 0 1 と、撮像部 1 1 4 0 2 と、駆動部 1 1 4 0 3 と、通信部 1 1 4 0 4 と、カメラヘッド制御部 1 1 4 0 5 と、を有する。C C U 1 1 2 0 1 は、通信部 1 1 4 1 1 と、画像処理部 1 1 4 1 2 と、制御部 1 1 4 1 3 と、を有する。カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 とは、伝送ケーブル 1 1 4 0 0 によって互いに通信可能に接続されている。

40

【 0 1 7 0 】

レンズユニット 1 1 4 0 1 は、鏡筒 1 1 1 0 1 との接続部に設けられる光学系である。鏡筒 1 1 1 0 1 の先端から取り込まれた観察光は、カメラヘッド 1 1 1 0 2 まで導光され、当該レンズユニット 1 1 4 0 1 に入射する。レンズユニット 1 1 4 0 1 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わせられて構成される。

【 0 1 7 1 】

撮像部 1 1 4 0 2 は、撮像素子で構成される。撮像部 1 1 4 0 2 を構成する撮像素子は

50

、1つ(いわゆる単板式)であってもよいし、複数(いわゆる多板式)であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D(Dimensional)表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

【0172】

また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

【0173】

駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

【0174】

通信部11404は、CCU11201との間で各種の情報を送受信するための通信装置によって構成される。通信部11404は、撮像部11402から得た画像信号をRAWデータとして伝送ケーブル11400を介してCCU11201に送信する。

【0175】

また、通信部11404は、CCU11201から、カメラヘッド11102の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに/又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

【0176】

なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE(Auto Exposure)機能、AF(Auto Focus)機能及びAWB(Auto White Balance)機能が内視鏡11100に搭載されていることになる。

【0177】

カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

【0178】

通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

【0179】

また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

【0180】

画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

【0181】

制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像によ

10

20

30

40

50

り得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 1 1 4 1 3 は、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を生成する。

【 0 1 8 2 】

また、制御部 1 1 4 1 3 は、画像処理部 1 1 4 1 2 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 1 1 2 0 2 に表示させる。この際、制御部 1 1 4 1 3 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 1 1 4 1 3 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 1 1 1 1 2 の使用時のミス等を認識することができる。制御部 1 1 4 1 3 は、表示装置 1 1 2 0 2 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 1 1 1 3 1 に提示されることにより、術者 1 1 1 3 1 の負担を軽減することや、術者 1 1 1 3 1 が確実に手術を進めることが可能になる。

10

【 0 1 8 3 】

カメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 を接続する伝送ケーブル 1 1 4 0 0 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

【 0 1 8 4 】

ここで、図示する例では、伝送ケーブル 1 1 4 0 0 を用いて有線で通信が行われていたが、カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 との間の通信は無線で行われてもよい。

20

【 0 1 8 5 】

以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡 1 1 1 0 0 のカメラヘッド 1 1 1 0 2 に設けられた撮像部 1 1 4 0 2 に好適に適用され得る。撮像部 1 1 4 0 2 に本開示に係る技術を適用することにより、撮像部 1 1 4 0 2 を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡 1 1 1 0 0 を提供することができる。

【 0 1 8 6 】

以上、第 1 ~ 第 5 の実施の形態およびその変形例 1 ~ 1 0、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態等では、3次元構造を有する半導体装置 1 の一具体例として撮像装置を挙げて説明したがこれに限らない。本技術は、3次元積層型の大規模集積化 ( L S I ) されたあらゆる半導体装置に適用することができる。

30

【 0 1 8 7 】

なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていてもよい。

【 0 1 8 8 】

なお、本開示は以下のような構成をとることも可能である。以下の構成の本技術によれば、少なくとも一部に半導体層と金属層とが積層された積層領域を有する配線構造をとることで、第 1 半導体基板と第 2 半導体基板との間に配線を形成できるようになり、例えば第 1 半導体基板の法線方向に延びる貫通配線の数が削減する。もしくは、貫通配線の高さの和が減少する。よって、寄生容量を低減させることが可能となる。

40

( 1 )

光電変換を行うセンサ画素を有する第 1 半導体基板上に第 1 の層間絶縁膜を形成し、  
前記第 1 の層間絶縁膜上に前記第 1 半導体基板と平行な方向に延在する半導体層を形成し、  
前記第 1 の層間絶縁膜および前記半導体層上に第 2 の層間絶縁膜を形成し、  
前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第 2 半導体基板を形成し、

前記第 2 半導体基板の所定の領域に前記半導体層まで貫通する開口部を形成し、

50

前記開口部内の前記半導体層上に金属層を積層することで、少なくとも一部に半導体層と金属層との積層領域を有する配線を形成する撮像装置の製造方法。

( 2 )

前記半導体層上にスパッタにより金属膜を成膜したのち、熱処理により前記金属膜をシリサイド化して前記金属層を形成する、前記( 1 )に記載の撮像装置の製造方法。

( 3 )

前記半導体層上に化学気相成長( C V D )法を用いて前記金属層を形成する、前記( 1 )または( 2 )に記載の撮像装置の製造方法。

【 0 1 8 9 】

本出願は、日本国特許庁において2019年3月15日に出願された日本特許出願番号2019-048552号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

【 0 1 9 0 】

当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

10

20

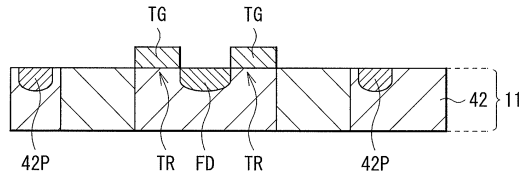
30

40

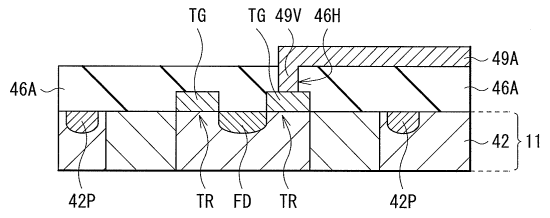
50



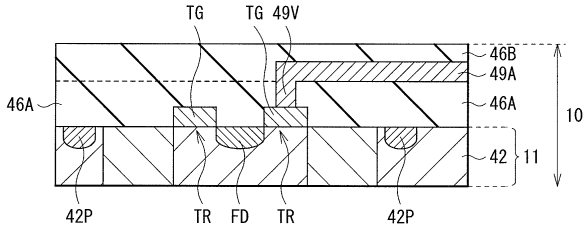
【 4 A 】



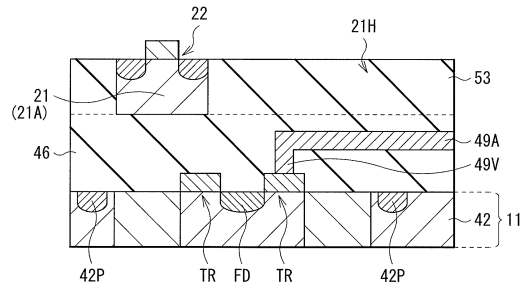
【 4 B 】



【 4 C 】

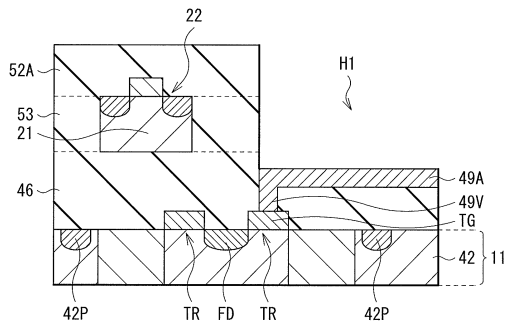


【 4 D 】

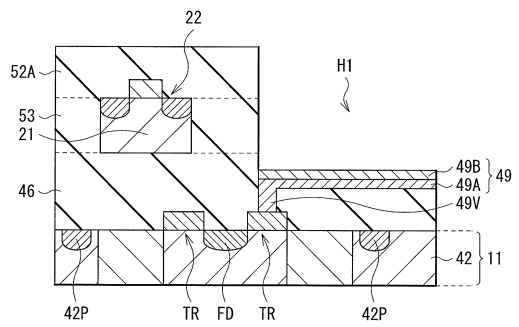


10

【 4 E 】



【 4 F 】



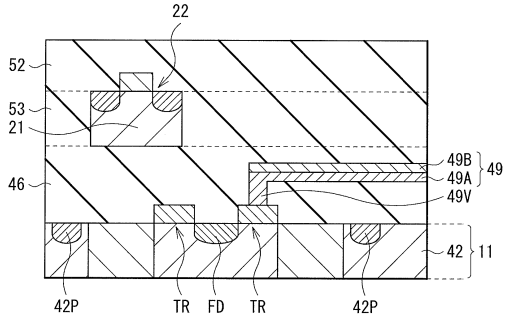
20

30

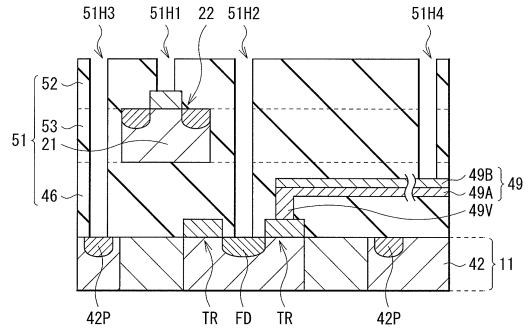
40

50

【 4 G 】

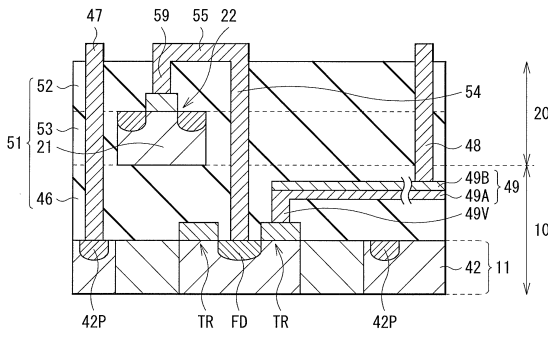


【 4 H 】

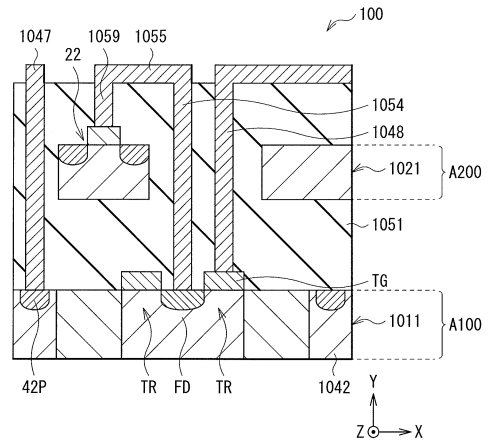


10

【 4 I 】

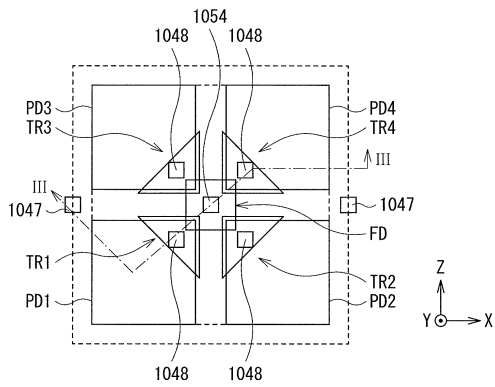


【 5 】

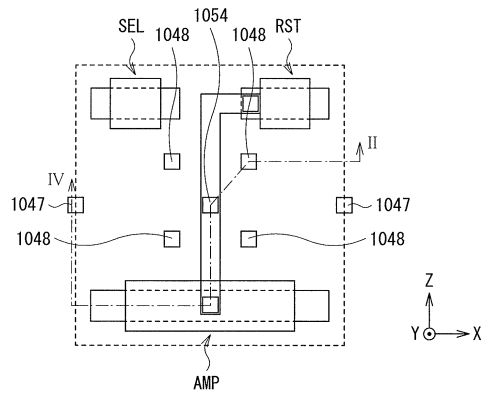


20

【 6 A 】



【 6 B 】

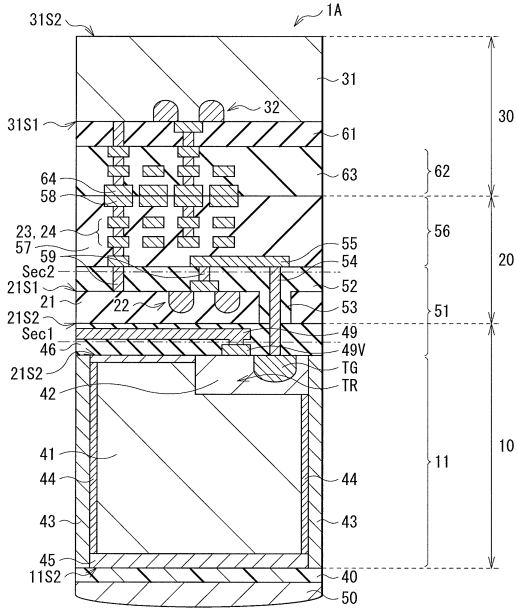


30

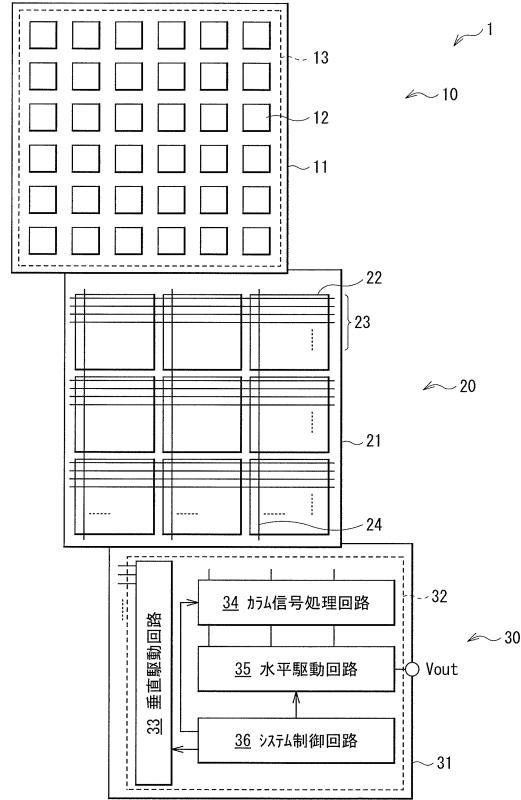
40

50

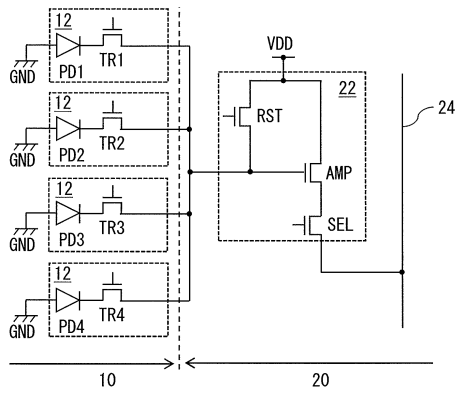
【図7】



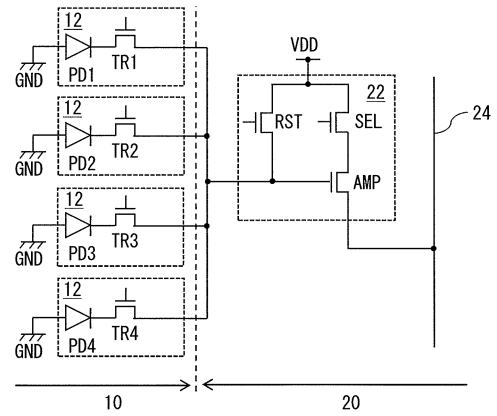
【図8】



【図9】



【図10】



10

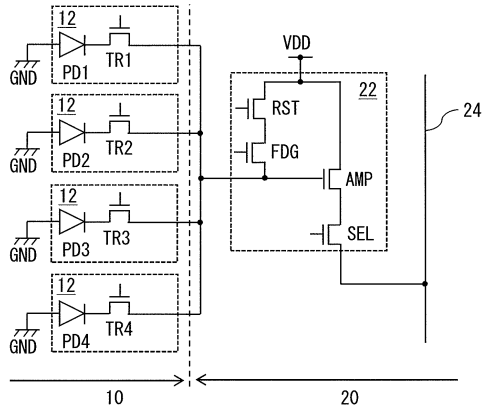
20

30

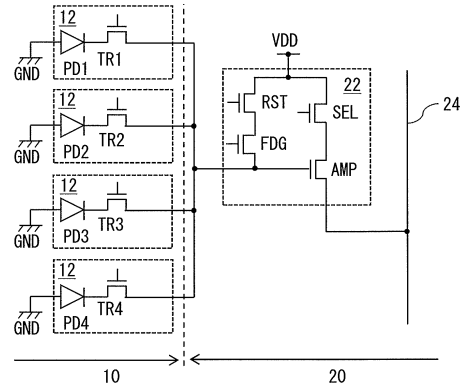
40

50

【図 1 1】

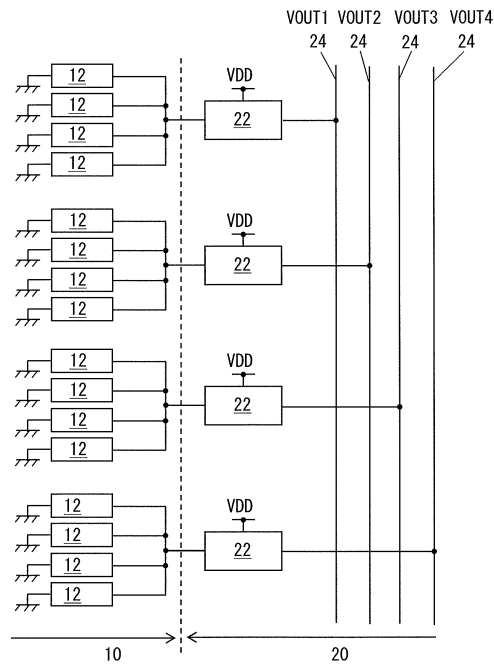


【図 1 2】

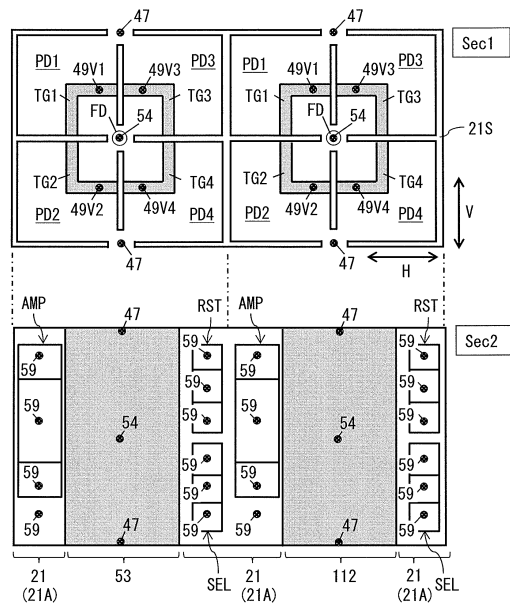


10

【図 1 3】



【図 1 4】



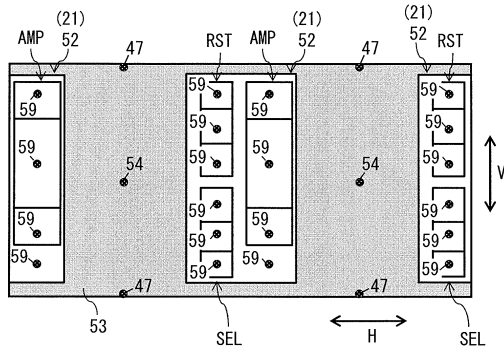
20

30

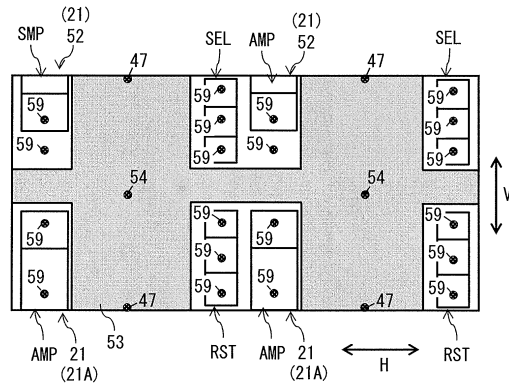
40

50

【 図 1 5 】

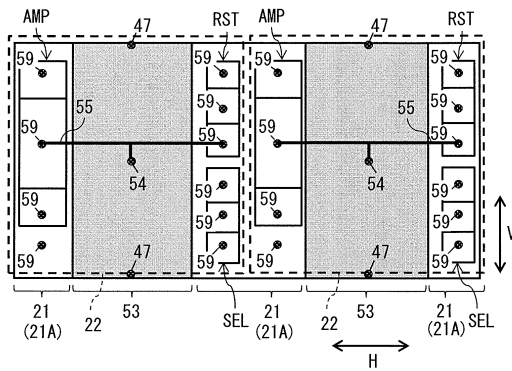


【 図 1 6 】

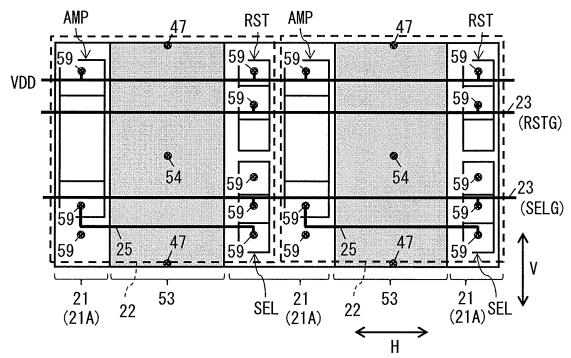


10

【 図 1 7 】



【 図 1 8 】



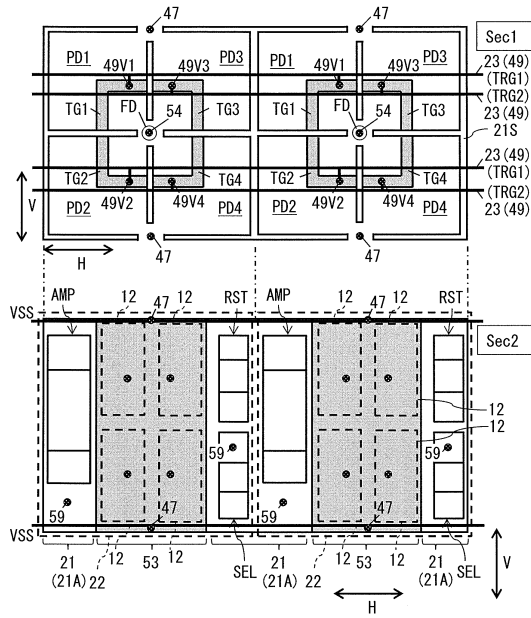
20

30

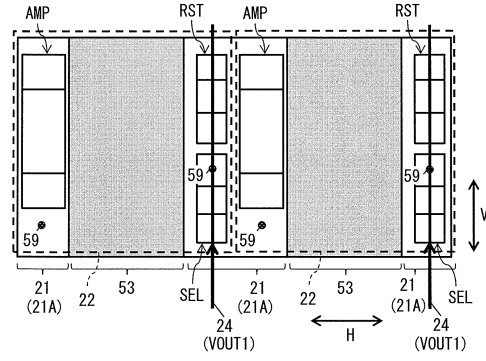
40

50

【図 19】



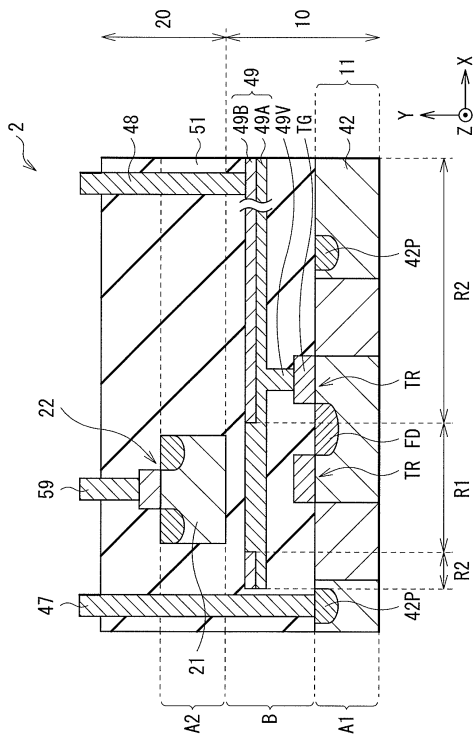
【図 20】



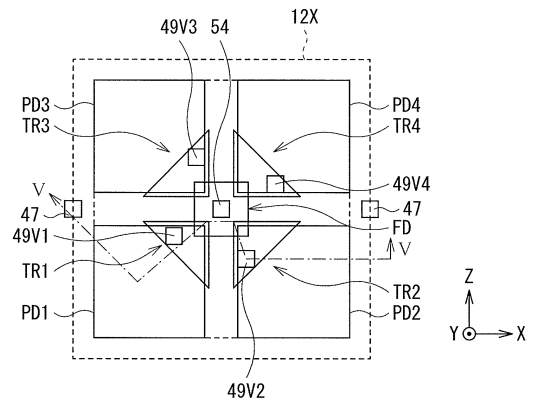
10

20

【図 21】



【図 22 A】

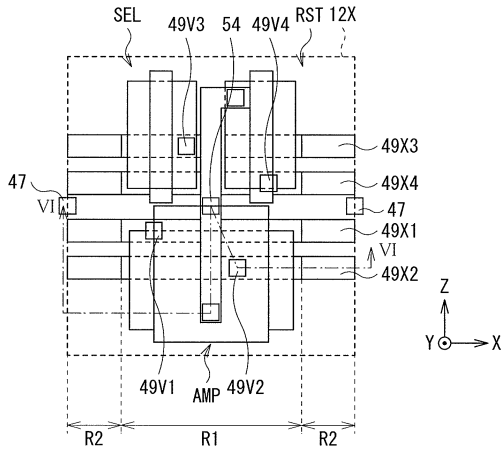


30

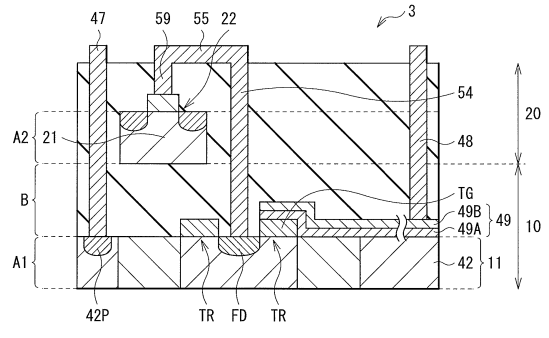
40

50

【 2 2 B 】

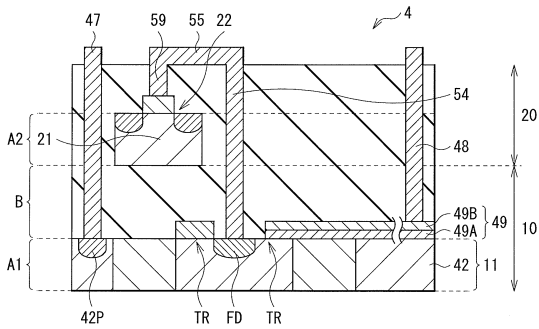


【 2 3 】

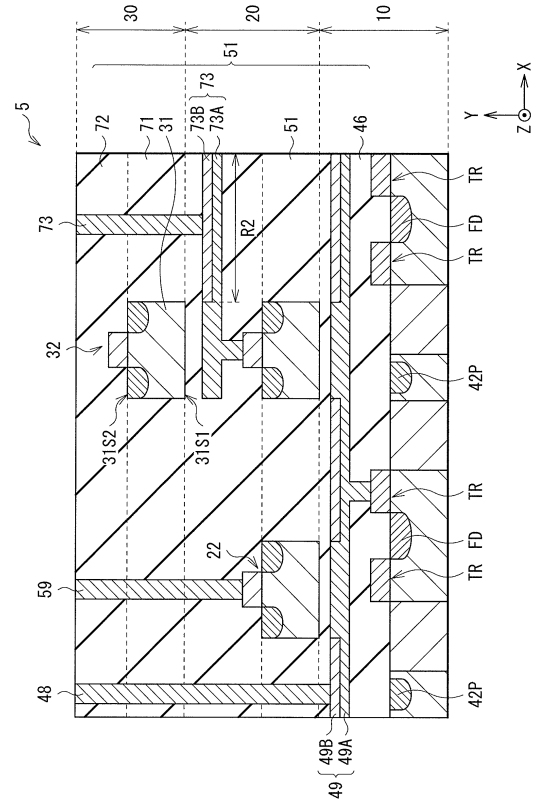


10

【 2 4 】



【 2 5 】



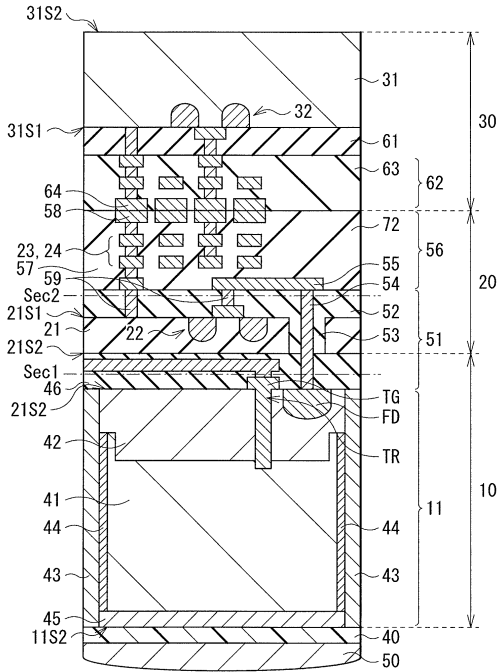
20

30

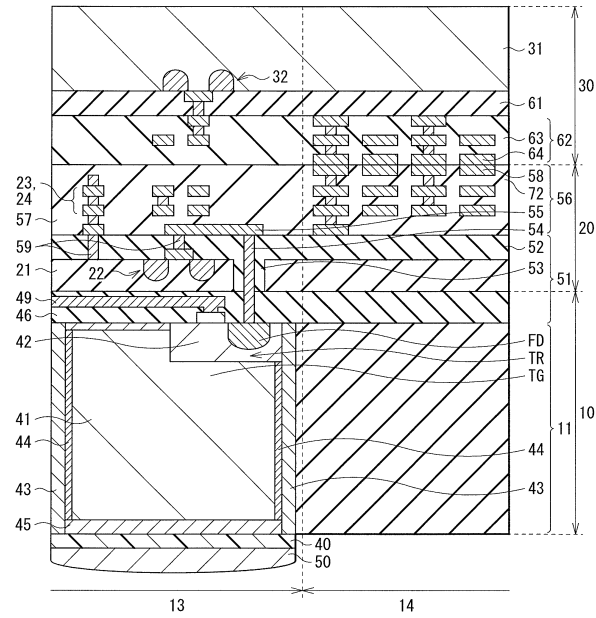
40

50

【 図 2 6 】



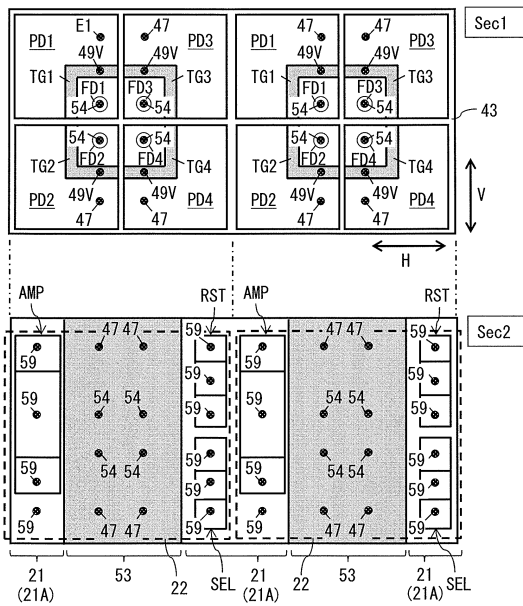
【 図 2 7 】



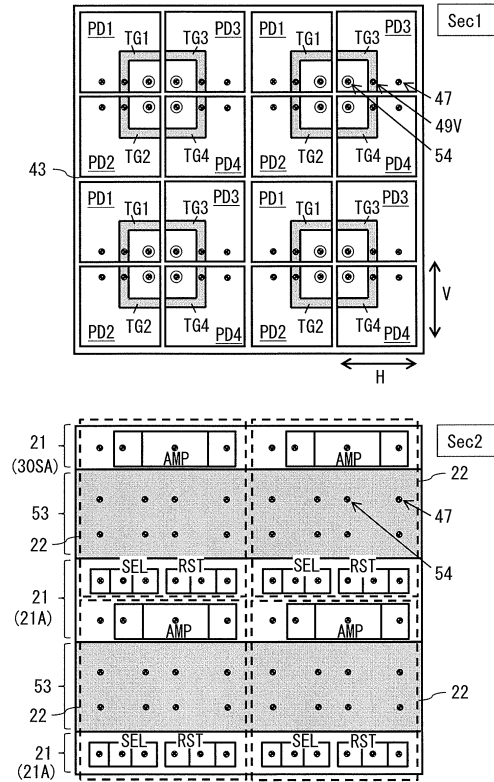
10

20

【 図 2 8 】



【 図 2 9 】

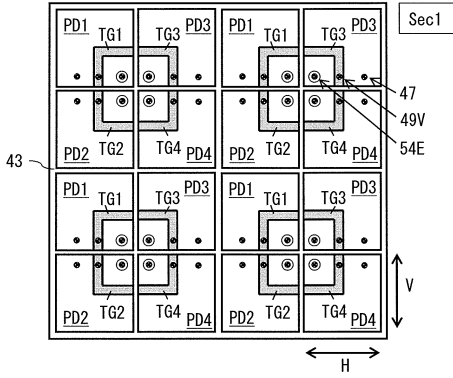


30

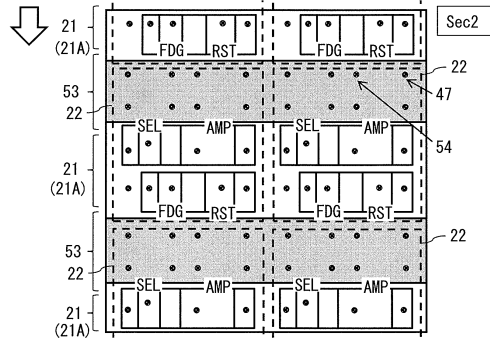
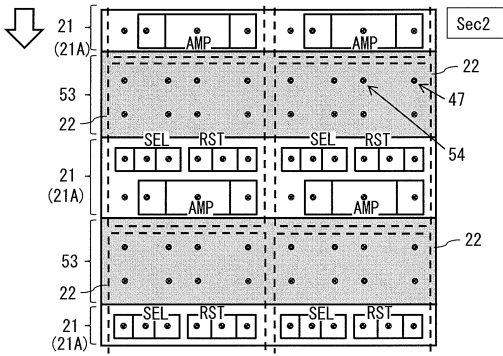
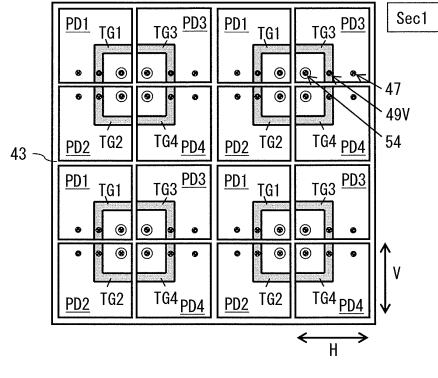
40

50

【 図 3 0 】



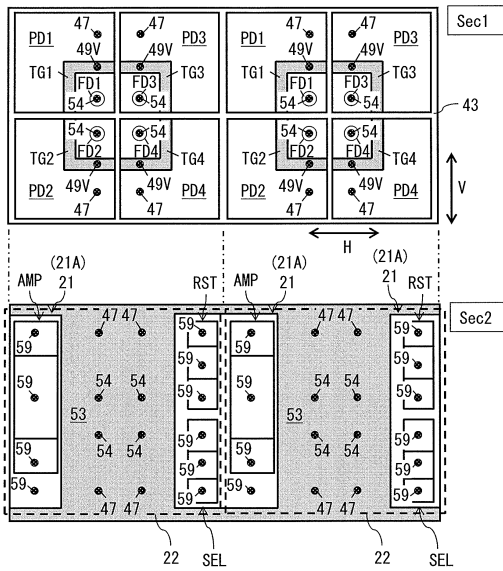
【 図 3 1 】



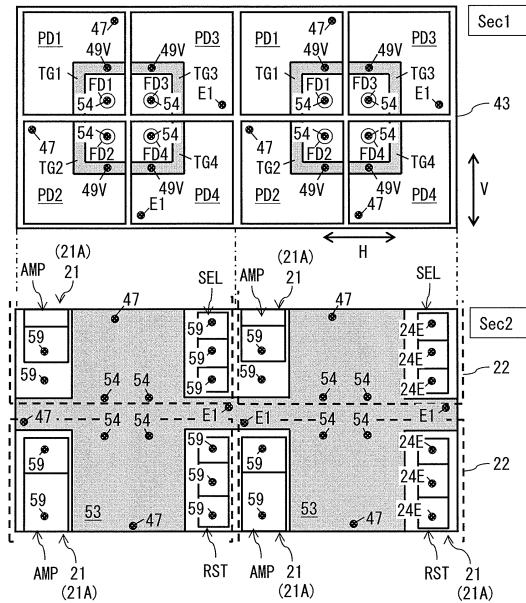
10

20

【 図 3 2 】



【 図 3 3 】

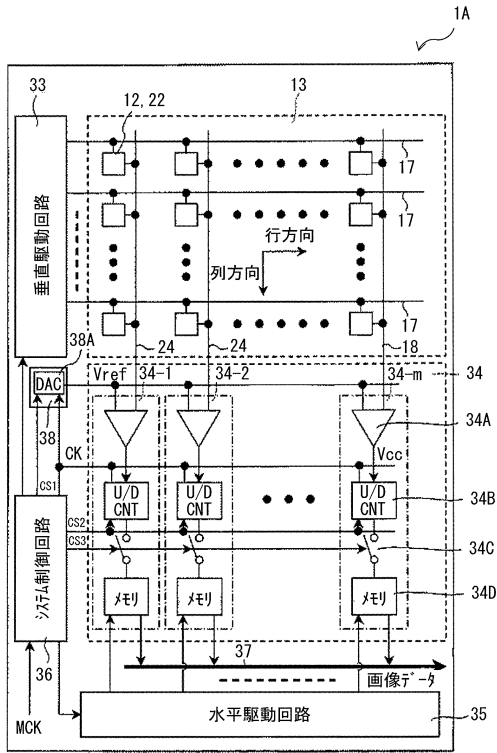


30

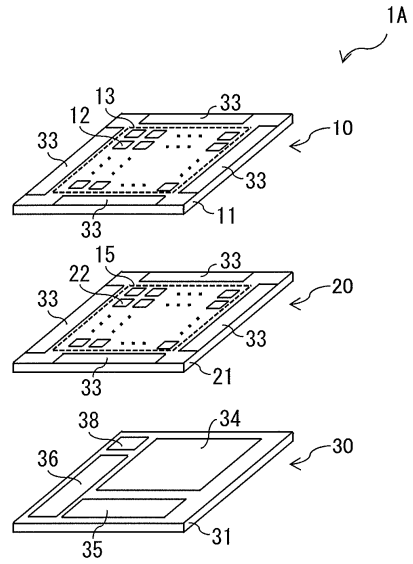
40

50

【図34】



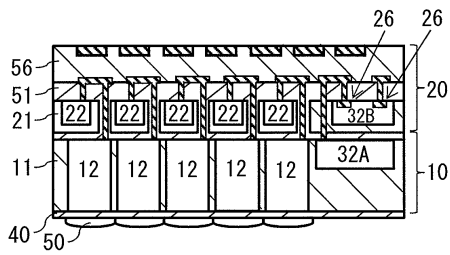
【図35】



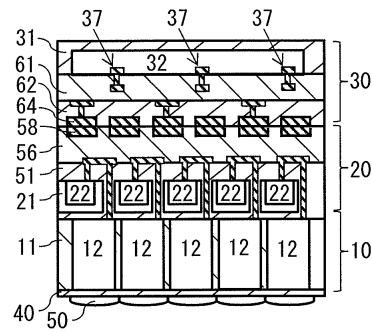
10

20

【図36】



【図37】

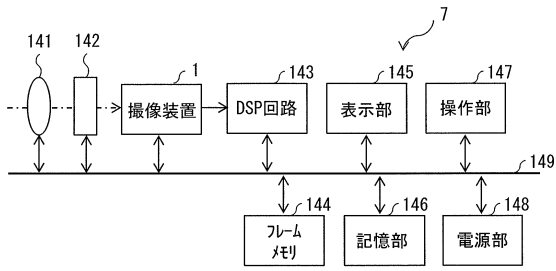


30

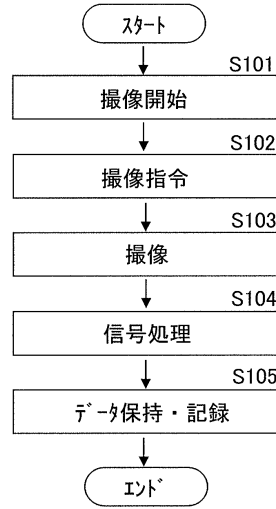
40

50

【図 38】

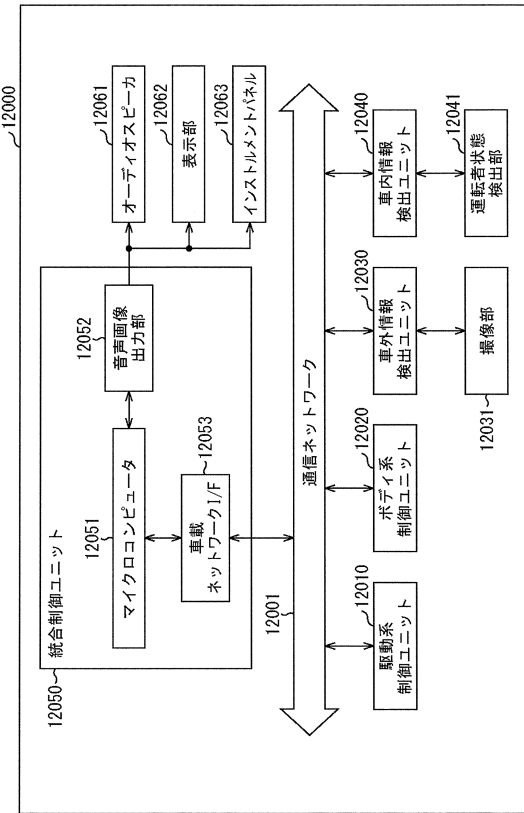


【図 39】

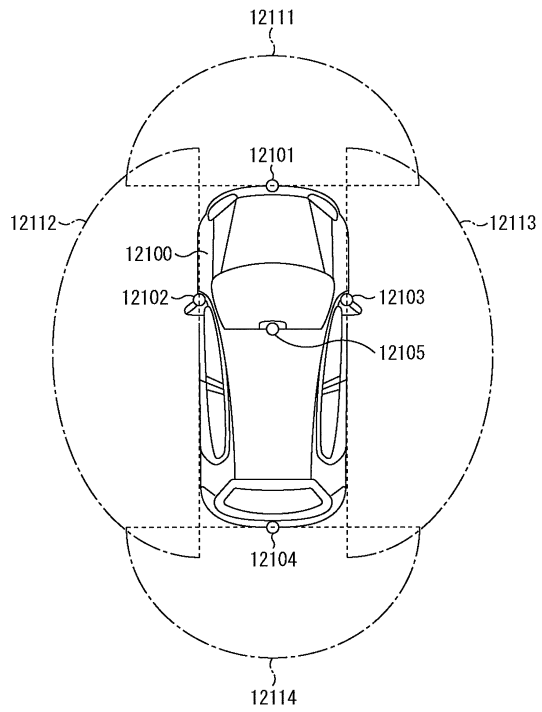


10

【図 40】



【図 41】



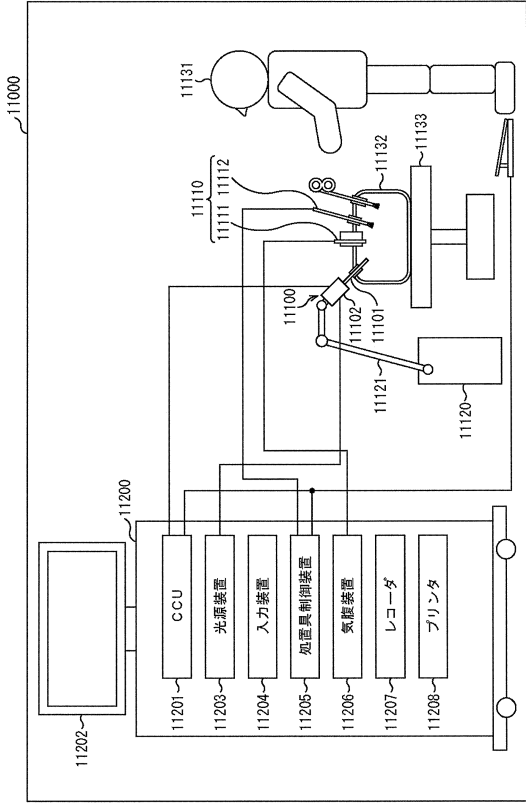
20

30

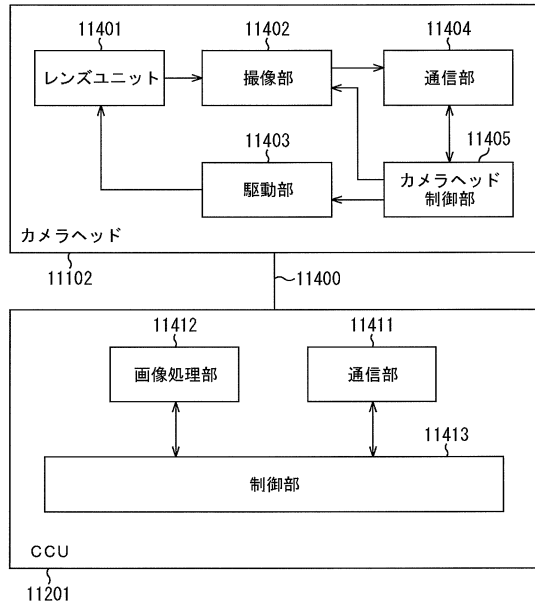
40

50

【図 4 2】



【図 4 3】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I

*H 0 1 L 27/00 (2006.01)*

H 0 1 L 27/00

3 0 1 B

*H 0 4 N 25/70 (2023.01)*

H 0 4 N 25/70

## (56)参考文献

特開 2 0 1 4 - 0 2 2 5 6 1 ( J P , A )

特開平 1 1 - 2 7 4 4 4 5 ( J P , A )

特開 2 0 1 5 - 0 3 2 6 8 7 ( J P , A )

## (58)調査した分野 (Int.Cl. , D B名)

H 0 1 L 2 7 / 1 4 6

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 7 / 0 0

H 0 4 N 2 5 / 7 0