

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 12 月 1 日 (2016.12.1)

【公開番号】特開 2015-99893 (P2015-99893A)

【公開日】平成 27 年 5 月 28 日 (2015.5.28)

【年通号数】公開・登録公報 2015-035

【出願番号】特願 2013-240286 (P2013-240286)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/60 (2006.01)

【F I】

H 0 1 L 27/08 1 0 2 D

H 0 1 L 29/78 3 0 1 D

H 0 1 L 21/90 A

H 0 1 L 27/04 D

H 0 1 L 27/04 E

H 0 1 L 21/92 6 0 2 P

【手続補正書】

【提出日】平成 28 年 10 月 18 日 (2016.10.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の主面の第 1 M I S F E T 形成領域に形成され、互いに並列に接続されてパワー M I S F E T を構成する複数の単位 M I S F E T 素子と、

前記半導体基板の前記主面の第 1 制御回路形成領域に形成され、前記パワー M I S F E T のゲート電圧を制御する制御回路と、

前記半導体基板上に形成された、同種の金属材料からなる複数の配線層を有する配線構造と、

を有し、

前記第 1 M I S F E T 形成領域に形成された前記複数の単位 M I S F E T 素子のゲート電極同士は、前記複数の配線層の全ての配線層にそれぞれ形成されたゲート配線を介して互いに電氣的に接続されている、半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記複数の配線層のうちの最上層の配線層における配線厚みは、前記複数の配線層のうちの前記最上層の配線層以外の配線層における配線厚みよりも大きい、半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記最上層の配線層に形成された前記ゲート配線は、前記制御回路から前記第 1 M I S F E T 形成領域に形成された複数の前記ゲート電極の少なくとも一部への導電経路として機能する、半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記複数の配線層のそれぞれは、アルミニウム配線層である、半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、

前記複数の配線層のうちのいずれかに形成された前記ゲート配線は、前記制御回路に接続されている、半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、

前記第 1 M I S F E T 形成領域に形成された前記複数の単位 M I S F E T 素子のソース領域同士は、前記複数の配線層の全ての配線層にそれぞれ形成されたソース配線を介して互いに電氣的に接続され、

前記第 1 M I S F E T 形成領域に形成された前記複数の単位 M I S F E T 素子のドレイン領域同士は、前記複数の配線層の全ての配線層にそれぞれ形成されたドレイン配線を介して互いに電氣的に接続されている、半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

前記最上層の配線層において、前記ソース配線と前記ドレイン配線との間に前記ゲート配線が配置されている、半導体装置。

【請求項 8】

請求項 6 記載の半導体装置において、

外部端子として機能するソース用バンパ電極とドレイン用バンパ電極とを更に有し、

前記ソース用バンパ電極は、前記複数の配線層のそれぞれに形成された前記ソース配線を介して、前記複数の単位 M I S F E T 素子の前記ソース領域に電氣的に接続され、

前記ドレイン用バンパ電極は、前記複数の配線層のそれぞれに形成された前記ドレイン配線を介して、前記複数の単位 M I S F E T 素子の前記ドレイン領域に電氣的に接続されている、半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記配線構造は、前記最上層の配線層よりも上層で、かつ前記複数の配線層とは異なる種類の金属材料からなる異種配線層を有し、

前記ソース用バンパ電極は、前記異種配線層に形成されたソース用異種配線上に形成され、前記ソース用異種配線を介して、前記複数の配線層のうちの前記最上層の配線層に形成された前記ソース配線に電氣的に接続され、

前記ドレイン用バンパ電極は、前記異種配線層に形成されたドレイン用異種配線上に形成され、前記ドレイン用異種配線を介して、前記複数の配線層のうちの前記最上層の配線層に形成された前記ドレイン配線に電氣的に接続されている、半導体装置。

【請求項 10】

請求項 9 記載の半導体装置において、

前記異種配線層は、銅配線層である、半導体装置。

【請求項 11】

請求項 9 記載の半導体装置において、

前記ソース用バンパ電極は、前記最上層の配線層に形成された、前記ソース用バンパ電極とは異なる電位の配線と平面視で重なっている、半導体装置。

【請求項 12】

請求項 9 記載の半導体装置において、

前記ドレイン用バンパ電極は、前記最上層の配線層に形成された、前記ドレイン用バンパ電極とは異なる電位の配線と平面視で重なっている、半導体装置。

【請求項 13】

請求項 9 記載の半導体装置において、

前記ソース用異種配線と前記最上層の配線層に形成された前記ソース配線との接続領域に、前記ソース用バンパ電極が平面視で重なっておらず、

前記ドレイン用異種配線と前記最上層の配線層に形成された前記ドレイン配線との接続領域に、前記ドレイン用バンパ電極が平面視で重なっていない、半導体装置。

【請求項 14】

請求項 1 記載の半導体装置において、

前記複数の配線層は、最下層の配線層である第 1 配線層と、前記第 1 配線層よりも上層の第 2 配線層と、前記第 2 配線層よりも上層の第 3 配線層とからなり、

前記最上層の配線層は、前記第 3 配線層であり、

前記第 1 配線層は、前記第 1 配線層に形成された前記ゲート配線である第 1 ゲート配線と、前記第 1 配線層に形成された前記ソース配線である第 1 ソース配線と、前記第 1 配線層に形成された前記ドレイン配線である第 1 ドレイン配線と、を含み、

前記第 2 配線層は、前記第 2 配線層に形成された前記ゲート配線である第 2 ゲート配線と、前記第 2 配線層に形成された前記ソース配線である第 2 ソース配線と、前記第 2 配線層に形成された前記ドレイン配線である第 2 ドレイン配線と、を含み、

前記第 3 配線層は、前記第 3 配線層に形成された前記ゲート配線である第 3 ゲート配線と、前記第 3 配線層に形成された前記ソース配線である第 3 ソース配線と、前記第 3 配線層に形成された前記ドレイン配線である第 3 ドレイン配線と、を含み、

前記第 1 MISFET 形成領域に形成された前記複数の単位 MISFET 素子の前記ゲート電極同士は、前記第 1 ゲート配線、前記第 2 ゲート配線および前記第 3 ゲート配線を介して互いに電氣的に接続され、

前記第 1 MISFET 形成領域に形成された前記複数の単位 MISFET 素子の前記ソース領域同士は、前記第 1 ソース配線、前記第 2 ソース配線および前記第 3 ソース配線を介して互いに電氣的に接続され、

前記第 1 MISFET 形成領域に形成された前記複数の単位 MISFET 素子の前記ドレイン領域同士は、前記第 1 ドレイン配線、前記第 2 ドレイン配線および前記第 3 ドレイン配線を介して互いに電氣的に接続されている、半導体装置。

【請求項 15】

請求項 14 記載の半導体装置において、

前記第 1 MISFET 形成領域において、前記複数の単位 MISFET 素子の前記ゲート電極は、それぞれ第 1 方向に延在し、かつ前記第 1 方向に交差する第 2 方向に並んでおり、

前記第 3 ゲート配線は、前記第 3 ソース配線と前記第 3 ドレイン配線の間を前記第 1 方向に延在している、半導体装置。