

WO 2017/175955 A1



TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, **공개:**

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, KM, ML, MR, NE, SN, TD, TG).

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 수직 반도체 컬럼을 구비한 메모리 소자

기술분야

- [1] 본 발명은 반도체 메모리 소자에 관한 것으로서, 더욱 상세하게는, 수직 반도체 컬럼 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적으로 휘발성/비휘발성 모드로 동작하는 반도체 메모리 소자에 관한 것이다.

배경기술

- [2] 기존 반도체 메모리 소자는 DRAM 등 휘발성 특성이 있는 메모리 소자와 플래시 메모리(Flash Memory) 등 비휘발성 특성이 있는 메모리 소자로 분류할 수 있다.
- [3] 기존 휘발성 반도체 메모리 소자 특히, DRAM 메모리 소자의 경우 1 트랜지스터-1 커패시터(1T-1C)의 단위 셀 구조로 인하여 집적화에 근본적인 한계를 가지며, 집적화에 따른 커패시터의 종횡비(capacitor aspect ratio; A/R)의 증가 및 누설 전류의 문제가 있으며, 이로 인하여 주기적인 재생(refresh)에 필요한 전력 소모로, 메모리 소자의 집적화와 단위 셀당 저장능력에 한계를 갖는다.
- [4] 비휘발성 반도체 메모리 소자 즉, 플래시 메모리(flash memory)소자의 경우 60 mV/dec 이상의 문턱 전압 이하 기울기 특성(subthreshold swing; SS)으로 인한 완만한 형태의 I-V 특성곡선 발생과, 데이터 독출 시 좁은 전류 감지 폭(current sensing margin)으로 인하여 데이터 오류가 발생하고, 높은 게이트 전압으로 인한 읽기/쓰기(read/write) 특성에 열화가 발생하며, 읽기/지우기(write/erase) 과정 중 발생하는 문턱 전압 값의 변화와 이에 따른 데이터 왜곡이 발생하는 문제가 있으며, 사용 온도에 따라 메모리 특성에 변화가 발생하는 근본적인 문제를 갖는다.
- [5] 이에 따라, 새로운 휘발성 DRAM 메모리 소자로서, 커패시터를 갖지 않는 1 트랜지스터 구조(capacitorless 1T 구조)를 통해 보다 집적화된 셀 구조를 가지며, 향상된 정보 보전(retention) 특성과 누설 전류 감소에 따른 긴 리프레시 주기를 가지고, 낮은 동작전압이 단위 셀 구조당 요구되는 저소비전력의 새로운 휘발성 메모리 소자의 개발이 필요한 상황이다.
- [6] 그러나, 휴대형 디지털 기기의 수요 확산과 함께 여러 기능이 융합된 새로운 복합 디지털 기기의 등장으로 인한 메모리의 대용량화를 뒷받침해주지는 못하고 있지는 못한 실정으로, 현재 메모리 소자의 집적화는 기존 메모리 소자의 소형화(scaling down)에 따라 발생하는 단채널 효과(short-channel effect)의 결과로 다양한 성능 저하(SS값의 감소, 누설전류 증가, 소비전력 증가 등)가 발생하여 한계가 있으며, 상기 문제를 해결하기 위해 strain engineering, high-k, metal gate 기술 적용 등의 연구가 진행되고 있으나, 복잡한 공정과 높은 비용 등의

해결하여야 하는 문제가 있다.

- [7] 또한, 종래 휘발성 DRAM 메모리 소자 또는 비휘발성 flash 메모리 소자의 구조는 각각의 특성만을 활용할 수 있는 소자 구조로 휘발성 또는 비휘발성 동작특성이 선택적으로 필요한 상황이 되었을 때, 메모리 소자들을 유연하게 활용할 수 없는 근본적인 문제가 있다.
- [8] 이에 따라, 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며, 누설전류를 감소시켜 저전력 및 고효율의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 메모리 소자의 개발이 요구되어, 읽기/지우기(write-erase) 과정에 낮은 인가전압이 요구되고, 높은 온-오프 전류비(on-off current ratio)와 낮은 문턱 전압 이하 기울기 특성(subthreshold swing; SS)을 가져, 좁은 메모리 윈도우에서 충분한 전류 감지 폭(current sensing margin)의 확보가 가능하며, 낮은 단위 셀 구조당 요구되는 동작전압 특성이 요구되며, 휘발성/비휘발성 동작 특성이 한 소자 내에서 구현 가능할 것이 요구되며, 뛰어난 전기적/물리적/구조적 특성을 지니는 나노 구조체 기반의 소자의 개발이 절실히 요구되고 있는 상황이다.

발명의 상세한 설명

기술적 과제

- [9] 본 발명의 해결하고자 하는 일 기술적 과제는 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며, 누설전류를 감소시켜 저전력 및 고효율의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 전류 감지 폭 내지 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 수직 반도체 컬럼 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성/비휘발성 모드 동작 반도체 메모리 소자를 제공하는 것이다.
- [10] 구체적으로는, 쓰기/지우기(write-erase) 과정에 낮은 인가전압이 요구되고, 높은 온-오프 전류비(on-off current ratio)와 낮은 문턱 전압 이하 기울기 특성(subthreshold swing; SS)을 가져, 좁은 메모리 윈도우에서 충분한 전류 감지 폭(current sensing margin)의 확보가 가능하며, 낮은 단위 셀 구조당 요구되는 동작전압 특성을 가지고, 휘발성/비휘발성 동작 특성이 한 소자 내에서 구현 가능한 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성/비휘발성 모드 동작 반도체 메모리 소자를 제공하는 것을 목적으로 한다.

과제 해결 수단

- [11] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기

- 진성 영역 사이에 배치된 게이트 절연막을 포함한다.
- [12] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있다.
- [13] 본 발명의 일 실시예에 있어서, 상기 기판은 활성 영역 및 소자 분리막을 포함하고, 상기 제1 도전형의 소오스 영역은 상기 활성 영역과 접촉하여 배치되고, 상기 활성 영역은 상기 제1 도전형으로 도핑될 수 있다.
- [14] 본 발명의 일 실시예에 있어서, 상기 기판의 상부면과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 절연막; 및 상기 소오스 절연막과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 라인을 더 포함하고, 상기 소오스 라인은 상기 제1 도전형으로 도핑된 반도체일 수 있다.
- [15] 본 발명의 일 실시예에 있어서, 상기 반도체 컬럼의 상기 드레인 영역 상에 배치되는 비트라인을 더 포함하고, 상기 게이트 전극은 상기 기판의 배치평면에서 제1 방향으로 연장되고, 상기 비트라인은 상기 기판의 배치평면에서 상기 제1 방향에 수직한 제2 방향으로 연장될 수 있다.
- [16] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막과 상기 게이트 전극 사이에 배치된 전하 저장층; 및 상기 전하 저장층과 상기 게이트 전극 사이에 배치된 보조 게이트 절연막을 더 포함할 수 있다.
- [17] 본 발명의 일 실시예에 따른 메모리 소자는 기판에서 제1 방향으로 나란히 연장되는 소자 분리막들; 상기 소자 분리막과 동일한 상부면을 가지고 상기 소자 분리막 사이에 배치되고 상기 제1 방향으로 나란히 연장되는 소오스 라인들; 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들; 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들; 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 게이트 절연막; 상기 제1 방향으로 연장되고 상기 워드라인들 사이를 채우는 게이트 분리막들; 및 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인을 포함한다. 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함한다. 상기 소오스 영역은 상기 소오스 라인과 접촉하고, 상기 드레인 영역은 상기 비트라인과 접촉한다.
- [18] 본 발명의 일 실시예에 있어서, 상기 워드 라인과 상기 게이트 절연막 사이에 배치되는 전하 저장층; 및 상기 전하 저장층과 상기 워드 라인 사이에 배치되는 보조 게이트 절연막을 더 포함할 수 있다.
- [19] 본 발명의 일 실시예에 있어서, 상기 워드 라인과 상기 기판 사이에 배치된 하부 절연막; 상기 워드 라인 상부에 배치된 상부 절연막을 더 포함할 수 있다. 상기 전하 저장층은 상기 상부 절연막과 상기 워드 라인 사이에 개재하도록 연장되고,

상기 전하 저장층은 상기 하부 절연막과 상기 워드 라인의 하부면 사이에 개재하도록 연장될 수 있다. 상기 보조 게이트 절연막은 상기 상부 절연막과 상기 워드 라인 사이에 개재하도록 연장되고, 상기 보조 게이트 절연막은 상기 하부 절연막과 상기 워드 라인 사이에 개재하도록 연장될 수 있다.

- [20] 본 발명의 일 실시예에 따른 메모리 소자는 기판에서 제1 방향으로 나란히 연장되는 소오스 라인들; 상기 소오스 라인들과 상기 기판 사이에 배치된 소오스 라인 절연막; 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들; 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들; 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 게이트 절연막; 상기 제1 방향으로 연장되고 상기 워드라인들 사이를 채우는 게이트 분리막들; 및 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인을 포함한다. 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함한다. 상기 소오스 영역은 상기 소오스 라인과 접촉하고, 상기 드레인 영역은 상기 비트라인과 접촉한다.
- [21] 본 발명의 일 실시예에 있어서, 상기 워드 라인과 상기 게이트 절연막 사이에 배치되는 전하 저장층; 및 상기 전하 저장층과 상기 워드 라인 사이에 배치되는 보조 게이트 절연막을 더 포함할 수 있다.
- [22] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막을 포함한다. 상기 메모리 소자의 동작 방법은 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계; 상기 제1 논리 상태를 유지하도록, 상기 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계; 상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계; 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계; 상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및 상기 제2 논리

상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함한다.

[23] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n 형이고, 상기 제2 도전형은 p 형이고, 상기 제1 게이트 전압은 -0.25V 내지 -1V 이고, 상기 제2 게이트 전압은 -0.1V 내지 0.1V 이고, 상기 제3 게이트 전압은 0.25V 내지 1V 일 수 있다.

[24] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막, 전하 저장층, 및 보조 게이트 절연막을 포함한다. 상기 메모리 소자의 동작 방법은 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계; 상기 제1 논리 상태를 유지하도록, 상기 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계; 상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계; 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계; 상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및 상기 제2 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함한다.

[25] 본 발명의 일 실시예에 있어서, 상기 전하 저장층에 전하를 주입하기 위하여, 상기 게이트 전극에 프로그램 게이트 전압을 인가하고, 상기 드레인 영역에 드레인 전압을 인가하는 단계; 및 상기 전하 저장층에 주입된 전하를 제거하기 위하여, 상기 게이트 전극에 소거 게이트 전압을 인가하는 단계를 포함할 수 있다.

[26] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n 형이고, 상기 제2 도전형은 p 형이고, 상기 제1 게이트 전압은 -0.25V 내지 -1V 이고, 상기 제2 게이트 전압은 -0.1V 내지 0.1V 이고, 상기 제3 게이트 전압은 0.25V 내지 1V 일 수 있다.

[27] 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법은 기판 상에 제1 방향으로 연장되는 소자 분리막을 형성하여 활성 영역을 정의하는 단계; 상기 활성 영역이 형성된 상기 기판 상에 제1 층간 절연막, 제2 층간 절연막, 및 제3 층간 절연막을 적층하고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하는 관통홀을 형성하는 단계; 상기 관통홀에 차례로 제1

도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계; 상기 제2 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계; 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계; 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계; 상기 보조 트렌치를 절연체로 매립하는 단계; 및 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막을 포함한다.

- [28] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있다.
- [29] 본 발명의 일 실시예에 있어서, 상기 기판은 활성 영역 및 소자 분리막을 포함하고, 상기 제1 도전형의 소오스 영역은 상기 활성 영역과 접촉하여 배치되고, 상기 활성 영역은 상기 제1 도전형으로 도핑될 수 있다.
- [30] 본 발명의 일 실시예에 있어서, 상기 기판의 상부면과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 절연막; 및 상기 소오스 절연막과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 라인을 더 포함하고, 상기 소오스 라인은 상기 제1 도전형으로 도핑된 반도체일 수 있다.
- [31] 본 발명의 일 실시예에 있어서, 상기 반도체 컬럼의 상기 드레인 영역 상에 배치되는 비트라인을 더 포함하고, 상기 게이트 전극은 상기 기판의 배치평면에서 제1 방향으로 연장되고, 상기 비트라인은 상기 기판의 배치평면에서 상기 제1 방향에 수직한 제2 방향으로 연장될 수 있다.
- [32] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막과 상기 게이트 전극 사이에 배치된 전하 저장층; 및 상기 전하 저장층과 상기 게이트 전극 사이에 배치된 보조 게이트 절연막을 더 포함할 수 있다.
- [33] 본 발명의 일 실시예에 따른 메모리 소자는 기판에서 제1 방향으로 나란히 연장되는 소자 분리막들; 상기 소자 분리막과 동일한 상부면을 가지고 상기 소자 분리막 사이에 배치되고 상기 제1 방향으로 나란히 연장되는 소오스 라인들; 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들; 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들; 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록

배치된 게이트 절연막; 상기 제1 방향으로 연장되고 상기 워드라인들 사이를 채우는 게이트 분리막들; 및 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인을 포함한다. 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함한다. 상기 소오스 영역은 상기 소오스 라인과 접촉하고, 상기 드레인 영역은 상기 비트라인과 접촉한다.

[34] 본 발명의 일 실시예에 있어서, 상기 워드 라인과 상기 게이트 절연막 사이에 배치되는 전하 저장층; 및 상기 전하 저장층과 상기 워드 라인 사이에 배치되는 보조 게이트 절연막을 더 포함할 수 있다.

[35] 본 발명의 일 실시예에 있어서, 상기 워드 라인과 상기 기판 사이에 배치된 하부 절연막; 상기 워드 라인 상부에 배치된 상부 절연막을 더 포함할 수 있다. 상기 전하 저장층은 상기 상부 절연막과 상기 워드 라인 사이에 개재하도록 연장되고, 상기 전하 저장층은 상기 하부 절연막과 상기 워드 라인의 하부면 사이에 개재하도록 연장될 수 있다. 상기 보조 게이트 절연막은 상기 상부 절연막과 상기 워드 라인 사이에 개재하도록 연장되고, 상기 보조 게이트 절연막은 상기 하부 절연막과 상기 워드 라인 사이에 개재하도록 연장될 수 있다.

[36] 본 발명의 일 실시예에 따른 메모리 소자는 기판에서 제1 방향으로 나란히 연장되는 소오스 라인들; 상기 소오스 라인들과 상기 기판 사이에 배치된 소오스 라인 절연막; 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들; 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들; 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 게이트 절연막; 상기 제1 방향으로 연장되고 상기 워드라인들 사이를 채우는 게이트 분리막들; 및 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인을 포함한다. 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함한다. 상기 소오스 영역은 상기 소오스 라인과 접촉하고, 상기 드레인 영역은 상기 비트라인과 접촉한다.

[37] 본 발명의 일 실시예에 있어서, 상기 워드 라인과 상기 게이트 절연막 사이에 배치되는 전하 저장층; 및 상기 전하 저장층과 상기 워드 라인 사이에 배치되는 보조 게이트 절연막을 더 포함할 수 있다.

[38] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기

드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막을 포함한다. 상기 메모리 소자의 동작 방법은 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계; 상기 제1 논리 상태를 유지하도록, 상기 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계; 상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계; 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계; 상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및 상기 제2 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함한다.

[39] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n 형이고,

[40] 상기 제2 도전형은 p 형이고, 상기 제1 게이트 전압은 -0.25V 내지 -1V 이고, 상기 제2 게이트 전압은 -0.1V 내지 0.1V 이고, 상기 제3 게이트 전압은 0.25V 내지 1V 일 수 있다.

[41] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막, 전하 저장층, 및 보조 게이트 절연막을 포함한다. 상기 메모리 소자의 동작 방법은 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계; 상기 제1 논리 상태를 유지하도록, 상기 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계; 상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계; 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계; 상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및 상기 제2 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2

게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함한다.

[42] 본 발명의 일 실시예에 있어서, 상기 전하 저장층에 전하를 주입하기 위하여, 상기 게이트 전극에 프로그램 게이트 전압을 인가하고, 상기 드레인 영역에 드레인 전압을 인가하는 단계; 및 상기 전하 저장층에 주입된 전하를 제거하기 위하여, 상기 게이트 전극에 소거 게이트 전압을 인가하는 단계를 포함할 수 있다.

[43] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n 형이고, 상기 제2 도전형은 p 형이고, 상기 제1 게이트 전압은 -0.25 V 내지 -1 V 이고, 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V 이고, 상기 제3 게이트 전압은 0.25 V 내지 1 V 일 수 있다.

[44] 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법은 기판 상에 제1 방향으로 연장되는 소자 분리막을 형성하여 활성 영역을 정의하는 단계; 상기 활성 영역이 형성된 상기 기판 상에 제1 층간 절연막, 제2 층간 절연막, 및 제3 층간 절연막을 적층하고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하는 관통홀을 형성하는 단계; 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들 사이에 두고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계; 상기 제2 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계; 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계; 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계; 상기 보조 트렌치를 절연체로 매립하는 단계; 및 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트라인을 형성하는 단계를 포함한다.

[45] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막을 형성된 후 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 전하 저장층을 형성하는 단계; 및 상기 전하 저장층을 형성한 후 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막을 형성하는 단계를 더 포함할 수 있다.

[46] 본 발명의 일 실시예에 따른 메모리 소자의 제조방법은 기판 상에 소오스 라인 절연막을 개재하여 제1 방향으로 연장되는 소오스 라인을 패터닝하는 단계; 상기 소오스 라인이 형성된 기판 상에 제1 층간 절연막, 제2 층간 절연막, 및 제3 층간 절연막을 적층하고 상기 소오스 라인 상에 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하는 관통홀을 형성하는 단계; 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들 사이에 두고 상기 제1 층간 절연막,

및 상기 제2 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계; 상기 제2 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계; 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계; 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계; 상기 보조 트렌치를 절연체로 매립하는 단계; 및 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직인 제2 방향으로 연장되는 비트라인을 형성하는 단계를 포함할 수 있다.

발명의 효과

- [47] 본 발명의 일 실시예에 따르면, 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며, 누설전류를 감소시켜 저전력 및 고효율의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성/비휘발성 모드 동작 반도체 메모리 소자를 제공할 수 있다.
- [48] 구체적으로는, 본 발명의 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성/비휘발성 모드 동작 반도체 메모리 소자는 읽기/지우기(write-erase) 과정에 낮은 인가전압이 요구되고, 높은 온-오프 전류비(on-off current ratio)와 낮은 문턱 전압 이하 기울기 특성(subthreshold swing; SS)을 가져, 좁은 메모리 윈도우에서 충분한 전류 감지 폭(current sensing margin)의 확보가 가능하며, 낮은 단위 셀 구조당 요구되는 동작전압 특성을 가지고, 휘발성/비휘발성 동작 특성이 한 소자 내에서 구현 가능한 효과를 가진다.

도면의 간단한 설명

- [49] 도 1은 본 발명의 일 실시예에 따른 메모리 소자의 기본 구조를 설명하기 위한 구조도이다.
- [50] 도 2는 도의 메모리 소자의 밴드 다이어그램을 나타내는 도면이다.
- [51] 도 3은 도 2의 메모리 소자의 드레인, 소오스, 그리고 게이트에 인가되는 전압에 따른 밴드 다이어그램을 나타내는 도면이다.
- [52] 도 4는 도 3의 메모리 소자의 쓰기 동작, 홀드 동작, 및 읽기 동작에 따른 전압 및 전류를 나타내는 타이밍 차트이다.
- [53] 도 5는 도 2의 메모리 소자의 게이트 전압에 따른 드레인 전류를 나타내는 그래프이다.
- [54] 도 6은 본 발명의 일 실시예에 따른 무축전기 DRAM을 설명하는 회로도이다.
- [55] 도 7은 도 6의 무축전기 DRAM의 셀 영역을 나타내는 평면도이다.
- [56] 도 8은 도 7의 A-A' 선을 따라 자른 단면도이다.
- [57] 도 9a 내지 도 9i는 공정 순서에 따라 도 7의 A-A'선을 자른 단면도들이다.
- [58] 도 10은 본 발명의 다른 실시예에 따른 메모리 소자를 설명하는 평면도이다.

- [59] 도 11은 본 발명의 다른 실시예에 따른 메모리 소자를 설명하는 단면도이다.
- [60] 도 12a 내지 도 12h는 도 11의 메모리 소자를 제조하는 방법을 설명하는 단면도들이다.
- [61] 도 13은 본 발명의 또 다른 실시예에 따른 메모리 소자를 나타내는 개념도이다.
- [62] 도 14는 도 13의 메모리 소자를 설명하는 회로도이다.
- [63] 도 15는 도 14의 메모리 소자를 나타내는 평면도이다.
- [64] 도 16은 도 15의 C-C'선을 따라 자른 단면도이다.
- [65] 도 17a 내지 도 17h는 도 16의 메모리 소자의 제조 공정을 설명하는 단면도들이다.

발명의 실시를 위한 형태

- [66] 3 단자 반도체 제어 정류기(3 terminal semiconductor rectifier)는 통상적으로 사이리스터(thyristor)라고 한다. 상기 사이리스터는 게이트 제어 p-n-p-n 다이오드(gate controlled p-n-p-n diode)이다. 양성 피드백 전계 효과 트랜지스터(positive feedback Field-Effect-Tansister; FB-FET)는 통상적인 MOS-FET과 달리 소오스와 드레인이 서로 다른 도전형을 가진다. FB-FET는 무축전기 DRAM(capacitorless DRAM)으로 동작할 수 있다. 상기 FB-FET는 사이리스터 DRAM(Thyristor Dynamic Random Access Memory; T-DRAM)이라고도 불린다.
- [67] 통상적으로, DRAM의 단위 셀은 하나의 축전기와 하나의 MOSFET를 포함한다. 상기 축전기는 많은 전하를 저장하기 위하여 많은 공간을 요구한다. 이에 따라, 종래의 1T-1C DRAM은 3차원 적층 구조를 실현할 수 없다.
- [68] 본 발명에 일 실시예에 따르면, T-DRAM 구조의 수직형 반도체 메모리가 제안된다.
- [69] 본 발명에 일 실시예에 따르면, T-DRAM 구조의 수직형 반도체 메모리에서, 게이트 전극과 게이트 절연막 사이에 전하 저장층으로 플로팅 게이트 또는 전하 트랩층을 추가로 배치하면, EPROM(erasable programmable read-only-memory)으로 동작할 수 있다. 따라서, 수직형 반도체 메모리는 선택적으로 T-DRAM 또는 EPROM으로 동작할 수 있다.
- [70] 이하, 도면을 참조하여 본 발명을 실시하기 위한 구체적인 내용을 실시예에 기초하여 설명한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는 적절하게

설명된다면 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

- [71] 도 1은 본 발명의 일 실시예에 따른 메모리 소자의 기본 구조를 설명하기 위한 구조도이다.
- [72] 도 2는 도의 메모리 소자의 밴드 다이어그램을 나타내는 도면이다.
- [73] 도 3은 도 2의 메모리 소자의 드레인, 소오스, 그리고 게이트에 인가되는 전압에 따른 밴드 다이어그램을 나타내는 도면이다.
- [74] 도 4는 도 3의 메모리 소자의 쓰기 동작, 홀드 동작, 및 읽기 동작에 따른 전압 및 전류를 나타내는 타이밍 차트이다.
- [75] 도 5는 도 2의 메모리 소자의 게이트 전압에 따른 드레인 전류를 나타내는 그래프이다.
- [76] 도 1 내지 도 5를 참조하면, 수직형 반도체 메모리 소자(100)는 수직 반도체 컬럼(110), 게이트 전극(130), 및 게이트 절연막(120)을 포함한다. 상기 반도체 컬럼(110)은 기판 상에서 수직으로 연장되고 제1 도전형의 소오스 영역(112), 제2 도전형의 드레인 영역(118), 상기 소오스 영역(112)과 상기 드레인 영역(118) 사이에 배치된 진성 영역(114), 및 상기 진성 영역(114)과 상기 드레인 영역(118) 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함한다. 상기 게이트 전극(130)은 상기 진성 영역(114)을 감싸도록 배치된다. 상기 게이트 절연막(120)은 상기 게이트 전극(130)과 상기 진성 영역(114) 사이에 배치된다.
- [77] 우선, 본 발명의 일 실시예에 따른 메모리 소자의 동작 원리가 설명된다.
- [78] 상기 메모리 소자(100)는 p-n-i-n 구조 또는 p-n-p-n 구조를 가진다. 상기 진성 영역(114)은 제2 도전형 불순물로 저농도로 도핑(p^0)될 수 있다. 상기 드레인 영역(118)은 상기 제2 도전형의 불순물로 고농도로 도핑(p^+)될 수 있다. 상기 소오스 영역(112)은 상기 제1 도전형의 불순물로 고농도로 도핑(n^+)될 수 있다. 상기 장벽 영역(116)은 상기 제1 도전형의 불순물로 고농도로 도핑(n^+)될 수 있다.
- [79] 상기 게이트 전극에 전압이 인가되지 않고, 상기 드레인 영역(118)과 상기 소오스 영역(112) 사이에 전위차가 발생하지 않는 경우, 모든 영역은 동일한 페르미 준위를 가진다.
- [80] $p^+-n^+-p^0-n^+$ 구조에서, 상기 드레인 영역(118)은 p^+ 상태이고, 상기 소오스 영역(112)은 n^+ 상태이며, 상기 진성 영역(114)은 p^0 상태이며, 상기 장벽 영역(116)은 n^+ 상태이다. 여기서, 위첨자 +는 고농도 도핑을 의미하고, 위첨자 0은 저농도 도핑을 의미한다. 상기 $p^+-n^+-p^0-n^+$ 구조는 제1 p-n접합(111a), 제2 p-n접합(111b), 그리고 제3 p-n접합(111c)을 포함한다.
- [81] 본 발명의 일 실시예에 따른 메모리 소자(100)는 쓰기 동작, 읽기 동작, 및 쓰기 동작에 의하여 이루어진 상태를 유지하는 홀드 동작을 수행할 수 있다. 이에 따라, 상기 반도체 메모리 소자(100)는 DRAM으로 동작할 수 있다. 게이트(G)는 게이트 전극과 혼용되어 사용되고, 소오스(S)는 소오스 영역과 혼용되어

사용되고, 드레인(D)은 드레인 영역과 혼용되어 사용될 수 있다.

- [82] DRAM에서, 논리 상태는 제1 논리 상태('0')와 제2 논리 상태('1')로 표시될 수 있다. 예를 들어, '0'상태를 쓰기 위하여, 상기 게이트 전극(130)에 $V_{GS}=0.5\text{ V}$ 의 제1 게이트 전압이 인가되고, 드레인에 $V_{DS}=1\text{ V}$ 의 제1 드레인 전압이 인가된 경우, 상기 제3 p-n 접합(111c)의 에너지 장벽이 증가하여 전도대의 전자들은 에너지 장벽을 넘기 어렵다. 또한, 상기 제1 p-n 접합(111a)의 에너지 장벽이 증가하여 가전자대의 홀들은 에너지 장벽을 넘기 어렵다. 따라서, 상기 반도체 컬럼(110)을 통하여 드레인 전류(I_{DS})는 거의 흐르지 않는다.
- [83] 이어서, '0'상태를 유지하기 위하여, 상기 게이트 전극에 $V_{GS}=0\text{ V}$ 의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS}=0\text{ V}$ 의 제2 드레인 전압이 인가될 수 있다. 이 경우에도, 에너지 장벽에 의하여 상기 반도체 컬럼(110)을 통하여 흐르는 드레인 전류(I_{DS})는 거의 흐르지 않는다.
- [84] 이어서, '0'상태를 읽기 위하여, 상기 게이트 전극에 $V_{GS}=0\text{ V}$ 의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS}=1\text{ V}$ 의 제1 드레인 전압이 인가될 수 있다. 이 경우에도, 에너지 장벽에 의하여 상기 반도체 컬럼(110)을 통하여 흐르는 드레인 전류(I_{DS})는 거의 흐르지 않는다. 따라서, 상기 드레인에 연결된 전류 검출 회로(미도시)는 '0'상태를 확인할 수 있다.
- [85] '1'상태를 쓰기 위하여, 상기 게이트 전극에 $V_{GS}=0.5\text{ V}$ 의 제3 게이트 전압이 인가되고, 드레인에 $V_{DS}=1\text{ V}$ 의 제1 드레인 전압이 인가될 수 있다. 이 경우, 제1 p-n 접합(111a)의 에너지 장벽이 낮아지고, 상기 제3 p-n 접합(111c)의 에너지 장벽도 낮아진다. 이에 따라, 전자들과 홀들은 상기 반도체 컬럼(110)을 통하여 흐를 수 있다.
- [86] '1' 상태를 유지하기 위하여, 상기 게이트 전극에 $V_{GS}=0.0\text{ V}$ 의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS}=0\text{ V}$ 의 제2 드레인 전압이 인가될 수 있다. 이 경우, 상기 제1 p-n 접합(111a)과 제2 p-n 접합(111b) 사이에 전도대 에너지 우물이 형성되고, 전자들이 구속된다. 또한, 상기 제2 p-n 접합(111b)과 제3 p-n 접합(111c) 사이에 가전자대 에너지 우물이 형성되고, 홀들이 구속된다. 한편, 제1 p-n 접합(111a) 및 제3 p-n 접합(111c)은 충분한 에너지 장벽을 제공하여, 드레인 전류(I_{DS})는 거의 흐르지 않는다.
- [87] '1' 상태를 읽기 위하여, 상기 게이트 전극에 $V_{GS}=0.0\text{ V}$ 의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS}=1\text{ V}$ 의 제1 드레인 전압이 인가될 수 있다. 상기 제1 p-n 접합(111a)과 제2 p-n 접합(111b) 사이에 전도대 에너지 우물에 구속된 전자들은 에너지 장벽을 낮추도록 에너지 밴드를 변경한다. 또한, 상기 제2 p-n 접합과 제3 p-n 접합 사이에 가전자대 에너지 우물에 구속된 홀들은 에너지 장벽을 낮추도록 에너지 밴드를 변경한다. 이에 따라, 반도체 컬럼을 통하여 드레인 전류(I_{DS})가 흐른다.
- [88] 도 5를 참조하면, 온/오프 전류 점멸비는 10^{11} 을 가지며, 문턱 전압 이하 기울기 특성(subthreshold swing; SS)는 0.1 mV/dec 수준이다. 게이트 전압에 따른 드레인

전류는 히스테리시스를 보이며, 소정의 동작 조건에 따라 무축전기 메모리 특성을 보인다.

[89] 따라서, 상기 메모리 소자(100)는 무축전기 DRAM으로 사용될 수 있다.

이하에서, 무축전기 DRAM의 구조 및 동작 방법에 대하여 설명한다.

[90] $p^+-n^+-p^0-n^+$ 구조에서, 상기 제1 게이트 전압은 $-0.25V$ 내지 $-1V$ 이고, 상기 제2 게이트 전압은 $-0.1V$ 내지 $0.1V$ 이고, 상기 제3 게이트 전압은 $0.25V$ 내지 $1V$ 일 수 있다. 또한, 제1 드레인 전압은 $0.1V \sim 1V$ 이고, 제2 드레인 전압은 $0V$ 일 수 있다.

[91] 상기 메모리 소자는 채널 내 형성된 포텐셜 장벽으로 인해 채널 내 에너지장벽은 $p-n-p-n$ (또는 $p-n-i-n$)와 같은 구조를 가진다. 특정 바이어스 조건에서 전하가 주입되면서 일부 전하들이 채널 내부에 축적된다. 이에 따라 포텐셜 장벽이 급격히 소멸함과 동시에 채널 내부 양성 피드백 루프(feedback loop)가 발생한다. 이러한 현상은 메모리소자 동작 시 메모리 윈도우 특성을 발생시키며, 채널 내부에 축적된 전하가 존재하는 동안 메모리 윈도우가 유지될 수 있다.

[92] 본 발명의 변형된 실시예에 따르면, 상기 메모리 소자(100)는 $n^+-p^+-n^0-p^+$ 구조로 변경될 수 있다.

[93] 본 발명의 변형된 실시예에 따르면, 상기 메모리 소자는 게이트 전극과 게이트 절연막 사이에 전하 저장층 및 보조 게이트 전극을 더 포함할 수 있다. 이 경우, 게이트 전극은 채널 내부에 포텐셜 장벽을 형성하는데 기여하고, 상기 전하 저장층은 전하를 저장할 수 있다. 상기 전하 저장층 및 상기 게이트 전극은 채널(또는 반도체 컬럼) 내 포텐셜 장벽을 변경하여 양성 피드백 루프(feedback loop)를 발생시키고, 메모리 특성에 활용될 수 있다.

[94] 메모리소자의 게이트 전극에 특정 전압조건(프로그래밍 조건 또는 소거 조건)을 가해주면, 전하 저장층에 채널 내부의 전하를 저장하거나, 반대로 전하저장층에 저장된 전하를 채널로 방출한다. 이러한 과정을 통해 채널 내부 포텐셜 장벽의 높이와 소자의 문턱 전압 이동(threshold voltage shift) 특성이 변화한다. 전하저장층 내 전하는 장시간 보존이 가능하므로, 비휘발성 메모리 특성을 가진다.

[95] 본 발명의 일 실시예에 따른 FBRAM은 단일소자에서 휘발성 메모리와 비휘발성 메모리 기능을 선택적으로 작동할 수 있다. 휘발성 메모리 작동 시에는 상기 전하 저장층에 전하를 저장하지 않은 상태에서 게이트 전압만으로 포텐셜 장벽을 형성하여 휘발성 메모리 윈도우를 생성한다. 비휘발성 메모리 작동 시에는 전하 저장층에 전하를 저장하여 비휘발성 메모리 윈도우를 생성한다. 따라서 FBRAM의 전하 저장층의 전하 저장 여부가 휘발성/비휘발성 동작변환 스위치 역할을 한다.

[96] 도 6은 본 발명의 일 실시예에 따른 무축전기 DRAM을 설명하는 회로도이다.

[97] 도 7은 도 6의 무축전기 DRAM의 셀 영역을 나타내는 평면도이다.

- [98] 도 8은 도 7의 A-A' 선을 따라 자른 단면도이다.
- [99] 도 9a 내지 도 9i는 공정 순서에 따라 도 7의 A-A'선을 자른 단면도들이다.
- [100] 도 6 내지 도 9i를 참조하면, 상기 무축전기 DRAM(200)은 복수의 단위 메모리 소자(100)를 포함한다. 상기 단위 메모리 소자들(100)은 매트릭스 형태로 배열되고, 상기 메모리 소자의 반도체 컬럼(110)은 기판에서 수직으로 연장된다. 상기 단위 메모리 소자(100)는 게이트(G), 소오스(S), 드레인(D)을 포함하는 3 단자 소자이다. 제1 방향으로 배열된 단위 메모리 소자(100)의 게이트들은 워드라인(WL)에 연결된다. 또한, 제2 방향으로 배열된 단위 메모리 소자(100)의 드레인은 비트라인(BL)에 연결된다. 또한, 제1 방향으로 배열된 단위 메모리 소자(100)의 소오스는 소오스 라인(SL)에 연결된다. 상기 소오스 라인(SL)이 접지된 경우, 하나의 워드 라인(WL)과 하나의 비트라인(BL)을 선택하여, 쓰기 동작, 홀드 동작, 및 읽기 동작에 대응하는 전압을 인가하면, 각 단위 메모리 셀(100)을 액세스할 수 있다.
- [101] 상기 단위 메모리 소자(100)는 반도체 컬럼(110), 게이트 전극(130), 및 게이트 절연막(120)을 포함한다. 상기 반도체 컬럼(110)은 기판(201) 상에서 수직으로 연장되고 제1 도전형의 소오스 영역(112), 제2 도전형의 드레인 영역(118), 상기 소오스 영역(112)과 상기 드레인 영역(118) 사이에 배치된 진성 영역(114), 및 상기 진성 영역(114)과 상기 드레인 영역(118) 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함한다. 상기 게이트 전극(130)은 상기 진성 영역(114)을 감싸도록 배치된다. 상기 게이트 절연막(120)은 상기 게이트 전극(130)과 상기 진성 영역(114) 사이에 배치된다.
- [102] 상기 무축전기 DRAM(200)은 소자 분리막들(202), 소오스 라인들(SL), 반도체 컬럼들(110), 워드 라인들(WL), 게이트 절연막(120), 게이트 분리막들(208), 그리고 비트라인(BL)을 포함한다. 게이트 전극(130)은 제1 방향으로 배열된 복수의 트랜지스터들에 공통으로 사용되어 워드라인(WL)을 구성할 수 있다.
- [103] 상기 소자분리막들(202)은 기판(201)에서 제1 방향으로 나란히 연장된다. 상기 소오스 라인들(SL)은 상기 소자 분리막(202)과 동일한 상부면을 가지고 상기 소자 분리막(202) 사이에 배치되고 상기 제1 방향으로 나란히 연장된다. 상기 반도체 컬럼들(110)은 상기 소오스 라인들(SL) 상에서 주기적으로 배치되고 상기 기판(201)에서 수직하게 연장된다. 상기 워드 라인들(WL)은 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장된다. 상기 게이트 절연막(120)은 상기 반도체 컬럼(110)과 상기 워드 라인(WL) 사이에 배치되어 상기 반도체 컬럼(110)의 측면을 감싸도록 배치된다. 상기 게이트 분리막들(208)은 상기 제1 방향으로 연장되고 상기 워드라인들(WL) 사이를 채운다. 비트라인(BL)은 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들(110)의 상부면에 접하여 상기 제2 방향으로 연장된다. 상기 반도체 컬럼(110)은 차례로 적층된 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함한다.

상기 소오스 영역은 상기 소오스 라인(SL)과 접촉하고, 상기 드레인 영역은 상기 비트라인(BL)과 접촉한다. 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있다.

- [104] 상기 기판(201)은 실리콘 기판일 수 있다. 상기 기판은 단위 메모리 셀들이 형성되는 셀 영역과 주변회로들이 배치되는 주변 영역으로 구분될 수 있다. 상기 셀 영역은 이온 주입 공정에 의하여 웰 공정(well process)에 의하여 상기 제2 도전형으로 도핑될 수 있다.
- [105] 소자 분리막들(202)은 실리콘 산화막일 수 있다. 상기 소자 분리막들(202)은 얇은 트렌치 분리 공정(shallow trench isolation; STI) 공정에 의하여 형성될 수 있다. 상기 소오스 라인들(SL)은 STI 공정에 의하여 정의된 활성 영역에 대응할 수 있다. 상기 소오스 라인들(SL)은 상기 활성 영역을 상기 제1 도전형 불순물들에 의하여 도핑되어 생성될 수 있다.
- [106] 상기 반도체 컬럼들(110)은 실리콘이고 화학 기상 증착법 또는 에피택시 성장법 등에 의하여 형성될 수 있다. 또한, 상기 반도체 컬럼들(110)은 성장과 동시에 도핑되어 p-n-i-n 구조 또는 p-n-p-n 구조를 가질 수 있다. 상기 워드 라인들(WL)은 고농도로 도핑된 폴리 실리콘, 금속, 금속합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 절연막(120)은 실리콘 산화막 또는 실리콘 산화질화막일 수 있다. 상기 게이트 분리막들(208)들은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 비트라인(BL)은 금속, 금속 합금, 및 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다.
- [107] 상기 무축전기 DRAM은 다음과 같은 제조 방법에 의하여 형성될 수 있다. 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(202)을 형성하여 활성 영역을 정의한다. 이어서, 상기 활성 영역이 형성된 기판 상에 제1 층간 절연막(203), 제2 층간 절연막, 및 제3 층간 절연막(206)을 적층하고 상기 제1 층간 절연막(203), 상기 제2 층간 절연막, 및 상기 제3 층간 절연막(206)을 관통하는 관통홀을 형성한다. 이어서, 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼(110)을 성장시킨다. 이어서, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제1 층간 절연막(203), 상기 제2 층간 절연막, 및 상기 제3 층간 절연막(206)을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성한다. 이어서, 상기 제2 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼(110)의 측면에 게이트 절연막(120)을 형성한다. 이어서, 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채운다. 이어서, 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극(또는 워드라인)을 형성하고 보조 트렌치를 형성한다. 이어서, 상기 보조 트렌치를 절연체로 매립하여 게이트 분리막(208)을 형성한다. 이어서, 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직인 제2 방향으로 연장되는 비트라인(BL)을 형성한다.

- [108] 도 9a를 참조하면, 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(201)을 형성하여 활성 영역을 정의한다. 상기 기판 상에 마스크를 이용하여 셀 영역과 주변 영역을 구분하고, 이온 주입 공정을 통하여 웰을 각각 형성한다.
- [109] 상기 셀 영역에서 상기 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(201)을 형성한다. 상기 소자 분리막과 활성 영역은 종래의 STI 공정을 통하여 형성될 수 있다. 상기 활성 영역은 이웃한 소자 분리막 사이에 노출된 영역으로 제1 도전형의 불순물을 이용하여 이온 주입 공정에 의하여 제1 도전형으로 고농도로 도핑될 수 있다. 이에 따라, 상기 활성 영역은 상기 소오스 라인(SL)을 형성할 수 있다. 상기 소자 분리막(201)은 실리콘 산화막이고, 상기 소자 분리막의 상부면에는 식각 정지막(미도시)으로 실리콘 질화막을 포함할 수 있다.
- [110] 상기 소오스 라인(SL)이 형성된 상기 기판(201) 상에 차례로 제1 층간 절연막(203), 제2 층간 절연막(205), 및 제3 층간 절연막(206)을 적층한다. 상기 제1 층간 절연막(203)과 상기 제3 층간 절연막(206)은 실리콘 산화막이고, 상기 제2 층간 절연막(205)은 실리콘 질화막일 수 있다. 상기 제3 층간 절연막의 두께는 상기 제1 층간 절연막(203) 또는 제2 층간 절연막(205)보다 두꺼울 수 있다.
- [111] 도 9b를 참조하면, 패터닝 공정을 이용하여 상기 제1 층간 절연막(203), 상기 제2 층간 절연막(205), 및 상기 제3 층간 절연막(206)을 관통하는 관통홀(110a)을 형성한다. 상기 관통홀(110a)은 상기 소오스 라인 상에서 주기적으로 매트릭스 형태로 배치될 수 있다.
- [112] 도 9c를 참조하면, 상기 관통홀(110a)에 차례로 제1 도전형의 소오스 영역(112), 진성 영역(114), 제1 도전형의 장벽 영역(116), 및 제2 도전형의 드레인 영역(118)을 포함하는 반도체 컬럼(110)을 성장시킨다. 상기 진성 영역(114)은 상기 제2 층간 절연막(205)과 정렬될 수 있다. 상기 반도체 컬럼(110)은 실리콘 에피택시얼 공정에 의하여 형성되거나, 폴리 실리콘을 증착하고 어닐링 공정을 통하여 결정화할 수 있다. 도핑은 실리콘 에피택시얼 공정 중에 수행되거나, 실리콘 컬럼을 형성한 후 이온 주입 공정에 의하여 수행될 수 있다. 상기 반도체 컬럼(110)이 상기 관통홀을 채운 후 평탄화 공정이 수행될 수 있다.
- [113] 도 9d를 참조하면, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제1 층간 절연막(203), 상기 제2 층간 절연막(205), 및 상기 제3 층간 절연막(206)을 관통하고 상기 1 방향으로 연장되는 트렌치(204a)를 형성한다. 상기 트렌치(204a)는 상기 제1 방향으로 연장되어 상기 제2 층간 절연막들(205)은 서로 분리할 수 있다.
- [114] 도 9e를 참조하면, 상기 제2 층간 절연막(205)은 습식 식각에 의하여 선택적으로 제거될 수 있다.
- [115] 도 9f를 참조하면, 상기 제2 층간 절연막(205)을 제거한 후 노출된 상기 반도체 컬럼(110)의 측면에 게이트 절연막(120)을 형성한다. 상기 게이트 절연막(120)은

수십 nm 수준의 실리콘 산화막일 수 있다. 상기 실리콘 산화막은 열 산화 공정에 의하여 형성될 수 있다.

- [116] 도 9g를 참조하면, 상기 제2 층간 절연막(205)이 제거된 부위 및 상기 트렌치(204a)에 도전체(130a)를 채운다. 상기 도전체는 분리된 후에 게이트 전극으로 사용되고, 트랜지스터들을 연결하는 워드라인으로 사용될 수 있다. 상기 도전체는 고농도로 도핑된 폴리 실리콘, 금속, 금속 합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 도전체(130a)가 상기 트렌치(204a)를 채운 후 평탄화 공정이 수행될 수 있다.
- [117] 도 9h를 참조하면, 상기 트렌치(204a)를 채운 상기 도전체(130a)를 제거하여 게이트 전극(또는 워드라인)을 형성하고 보조 트렌치(208a)를 형성한다. 상기 보조 트렌치(208a)는 상기 제2 방향으로 상기 도전체(130a)를 서로 분리하여 워드 라인(WL)을 형성한다.
- [118] 도 9i를 참조하면, 상기 보조 트렌치(208a)를 절연체로 매립하여 게이트 분리막(208)을 형성할 수 있다. 상기 절연체가 상기 보조 트렌치(208a)를 채운 후 평탄화 공정이 수행될 수 있다.
- [119] 다시, 도 8을 참조하면, 상기 반도체 컬럼(100)의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직인 제2 방향으로 연장되는 비트라인(BL)을 형성한다. 상기 비트라인(BL)은 제2 방향으로 배열된 상기 반도체 컬럼(100)의 상기 드레인 영역들을 서로 연결할 수 있다. 상기 비트라인(BL)은 금속, 금속 합금, 또는 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다.
- [120] 도 10은 본 발명의 다른 실시예에 따른 메모리 소자를 설명하는 평면도이다.
- [121] 도 11은 본 발명의 다른 실시예에 따른 메모리 소자를 설명하는 단면도이다.
- [122] 도 12a 내지 도 12h는 도 11의 메모리 소자를 제조하는 방법을 설명하는 단면도들이다.
- [123] 도 10 내지 도 12를 참조하면, 무축전기 DRAM(300)은 단위 메모리 소자(100)를 포함한다. 상기 단위 메모리 소자들(100)은 매트릭스 형태로 배열되고, 상기 메모리 소자의 반도체 컬럼은 기판에서 수직으로 연장된다. 상기 단위 메모리 소자(100)는 게이트(G), 소오스(S), 드레인(D)을 포함하는 3 단자 소자이다. 제1 방향으로 배열된 단위 메모리 소자의 게이트들은 워드라인(WL)에 연결된다. 또한, 제2 방향으로 배열된 단위 메모리 소자의 드레인은 비트라인(BL)에 연결된다. 또한, 제1 방향으로 배열된 단위 메모리 소자의 소오스는 소오스 라인(SL)에 연결된다. 상기 소오스 라인(SL)이 접지된 경우, 하나의 워드 라인(WL)과 하나의 비트라인(BL)을 선택하여, 쓰기 동작, 홀드 동작, 및 읽기 동작에 대응하는 전압을 인가하면, 각 단위 메모리 셀을 액세스할 수 있다.
- [124] 상기 단위 메모리 소자(100)는 반도체 컬럼(110), 게이트 전극(130), 및 게이트 절연막(120)을 포함한다. 상기 반도체 컬럼(110)은 기판 상에서 수직으로 연장되고 제1 도전형의 소오스 영역(112), 제2 도전형의 드레인 영역(118), 상기 소오스 영역(112)과 상기 드레인 영역(118) 사이에 배치된 진성 영역(114), 및

상기 진성 영역(114)과 상기 드레인 영역(118) 사이에 배치된 제1 도전형의 장벽 영역(116)을 포함한다. 상기 게이트 전극(130)은 상기 진성 영역(114)을 감싸도록 배치된다. 상기 게이트 절연막(120)은 상기 게이트 전극(130)과 상기 진성 영역(114) 사이에 배치된다.

- [125] 상기 메모리 소자(300)는 소오스 라인들(SL), 반도체 컬럼들(110), 워드 라인들(WL), 게이트 절연막(120), 게이트 분리막들(308), 그리고 비트라인(BL)을 포함한다. 게이트 전극(130)은 제1 방향으로 배열된 복수의 트랜지스터들에 공통으로 사용되어 워드라인(WL)을 구성할 수 있다.
- [126] 상기 소오스 라인들(SL)은 기판 상에서 제1 방향으로 나란히 연장된다. 소오스 라인 절연막(302)은 상기 소오스 라인들(SL)과 상기 기판(201) 사이에 배치된다. 상기 반도체 컬럼들(110)은 상기 소오스 라인들(SL) 상에서 주기적으로 배치되고 기판에서 수직하게 연장된다. 상기 워드라인들(WL)은 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장된다.
- [127] 상기 게이트 절연막(129)은 상기 반도체 컬럼(110)과 상기 워드 라인(WL) 사이에 배치되어 상기 반도체 컬럼(110)의 측면을 감싸도록 배치된다. 상기 게이트 분리막들(308)은 상기 제1 방향으로 연장되고 상기 워드라인들(WL) 사이를 채운다. 상기 비트라인(BL)은 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들(110)의 상부면에 접하여 상기 제2 방향으로 연장된다. 상기 반도체 컬럼(110)은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함한다. 상기 소오스 영역은 상기 소오스 라인(SL)과 접촉하고, 상기 드레인 영역은 상기 비트라인(BL)과 접촉한다. 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있다.
- [128] 상기 기판(201)은 실리콘 기판일 수 있다. 상기 기판은 단위 메모리 셀들이 형성되는 셀 영역과 주변회로들이 배치되는 주변 영역으로 구분될 수 있다.
- [129] 상기 소오스 라인들(SL)은 소오스 라인 절연막(302)을 개재하여 상기 기판(201) 상에 형성된다. 상기 소오스 라인들(SL)은 제1 방향으로 연장되고, 제1 도전형으로 도핑된 실리콘일 수 있다. 상기 반도체 컬럼들(110)은 실리콘이고 화학 기상 증착법 또는 에피택시 성장법 등에 의하여 형성될 수 있다. 또한, 상기 반도체 컬럼들(110)은 성장과 동시에 도핑되어 p-n-i-n 구조 또는 p-n-p-n 구조를 가질 수 있다. 상기 워드 라인들(WL)은 고농도로 도핑된 폴리 실리콘, 금속, 금속합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 절연막(120)은 실리콘 산화막 또는 실리콘 산화질화막일 수 있다. 상기 게이트 분리막들(308)들은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 비트라인(BL)은 금속, 금속 합금, 및 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다.

- [130] 상기 무축전기 DRAM(300)은 다음과 같은 제조 방법에 의하여 형성될 수 있다. 기판(201) 상에 소오스 라인 절연막(302)을 개재하여 제1 방향으로 연장되는 소오스 라인(SL)을 패터닝한다. 이어서, 상기 소오스 라인이 형성된 기판 상에 제1 층간 절연막(303), 제2 층간 절연막, 및 제3 층간 절연막(306)을 적층하고 상기 소오스 라인(SL) 상에 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하는 관통홀(110a)을 형성한다. 이어서, 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼(110)을 성장시킨다. 이어서, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제2 층간 절연막 및 상기 제3 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성한다. 이어서, 상기 제2 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼(110)의 측면에 게이트 절연막(120)을 형성한다. 이어서, 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채운다. 이어서, 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극(또는 워드라인)을 형성하고 보조 트렌치를 형성한다. 이어서, 상기 보조 트렌치를 절연체로 매립하여 게이트 분리막을 형성한다. 이어서, 상기 반도체 컬럼(110)의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직인 제2 방향으로 연장되는 비트라인(BL)을 형성한다.
- [131] 도 12a를 참조하면, 기판(201) 상에 소오스 라인 절연막(302) 및 도전층을 형성하고 패터닝하여 소오스 라인(SL)을 형성한다. 상기 소오스 라인 절연막(302)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 도전층은 제1 도전형으로 도핑된 폴리 실리콘 또는 단결정 실리콘일 수 있다. 이어서, 상기 소오스 라인(SL)이 형성된 기판(201) 상에 제1 층간 절연막(303), 제2 층간 절연막(305), 및 제3 층간 절연막(306)을 적층한다. 상기 제1 층간 절연막(303)을 증착한 후에 평탄화될 수 있다. 상기 제1 층간 절연막(303)은 실리콘 산화막이고, 상기 제2 층간 절연막(305)은 실리콘 질화막이고, 상기 제3 층간 절연막(306)은 실리콘 산화막일 수 있다.
- [132] 도 12b를 참조하면, 상기 소오스 라인(SL) 상에 상기 제1 층간 절연막(303), 상기 제2 층간 절연막(305), 및 상기 제3 층간 절연막(306)을 관통하는 관통홀(110a)을 형성한다. 상기 관통홀(110a)은 상기 소오스 라인(SL) 상에서 매트릭스 형태로 배열될 수 있다.
- [133] 도 12c를 참조하면, 상기 관통홀(110a)에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시킨다. 상기 반도체 컬럼(110)이 형성된 후 평탄화 공정이 진행될 수 있다.
- [134] 도 12d를 참조하면, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제3 층간 절연막(306) 및 상기 제2 층간 절연막(305)을 관통하고 상기 제1 방향으로 연장되는 트렌치(304a)를 형성한다. 상기

트렌치들(304a)은 상기 제2 층간 절연막을 서로 분리한다.

- [135] 도 12e 및 도 12f를 참조하면, 상기 제2 층간 절연막(305)을 제거한 후 노출된 상기 반도체 컬럼(110)의 측면에 게이트 절연막(120)을 형성한다. 상기 제2 층간 절연막(305)은 습식 식각에 의하여 선택적으로 제거될 수 있다.
- [136] 본 발명의 변형된 실시예에 따르면, 상기 게이트 절연막이 형성된 후 전하 저장층 및 보조 게이트 절연막을 추가적으로 더 형성할 수 있다. 이 경우, 상기 전하 저장층은 전하 트랩 동작을 수행할 수 있다.
- [137] 도 12g를 참조하면, 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치(304a)에 도전체(330a)를 채운다. 상기 도전체가 상기 트렌치(304a)를 채운 후 평탄화 공정이 진행될 수 있다.
- [138] 도 12h를 참조하면, 상기 트렌치(308a)를 채운 상기 도전체를 제거하여 게이트 전극(또는 워드라인)을 형성하고 보조 트렌치(308a)를 형성한다. 이어서, 상기 보조 트렌치(308a)를 절연체로 매립한다. 이에 따라, 게이트 분리막(308)이 형성된다.
- [139] 다시, 도 11을 참조하면, 상기 반도체 컬럼(110)의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트라인(BI)을 형성한다.
- [140] 도 13은 본 발명의 또 다른 실시예에 따른 메모리 소자를 나타내는 개념도이다.
- [141] 도 14는 도 13의 메모리 소자를 설명하는 회로도이다.
- [142] 도 15는 14의 메모리 소자를 나타내는 평면도이다.
- [143] 도 16은 도 15의 C-C'선을 따라 자른 단면도이다.
- [144] 도 17a 내지 도 17h은 도 16의 메모리 소자의 제조 공정을 설명하는 단면도들이다.
- [145] 도 13 내지 도 17을 참조하면, 메모리 소자(100a)는 기판(201) 상에서 수직으로 연장되고 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼(110); 상기 진성 영역을 감싸도록 배치된 게이트 전극(130); 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막(120)을 포함한다. 상기 메모리 소자는 상기 게이트 절연막과 상기 게이트 전극 사이에 배치된 전하 저장층(122); 및 상기 전하 저장층과 상기 게이트 전극 사이에 배치된 보조 게이트 절연막(124)을 포함한다. 상기 전하 저장층(122)은 실리콘 질화막과 같은 전하 트랩층일 수 있다. 상기 보조 게이트 절연막(124)은 고유전율막일 수 있다. 예를 들어, 상기 보조 게이트 절연막(124)은 알루미늄산화막, 또는 지르코늄산화막, 또는 하프늄 산화막일 수 있다.
- [146] 메모리 소자(400)는 EPROM으로 동작할 수 있다. 상기 메모리 소자는 메모리 소자 매트릭스 형태로 배열된 단위 메모리 소자(100a)를 포함할 수 있다. 상기 메모리 소자(400)은 기판에서 제1 방향으로 나란히 연장되는 소자 분리막들(202); 상기 소자 분리막과 동일한 상부면을 가지고 상기 소자 분리막

사이에 배치되고 상기 제1 방향으로 나란히 연장되는 소오스 라인들(SL); 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들(110); 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 워드 라인들(WL); 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 게이트 절연막(120); 상기 제1 방향으로 연장되고 상기 워드라인들 사이를 채우는 게이트 분리막들(208); 및 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인(BL)을 포함한다. 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함한다. 상기 소오스 영역은 상기 소오스 라인과 접촉하고, 상기 드레인 영역은 상기 비트라인(BL)과 접촉한다.

- [147] 하부 절연막(203)은 상기 워드 라인(WL)과 상기 기판(201) 사이에 배치된다. 상부 절연막(206)은 상기 워드 라인(WL) 상부에 배치된다. 상기 전하 저장층(122)은 상기 상부 절연막(206)과 상기 워드 라인(WL) 사이에 개재하도록 연장되고, 상기 전하 저장층(122)은 상기 하부 절연막(203)과 상기 워드 라인(WL)의 하부면 사이에 개재하도록 연장된다. 상기 보조 게이트 절연막(124)은 상기 상부 절연막(206)과 상기 워드 라인(WL) 사이에 개재하도록 연장되고, 상기 보조 게이트 절연막(124)은 상기 하부 절연막(203)과 상기 워드 라인(WL) 사이에 개재하도록 연장된다.
- [148] 본 발명의 일 실시예 따르면, 메모리 소자(110a)는 게이트 구조가 전하 저장층(122)을 포함하는 경우, 비휘발성 메모리로 동작할 수 있다. 비휘발성 메모리로 동작하기 위하여, 메모리 소자(110a)는 프로그램 동작과 소거(erase) 동작을 수행한다.
- [149] 프로그램 동작은 상기 전하 저장층(122)에 전하를 저장하여 트랜지스터의 문턱 전압을 변경할 수 있다. 구체적으로, 수 V 이상의 프로그램 게이트 전압이 상기 게이트 전극(130)에 인가되어, 1V 수준의 프로그램 드레인 전압이 상기 드레인에 인가될 수 있다. 이에 따라, 드레인 전류의 전자 전하가 상기 전하 저장층(122)으로 이동하여 트랩될 수 있다. 상기 프로그램 게이트 전압은 MOS 트랜지스터의 문턱 전압보다 충분히 큰 양의 전압일 수 있다. 프로그램 동작에 의하여 논리 상태 “1”이 기록된 경우, 상기 트랜지스터의 문턱 전압이 증가한다. 프로그램 동작 후, 독출 동작시, 게이트 전압은 0V이고, 드레인 전압은 1V 수준일 수 있다.
- [150] 소거 동작은 상기 전하 저장층(122)에 저장된 전자 전하를 제거할 수 있다. 구체적으로, 음의 수 V 이상의 소거 게이트 전압이 상기 게이트 전극(130)에 인가되며, 상기 전하 저장층(122)에 저장된 전하는 채널로 빠져나올 수 있다. 상기 소거 게이트 전압은 MOS 트랜지스터의 문턱 전압보다 충분히 큰 음의

전압일 수 있다.

- [151] 소거 동작시, 선택된 워드 라인(WL)에 연결된 모든 메모리 소자에서 소거(erase) 동작이 수행된다. 한편, 프로그램 동작시, 선택된 워드 라인(WL)에 연결된 모든 메모리 소자 중에서 비트라인(BL)에 의하여 드레인 전압이 인가된 소자만이 선택적으로 프로그램될 수 있다. 소거 동작 후, 독출 동작시, 게이트 전압은 0V이고, 드레인 전압은 1V 수준일 수 있다.
- [152] 상기 전하 저장층(122)에 전자 전하를 저장할지를 결정한다. 상기 전하 저장층(122)에 전하를 저장하는 경우에는, 반도체 메모리 소자는 EPROM으로 동작한다. 한편, 상기 전하 저장층(122)에 전하를 저장하지 않고 사용하는 경우에는, 무축전기 DRAM으로 동작한다.
- [153] 상기 메모리 소자(110a)가 무축전기 DRAM으로 동작하는 경우, 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 게이트 전극(130)에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓴다. 이어서, 상기 제1 논리 상태를 유지하도록, 상기 게이트 전극(130)에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가한다. 이어서, 상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극(130)에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가한다.
- [154] 한편, 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 게이트 전극(130)에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 기록한다. 이어서, 상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극(130)에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가한다. 이어서, 상기 제2 논리 상태를 독출하기 위하여, 상기 게이트 전극(130)에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가한다. $p^+-n^+-p^0-n^+$ 구조에서, 상기 제1 게이트 전압은 -0.25V 내지 -1 V이고, 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고, 상기 제3 게이트 전압은 0.25 V 내지 1 V일 수 있다. 또한, 제1 드레인 전압은 0.1 V ~ 1 V이고, 제2 드레인 전압은 0 V일 수 있다.
- [155] 상기 메모리 소자(400)는 다음과 같은 제조 방법에 의하여 형성될 수 있다. 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(202)을 형성하여 활성 영역을 정의한다. 이어서, 상기 활성 영역이 형성된 상기 기판(201) 상에 제1 층간 절연막(203), 제2 층간 절연막(205), 및 제3 층간 절연막(206)을 적층하고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하는 관통홀(110a)을 형성한다. 이어서, 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼(110)을 성장시킨다. 이어서, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하고 상기 제1 방향으로 연장되는

트렌치(204a)를 형성한다. 이어서, 상기 제2 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막(120)을 형성한다. 이어서, 상기 게이트 절연막을 형성된 후 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 전하 저장층(122)을 형성한다. 이어서, 상기 전하 저장층을 형성한 후 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막(124)을 형성한다. 이어서, 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채운다. 이어서, 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치(208a)를 형성한다. 이어서, 상기 보조 트렌치를 절연체로 매립한다. 이어서, 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트라인(BL)을 형성한다.

[156] 도 17a를 참조하면, 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(202)을 형성하여 활성 영역을 정의한다. 상기 기판 상에 마스크를 이용하여 셀 영역과 주변 영역을 구분하고, 이온 주입 공정을 통하여 웰을 각각 형성한다.

[157] 상기 셀 영역에서 기판 상에 제1 방향으로 연장되는 소자 분리막(202)을 형성한다. 상기 소자 분리막과 활성 영역은 종래의 STI 공정을 통하여 형성될 수 있다. 상기 활성 영역은 이웃한 소자 분리막(202) 사이에 노출된 영역으로 제1 도전형의 불순물을 이용하여 이온 주입 공정에 의하여 제1 도전형으로 고농도로 도핑될 수 있다. 이에 따라, 상기 활성 영역은 상기 소오스 라인(SL)을 형성할 수 있다. 상기 소자 분리막(202)은 실리콘 산화막이고, 상기 소자 분리막의 상부면에는 식각 정지막으로 실리콘 질화막을 포함할 수 있다.

[158] 상기 소오스 라인(SL)이 형성된 상기 기판(201) 상에 차례로 제1 층간 절연막(203), 제2 층간 절연막(205), 및 제3 층간 절연막(206)을 적층한다. 상기 제1 층간 절연막(203)과 상기 제3 층간 절연막(206)은 실리콘 산화막이고, 상기 제2 층간 절연막(205)은 실리콘 질화막일 수 있다. 상기 제3 층간 절연막(206)의 두께는 상기 제1 층간 절연막(203) 또는 제2 층간 절연막(205)보다 두꺼울 수 있다.

[159] 도 17b를 참조하면, 패터닝 공정을 이용하여 상기 제1 층간 절연막(203), 상기 제2 층간 절연막(205), 및 상기 제3 층간 절연막(206)을 관통하는 관통홀(110a)을 형성한다. 상기 관통홀(110a)은 상기 소오스 라인 상에서 주기적으로 매트릭스 형태로 배치될 수 있다.

[160] 도 17c를 참조하면, 상기 관통홀(110a)에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼(110)을 성장시킨다. 상기 진성 영역은 상기 제2 층간 절연막(205)과 정렬될 수 있다. 상기 반도체 컬럼(110)은 실리콘 에피택시얼 공정에 의하여 형성되거나, 폴리 실리콘을 증착하고 어닐링 공정을 통하여 결정화할 수 있다. 도핑은 실리콘 에피택시얼 공정 중에 수행되거나, 실리콘 컬럼을 형성한 후 이온 주입 공정에 의하여 수행될 수 있다. 상기 반도체 컬럼(110)이 상기 관통홀(110a)을 채운 후 평탄화 공정이 수행될 수 있다.

- [161] 도 17d를 참조하면, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제1 층간 절연막(203), 상기 제2 층간 절연막(205), 및 상기 제3 층간 절연막(206)을 관통하고 상기 1 방향으로 연장되는 트렌치(204a)를 형성한다. 상기 트렌치(204a)는 상기 제1 방향으로 연장되어 상기 제2 층간 절연막들은 서로 분리할 수 있다. 절단된 제1 층간 절연막은 하부 절연막을 제공하고, 절단된 제3 층간 절연막은 상부 절연막을 제공한다.
- [162] 도 17e를 참조하면, 상기 제2 층간 절연막(205)는 습식 식각에 의하여 선택적으로 제거될 수 있다. 상기 제2 층간 절연막(205)을 제거한 후 노출된 상기 반도체 컬럼(110)의 측면에 게이트 절연막(120)을 형성한다. 상기 게이트 절연막(20)은 수십 nm 수준의 실리콘 산화막일 수 있다. 상기 실리콘 산화막은 열 산화 공정에 의하여 형성될 수 있다. 상기 게이트 절연막이 형성된 후 전하 저장막 및 보조 게이트 절연막이 순차적으로 형성될 수 있다. 상기 전하 저장막은 전하를 트랩할 수 있는 박막으로, 실리콘 질화막일 수 있다. 상기 보조 게이트 절연막은 고유전율 물질로 알루미늄 산화막일 수 있다.
- [163] 도 17f를 참조하면, 상기 게이트 절연막(120)을 형성된 후 제2 층간 절연막(205)이 제거된 부위 및 상기 트렌치에 전하 저장층(122)을 형성한다. 상기 전하 저장층은 실리콘 질화막일 수 있다.
- [164] 이어서, 상기 전하 저장층(122)을 형성한 후 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막(124)을 형성한다. 상기 보조 게이트 절연막(124)은 고유전율 물질로 알루미늄 산화막, 지르코늄 산화막 또는 하프늄 산화막일 수 있다.
- [165] 도 17g를 참조하면, 상기 보조 게이트 절연막(124)을 형성한 후, 상기 제2 층간 절연막(205)이 제거된 부위 및 상기 트렌치(204a)에 도전체(130a)를 채운다. 상기 도전체(130a)는 분리된 후에 게이트 전극(또는 월드 라인)으로 사용되고, 트랜지스터들을 연결하는 워드라인으로 사용될 수 있다. 상기 도전체는 고농도로 도핑된 폴리 실리콘, 금속, 금속 합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 도전체(130a)가 상기 트렌치(204a)를 채운 후 평탄화 공정이 수행될 수 있다.
- [166] 도 17h를 참조하면, 상기 트렌치(204a)를 채운 상기 도전체(130a)를 제거하여 보조 트렌치(208a)를 형성한다. 상기 보조 트렌치는 상기 제2 방향으로 상기 도전체(130a)를 서로 분리하여 워드 라인(WL)을 형성한다.
- [167] 다시, 도 16을 참조하면, 상기 보조 트렌치(208a)를 절연체로 매립하여 게이트 분리막(208)을 형성할 수 있다. 상기 게이트 분리막(208)은 워드 라인 사이에 배치되어 상기 워드 라인들을 서로 분리할 수 있다. 상기 절연체가 상기 보조 트렌치(208a)를 채운 후 평탄화 공정이 수행될 수 있다. 이어서, 상기 반도체 컬럼(100)의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트라인(BL)을 형성한다. 상기 비트라인은 제2 방향으로 배열된 상기 반도체 컬럼(100)의 상기 드레인 영역들을 서로 연결할 수 있다. 상기 비트라인은

금속, 금속 합금, 또는 금속 실리콘사이드 중에서 적어도 하나를 포함할 수 있다.

[168] 본 발명의 변형된 실시예에 따르면, 소오스 라인은 활성 영역에 형성되지 않고 기판 상에 별도의 도전층을 형성하고 패터닝하여 형성될 수 있다.

[169] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시 예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[170] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

청구범위

- [청구항 1] 기관 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막을 포함하는 것을 특징으로 하는 메모리 소자.
- [청구항 2] 제1 항에 있어서, 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형인 것을 특징으로 하는 메모리 소자.
- [청구항 3] 제1 항에 있어서, 상기 기관은 활성 영역 및 소자 분리막을 포함하고, 상기 제1 도전형의 소오스 영역은 상기 활성 영역과 접촉하여 배치되고, 상기 활성 영역은 상기 제1 도전형으로 도핑된 것을 특징으로 하는 메모리 소자.
- [청구항 4] 제1 항에 있어서, 상기 기관의 상부면과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 절연막; 및 상기 소오스 절연막과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 라인을 더 포함하고, 상기 소오스 라인은 상기 제1 도전형으로 도핑된 반도체인 것을 특징으로 하는 메모리 소자.
- [청구항 5] 제1 항에 있어서, 상기 반도체 컬럼의 상기 드레인 영역 상에 배치되는 비트라인을 더 포함하고, 상기 게이트 전극은 상기 기관의 배치평면에서 제1 방향으로 연장되고, 상기 비트라인은 상기 기관의 배치평면에서 상기 제1 방향에 수직인 제2 방향으로 연장되는 것을 특징으로 하는 메모리 소자.
- [청구항 6] 제1 항에 있어서, 상기 게이트 절연막과 상기 게이트 전극 사이에 배치된 전하 저장층; 및 상기 전하 저장층과 상기 게이트 전극 사이에 배치된 보조 게이트 절연막을 더 포함하는 것을 특징으로 하는 메모리 소자.
- [청구항 7] 기관에서 제1 방향으로 나란히 연장되는 소자 분리막들; 상기 소자 분리막과 동일한 상부면을 가지고 상기 소자 분리막 사이에 배치되고 상기 제1 방향으로 나란히 연장되는 소오스 라인들; 상기 소오스 라인들 상에서 주기적으로 배치되고 기관에서 수직하게

연장되는 반도체 컬럼들;
 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록
 배치되고 상기 제1 방향으로 연장되는 워드 라인들;
 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의
 측면을 감싸도록 배치된 게이트 절연막;
 상기 제1 방향으로 연장되고 상기 워드라인들 사이를 채우는 게이트
 분리막들; 및
 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의
 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인을 포함하고,
 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인
 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및
 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽
 영역을 포함하고,
 상기 소오스 영역은 상기 소오스 라인과 접촉하고,
 상기 드레인 영역은 상기 비트라인과 접촉하는 것을 특징으로 하는
 메모리 소자.

[청구항 8] 제 7 항에 있어서,
 상기 워드 라인과 상기 게이트 절연막 사이에 배치되는 전하 저장층; 및
 상기 전하 저장층과 상기 워드 라인 사이에 배치되는 보조 게이트
 절연막을 더 포함하는 것을 특징으로 하는 메모리 소자.

[청구항 9] 제8 항에 있어서,
 상기 워드 라인과 상기 기판 사이에 배치된 하부 절연막;
 상기 워드 라인 상부에 배치된 상부 절연막을 더 포함하고,
 상기 전하 저장층은 상기 상부 절연막과 상기 워드 라인 사이에
 개재하도록 연장되고,
 상기 전하 저장층은 상기 하부 절연막과 상기 워드 라인의 하부면 사이에
 개재하도록 연장되고,
 상기 보조 게이트 절연막은 상기 상부 절연막과 상기 워드 라인 사이에
 개재하도록 연장되고,
 상기 보조 게이트 절연막은 상기 하부 절연막과 상기 워드 라인 사이에
 개재하도록 연장되는 것을 특징으로 하는 메모리 소자.

[청구항 10] 기판에서 제1 방향으로 나란히 연장되는 소오스 라인들;
 상기 소오스 라인들과 상기 기판 사이에 배치된 소오스 라인 절연막;
 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게
 연장되는 반도체 컬럼들;
 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록
 배치되고 상기 제1 방향으로 연장되는 워드 라인들;
 상기 반도체 컬럼과 상기 워드 라인 사이에 배치되어 상기 반도체 컬럼의

측면을 감싸도록 배치된 게이트 절연막;
 상기 제1 방향으로 연장되고 상기 워드라인들 사이를 채우는 게이트
 분리막들; 및
 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의
 상부면에 접하여 상기 제2 방향으로 연장되는 비트라인을 포함하고,
 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인
 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및
 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽
 영역을 포함하고,
 상기 소오스 영역은 상기 소오스 라인과 접촉하고,
 상기 드레인 영역은 상기 비트라인과 접촉하는 것을 특징으로 하는
 메모리 소자.

- [청구항 11] 제 10 항에 있어서,
 상기 워드 라인과 상기 게이트 절연막 사이에 배치되는 전하 저장층; 및
 상기 전하 저장층과 상기 워드 라인 사이에 배치되는 보조 게이트
 절연막을 더 포함하는 것을 특징으로 하는 메모리 소자.
- [청구항 12] 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2
 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에
 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된
 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을
 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역
 사이에 배치된 게이트 절연막을 포함하는 메모리 소자의 동작 방법에
 있어서,
 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 게이트
 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인
 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계;
 상기 제1 논리 상태를 유지하도록, 상기 게이트 전극에 제2 게이트 전압을
 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계;
 상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2
 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을
 인가하는 단계;
 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 게이트
 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인
 전압을 인가하여 제2 논리 상태를 쓰는 단계;
 상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극에 상기 제2
 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을
 인가하는 단계; 및
 상기 제2 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2

- 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함하는 것을 특징으로 하는 메모리 소자의 동작 방법.
- [청구항 13] 제12 항에 있어서,
 상기 제1 도전형은 n 형이고,
 상기 제2 도전형은 p 형이고,
 상기 제1 게이트 전압은 -0.25V 내지 -1 V이고,
 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고,
 상기 제3 게이트 전압은 0.25 V 내지 1 V인 것을 특징으로 하는 메모리 소자의 동작 방법.
- [청구항 14] 기판 상에서 수직으로 연장되고 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역, 및 상기 진성 영역과 상기 드레인 영역 사이에 배치된 제1 도전형의 장벽 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 게이트 전극; 및 상기 게이트 전극과 상기 진성 영역 사이에 배치된 게이트 절연막, 전하 저장층, 및 보조 게이트 절연막을 포함하는 메모리 소자의 동작 방법에 있어서,
 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계;
 상기 제1 논리 상태를 유지하도록, 상기 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계;
 상기 제1 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;
 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계;
 상기 제2 논리 상태를 유지하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및
 상기 제2 논리 상태를 독출하기 위하여, 상기 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함하는 것을 특징으로 하는 메모리 소자의 동작 방법.
- [청구항 15] 제14 항에 있어서,
 상기 전하 저장층에 전하를 주입하기 위하여, 상기 게이트 전극에 프로그램 게이트 전압을 인가하고, 상기 드레인 영역에 드레인 전압을 인가하는 단계; 및
 상기 전하 저장층에 주입된 전하를 제거하기 위하여, 상기 게이트 전극에

소거 게이트 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 메모리 소자의 동작 방법.

- [청구항 16] 제14 항에 있어서,
 상기 제1 도전형은 n 형이고,
 상기 제2 도전형은 p 형이고,
 상기 제1 게이트 전압은 -0.25V 내지 -1 V이고,
 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고,
 상기 제3 게이트 전압은 0.25 V 내지 1 V인 것을 특징으로 하는 메모리 소자의 동작 방법.
- [청구항 17] 기관 상에 제1 방향으로 연장되는 소자 분리막을 형성하여 활성 영역을 정의하는 단계;
 상기 활성 영역이 형성된 상기 기관 상에 제1 층간 절연막, 제2 층간 절연막, 및 제3 층간 절연막을 적층하고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하는 관통홀을 형성하는 단계;
 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계;
 상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계;
 상기 제2 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계;
 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계;
 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계;
 상기 보조 트렌치를 절연체로 매립하는 단계; 및
 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트라인을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.
- [청구항 18] 제17항에 있어서,
 상기 게이트 절연막을 형성된 후 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 전하 저장층을 형성하는 단계; 및
 상기 전하 저장층을 형성한 후 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.
- [청구항 19] 기관 상에 소오스 라인 절연막을 개재하여 제1 방향으로 연장되는 소오스

라인을 패터닝하는 단계;

상기 소오스 라인이 형성된 기판 상에 제1 층간 절연막, 제2 층간 절연막, 및 제3 층간 절연막을 적층하고 상기 소오스 라인 상에 상기 제1 층간 절연막, 상기 제2 층간 절연막, 및 상기 제3 층간 절연막을 관통하는 관통홀을 형성하는 단계;

상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 제1 도전형의 장벽 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계;

상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제1 층간 절연막, 및 상기 제2 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계;

상기 제2 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계;

상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계;

상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계;

상기 보조 트렌치를 절연체로 매립하는 단계; 및

상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트라인을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.

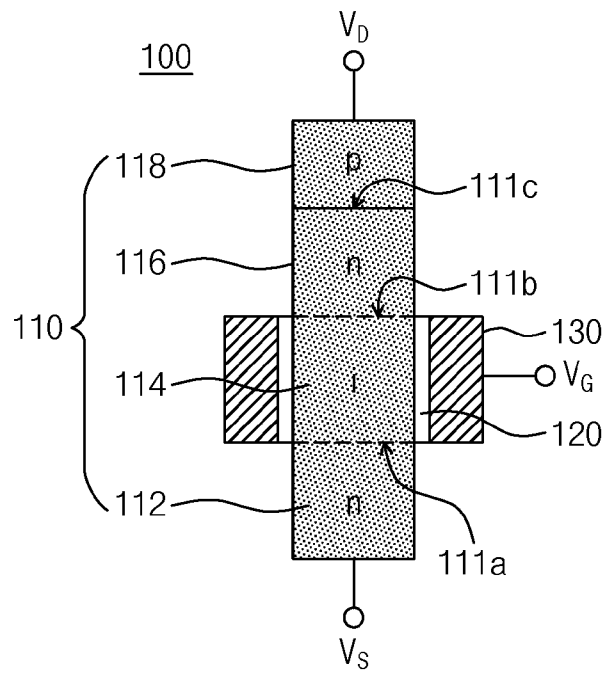
[청구항 20]

제19항에 있어서,

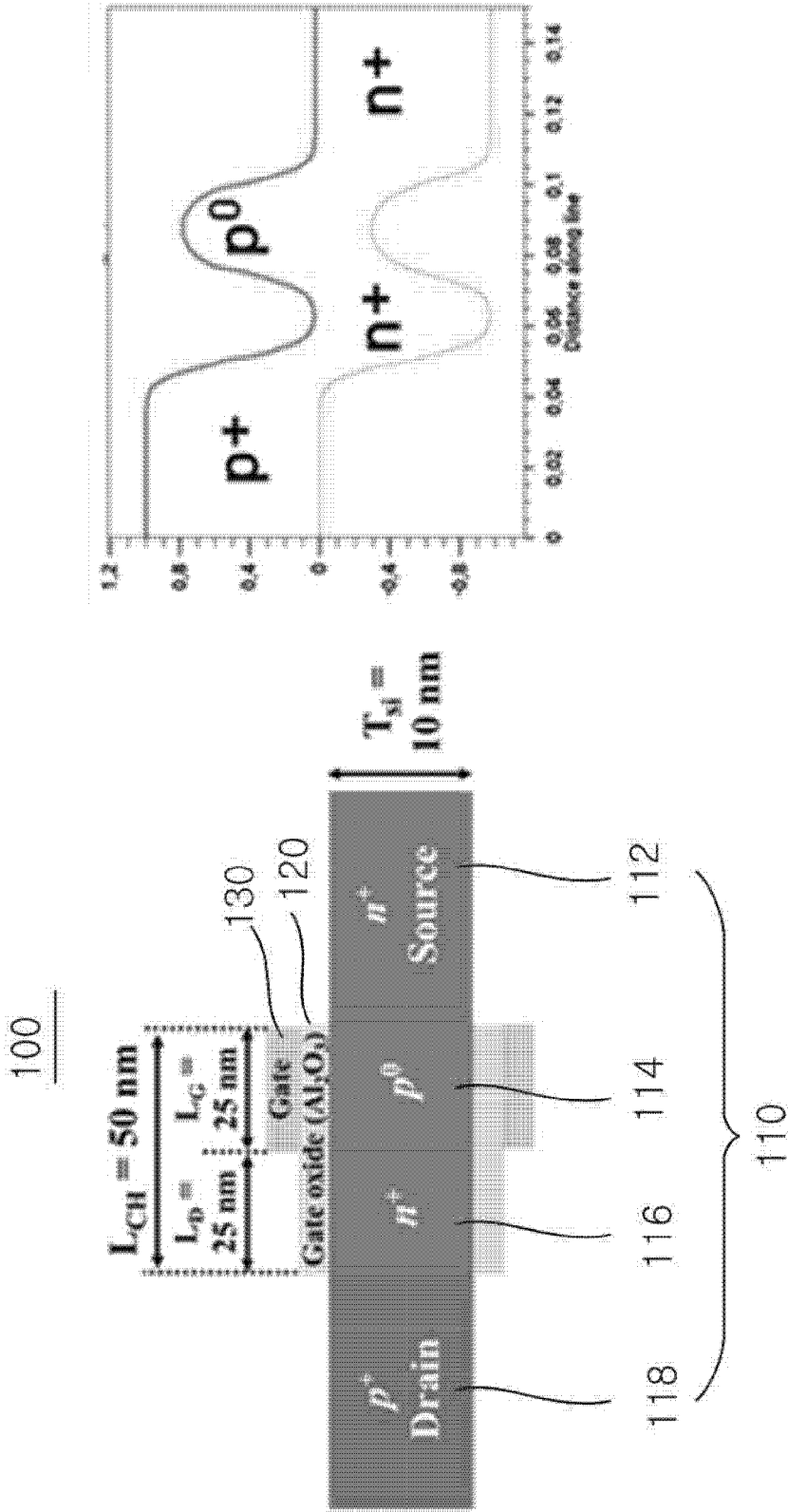
상기 게이트 절연막을 형성된 후 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 전하 저장층을 형성하는 단계; 및

상기 전하 저장층을 형성한 후 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.

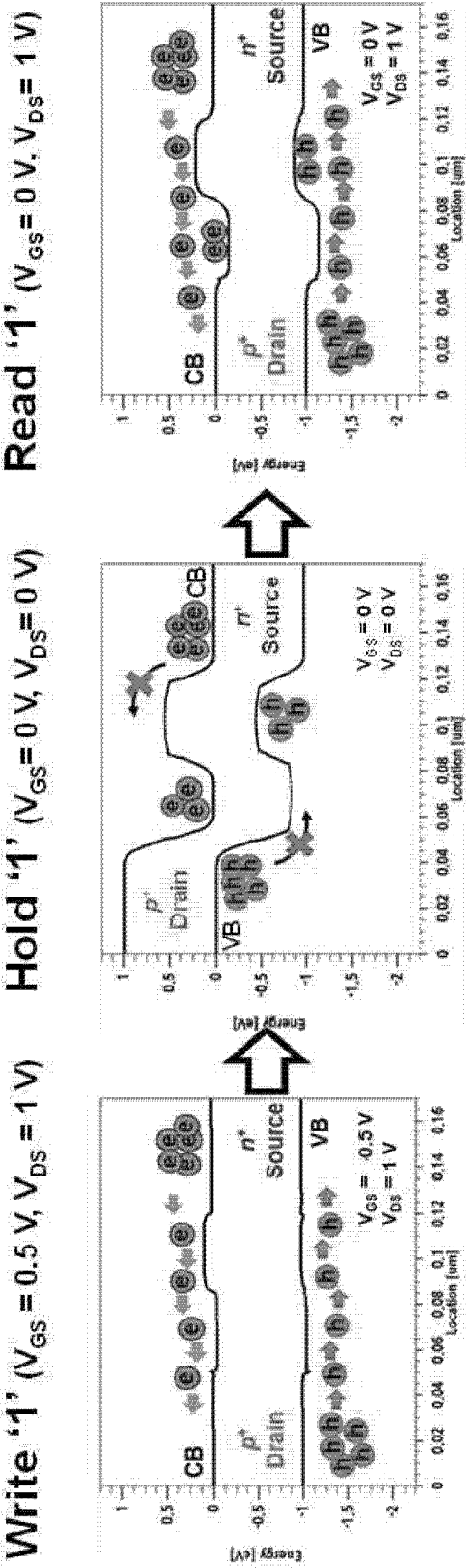
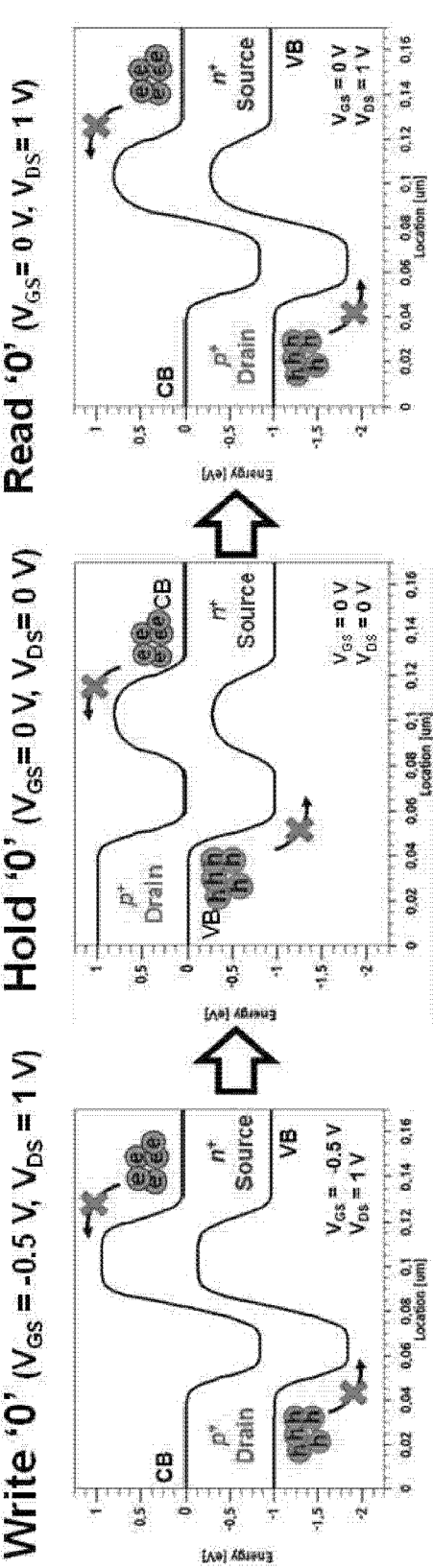
[도1]



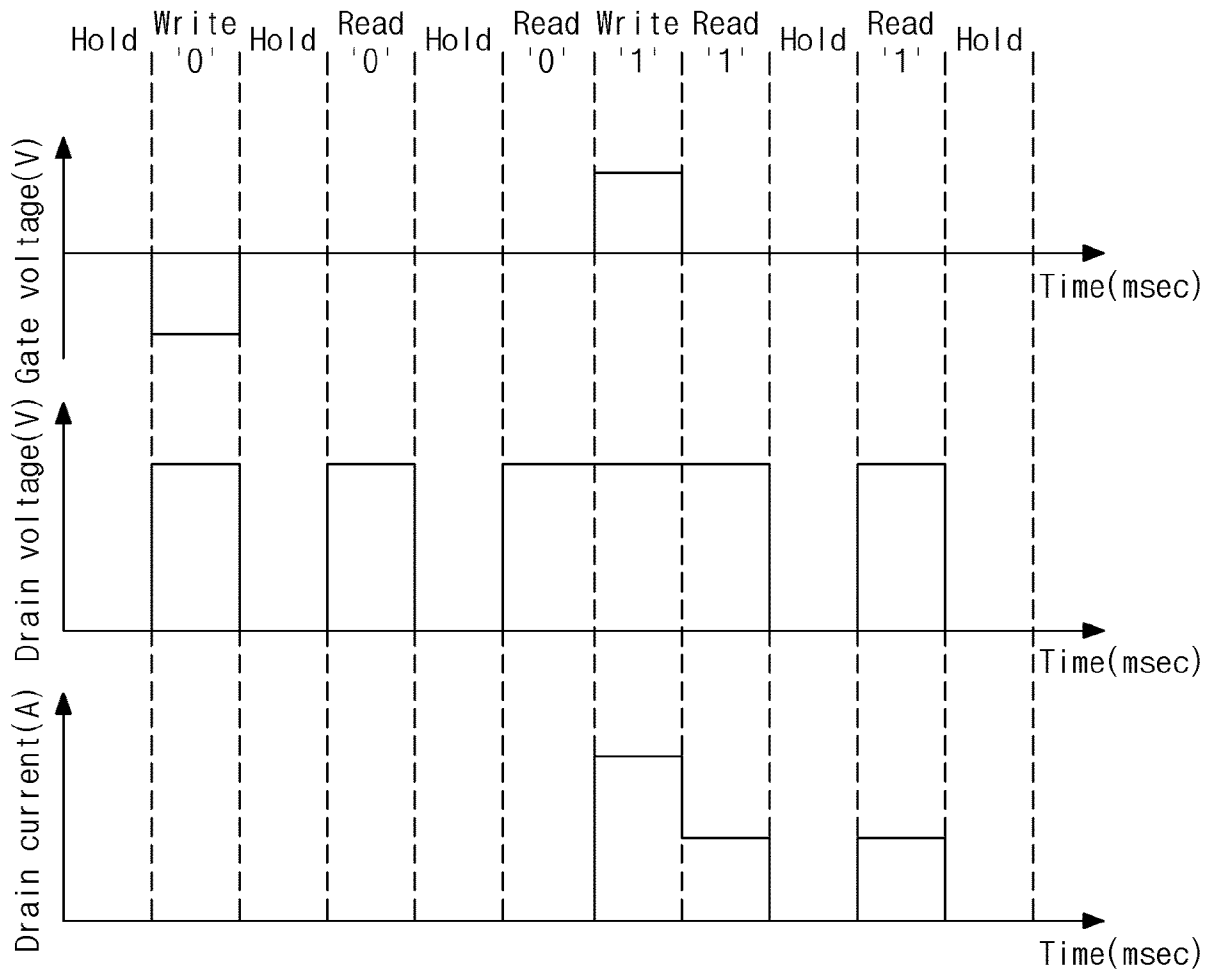
[도2]



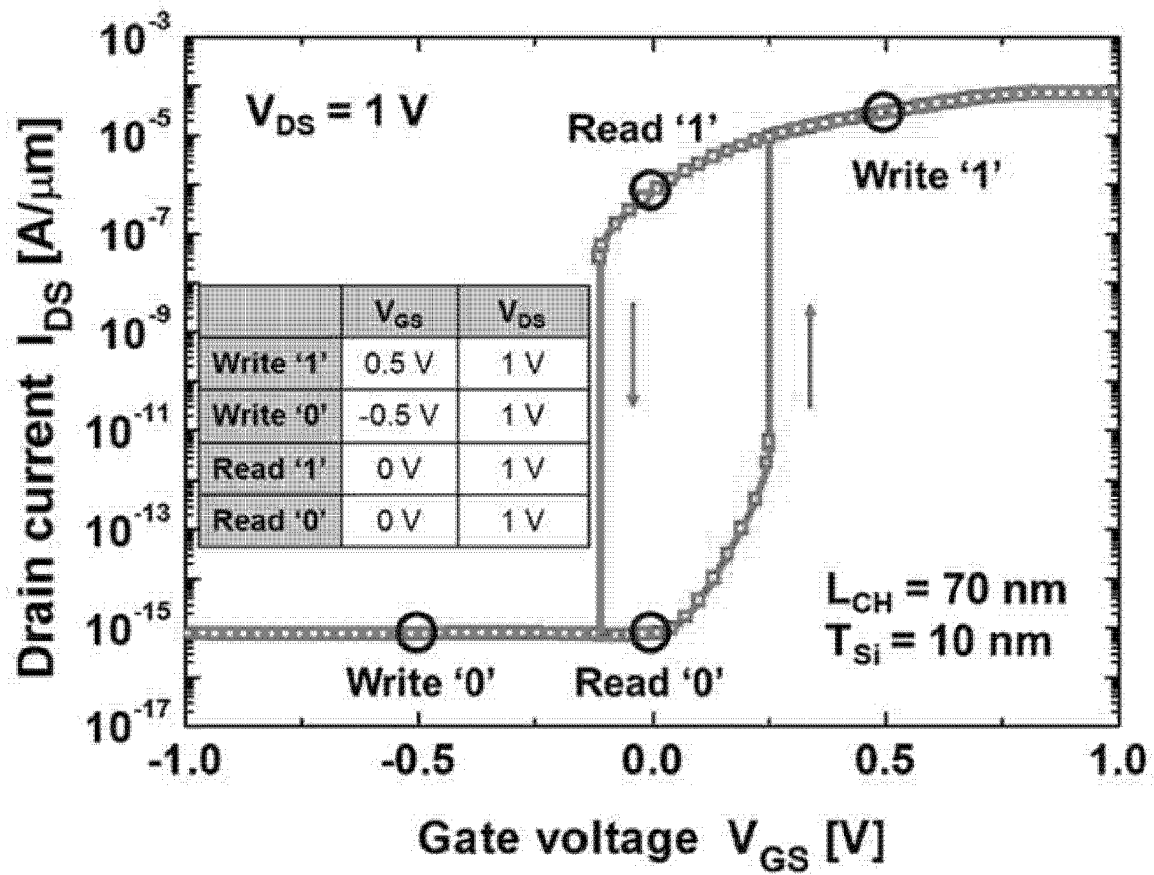
[도3]



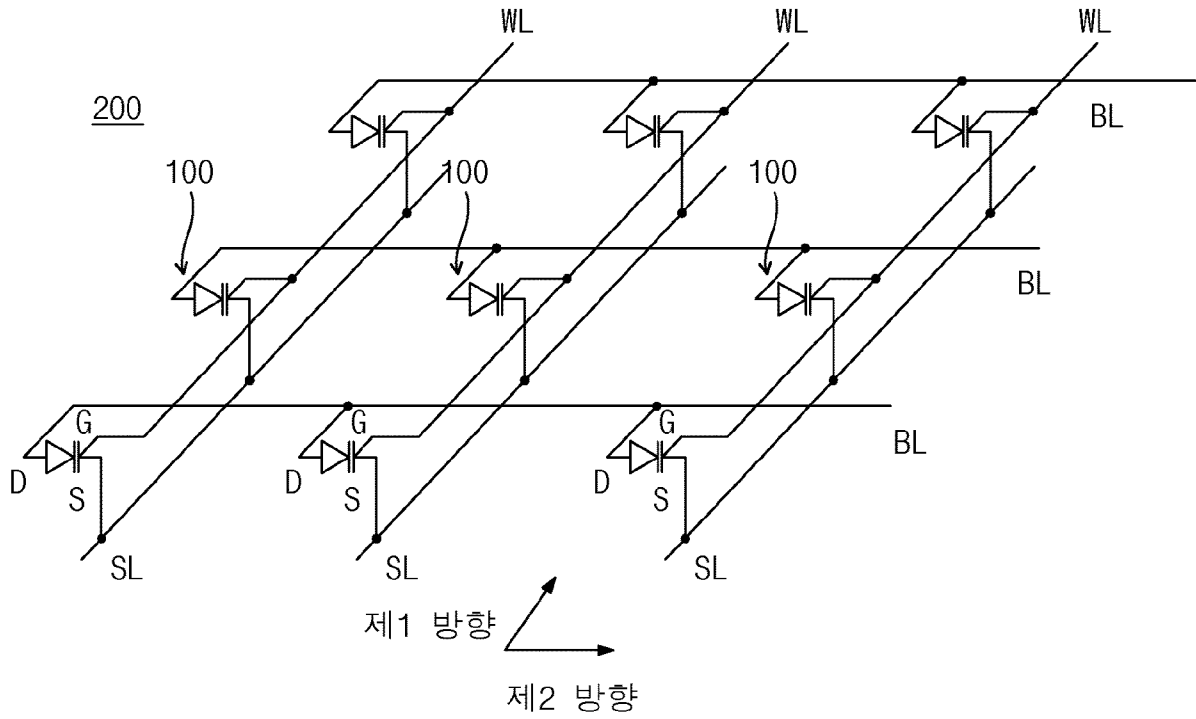
[도4]



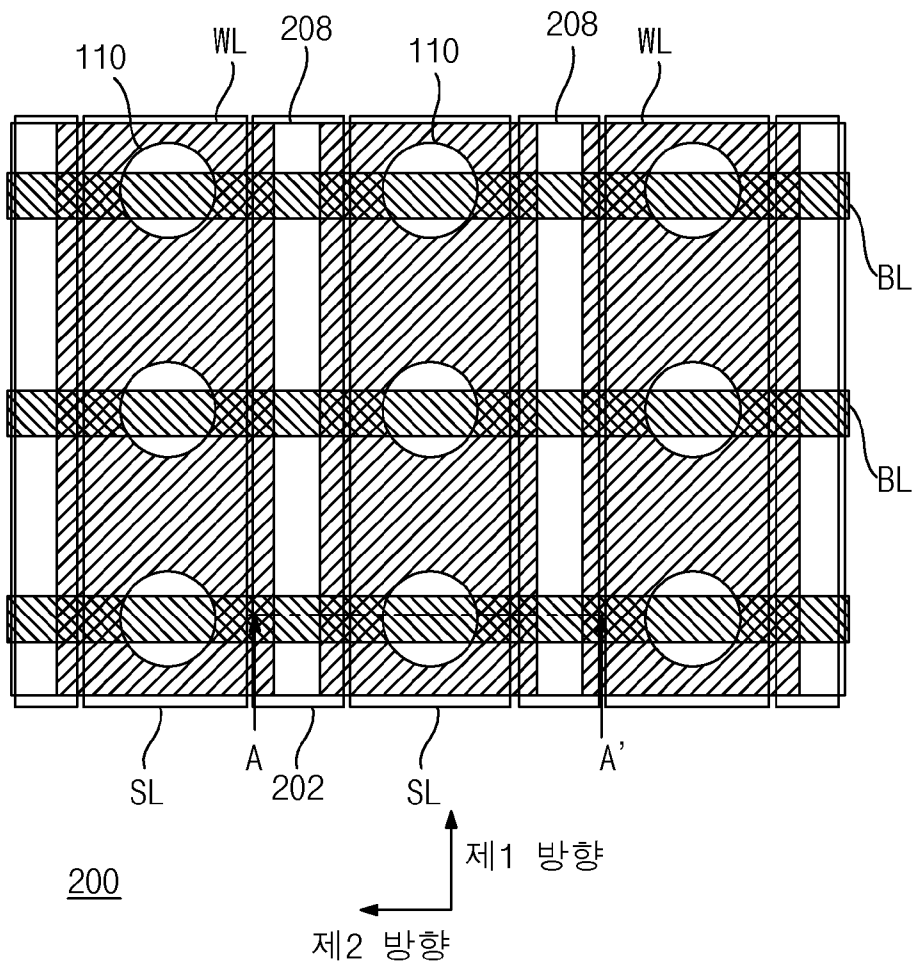
[도5]



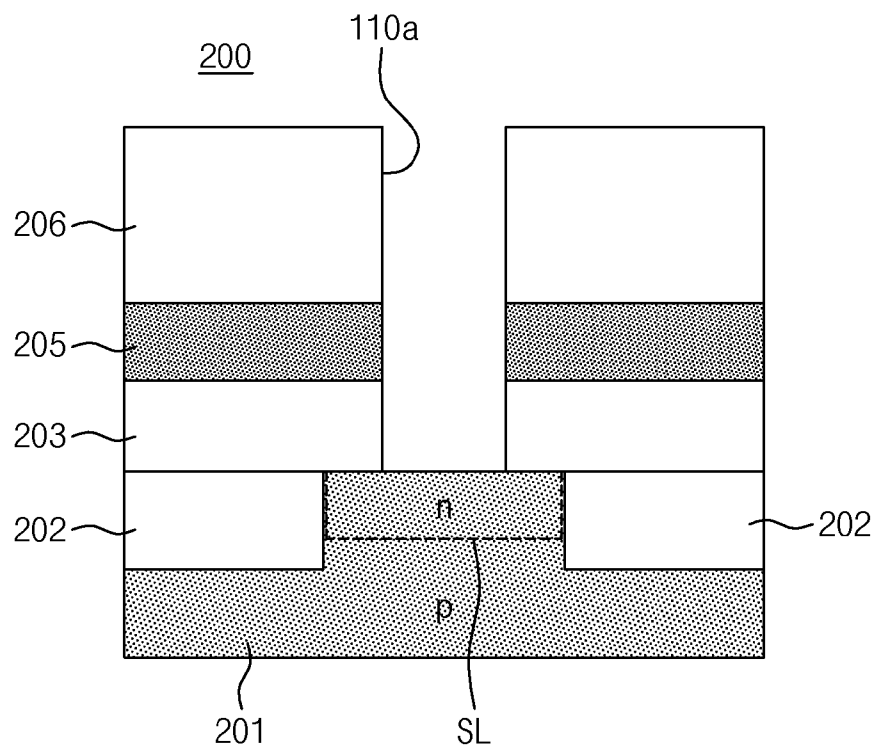
[도6]



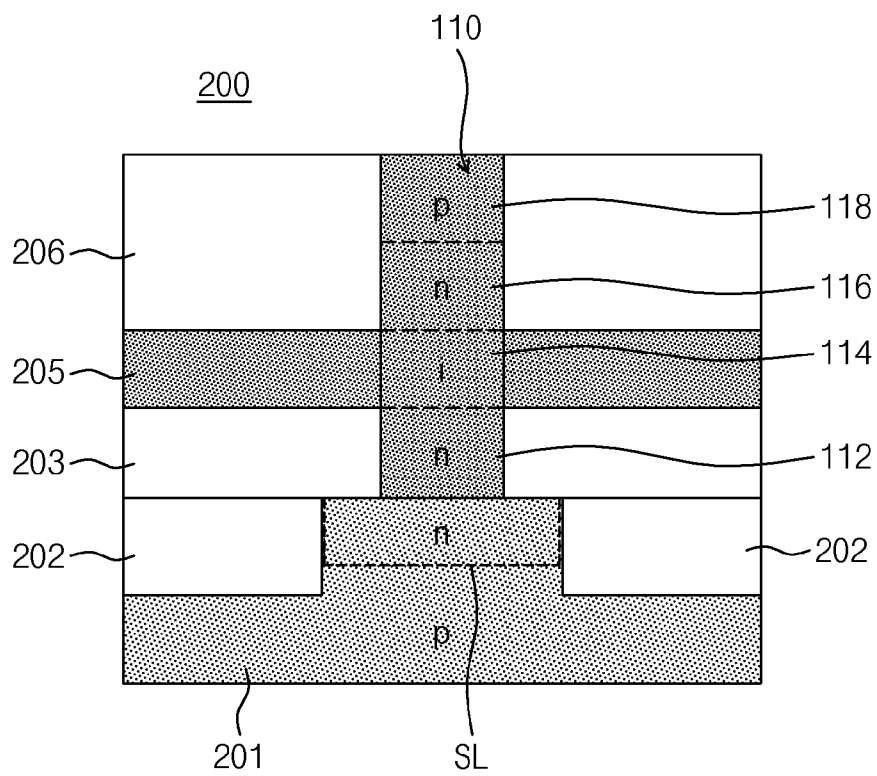
[도7]



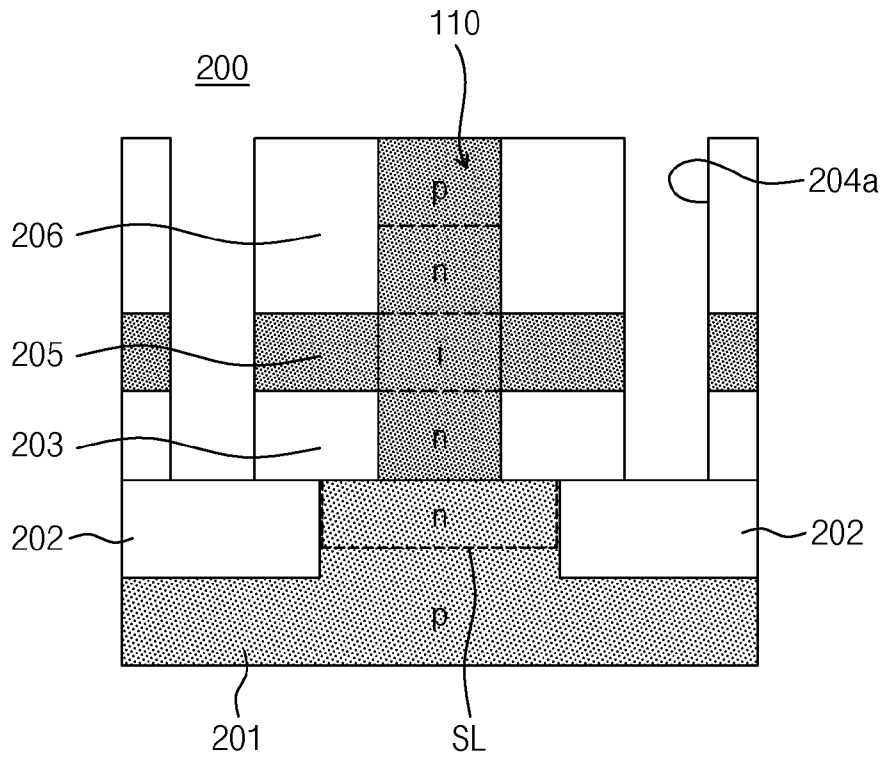
[도9b]



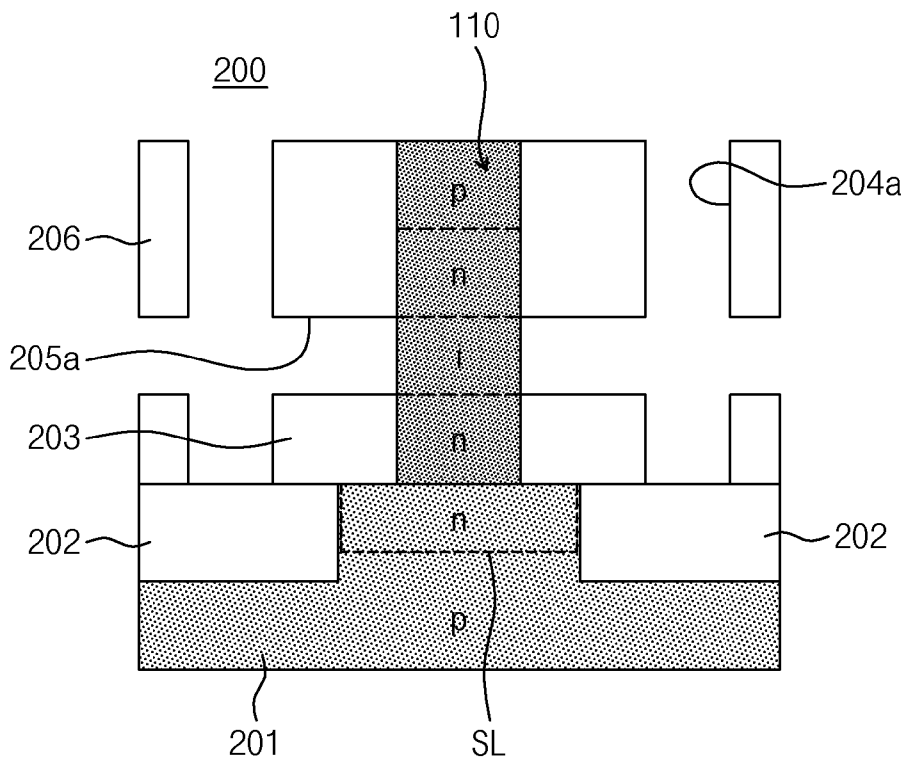
[도9c]



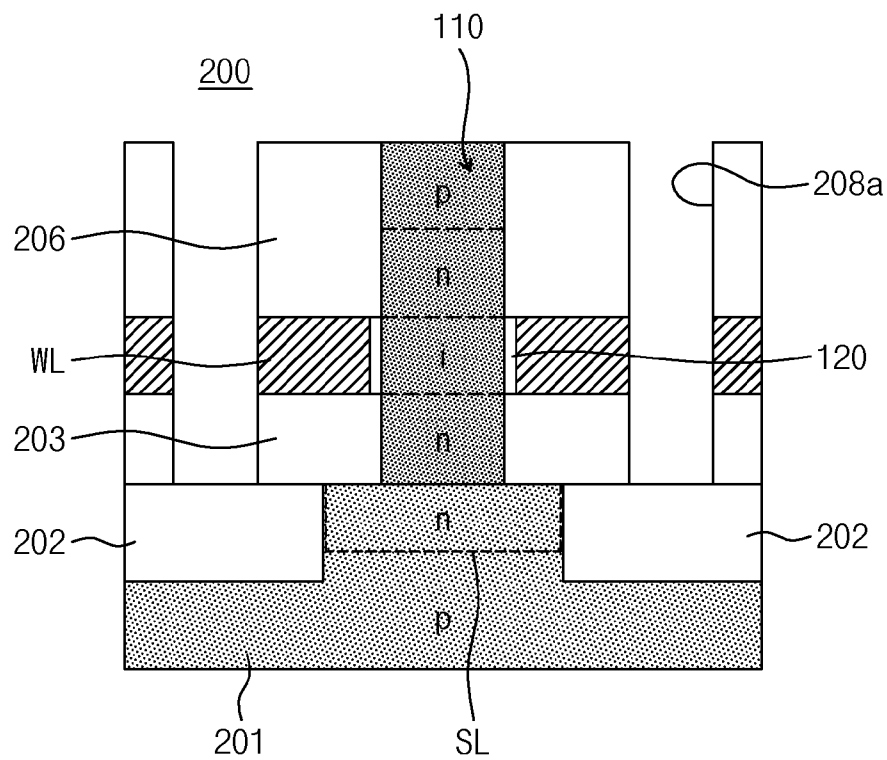
[도9d]



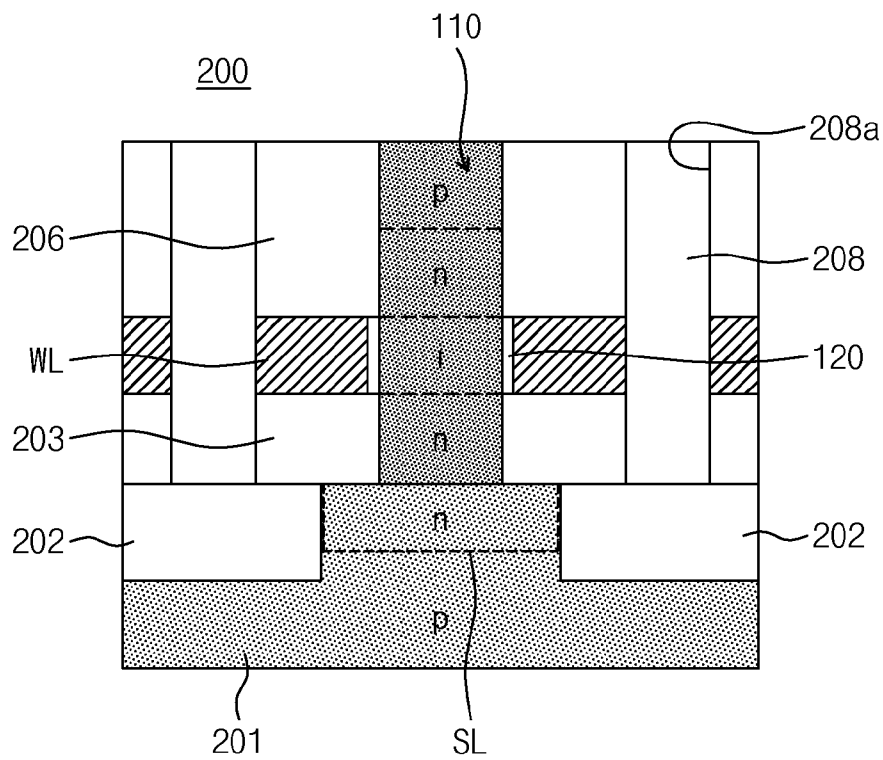
[도9e]



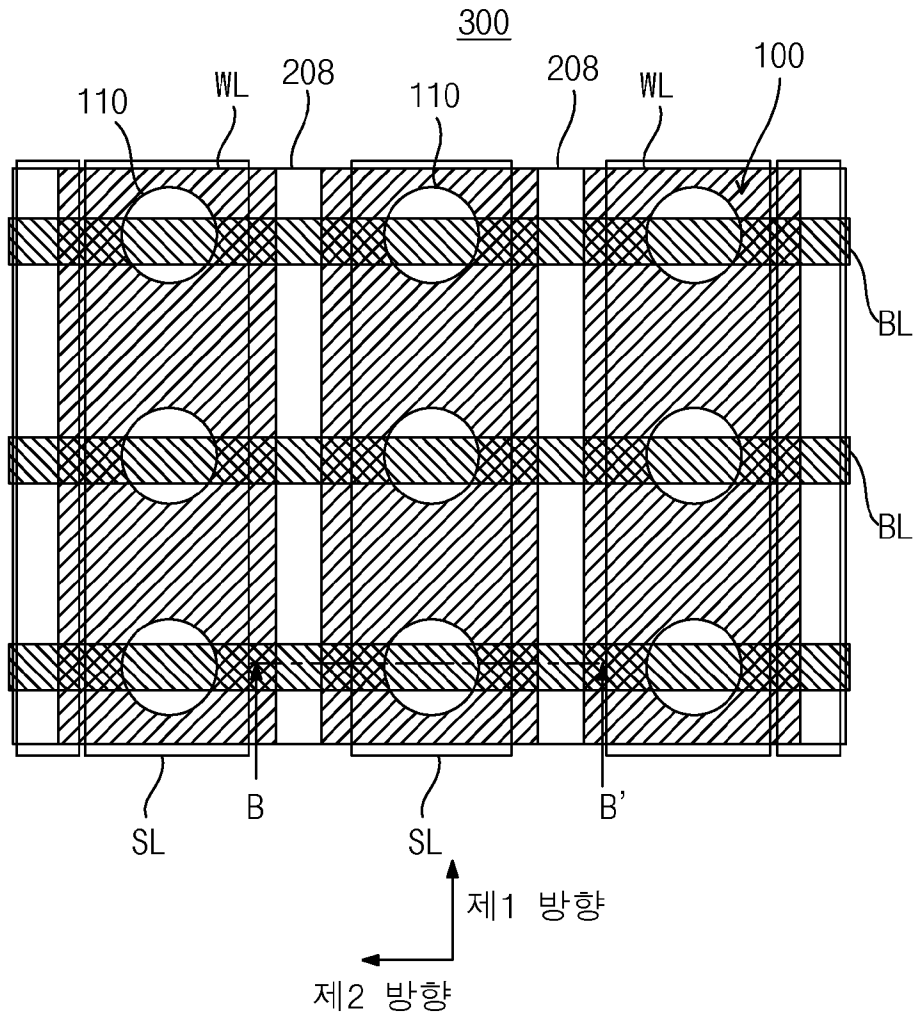
[도9h]



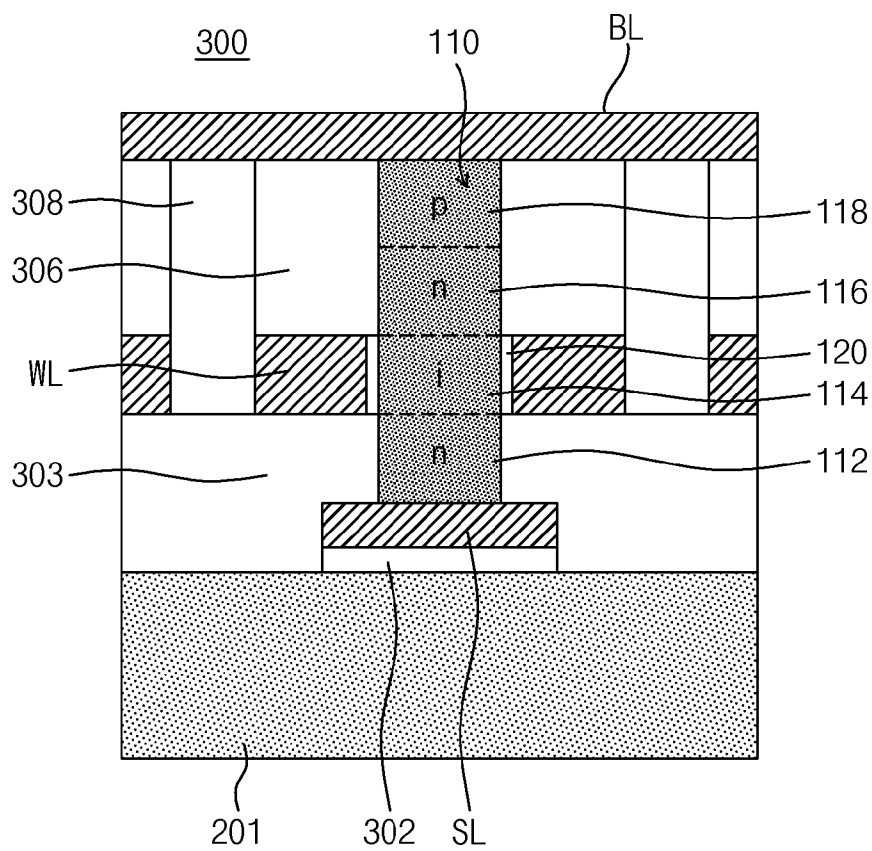
[도9i]



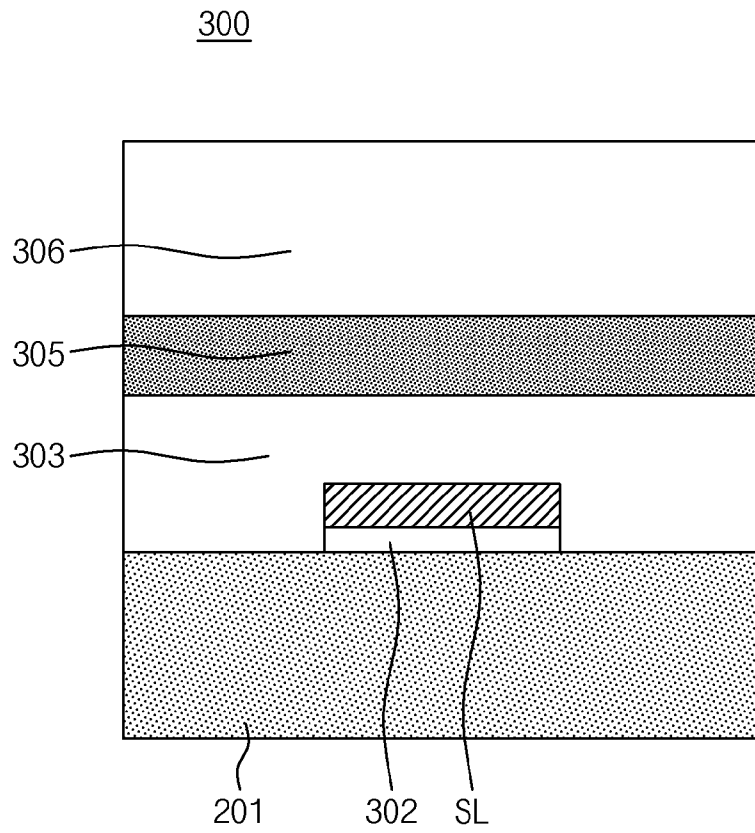
[도10]



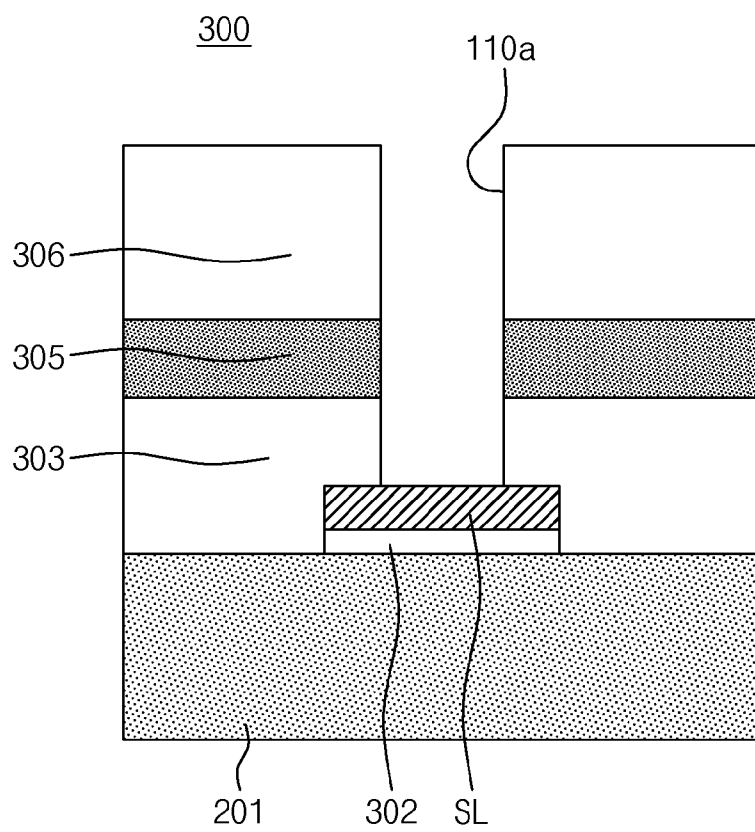
[도11]



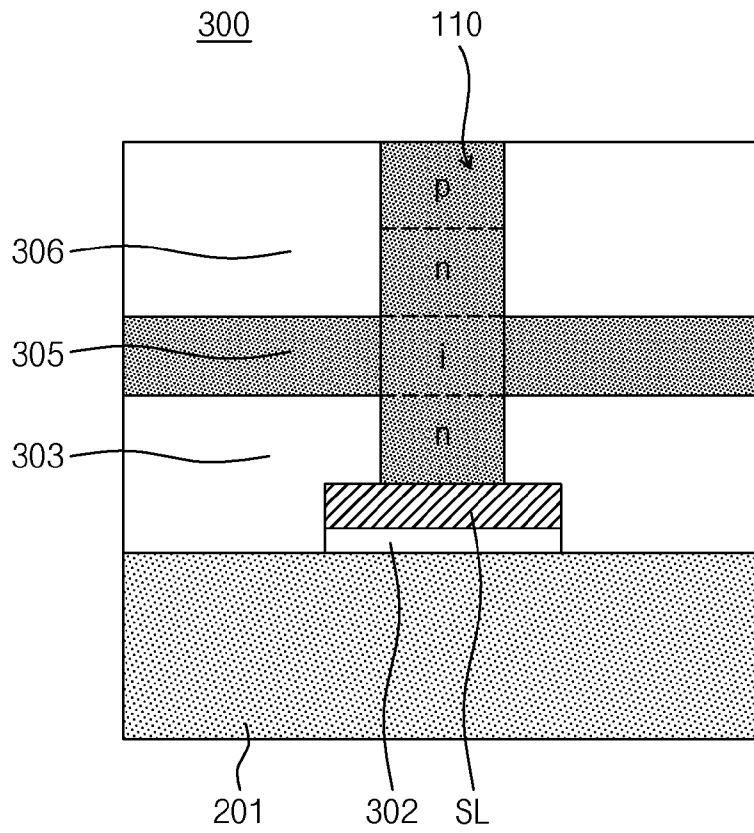
[도 12a]



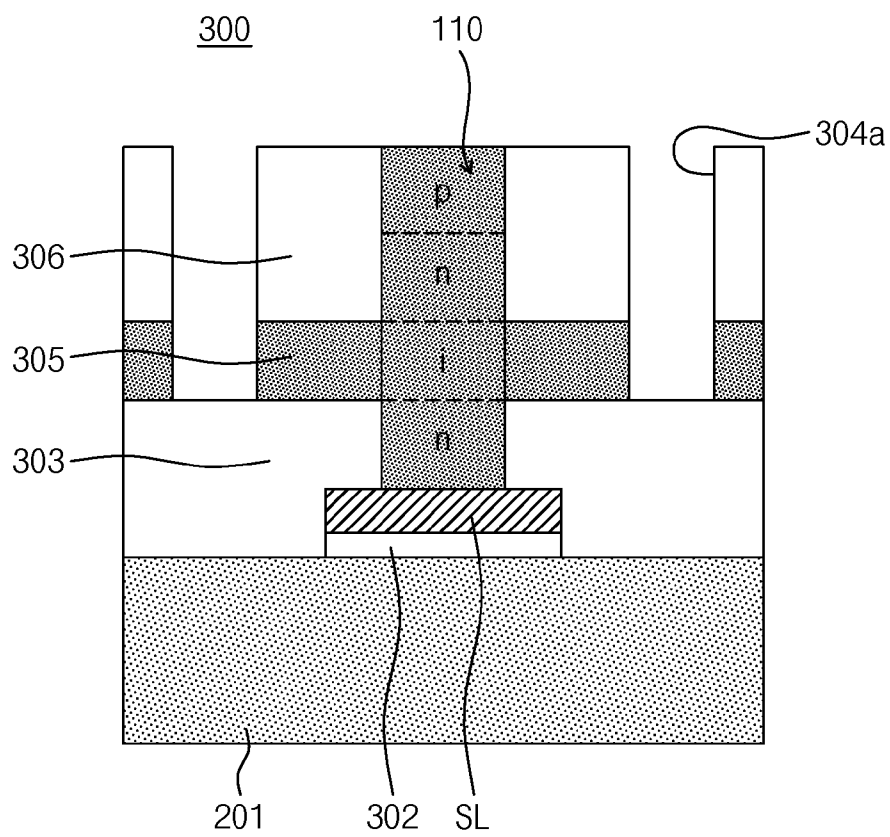
[도 12b]



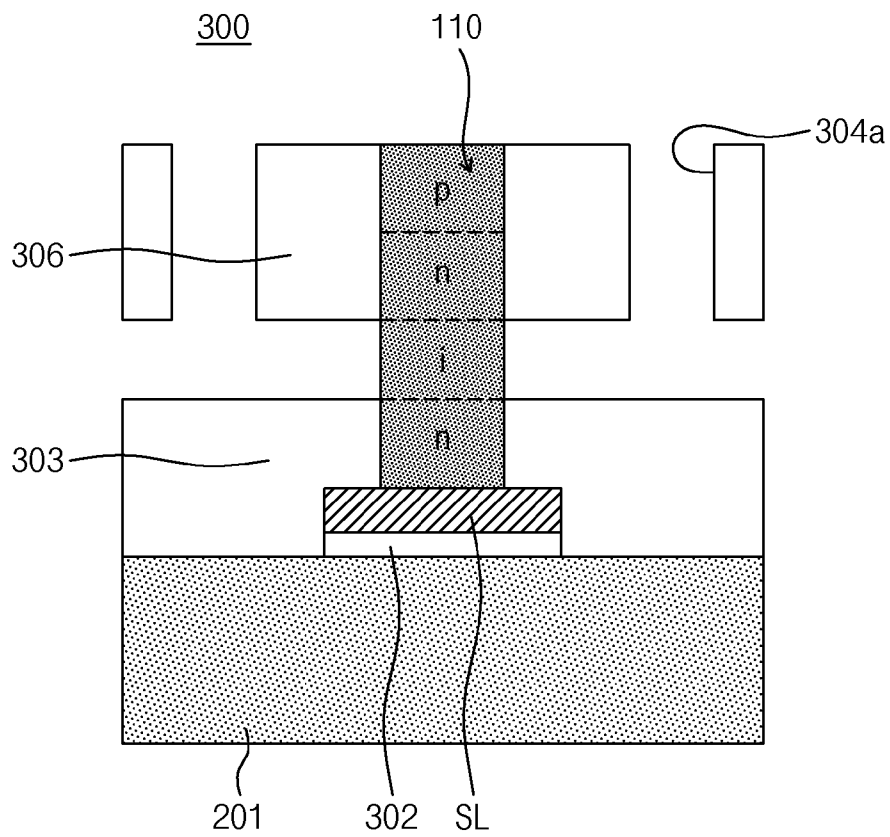
[도12c]



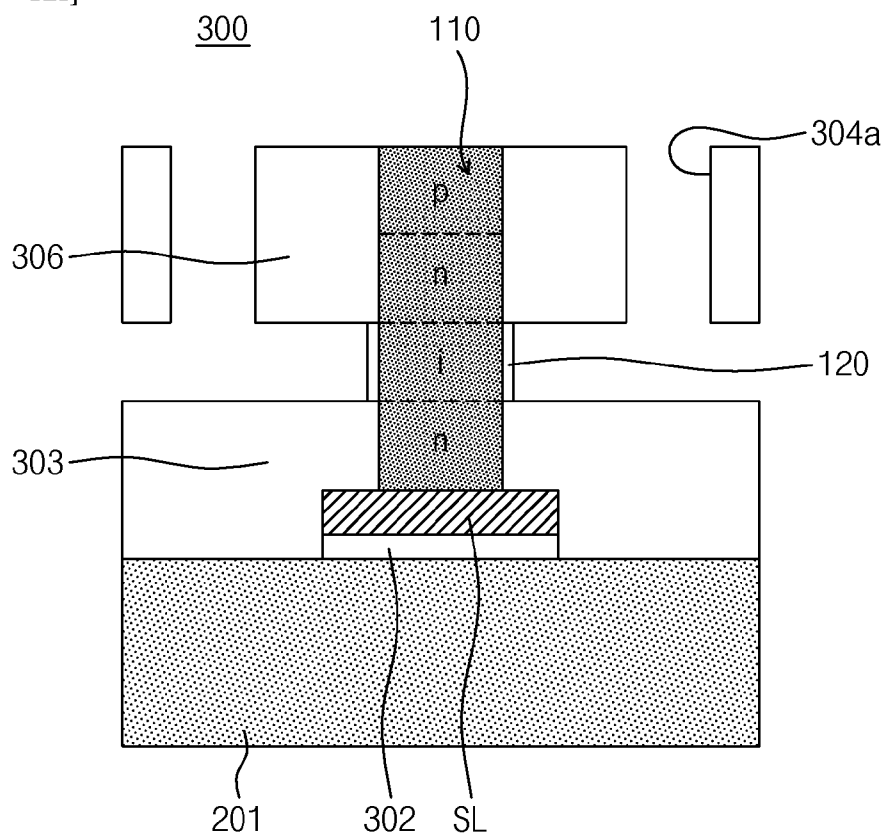
[도12d]



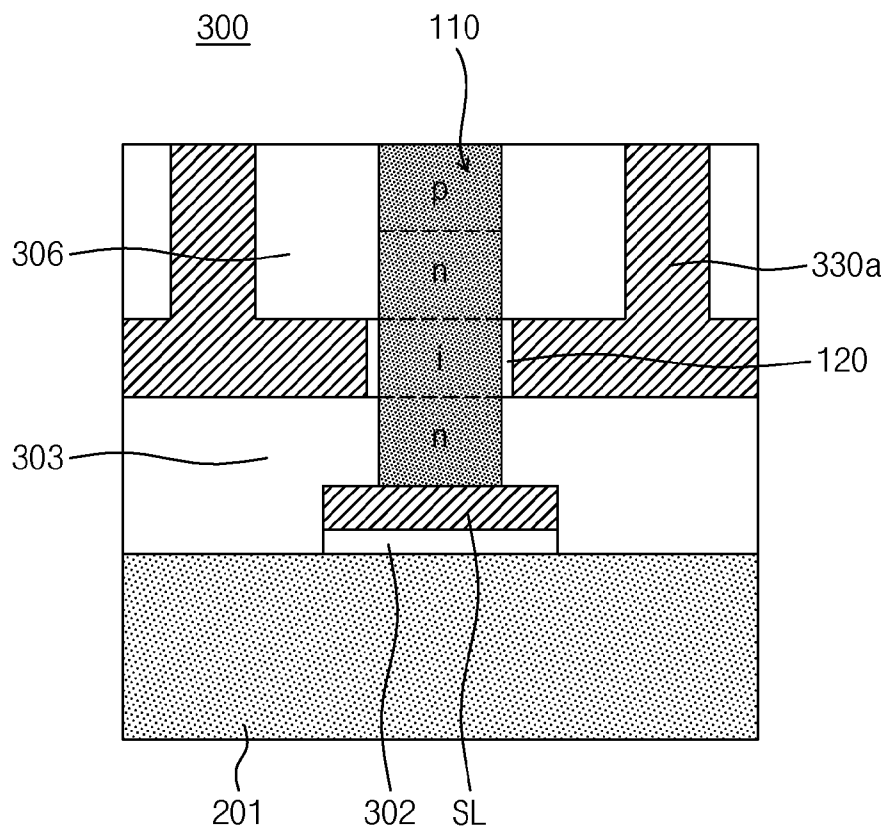
[도 12e]



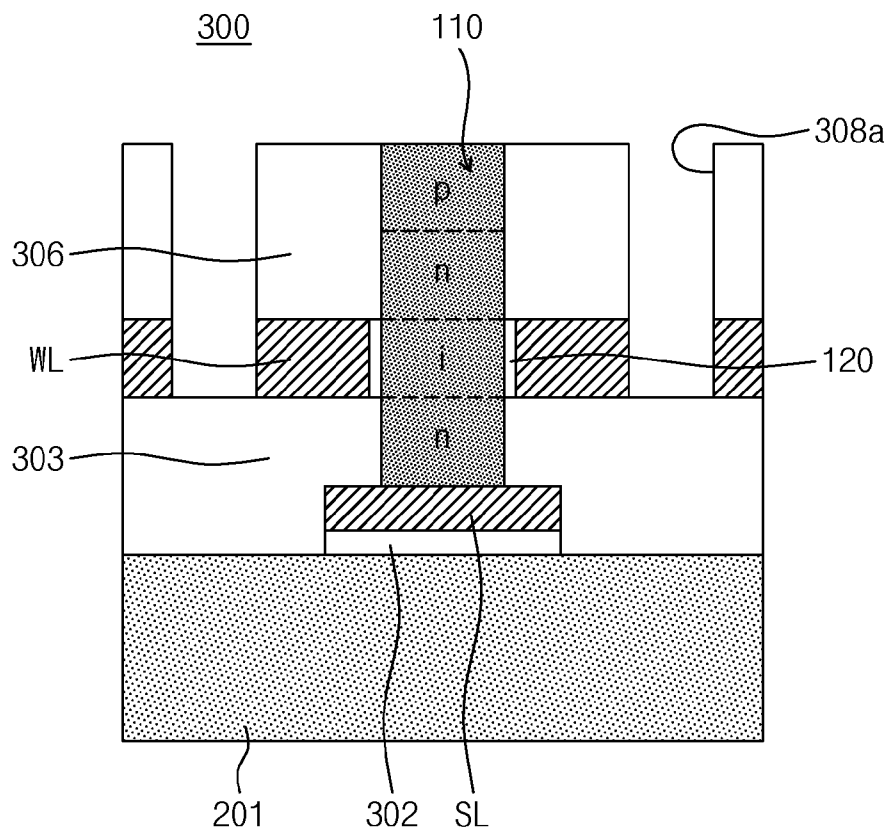
[도 12f]



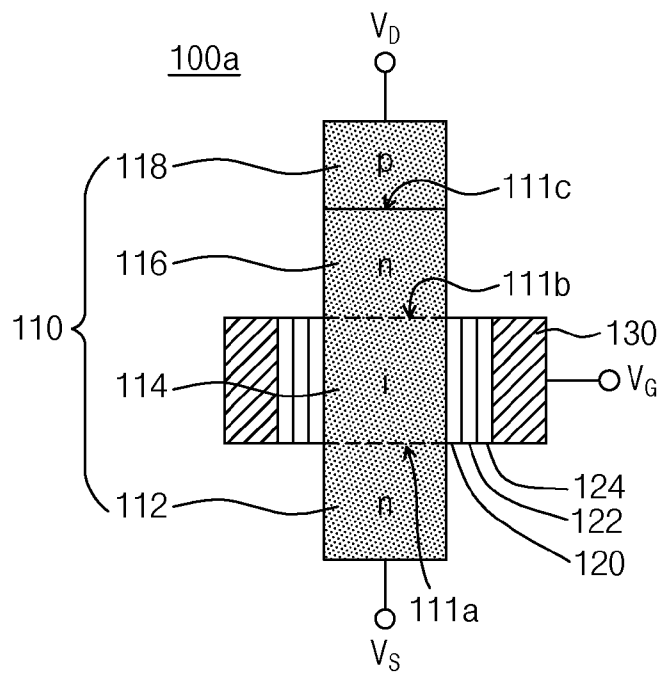
[도12g]



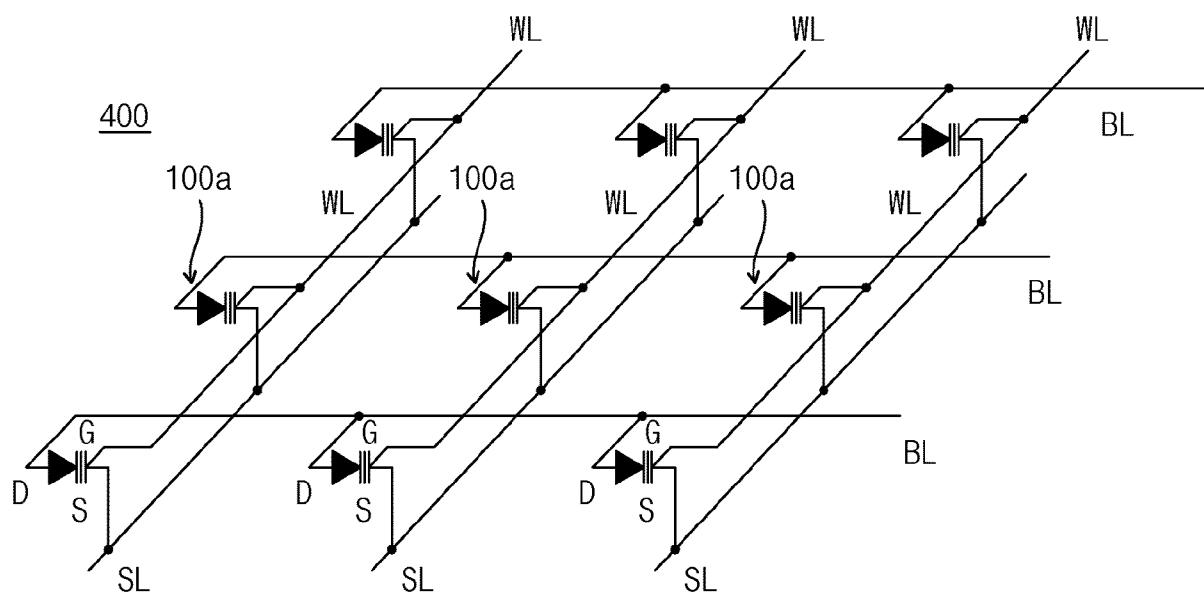
[도12h]



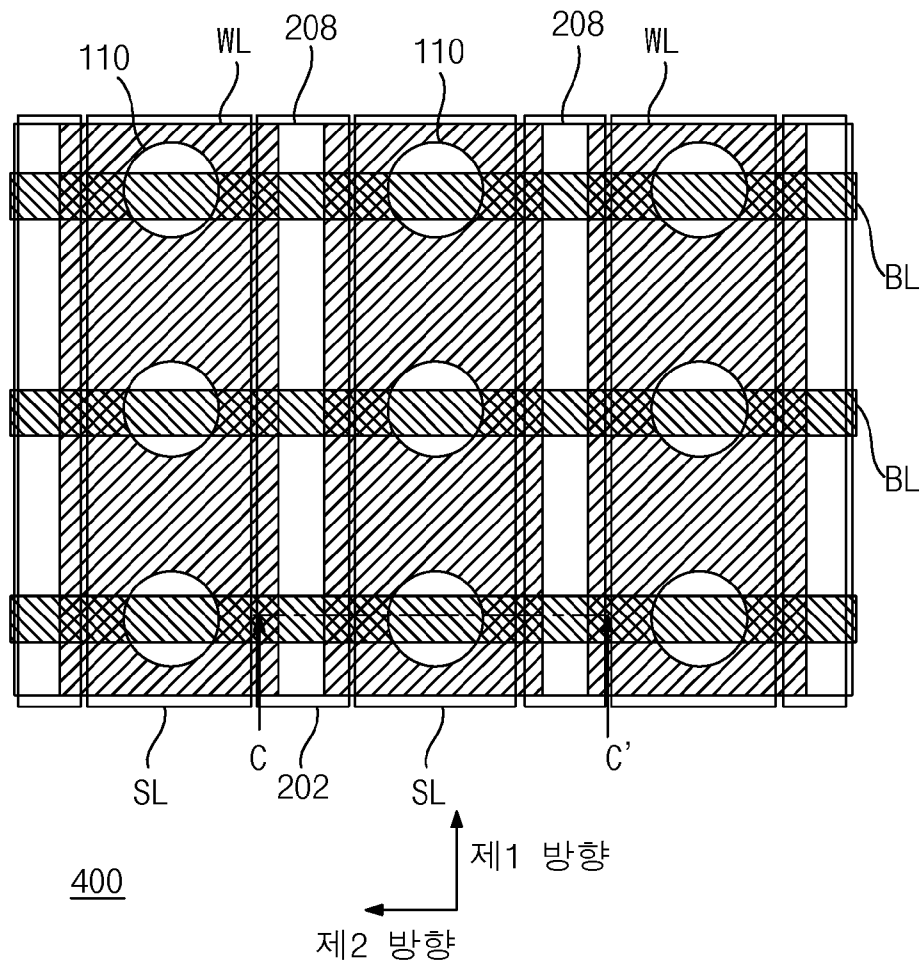
[도13]



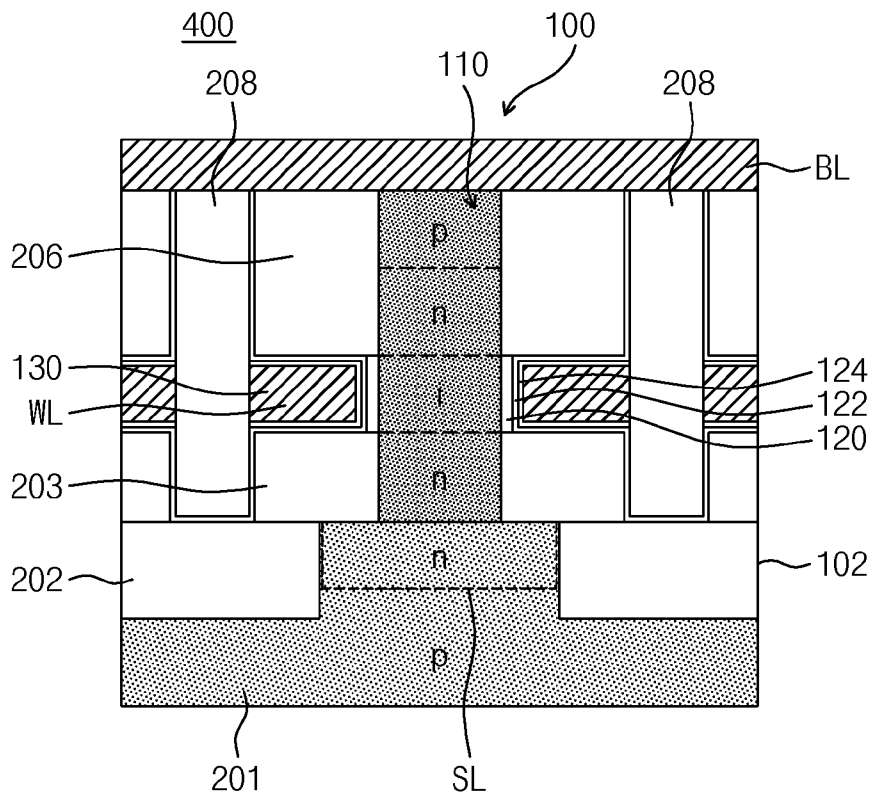
[도14]



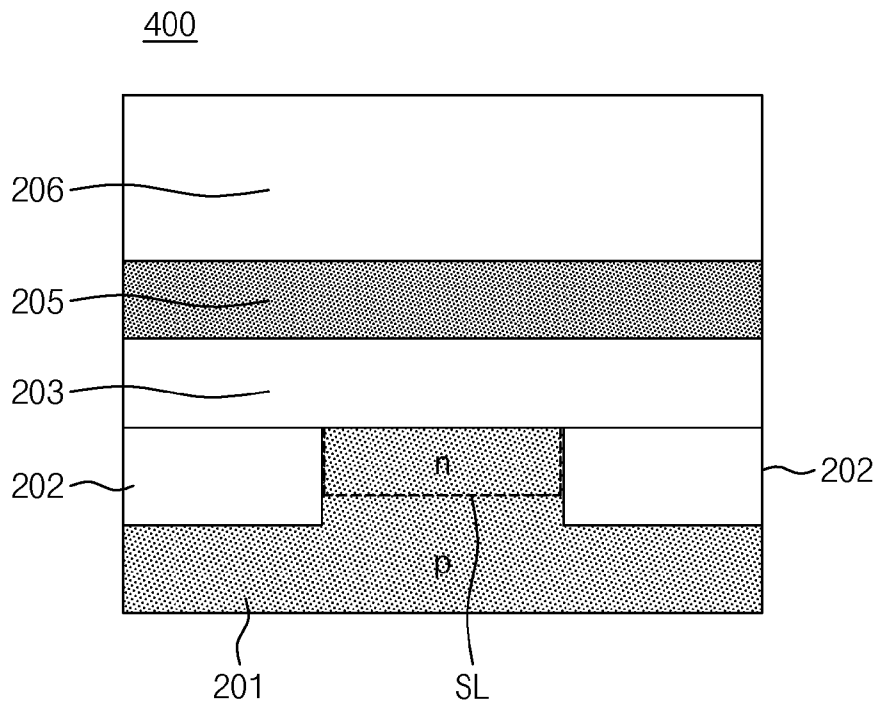
[도15]



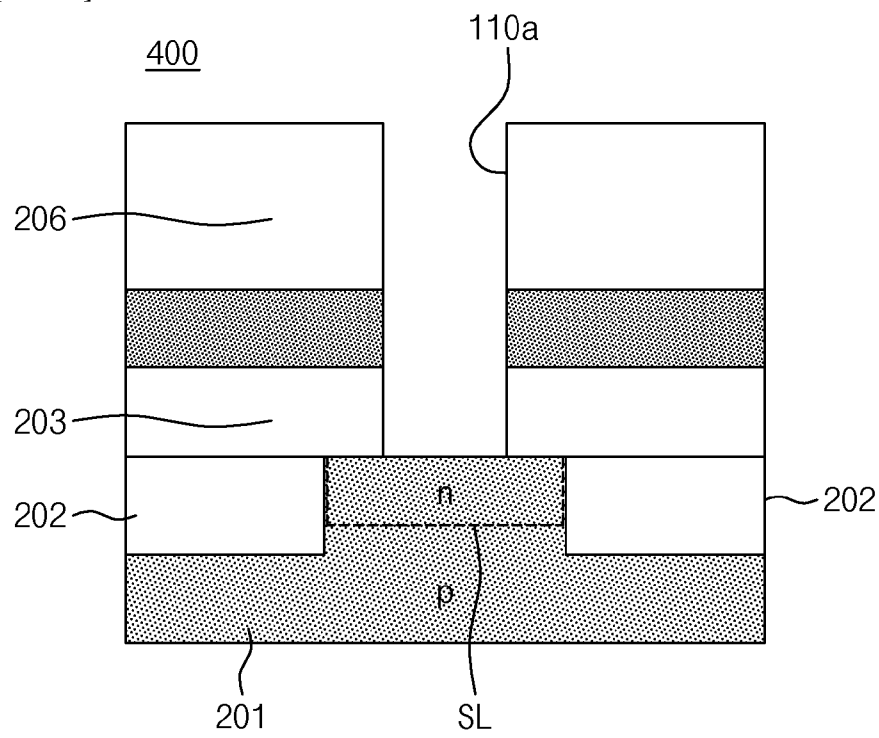
[도16]



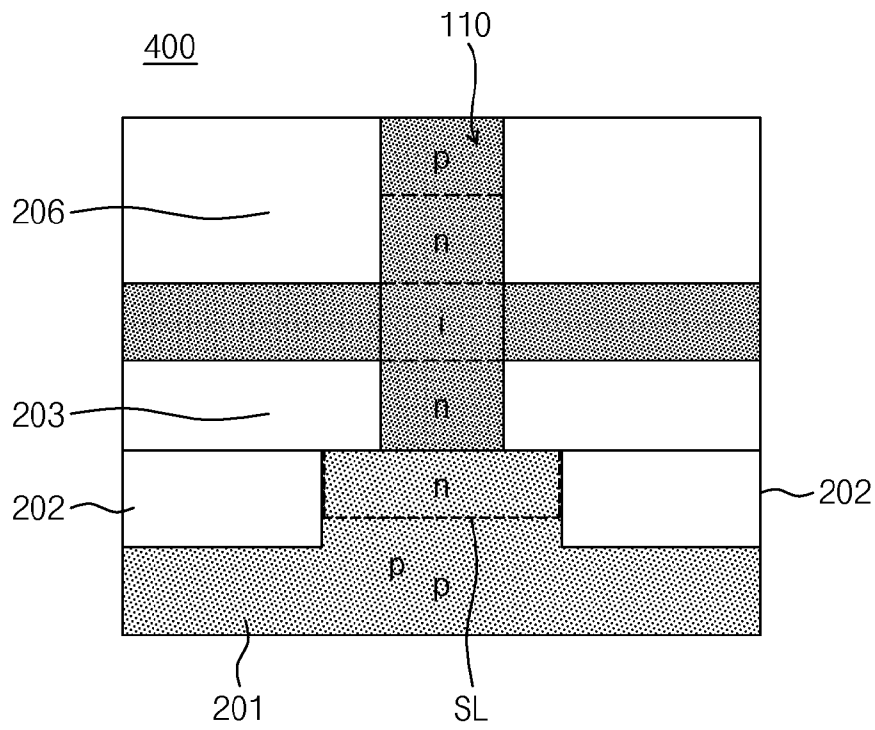
[도17a]



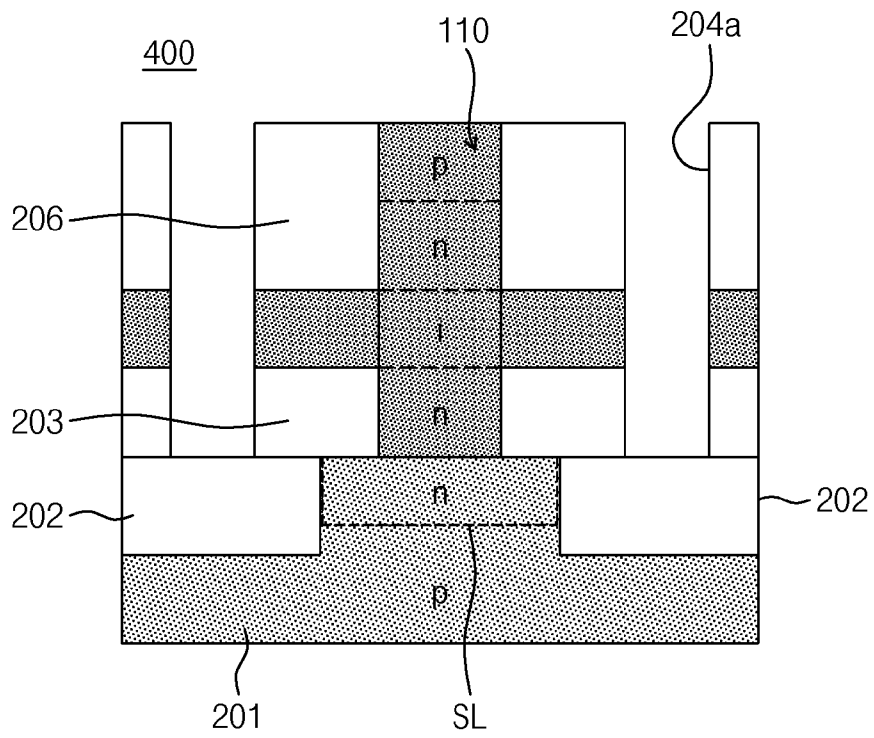
[도17b]



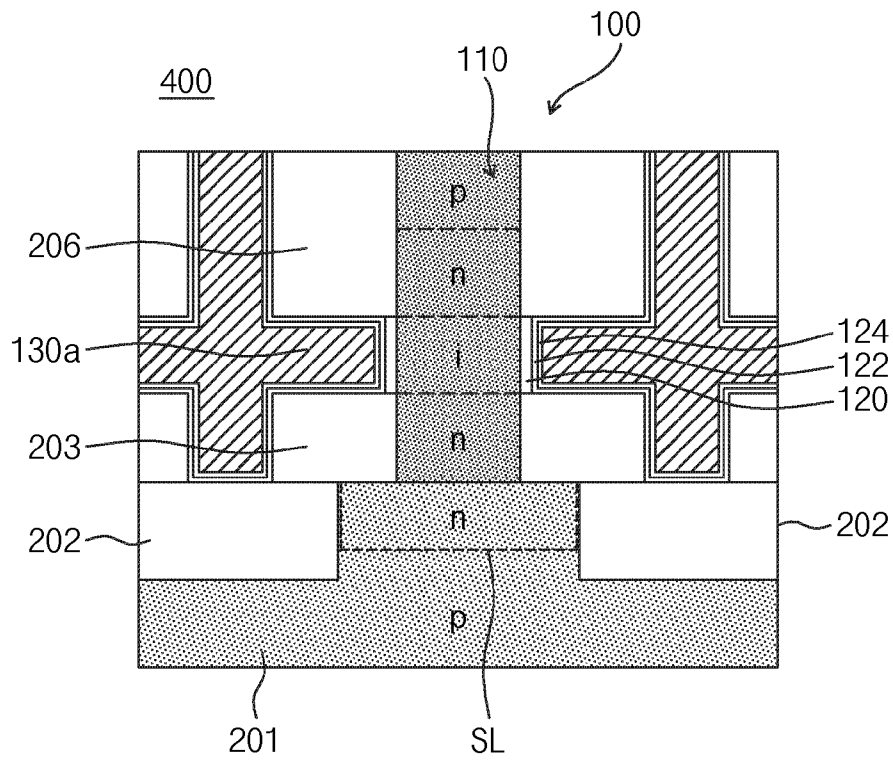
[도17c]



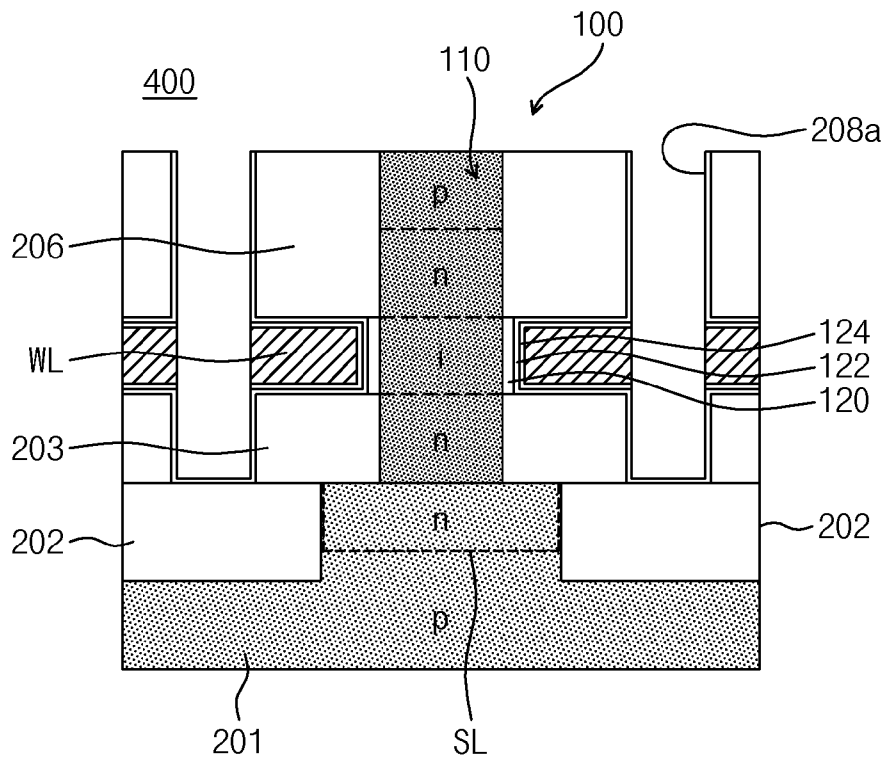
[도17d]



[도17g]



[도17h]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/015400

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/102(2006.01)i, H01L 27/08(2006.01)i, H01L 29/739(2006.01)i, H01L 29/08(2006.01)i, H01L 29/423(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/102; H01L 27/115; H01L 29/768; H01L 21/84; H01L 21/28; H01L 27/108; H01L 29/74; G11C 11/39; H01L 21/8247; H01L 31/111; H01L 27/08; H01L 29/739; H01L 29/08; H01L 29/423

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: memory, intrinsic region, barrier region, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013-0314986 A1 (MICRON TECHNOLOGY, INC.) 28 November 2013 See paragraphs [0035]-[0083], [0161]-[0190] and figures 1-5, 18-22.	1-2,12
Y		3-5,7,10
A		6,8-9,11,13-20
Y	KR 10-2012-0123584 A (MICRON TECHNOLOGY, INC.) 08 November 2012 See paragraphs [0016]-[0051] and figures 2a-14.	3-5,7,10
A	US 2005-0001232 A1 (BHATTACHARYYA, Arup) 06 January 2005 See paragraphs [0043]-[0083] and figures 1A-8.	1-20
Y	US 2005-0247962 A1 (BHATTACHARYYA, Arup) 10 November 2005 See paragraphs [0025]-[0029] and figures 4-7.	1-20
A	KR 10-2014-0109362 A (UNIVERSIDAD DE GRANADA et al.) 15 September 2014 See paragraphs [0024]-[0038] and figures 3a-4b.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 APRIL 2017 (11.04.2017)

Date of mailing of the international search report

11 APRIL 2017 (11.04.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/015400

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2013-0314986 A1	28/11/2013	TW 201241928 A	16/10/2012
		TW 1471941 B	01/02/2015
		US 2012-0228629 A1	13/09/2012
		US 2016-0078917 A1	17/03/2016
		US 8519431 B2	27/08/2013
		US 9361966 B2	07/06/2016
		WO 2012-121845 A2	13/09/2012
		WO 2012-121845 A3	22/11/2012
KR 10-2012-0123584 A	08/11/2012	CN 102782848 A	14/11/2012
		CN 102782848 B	14/10/2015
		JP 2013-521649 A	10/06/2013
		JP 5578454 B2	27/08/2014
		US 2011-0215371 A1	08/09/2011
		US 8288795 B2	16/10/2012
		WO 2011-109147 A2	09/09/2011
		WO 2011-109147 A3	24/11/2011
US 2005-0001232 A1	06/01/2005	US 2006-0244007 A1	02/11/2006
		US 2006-0245244 A1	02/11/2006
		US 2006-0246653 A1	02/11/2006
		US 2012-0139004 A1	07/06/2012
		US 7660144 B2	09/02/2010
		US 7728350 B2	01/06/2010
		US 7968402 B2	28/06/2011
		US 8125003 B2	28/02/2012
US 2005-0247962 A1	10/11/2005	AT 527660 T	15/10/2011
		CN 1981344 A	13/06/2007
		CN 1981344 B	30/05/2012
		EP 1743339 A2	17/01/2007
		EP 1743339 A4	01/08/2007
		EP 1743339 B1	05/10/2011
		JP 2007-536737 A	13/12/2007
		JP 4915592 B2	11/04/2012
		KR 10-0887866 B1	06/03/2009
		KR 10-2007-0005716 A	10/01/2007
		US 7224002 B2	29/05/2007
		WO 2005-114742 A2	01/12/2005
		WO 2005-114742 A3	15/06/2006
		WO 2005-114742 B1	17/08/2006
KR 10-2014-0109362 A	15/09/2014	EP 2764550 A1	13/08/2014
		EP 2764550 B1	31/08/2016
		FR 2980918 A1	05/04/2013
		JP 2014-535161 A	25/12/2014
		JP 6023206 B2	09/11/2016
		US 2014-0299835 A1	09/10/2014
		US 9099544 B2	04/08/2015

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/015400

Patent document cited in search report	Publication date	Patent family member	Publication date
		WO 2013-050707 A1	11/04/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/102(2006.01)i, H01L 27/08(2006.01)i, H01L 29/739(2006.01)i, H01L 29/08(2006.01)i, H01L 29/423(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/102; H01L 27/115; H01L 29/768; H01L 21/84; H01L 21/28; H01L 27/108; H01L 29/74; G11C 11/39; H01L 21/8247; H01L 31/111; H01L 27/08; H01L 29/739; H01L 29/08; H01L 29/423

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 메모리, 진성 영역, 장벽 영역, 게이트

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 2013-0314986 A1 (MICRON TECHNOLOGY, INC.) 2013.11.28 단락 [0035]-[0083], [0161]-[0190] 및 도면 1-5, 18-22 참조.	1-2, 12
Y		3-5, 7, 10
A		6, 8-9, 11, 13-20
Y	KR 10-2012-0123584 A (마이크론 테크놀로지, 인크) 2012.11.08 단락 [0016]-[0051] 및 도면 2a-14 참조.	3-5, 7, 10
A	US 2005-0001232 A1 (ARUP BHATTACHARYYA) 2005.01.06 단락 [0043]-[0083] 및 도면 1A-8 참조.	1-20
A	US 2005-0247962 A1 (ARUP BHATTACHARYYA) 2005.11.10 단락 [0025]-[0029] 및 도면 4-7 참조.	1-20
A	KR 10-2014-0109362 A (우니베르시다드 데 그라나다 등) 2014.09.15 단락 [0024]-[0038] 및 도면 3a-4b 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 04월 11일 (11.04.2017)

국제조사보고서 발송일

2017년 04월 11일 (11.04.2017)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2013-0314986 A1	2013/11/28	TW 201241928 A TW 1471941 B US 2012-0228629 A1 US 2016-0078917 A1 US 8519431 B2 US 9361966 B2 WO 2012-121845 A2 WO 2012-121845 A3	2012/10/16 2015/02/01 2012/09/13 2016/03/17 2013/08/27 2016/06/07 2012/09/13 2012/11/22
KR 10-2012-0123584 A	2012/11/08	CN 102782848 A CN 102782848 B JP 2013-521649 A JP 5578454 B2 US 2011-0215371 A1 US 8288795 B2 WO 2011-109147 A2 WO 2011-109147 A3	2012/11/14 2015/10/14 2013/06/10 2014/08/27 2011/09/08 2012/10/16 2011/09/09 2011/11/24
US 2005-0001232 A1	2005/01/06	US 2006-0244007 A1 US 2006-0245244 A1 US 2006-0246653 A1 US 2012-0139004 A1 US 7660144 B2 US 7728350 B2 US 7968402 B2 US 8125003 B2	2006/11/02 2006/11/02 2006/11/02 2012/06/07 2010/02/09 2010/06/01 2011/06/28 2012/02/28
US 2005-0247962 A1	2005/11/10	AT 527660 T CN 1981344 A CN 1981344 B EP 1743339 A2 EP 1743339 A4 EP 1743339 B1 JP 2007-536737 A JP 4915592 B2 KR 10-0887866 B1 KR 10-2007-0005716 A US 7224002 B2 WO 2005-114742 A2 WO 2005-114742 A3 WO 2005-114742 B1	2011/10/15 2007/06/13 2012/05/30 2007/01/17 2007/08/01 2011/10/05 2007/12/13 2012/04/11 2009/03/06 2007/01/10 2007/05/29 2005/12/01 2006/06/15 2006/08/17
KR 10-2014-0109362 A	2014/09/15	EP 2764550 A1 EP 2764550 B1 FR 2980918 A1 JP 2014-535161 A JP 6023206 B2 US 2014-0299835 A1 US 9099544 B2	2014/08/13 2016/08/31 2013/04/05 2014/12/25 2016/11/09 2014/10/09 2015/08/04

국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

WO 2013-050707 A1

2013/04/11