

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年1月2日 (02.01.2020)



(10) 国际公布号
WO 2020/000179 A1

(51) 国际专利分类号:
H01L 21/60 (2006.01) *H01L 21/56* (2006.01)
H01L 21/48 (2006.01) *H01L 23/495* (2006.01)

(21) 国际申请号: PCT/CN2018/092861

(22) 国际申请日: 2018年6月26日 (26.06.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 申中国 (SHEN, Zhongguo); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路80号汇华商贸大厦1508室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: CHIP PACKAGING STRUCTURE AND CHIP PACKAGING METHOD

(54) 发明名称: 芯片封装结构及芯片封装方法

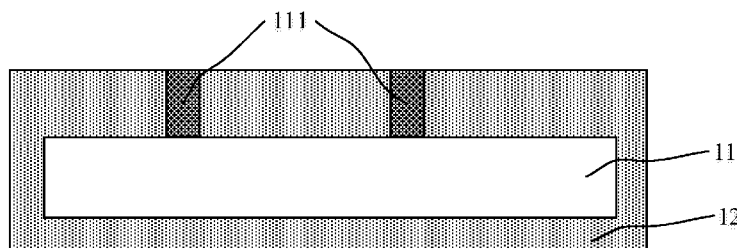


图 1

(57) Abstract: The present application provides a chip packaging structure and a chip packaging method. The chip packaging structure comprises a chip 11 and a plastic packaging material 12 that completely encloses the chip. The chip 11 is provided with a conductor post 111. The conductor post 111 passes through the plastic packaging material. A first end of the conductor post 111 is coupled to an internal circuit of the chip 11, and a second end of the conductor post 111 is used for coupling the chip 11 to an external circuit. Thus, the chip packaging structure completely encloses the chip 11 by means of the plastic packaging material 12, and can balance stresses between the chip 11 and the plastic packaging material 12 in all directions while protecting the surfaces of the chip 11, thereby avoiding the problems of cracking, chipping, etc. of the chip 11 caused by an excessively large stress on the chip 11 in a certain direction, improving the long-term reliability of the chip packaging structure.

(57) 摘要: 本申请提供了一种芯片封装结构及芯片封装方法, 该芯片封装结构包括芯片11以及全包裹该芯片的塑封材料12。其中, 芯片11上设有导体柱111, 该导体柱111穿过塑封材料12, 该导体柱111的第一端被耦合至芯片11的内部电路, 导体柱111的第二端用于芯片11耦合外电路。可见, 该芯片封装结构通过塑封材料12全包裹芯片11, 在对芯片11各个面保护的同时还可以平衡各个方向上芯片11与塑封材料12之间的应力, 进而避免芯片11在某一方向上应力过大导致的芯片11的开裂、崩边等问题, 提高封装芯片结构的长期可靠性。

WO 2020/000179 A1

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

芯片封装结构及芯片封装方法

技术领域

本申请涉及芯片封装技术领域，尤其涉及一种芯片封装结构及芯片封装方法。

背景技术

晶圆级芯片规模封装（Wafer Level Chip Scale Packaging，简称 WLCSP），即晶圆级芯片封装方式，不同于传统的先切割再封装芯片封装方式，WLCSP 是先在整个晶圆上进行封装和测试，然后再切割成一个个的 IC 颗粒，因此封装后的体积等同于 IC 裸晶的原尺寸。

WLCSP 封装方式，可缩小芯片模块尺寸，符合芯片对于机体内空间的高密度需求。

通常 WLCSP 封装芯片包括硅层（裸芯片）、重布线层、塑封层以及用于芯片电连接外电路的焊球。其中，塑封层通常半包裹硅层和重布线层，塑封层、硅层、重布线层的热膨胀系数不同，当芯片工作时，会导致芯片在某一方向上应力过大，进而导致芯片向一个方向翘边变形，甚至引起导致的芯片的开裂、崩边等问题。

发明内容

第一方面，本申请实施例提供了一种芯片封装结构，包括：芯片和全包裹该芯片的塑封材料，芯片上设有导体柱，该导体柱穿过塑封材料，导体柱的第一端被耦合至所述芯片的内部电路，导体柱的第二端用于该芯片耦合外电路。

上述芯片封装结构通过塑封材料全包裹芯片，在对芯片各个面保护的同时还可以平衡各个方向上芯片与塑封材料之间的应力，进而避免芯片在某一方向上应力过大导致的芯片的开裂、崩边等问题，提高封装芯片结构的长期可靠性。

在第一方面的一种实现中，该塑封材料为一体成型结构，可避免出现现有技术中多次形成的塑封材料之间的分界面，进而防止外界水蒸气通过分界面进入到芯片引起芯片的失效，提高该塑封材料形成塑封结构的密封性，以及提高芯片的长期可靠性。

在第一方面的一种实现中，该塑封材料的外表面与导体柱的第二端的端面齐平。

进一步地，该芯片封装结构还包括：设置于导体柱的第二端上的焊球。该芯片封装结构中焊球位于塑封材料外，不会限制焊球在高温焊接时焊料合金的自由融熔和凝固过程，提高芯片与外电路的焊接的牢固性。

在第一方面的一种实现中，芯片包括：

裸芯片；

第一绝缘层，该第一绝缘层覆盖裸芯片；

重布线层，该重布线层设于第一绝缘层背对裸芯片的表面，且填充贯穿第一绝缘层的第一过孔，耦合至裸芯片的内部电路；

第二绝缘层，该第二绝缘层覆盖第一绝缘层以及部分覆盖重布线层，且开设用于显露部分重布线层的第二过孔；

导体柱，该导体柱填充第二过孔，该导体柱的第一端电连接至裸芯片的内部电路，导

体柱的第二端的端面高于第二绝缘层背对裸芯片的表面。

进一步地，该裸芯片的表面可以包括一个或多个无源器件，以增强芯片的功能。

进一步地，所述第一绝缘层的厚度为 20 um -120 um。

第二方面，本申请实施例还提供了一种芯片封装方法，包括：

提供多个芯片，该芯片的第一表面上设有导体柱，该导体柱的第一端被耦合至芯片的内部电路，导体柱的第二端用于该芯片耦合外电路；

将导体柱的第二端粘结在承载基板上，以在承载基板上固定芯片，相邻的芯片之间具有间隙；

形成全包裹该芯片的塑封材料；

基于芯片之间的间隙切割塑封材料并去除承载基板，以得到多个芯片封装结构。

上述芯片封装方法包括：提供多个芯片，该芯片第一表面上设有导体柱，导体柱的第一端被耦合至芯片的内部电路，导体柱的第二端用于芯片耦合外电路，导体柱的第二端的端面高于第一表面，将芯片通过导体柱的第二端粘结在承载基板上，导体柱与承载基板之间存在空隙，塑封材料可以填充导体柱和承载基板之间的空隙，进而全包裹芯片，全包裹芯片的塑封材料在对芯片各个表面保护的同时还可以平衡各个方向上芯片与塑封材料之间的应力，进而避免芯片在某一方向上应力过大导致的芯片的开裂、崩边等问题，提高封装芯片结构的长期可靠性。

而且，全包裹芯片各个表面的塑封材料一次成型，可避免出现现有技术中多次形成的塑封材料之间的分界面，进而防止外界水蒸气通过分界面进入到芯片引起芯片的失效，提高该塑封材料形成塑封结构的密封性，以及提高芯片的长期可靠性。

在第一方面的一种实现中，在去除所述承载基板之后，可以在导体柱的第二端上形成焊球，以便芯片通过焊球耦合外电路。可见，该芯片封装结构中焊球位于塑封材料外，不会限制焊球在高温焊接时焊料合金的自由熔融和凝固过程，提高芯片与外电路的焊接的牢固性。

在第一方面的第一种实现中，提供多个芯片的一种实施方式可以是：

提供一晶圆，该晶圆包括多个裸芯片；

在晶圆的表面形成覆盖该多个裸芯片的第一绝缘层；

在第一绝缘层上开设第一过孔，该第一过孔用于暴露裸芯片的信号连接端，该信号连接端用于裸芯片耦合至外电路，该信号连接端可以是裸芯片中内部电路的输入端和/或输出端；

在第一绝缘层背对所述晶圆的表面上形成重布线层，该重布线层填充第一过孔并连接至所述信号连接端；

形成覆盖重布线层和第一绝缘层的第二绝缘层；

在第二绝缘层上开设第二过孔，该第二过孔用于部分暴露重布线层；

形成填充第二过孔的导体柱，该导体柱的第一端电连接至裸芯片的内部电路，该导体柱的第二端的端面高于所述第二绝缘层的背对裸芯片的表面；

切割第一绝缘层、第二绝缘层以及晶圆，得到与该多个裸芯片一一对应的芯片。

进一步地，裸芯片上还包括与裸芯片电连接的被动元件，其中，在晶圆的表面形成覆盖所述多个裸芯片的第一绝缘层的一种实现方式可以是：将第一材料组成的膏状体放置在晶圆上；加热该膏状体，固化形成第一绝缘层。

上述方法可以形成较厚第一绝缘层，实现无源器件集成到芯片中。

第三方面，本申请实施例还提供了一种集成电路设备，该集成电路设备包括：基板和芯片，该芯片被塑封材料全包裹，该芯片上设有导体柱，导体柱穿过塑封材料，芯片支撑于基板上，该导体柱的第一端被耦合至芯片的内部电路，导体柱的第二端被耦合至基板上的电路。

上述集成电路设备中，塑封材料全包裹芯片，在对芯片各个面保护的同时还可以平衡各个方向上芯片与塑封材料之间的应力，进而避免芯片在某一方向上应力过大导致的芯片的开裂、崩边等问题，提高封装芯片结构的长期可靠性。

在第三方面的一种实现中，塑封材料形成一体成型结构，可避免出现现有技术中多次形成的塑封材料之间的分界面，进而防止外界水蒸气通过分界面进入到芯片引起芯片的失效，提高该塑封材料形成塑封结构的密封性，以及提高芯片的长期可靠性。

在第三方面的又一种实现中，塑封材料的外表面与导体柱第二端的端面齐平。

进一步地，导体柱的第二端上设有焊球，该焊球用于与基板上的电路直接焊接或通过引线焊接。该芯片封装结构中焊球位于塑封材料外，不会限制焊球在高温焊接时焊料合金的自由熔融和凝固过程，提高芯片与外电路的焊接的牢固性。

在第三方面的又一种实现中，该芯片可以包括：

裸芯片；

第一绝缘层，该第一绝缘层覆盖裸芯片；

重布线层，该重布线层设于第一绝缘层背对裸芯片的表面，且填充贯穿第一绝缘层的第一过孔，耦合至裸芯片的内部电路；

第二绝缘层，该第二绝缘层覆盖第一绝缘层以及部分覆盖重布线层，且开设用于显露部分所述重布线层的第二过孔；

导体柱，导体柱填充第二过孔，该导体柱的第一端电连接至裸芯片的内部电路，导体柱的第二端的端面高于第二绝缘层背对裸芯片的表面。

进一步地，裸芯片的表面包括一个或多个无源器件。

进一步地，第一绝缘层的厚度为 20 μm - 120 μm 。

第四方面，本申请实施例还提供了一种集成电路，该集成电路包括：基板和芯片，该芯片被塑封材料全包裹，该芯片上设有导体柱，导体柱穿过塑封材料，芯片支撑于基板上，该导体柱的第一端被耦合至芯片的内部电路，导体柱的第二端被耦合至基板上的电路。

上述集成电路中，塑封材料全包裹芯片，在对芯片各个面保护的同时还可以平衡各个方向上芯片与塑封材料之间的应力，进而避免芯片在某一方向上应力过大导致的芯片的开裂、崩边等问题，提高封装芯片结构的长期可靠性。

在第四方面的一种实现中，塑封材料形成一体成型结构，可避免出现现有技术中多次

形成的塑封材料之间的分界面，进而防止外界水蒸气通过分界面进入到芯片引起芯片的失效，提高该塑封材料形成塑封结构的密封性，以及提高芯片的长期可靠性。

在第四方面的又一种实现中，塑封材料的外表面与导体柱第二端的端面齐平。

进一步地，导体柱的第二端上设有焊球，该焊球用于与基板上的电路直接焊接或通过引线焊接。该芯片封装结构中焊球位于塑封材料外，不会限制焊球在高温焊接时焊料合金的自由熔融和凝固过程，提高芯片与外电路的焊接的牢固性。

在第四方面的又一种实现中，该芯片可以包括：

裸芯片；

第一绝缘层，该第一绝缘层覆盖裸芯片；

重布线层，该重布线层设于第一绝缘层背对裸芯片的表面，且填充贯穿第一绝缘层的第一过孔，耦合至裸芯片的内部电路；

第二绝缘层，该第二绝缘层覆盖第一绝缘层以及部分覆盖重布线层，且开设用于显露部分所述重布线层的第二过孔；

导体柱，导体柱填充第二过孔，该导体柱的第一端电连接至裸芯片的内部电路，导体柱的第二端的端面高于第二绝缘层背对裸芯片的表面。

进一步地，裸芯片的表面包括一个或多个无源器件。

进一步地，第一绝缘层的厚度为 20 um -120 um。

附图说明

图 1 为本申请实施例提供的一种芯片封装结构的结构示意图；

图 2 为本申请实施例提供的另一种芯片封装结构的结构示意图；

图 3 为本申请实施例提供的一种芯片封装方法的流程示意图；

图 4 为本申请实施例提供的另一种芯片封装方法的流程示意图；

图 5A-5O 为本申请实施例提供的一种芯片封装方法的各流程对应的结构示意图；

图 6 为本申请实施例提供的一种集成电路的结构示意图；

图 7 为本申请实施例提供的一种集成电路设备的结构示意图。

具体实施方式

为便于理解，首先对一些概念和背景进行简单介绍。

印制电路板 (Printed Circuit Board, PCB)，是重要的电子部件，是电子元器件的支撑体，是电子元器件电气连接的载体。由于它是采用电子印刷术制作的，故被称为“印刷”电路板。通过板级表面组装技术 (surface mount technology, SMT) 实现芯片的 I/O 端与 PCB 的电气连接。

晶圆 (wafer)，指硅半导体集成电路制作所用的硅晶圆，由于其形状为圆形，故称为晶圆。在硅晶圆上可加工制作成各种电路元件结构，而成为有特定电性功能的 IC 产品

晶片 (die)，指晶圆切割下来的一个小块，为一个芯片。在晶圆未封装前，晶圆上的芯片或晶圆切割得到的芯片称为裸芯片。

无源元件，也称被动元件 (passive components)，指在电路中不需要加电源即可在有信号时工作的元件，主要是电阻类、电感类和电容类的元件。

集成无源元件 (Integrated Passive Devices, IPD) 将分立的无源元件集成在衬底的内部，提高器件系统集成度，以减小整个产品的尺寸和重量。

半包裹，本申请中指塑封材料包裹芯片的部分表面，裸露芯片中非导体柱的部件，该导体柱为芯片上用于耦合外电路的连接端，也就是说芯片的至少一个表面未被塑封材料覆盖。通常芯片包括上表面、下表面以及四个侧面，例如，现有技术中，塑封材料通常包裹芯片中硅衬底上表面的部件 (如，芯片的内部电路、重布线层等)，而硅衬底的下表面通常无塑封材料保护。

全包裹，本申请中指包裹芯片的各个表面，但芯片上用于耦合外电路的导体柱背对芯片的端面除外。在本申请实施例中，塑封材料全包裹芯片即为塑封材料包裹芯片上除导体柱背对芯片的端面之外的各个部分。

通常 WLCSP 封装芯片包括硅层 (裸芯片)、重布线层以及用于芯片电连接外电路的焊球。该 WLCSP 的封装方式可能带来如下问题：

- (1) 在芯片切割过程中可能会出现硅层部分开裂、崩边的质量问题。
- (2) 芯片封装后芯片的背面是裸露的硅层，由于硅材料的脆性，不能承受后续电测试施加的压力，使得 WLCSP 封装芯片不能做测试而直接在板级使用，导致使用了该 WLCSP 封装芯片的产品次品率上升。
- (3) 由于硅层、重布线层、塑封材料的膨胀系数不同，导致在 WLCSP 封装芯片在板级高温制程过程中出现“爆米花”问题，影响长期可靠性差。

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚地描述。

本申请实施例中芯片为待封装芯片，可以是存储器 (Memory)、微机电系统 (Micro-Electro-Mechanical System, 简称 MEMS)、微波射频芯片、专用集成电路 (Application Specific Integrated Circuit, 简称 ASIC) 等芯片。应理解，这里所列举的芯片仅为示例性说明，本申请对此不作限定。

如图 1 所示芯片封装结构的示意图，该芯片封装结构包括芯片 11 和全包裹该芯片 11 的塑封材料 12。其中，芯片 11 具有相对的第一表面和第二表面，芯片 11 的第一表面具有导体柱 111，该导体柱 111 一端被耦合至芯片 11 的内部电路，导体柱 111 的第二端用于芯片 11 耦合外电路。该导体柱 111 穿过塑封材料 12，即导体柱 111 的第二端的端面高于第一表面，并显露于塑封材料 12 外。应理解，导体柱 111 的第一端和第二端为导体柱 111 相对的两端；外电路为芯片之外的电路，可以是基板上的电路。

可见，该芯片封装结构通过塑封材料 12 全包裹芯片 11，在对芯片 11 各个面保护的同时还可以平衡各个方向上芯片 11 与塑封材料 12 之间的应力，进而避免芯片 11 在某一方向上应力过大导致的芯片 11 的开裂、崩边等问题，提高封装芯片结构的长期可靠性。

如图 2 所示的芯片封装结构，芯片 11 可以是初步封装的芯片，该芯片 11 包括裸芯片 112、第一绝缘层 113、重布线层 114、第二绝缘层 115 以及导体柱 111。其中，第一绝缘层

113 覆盖裸芯片 114；重布线层 114 设于第一绝缘层 113 背对裸芯片 112 的表面，且填充贯穿第一绝缘层 113 的第一过孔 116，耦合至裸芯片 11 的内部电路；第二绝缘层 115 覆盖第一绝缘层 113 以及部分覆盖重布线层 114，且开设用于显露部分重布线层 114 的第二过孔 117；导体柱 111 填充第二过孔 117，导体柱 111 的第一端电连接至裸芯片 112 的内部电路，导体柱 111 的第二端的端面高于第二绝缘层 115 背对裸芯片 112 的表面。

可选地，芯片 11 可以就是裸芯片，该芯片 11 在制备时，芯片 11 第一表面的信号连接端被制备成导体柱，该导体柱的端面高于芯片的第一表面。通常芯片 11 的第一表面为芯片 11 上包括有源元件的表面。信号连接段可以是芯片 11 中内部电路的输出端和/或输入端。

可选地，塑封材料 12 为一体成型结构，进而避免出现现有技术中多次形成的塑封材料之间的分界面，进而防止外界水蒸气通过分界面进入到芯片引起芯片的失效，提高塑封膜的密封性，以及提高芯片的长期可靠性。

可选地，塑封材料 12 的膨胀系数小于第一绝缘层 113 的膨胀系数和第二绝缘层 115 的膨胀系数，当芯片封装结构在后续的工序需要加热时或芯片工作时会产生热，芯片 11 受热会产生膨胀，塑封材料 12 能够对其内部的芯片 11 产生作用力，均衡降低芯片 11 的膨胀程度，进而避免芯片的开裂、崩边，进一步地提高封装芯片结构的长期可靠性。

可选地，塑封材料 12 的外表面与导体柱 111 的端面齐平，如图 1 所示。

可选地，该芯片封装结构还包括设置于导体柱 111 的第二端上的焊球 13。该芯片封装结构中焊球 13 位于塑封材料外，不会限制焊球 13 在高温焊接时焊料合金的自由熔融和凝固过程，提高芯片与外电路的焊接的牢固性。可以理解，焊球 13 不是本申请实施例中必须的部件，根据芯片具体使用场景的不同，该芯片封装结构可以无焊球 13，而直接裸露裸芯片 112 或芯片封装结构的导体柱 111，或者在导体柱 111 上进行有机保焊膜（Organic Solderability Preservatives, OSP）、化学镍金（Electroless Nickel/Immersion Gold, ENIG）、化学镀锡等表面处理工艺后使用。

本申请一实施例中，裸芯片 112 的表面包括一个或多个无源器件，以增强芯片的功能其中，该无源器件可以是集成无源元件 118（IPD）和/或独立的无源元件 119。

可以理解，当裸芯片 112 的表面包括一个或多个无源器件时，第一绝缘层 113 的厚度大于该任意一个无源器件的厚度。可选地，该第一绝缘层的厚度可以是 20 μm -120 μm 。

可选地，该芯片封装结构还可以包括基板，被封装材料包裹的芯片可以设置于基板上表面，也可挂在基板的下表面，本申请实施例以不作限定。基板上可以包括电路，焊球可以通过引线连接至基板上电路，实现芯片内部电路与基板上电路的耦合。可选地，焊球或导体柱也可以直接焊接在基板上。

需要说明的是，第一绝缘层 113 或第二绝缘层 115 可以是平坦化层。第一绝缘层 113 或第二绝缘层 115 可以由无机绝缘材料或有机绝缘材料构成。其中，无机绝缘材料可以是二氧化硅（ SiO_2 ）、氮化硅（ SiN_4 ）等，有机绝缘材料可以是高分子聚合物或树脂等。通常，第一绝缘层 113 或第二绝缘层 115 为聚合物薄膜，如光敏性的聚酰亚胺（polyimide, PI）、聚苯并恶唑（polybenzoxazole, PBO）等。

塑封材料 12 的材质可以环氧树脂(Epoxy Molding Compound, EMC)、聚乙烯、聚丙烯、聚烯烃、聚酰胺、聚亚氨酯等中的一种或多种的组合。例如塑封材料 12 为环氧树脂模塑料。

请参阅图 3-图 4，图 3、图 4 是本申请实施例提供的两种芯片封装方法的流程示意图。请一并参阅图 5A-5O 所示的对应于图 4 所示的芯片封装方法的中各个步骤所得到的芯片封装结构的截面示意图。

步骤 S1：提供多个芯片，该芯片具有相对的第一表面和第二表面，芯片的第一表面上设有导体柱，该导体柱的第一端被耦合至芯片的内部电路，导体柱的第二端用于该芯片耦合外电路。导体柱的第二端的端面高于第一表面。

本申请一实施例中，芯片可以是裸芯片，该芯片在制备时，芯片第一表面的信号连接端被制备成导体柱，该导体柱的端面高于芯片的第一表面。通常芯片的第一表面为芯片上包括有缘元件的表面。

可选地，该芯片的第一表面还可以包括 IPD，无源元件可以在芯片制备时被集成在芯片上。

本申请一实施例中，芯片可以是经过初步封装过程后的芯片，该初步封装的过程（即步骤 S1）可以包括以下步骤：

步骤 S11：提供一晶圆 51，该晶圆 51 包括多个裸芯片 511。请一并参阅图 5A。

本发明一实施例中，该裸芯片 511 上可以包括一个或多个无源器件，以增强芯片的功能。无源器件可以是 IPD512 或者独立的无源元件 513 可以在芯片制备过程中，连接在裸芯片 511 的表面上。

步骤 S12：在晶圆 51 的表面上形成覆盖该多个裸芯片 511 的第一绝缘层 52。请一并参阅图 5B。

可选地，第一绝缘层 52 可以是平坦化层。第一绝缘层 52 可以由无机绝缘材料或有机绝缘材料构成。其中，无机绝缘材料可以是二氧化硅（ SiO_2 ）、氮化硅（ SiN_4 ）等，有机绝缘材料可以是高分子聚合物或树脂等。通常，第一绝缘层 52 为聚合物薄膜，如光敏性的聚酰亚胺（polyimide, PI）、聚苯并恶唑（polybenzoxazole, PBO）等。

其中，形成该平坦化的第一绝缘层 52 的方法可以包括但不限于以下方式：

对于不包含无源器件 512 的裸芯片 511 来说，制备的第一绝缘层 52 可以较薄，可以通过旋涂法（spin coating）来形成第一绝缘层 52。旋涂工艺通常包括配料，高速旋转，挥发成膜三个步骤，通过控制匀胶的时间，转速，滴液量以及所用溶液的浓度、粘度来控制成膜的厚度。

对于设置了无源器件的裸芯片 511 上时，由于无源器件本身存在较大的厚度，第一绝缘层 52 需要完全覆盖无源器件，使得第一绝缘层 52 的厚度必须大于任意一个无源器件的厚度。此时，可以将第一材料（如 PI）形成的干膜（dry film）平铺在晶圆上，通过加热，使得干膜熔融并在晶圆上流动以使形成的聚合物薄膜趋于平坦化以及挥发干膜内溶剂，固化形成第一绝缘层。该第一绝缘层的制备方式可以克服旋涂法不能制备较厚的第一绝缘层的缺点，是实现包括 IPD 和被动元件的芯片封装中的重要一道工序。

可选地，当晶圆 1 上包括无源器件时，第一绝缘层 52 的厚度大于该任意一个无源器件的厚度，可选地，第一绝缘层 52 的厚度可以是 20 μm -120 μm 。

可以理解，第一绝缘层 52 还包括其他制备方式，本申请实施例不作限定。

步骤 S13: 在第一绝缘层 52 上开设第一过孔 520, 该第一过孔 520 用于暴露裸芯片 511 的信号连接端(图中未示出)。其中, 信号连接端用于裸芯片 511 的内部电路耦合至外电路, 可以包括输入端和/或输出端。请一并参阅图 5C。

其中, 信号连接端可以是设于晶圆 51 表面上的焊盘或电极等, 为裸芯片 511 的输入端或输出端, 用于裸芯片 511 耦合至外电路。

若第一绝缘层 52 为无机绝缘材料时, 可以通过光刻工艺在第一绝缘层 52 上形成第一过孔 520。例如, 在第一绝缘层 52 上涂布光刻胶, 通过光罩部分曝光光刻胶, 再通过显影液部分去除光刻胶, 形成图案化的光刻胶, 进而以图案化的光刻胶为掩膜刻蚀第一绝缘层 52, 在第一绝缘层 52 上光罩遮挡的位置形成贯穿第一绝缘层 52 的第一过孔 520。

若第一绝缘层 52 为光刻胶时, 可以通过光罩和显影工艺在第一绝缘层 52 上形成第一过孔 520。例如, 第一绝缘层 52 为负光刻胶, 通过光罩遮挡第一绝缘层 52 上与裸芯片的输入端和/或输出端对应的位置, 曝光第一绝缘层 52 上其他位置, 进而通过显影液去除未被曝光的光刻胶, 形在第一绝缘层 52 上光罩遮挡的位置形成贯穿第一绝缘层 52 的第一过孔 520。

其中, 刻蚀或刻蚀工艺包括干刻和湿刻, 以被刻蚀材料的特性来选择。

可以理解, 第一过孔 520 还可以包括其他的形成方式, 例如激光钻孔的方式等, 本申请实施例不作限定。

步骤 S14: 在第一绝缘层 52 背离晶圆 51 的表面上形成重布线层 53, 该重布线层 53 填充第一过孔 520 并连接至信号连接端。请一并参阅图 5D。

其中, 重布线层 53 由导电材料形成, 该导电材料可以是金属, 如铜 (Cu)、银 (Ag)、铝 (Al) 或其他金属或金属的合金等, 该导电材料还可以是氧化铟锡 (ITO)、石墨、石墨烯等, 本申请实施例不作限定。而且, 各个裸芯片 511 上的重布线层 53 之间是相互独立的、绝缘的。

步骤 S14 的一种实现方式可以是: 通过镀膜工艺在第一绝缘层 52 上形成第一导电层, 在通过光刻工艺图案化该第一导电层, 形成重布线层 53。

步骤 S15: 形成覆盖重布线层 53 和第一绝缘层 52 的第二绝缘层 54。请一并参阅图 5E。

可选地, 第二绝缘层 54 可以是平坦化层。第二绝缘层 54 可以由无机绝缘材料或有机绝缘材料构成。其中, 无机绝缘材料可以是二氧化硅 (SiO_2)、氮化硅 (SiN_4) 等, 有机绝缘材料可以是高分子聚合物或树脂等。通常, 第二绝缘层 54 为聚合物薄膜, 如光敏性的聚酰亚胺 (polyimide, PI)、聚苯并恶唑 (polybenzoxazole, PBO) 等。

通常重布线层 53 厚度较小, 覆盖该重布线层 53 的第二绝缘层 54 的厚度不小于重布线层 53 的厚度。形成第二绝缘层 54 的方法可以包括但不限于以下方式:

可以通过旋涂法 (spin coating) 来在第一绝缘层 52 和重布线层 53 的背离晶圆 51 的表面形成平坦化的第二绝缘层 54。旋涂工艺通常包括配料, 高速旋转, 挥发成膜三个步骤, 通过控制匀胶的时间, 转速, 滴液量以及所用溶液的浓度、粘度来控制成膜的厚度。

也可以通过化学气相沉积法在第一绝缘层 52 和重布线层 53 的背离晶圆 51 的表面形成第二绝缘层 54。

可以理解, 第二绝缘层 54 还包括其他制备方式, 本申请实施例不作限定。

可选地，第二绝缘层 54 的厚度可以是 5-30um。

步骤 S16: 在第二绝缘层 54 上开设第二过孔 540，该第二过孔 540 用于部分暴露重布线层 53。请一并参阅图 5F。

同第一过孔 520 的形成方法，若第二绝缘层 54 为无机绝缘材料时，可以通过光刻工艺在第二绝缘层 54 上形成第二过孔 540。具体的，在第二绝缘层 54 上涂布光刻胶，通过光罩部分曝光光刻胶，再通过显影液部分去除光刻胶，形成图案化的光刻胶，进而以图案化的光刻胶为掩膜刻蚀第二绝缘层 54，在第二绝缘层 54 上光罩遮挡的位置形成贯穿第二绝缘层 54 的第二过孔 540。

若第二绝缘层 54 为光刻胶时，可以通过光罩和显影工艺在第二绝缘层 54 上形成第二过孔 540。具体的，若第二绝缘层 54 为负光刻胶，通过光罩遮挡第二绝缘层 54 上与部分重布线层 53 对应的位置，曝光第二绝缘层 54 上其他位置，进而通过显影液去除未被曝光的光刻胶，形在第二绝缘层 54 上光罩遮挡的位置形成贯穿第二绝缘层 54 的第二过孔 540。

可以理解，第二过孔 540 还可以包括其他的形成方式，例如激光钻孔的方式等，本申请实施例不作限定。

步骤 S17: 形成填充第二过孔 540 的导体柱 55，该导体柱 55 的第一端电连接至裸芯片 511 的内部电路，该导体柱 55 的第二端的端面高于第二绝缘层 54 上背对裸芯片 511 的表面。请一并参阅图 5G。

其中，导体柱 55 由导电材料形成，该导电材料可以是金属，如铜 (Cu)、银 (Ag)、锡 (Sn)、铝 (Al) 或其他金属或金属的合金等，该导电材料还可以是氧化铟锡 (ITO)、石墨、石墨烯等，本申请实施例不作限定。

步骤 S17 的一种实现方式可以是：通过镀膜工艺在第二绝缘层 54 上形成第二导电层，在通过光刻工艺图案化该第二导电层，形成导体柱 55。导电柱 55 的直径可以为 100-1000um。

导体柱还可以是其他制备方法，比如电镀法、印刷，焊接或其组合，本申请实施例不作限定。

步骤 S18: 切割晶圆，得到与多个裸芯片一一对应的芯片。切割可以采用机械切割、激光切割或其结合等方式。请一并参阅图 5H 和图 5I。

步骤 S2: 将导体柱 55 的第二端粘结在承载基板 56 上，以在承载基板 56 上固定芯片，相邻的芯片之间具有间隙。请一并参阅图 5J。

具体的，提供一承载基板 56，在该承载基板 56 上涂布胶层 57，将一芯片倒置，将导体柱 55 的端面通过胶层 57 粘结在承载基板 56 上。同理，将得到的多个芯片阵列排布，间隔粘结在承载基板 56。请一并参阅图 5K 所示的一种芯片阵列结构的截面图。

其中，承载基板 56 用于承载塑封材料，以形成塑封材料。胶层 57 粘结导体柱 55 与承载基板 56，以固定芯片。

步骤 S3: 形成全包裹芯片的塑封材料 58。应理解，导体柱 55 与承载基板 56 之间存在空隙，塑封材料 58 可以填充导体柱 55 和承载基板 56 之间的空隙，导体柱贯穿塑封材料 58，进而全包裹芯片。请一并参阅图 5L。

其中，塑封材料 58 的材料可以是塑封材料，该塑封材料为环氧树脂、聚乙烯、聚丙烯、聚烯烃、聚酰胺、聚亚氨酯等。例如环氧树脂模塑料(Epoxy Molding Compound, EMC)。

EMC 是以环氧树脂为基体树脂，以酚醛树脂为固化剂，再加上一些辅助添加剂，如填充剂、阻燃剂、着色剂、偶联剂等。在热和固化剂的作用下环氧树脂的环氧基开环与酚醛树脂发生化学反应，产生交联固化作用使之成为热固性塑料。

具体的，将低粘度的塑封材料滴灌在承载基板 56 和芯片的第二表面，塑封材料填充芯片的第一表面与承载基板 56 之间的空隙，并包裹芯片，当塑封材料的厚度达到预设厚度之后，对塑封材料进行加热固化，形成塑封材料 58。

应理解，芯片表面上塑封材料 58 的厚度越厚，塑封材料 58 控制芯片的翘曲变形的力度越大。芯片的尺寸越大，其翘曲变形的程度越大。因而，可以通过控制芯片第一表面和第二表面上塑封材料 58 的厚度来控制对芯片封装结构中芯片的翘曲变形的控制力度；通过加厚芯片第一表面和第二表面上塑封材料 58，实现对大尺寸芯片（例如 8mm*8mm 芯片）的封装。

由于导体柱通常采用镀膜的方法制备，其高度可以精确控制。通过控制对导体柱高度，可以精确控制芯片的第一表面上塑封材料的厚度，以得到特定厚度的塑封材料封装的芯片。

步骤 S4：基于芯片之前的间隙切割塑封材料 58 并去除承载基板 56，以得到多个芯片封装结构。请一并参阅图 5M-5O 所示的芯片封装结构。

可选地，步骤 S3、S4 或除承载基板 56 之后，该方法还包括：步骤 S31，在导体柱 55 的第二端上形成焊球 59，即植球，以便芯片通过焊球 59 电连接外电路。通过该方法得到的焊球 59 位于塑封材料 58 外，不会限制焊球 59 在高温焊接时焊料合金的自由熔融和凝固过程，提高芯片与外电路的焊接的牢固性。

可选地，S4 之后，还可以在在导体柱 111 上进行有机保焊膜（Organic Solderability Preservatives, OSP）、化学镍金（Electroless Nickel/Immersion Gold, ENIG）、化学镀锡等表面处理工艺。

可以先去除承载基板 56 再切割，也可以先切割在去除承载基板 56，本申请实施例以先去除承载基板 56、植球再切割为例来说明。

当去除胶层 57 和承载基板 56 后，得到如图 5M 所示的芯片封装结构；当导体柱 55 的端面形成焊球 59 后，得到如图 5N 所示的芯片封装结构；当基于芯片之间的间隙切割塑封材料 58 后得到如图 5O 所示的芯片封装结构。

可见，本申请实施例提供的芯片封装方法，通过提供多个芯片，该芯片第一表面上设有导体柱，导体柱的第一端被耦合至芯片的内部电路，导体柱的第二端用于芯片耦合外电路，导体柱的第二端的端面高于第一表面，将芯片通过导体柱的第二端粘结在承载基板上，导体柱与承载基板之间存在空隙，塑封材料可以填充导体柱和承载基板之间的空隙，进而全包裹芯片，全包裹芯片的塑封材料在对芯片各个表面保护的同时还可以平衡各个方向上芯片与塑封材料之间的应力，进而避免芯片在某一方向上应力过大导致的芯片的开裂、崩边等问题，提高封装芯片结构的长期可靠性。

而且，全包裹芯片的塑封材料一次成型，可避免出现现有技术中多次形成的塑封材料之间的分界面，进而防止外界水蒸气通过分界面进入到芯片引起芯片的失效，提高该塑封材料形成塑封结构的密封性，以及提高芯片的长期可靠性。

进一步地，由于塑封材料固化后形成的塑封材料具有较强的机械强度，可以承受测试

的压力。

进一步地，现有技术中芯片封装结构大量采用过程胶，得到的芯片封装结构中部分过程胶永久性存在。由于半导体材料、塑封材料、胶材料热膨胀系数的不同，芯片在温度变化的环境中，胶材料会引起芯片产生应力，进而引起芯片的变形，该芯片封装方法得到的芯片封装结构内部不包含过程胶，可避免过程胶对芯片的影响，进一步提高封装芯片结构的长期可靠性。

上述芯片封装结构或芯片封装方法制备形成的芯片，进一步地可以应用于集成电路中。请参阅图 6，图 6 是本申请实施例提供的一种集成电路的结构示意图，该集成电路包括：基板 61 和芯片 62，该芯片 62 被塑封材料 63 全包裹，该芯片 62 上设有导体柱 621，导体柱 621 穿过塑封材料 63，芯片 62 支撑于基板 61 上，该导体柱 621 的第一端被耦合至芯片 62 的内部电路，导体柱 621 的第二端被耦合至基板 61 上的电路。

可选地，芯片 62 可以设置于基板 61 的上表面（如图 6），也可挂在基板 61 的下表面，本申请实施例以不作限定。可以理解，基板 61 上设有电路，还可以集成有其他芯片，以增强集成电路的功能。

其中，塑封材料 63 与芯片 62 形成的芯片封装结构可以是上述芯片封装结构中任意一种芯片封装结构，可参见上述图 1、图 2 芯片封装结构实施例中相关描述，本申请不再赘述。例如，如图 6 所示的芯片 62 为初步封装的芯片，该芯片 62 包括导体柱 621、裸芯片 622、第一绝缘层 623、重布线层 624 以及第二绝缘层 625。关于导体柱 621、裸芯片 622、第一绝缘层 623、重布线层 624 以及第二绝缘层 625 的位置关系可分别参见上述图 1 中导体柱 111、裸芯片 112、第一绝缘层 113、重布线层 114 以及第二绝缘层 115 相关描述，本申请实施例不再赘述。

通常，芯片 62 的导体柱 621 或者导体柱 621 上焊球可以与基板 61 的电路直接焊接或者通过引线缝合工艺进行连接，以实现芯片 62 中内部电路与基板 61 上电路的耦合。

在一种具体实现中，集成电路可以集成有中央处理器（central processing unit, CPU）、存储器等。

上述芯片封装结构、芯片封装方法制备形成的芯片或集成电路，进一步地可以应用于集成电路设备中。请参阅图 7，图 7 是本申请实施例提供的一种集成电路设备的结构示意图，该集成电路设备包括集成电路 71，该集成电路 71 可以是图 6 所示的集成电路，具体可参见图 6 所述的集成电路中相关描述，本申请实施例不再赘述。

在一种具体实现中，集成电路 71 可以集成有 CPU、存储器等。可选地，该集成电路设备还可以包括电源管理模块 72，用于对集成电路 71 进行供电。可选地，该集成电路设备还可以包括通信模块 73、输入模块 74 和/或输出模块 75 等。其中，通信模块 73 用于实现集成电路设备与其他设备或互联网的通信连接；输入模块 74 用于实现用户将信息输入到集成电路设备，可以包括，触控面板、键盘、摄像头等；输出模块 75 用于实现集成电路设备向用户输出信息，可以包括显示面板等。应理解，电源管理模块 72、通信模块 73、输入模块 74 和/或输出模块 75 不是集成电路设备必须的组成部件；电源管理模块 72、通信模块 73、输入模块 74 和/或输出模块 75 也可以集成在集成电路 71 中，或单独设置，耦合至集

成电路 71，本申请实施例不做限定。

本申请实施例中集成电路设备可以是包括集成电路 71 的电子设备，如智能手机、平板电脑、个人数字助理、电子书、计算机、服务器、智能手环、虚拟现实（Virtual Reality, VR）设备、增强现实（Augmented Reality, 简称 AR）设备、数字电视、机顶盒等。应理解，这里所列举的电子设备仅为示例性说明，本申请对此不作限定。

以上不同实施例之间可以交叉引用。例如当一个实施例对某一方面的技术细节做了简要描述，可进一步参考其他实施例的介绍。

应理解，在本申请的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不应对本申请实施例的实施过程构成任何限定。

还应理解，上述列举的芯片封装方法的各实施例，可以通过机器人或者数控加工方式来执行，用于执行芯片封装方法的设备软件或工艺可以通过执行保存在存储器中的计算机程序代码来执行上述芯片封装方法。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

权利要求

- 1、一种芯片封装结构，其特征在于，包括：芯片和全包裹所述芯片的塑封材料，所述芯片上设有导体柱，所述导体柱穿过所述塑封材料，所述导体柱的第一端被耦合至所述芯片的内部电路，所述导体柱的第二端用于所述芯片耦合外电路。
- 2、如权利要求1所述的芯片封装结构，其特征在于，所述塑封材料形成一体成型结构。
- 3、如权利要求1或2所述的芯片封装结构，其特征在于，所述塑封材料的外表面与所述导体柱的第二端的端面齐平。
- 4、如权利要求3所述的芯片封装结构，其特征在于，所述芯片封装结构还包括：设置于所述导体柱的第二端上的焊球。
- 5、如权利要求1-4任意一项权利要求所述的芯片封装结构，其特征在于，所述芯片包括：
裸芯片；
第一绝缘层，所述第一绝缘层覆盖所述裸芯片；
重布线层，所述重布线层设于所述第一绝缘层背对所述裸芯片的表面，且填充贯穿所述第一绝缘层的第一过孔，耦合至所述裸芯片的内部电路；
第二绝缘层，所述第二绝缘层覆盖所述第一绝缘层以及部分覆盖所述重布线层，且开设用于显露部分所述重布线层的第二过孔；
导体柱，所述导体柱填充所述第二过孔，所述导体柱的第一端耦合至所述裸芯片的内部电路，且所述导体柱的第二端的端面高于所述第二绝缘层背对所述裸芯片的表面。
- 6、如权利要求5所述的芯片封装结构，其特征在于，所述裸芯片的表面包括一个或多个无源器件。
- 7、如权利要求6所述的芯片封装结构，其特征在于，所述第一绝缘层的厚度为20 um-120 um。
- 8、一种集成电路设备，包括基板和芯片，所述芯片被塑封材料全包裹，所述芯片上设有导体柱，所述导体柱穿过所述塑封材料，所述芯片支撑于所述基板上，所述导体柱的第一端被耦合至所述芯片的内部电路，所述导体柱的第二端被耦合至所述基板上的电路。
- 9、如权利要求8所述的集成电路设备，其特征在于，所述塑封材料形成一体成型结构。
- 10、如权利要求8或9所述的集成电路设备，其特征在于，所述塑封材料的外表面与

所述导体柱的第二端的端面齐平。

11、如权利要求 8-10 任意一项权利要求所述的集成电路设备，其特征在于，所述导体柱的第二端上设有焊球，所述焊球用于与所述基板上的电路直接焊接或通过引线焊接。

12、如权利要求 8-11 任意一项权利要求所述的集成电路设备，其特征在于，所述芯片包括：

裸芯片；

第一绝缘层，所述第一绝缘层覆盖所述裸芯片；

重布线层，所述重布线层设于所述第一绝缘层背对所述裸芯片的表面，且填充贯穿所述第一绝缘层的第一过孔，耦合至接所述裸芯片的内部电路；

第二绝缘层，所述第二绝缘层覆盖所述第一绝缘层以及部分覆盖所述重布线层，且开设用于显露部分所述重布线层的第二过孔；

导体柱，所述导体柱填充所述第二过孔，所述导体柱的第一端耦合至裸芯片的内部电路，所述导体柱的第二端的端面高于所述第二绝缘层背对所述裸芯片的表面。

13、如权利要求 12 所述的集成电路设备，其特征在于，所述裸芯片的表面包括一个或多个无源器件。

14、如权利要求 13 所述的集成电路设备，其特征在于，所述第一绝缘层的厚度为 20 um -120 um。

15、一种芯片封装方法，其特征在于，包括：

提供多个芯片，所述芯片的第一表面上设有导体柱，所述导体柱的第一端被耦合至所述芯片的内部电路，所述导体柱的第二端用于所述芯片耦合外电路；

将所述导体柱的第二端粘结在承载基板上，以在所述承载基板上固定所述芯片，相邻的所述芯片之间具有间隙；

形成全包裹所述芯片的塑封材料；

基于所述间隙切割所述塑封材料并去除所述承载基板，以得到多个芯片封装结构。

16、如权利要求 15 所述的方法，其特征在于，所述去除所述承载基板之后，所述方法还包括：在所述导体柱的第二端上形成焊球，以便所述芯片通过所述焊球耦合所述外电路。

17、如权利要求 15 或 16 所述的方法，其特征在于，所述提供多个芯片包括：

提供一晶圆，所述晶圆包括多个裸芯片；

在所述晶圆的表面形成覆盖所述多个裸芯片的第一绝缘层；

在所述第一绝缘层上开设第一过孔，所述第一过孔用于暴露所述裸芯片的信号连接端，所述信号连接端用于所述裸芯片耦合至外电路；

在所述第一绝缘层背对所述晶圆的表面上形成重布线层，所述重布线层填充所述第一过孔并连接至所述信号连接端；

形成覆盖所述重布线层和所述第一绝缘层的第二绝缘层；

在所述第二绝缘层上开设第二过孔，所述第二过孔用于部分暴露所述重布线层；

形成填充所述第二过孔的导体柱，所述导体柱的第一端电连接至所述裸芯片的内部电路，所述导体柱的第二端的端面高于所述第二绝缘层背对所述裸芯片的表面；

切割所述第一绝缘层、所述第二绝缘层以及所述晶圆，得到与所述多个裸芯片一一对应的芯片。

18、如权利要求 17 任意一项权利要求所述的方法，其特征在于，所述裸芯片上还包括与所述裸芯片电连接的被动元件，所述在所述晶圆的表面形成覆盖所述多个裸芯片的第一绝缘层包括：

将第一材料组成的干膜放置在所述晶圆上；

加热所述干膜，固化形成第一绝缘层。

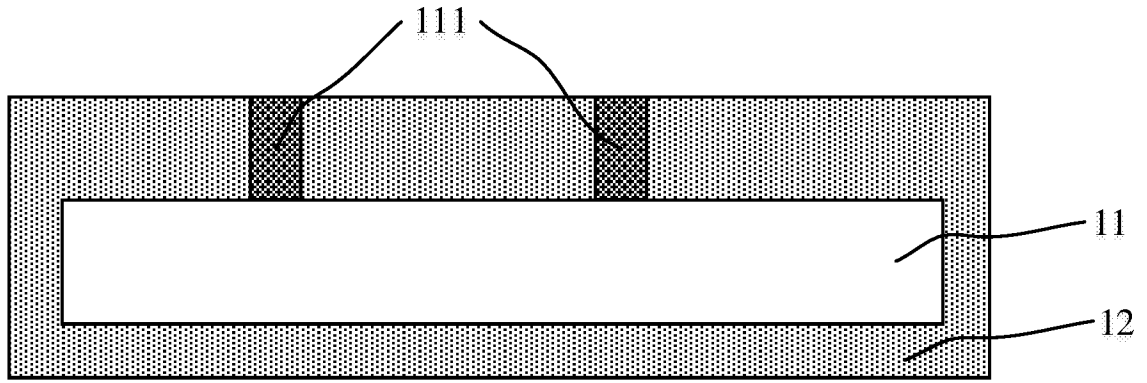


图 1

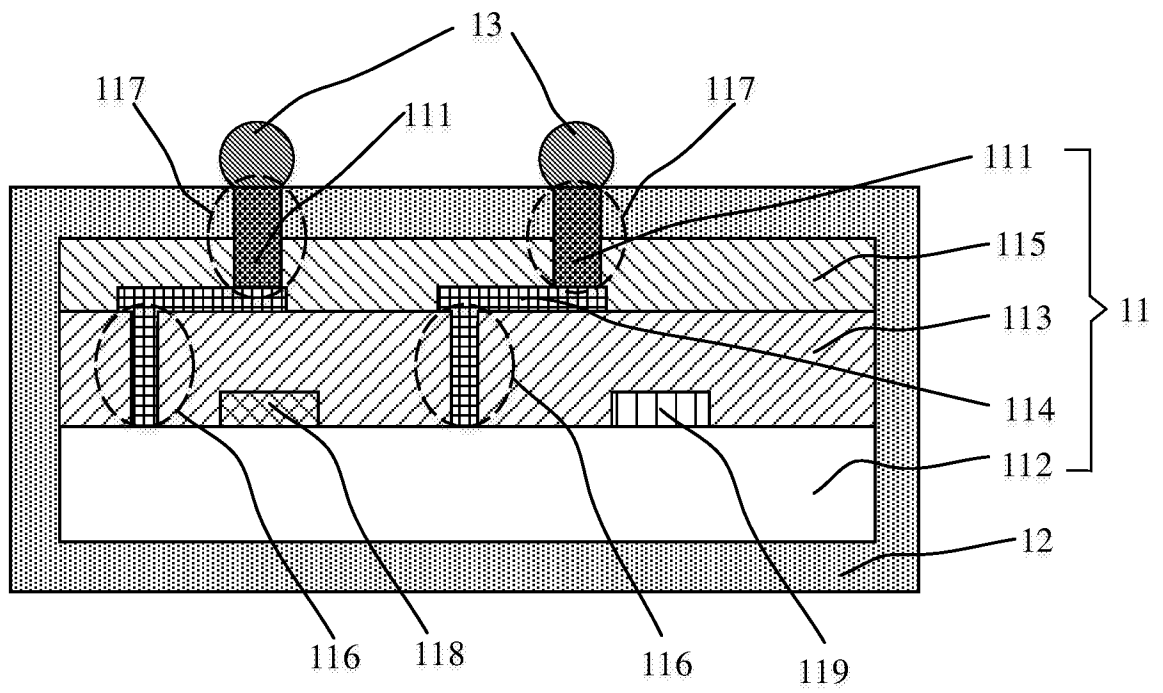


图 2

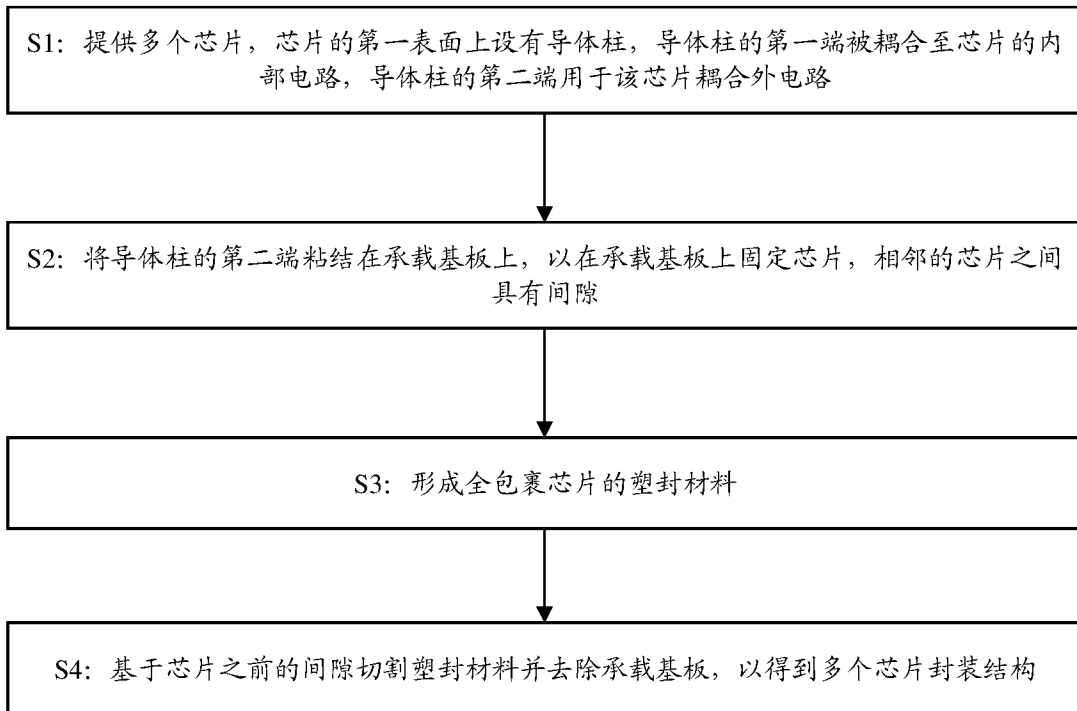


图 3

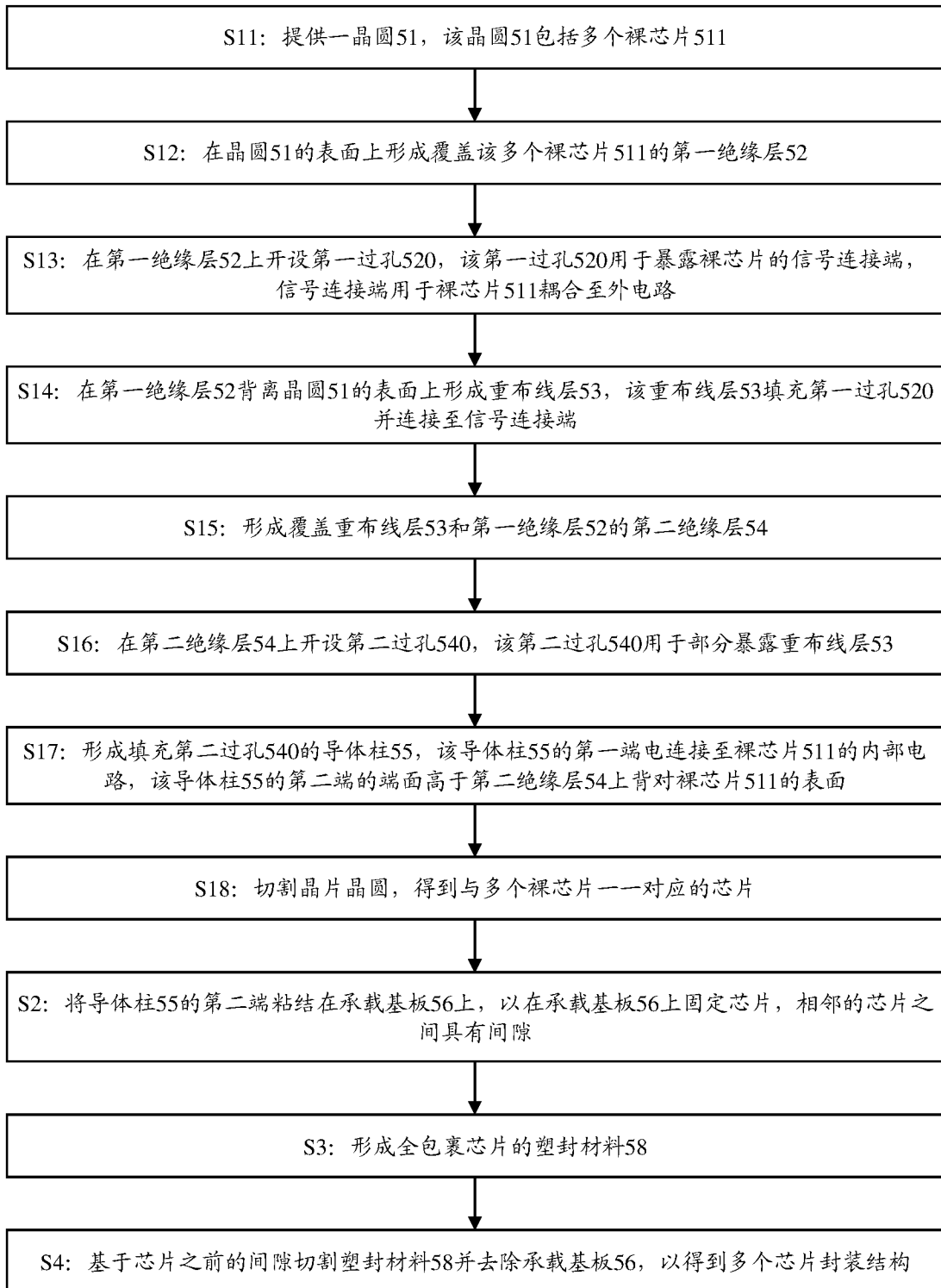


图 4

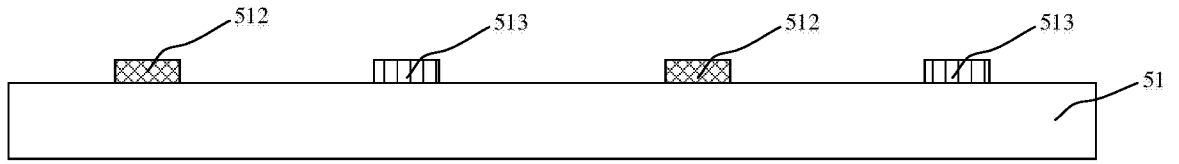


图 5A

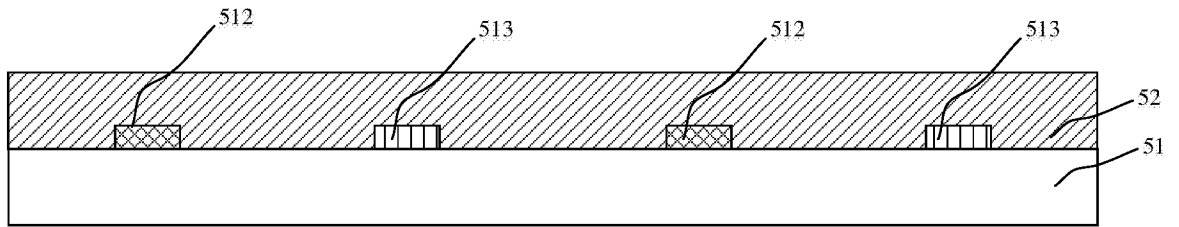


图 5B

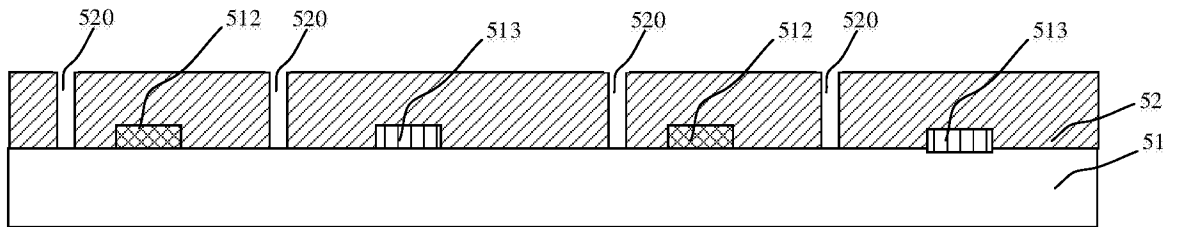


图 5C

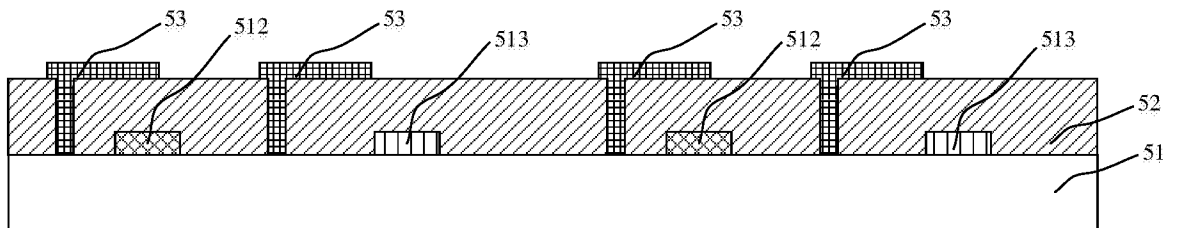


图 5D

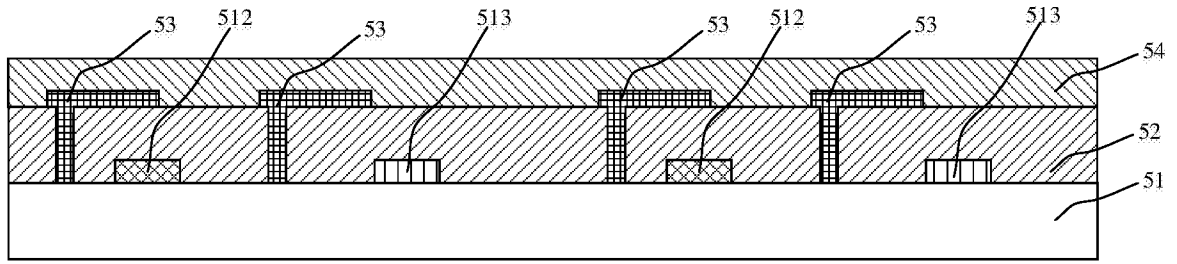


图 5E

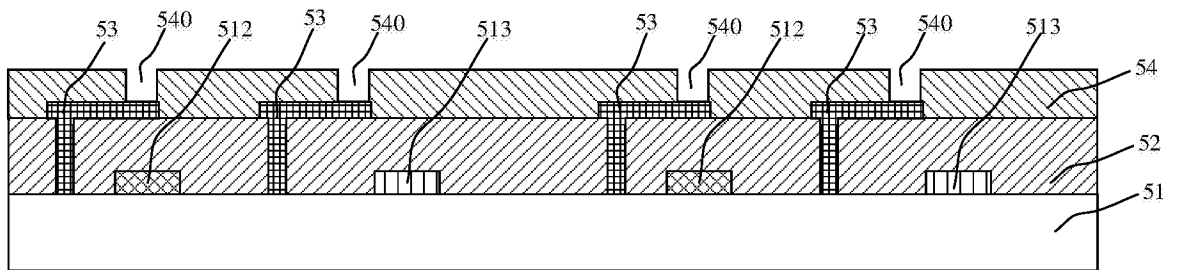


图 5F

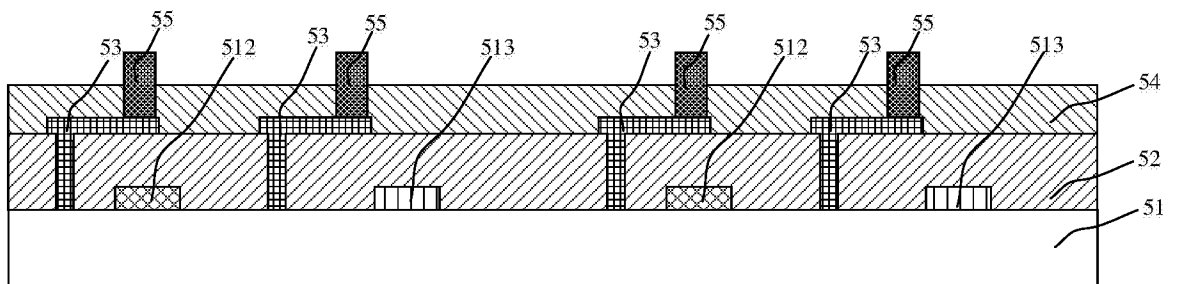


图 5G

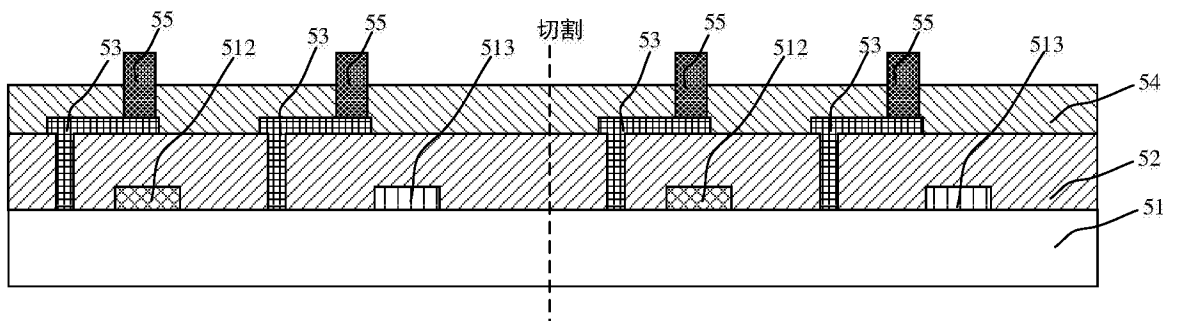


图 5H

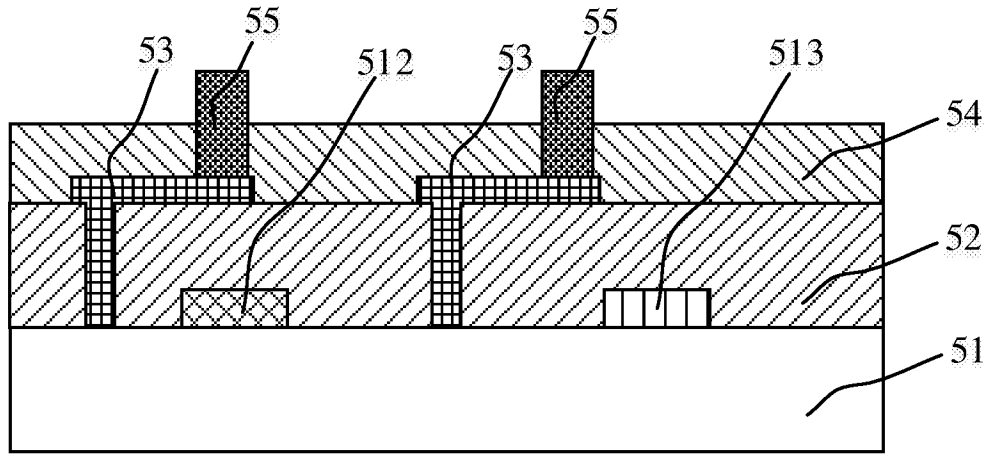


图 5I

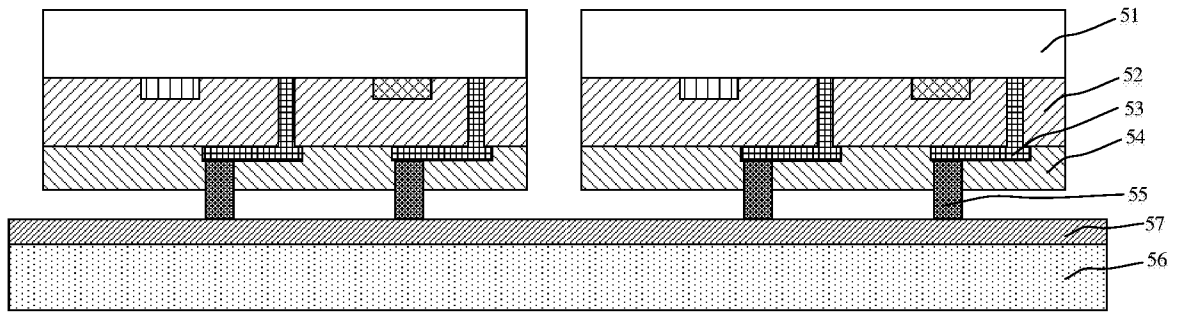


图 5J

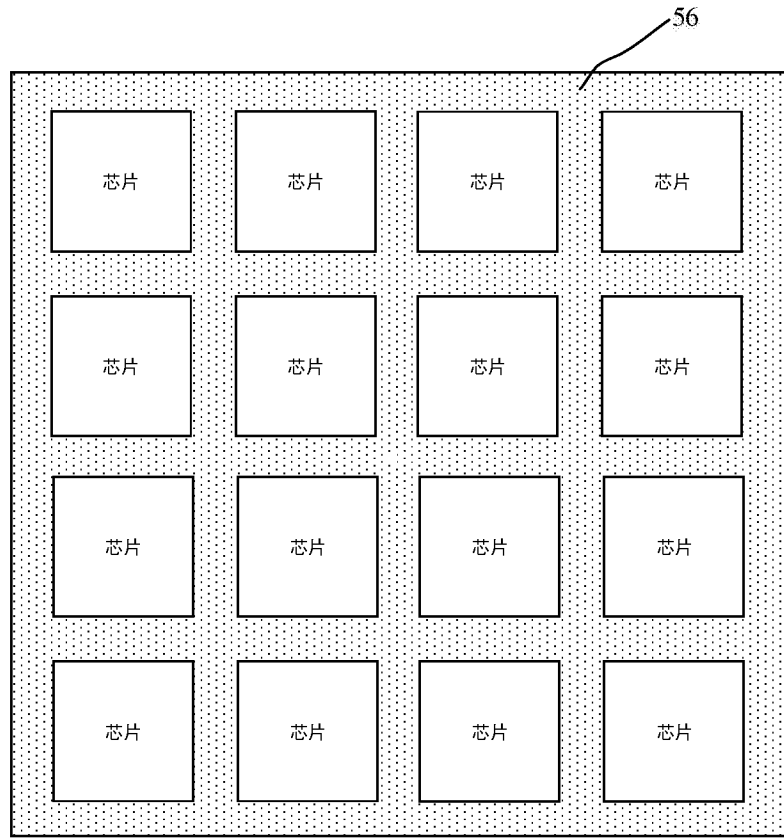


图 5K

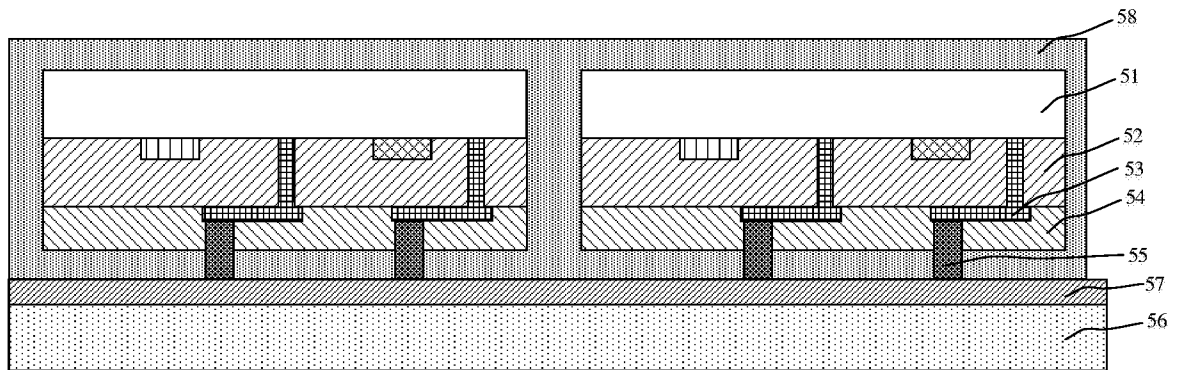


图 5L

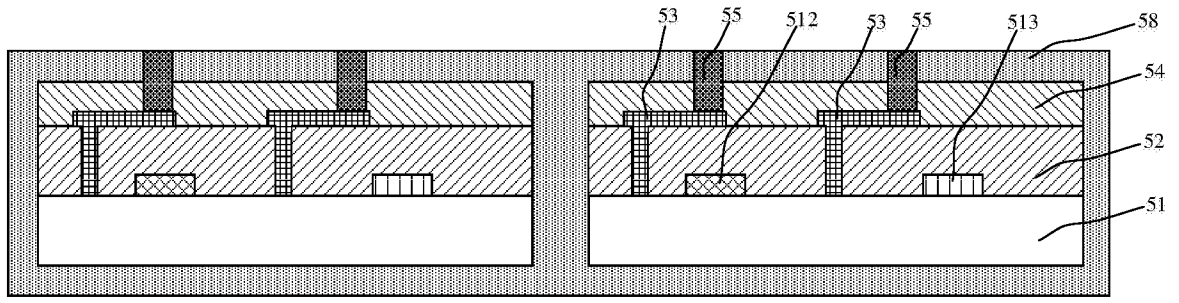


图 5M

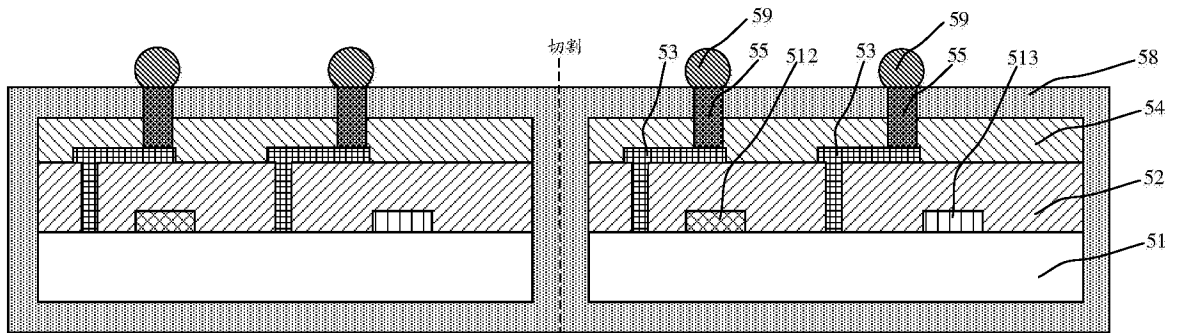


图 5N

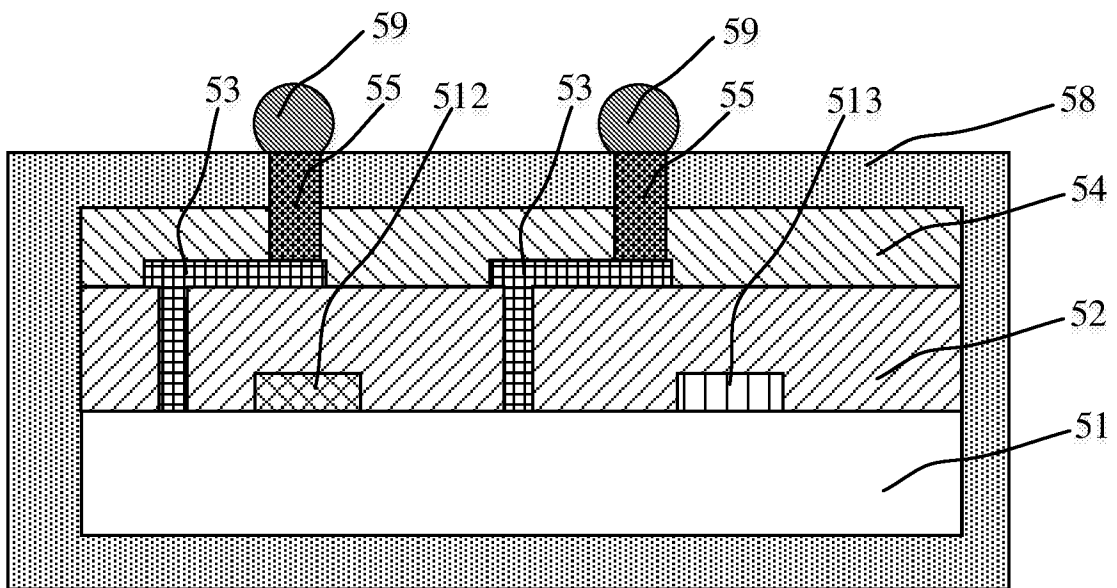


图 5O

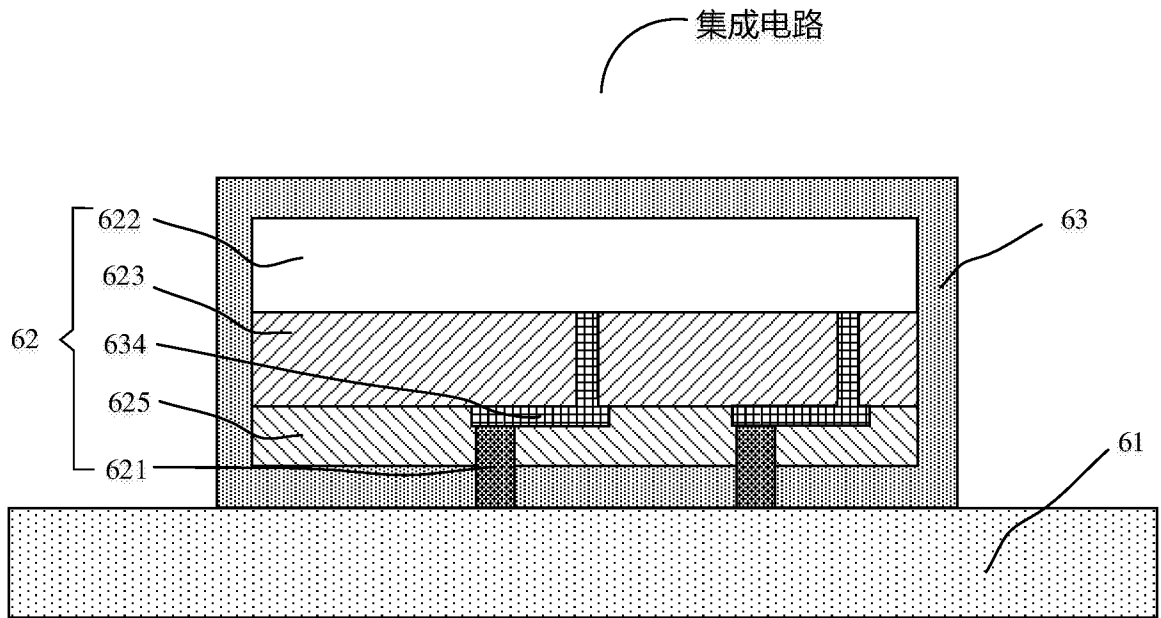


图 6

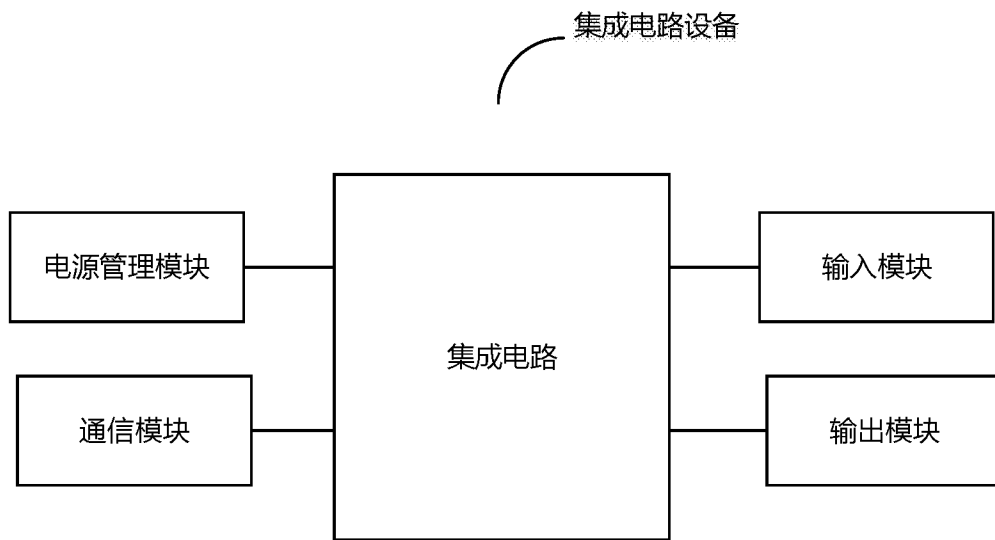


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/092861

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 21/60(2006.01)i; H01L 21/48(2006.01)i; H01L 21/56(2006.01)i; H01L 23/495(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
DWPI, CNABS, SIPOABS, CNKI: 芯片, 导电, 柱, 金属, 层, 焊帽, 倒装, 开口, 封装, chip, die, wafer, conductor, pole, column, ball, metal, layer, solder, bump, weld, flip, open, window, package		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104217969 A (NANTONG FUJITSU MICROELECTRONICS CO., LTD.) 17 December 2014 (2014-12-17) description, paragraphs [0030]-[0056], and figures 2-19	1-4, 8-11, 15, 16
A	CN 103390563 A (JIANGSU CHANGJIANG ELECTRONICS TECHNOLOGY CO., LTD.) 13 November 2013 (2013-11-13) entire document	1-18
A	CN 103021984 A (ADVANCED SEMICONDUCTOR ENGINEERING, INC.) 03 April 2013 (2013-04-03) entire document	1-18
A	CN 102403275 A (SHENNAN CIRCUITS COMPANY LIMITED) 04 April 2012 (2012-04-04) entire document	1-18
A	US 6847109 B2 (SAMSUNG ELECTRONICS CO., LTD.) 25 January 2005 (2005-01-25) entire document	1-18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
22 March 2019		03 April 2019
Name and mailing address of the ISA/CN		Authorized officer
National Intellectual Property Administration, PRC (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/092861

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104217969	A	17 December 2014	CN	104217969	B	19 December 2017
CN	103390563	A	13 November 2013	CN	103390563	B	30 March 2016
				US	2016163622	A1	09 June 2016
				WO	2015018145	A1	12 February 2015
				DE	112013007310	T5	19 May 2016
CN	103021984	A	03 April 2013	None			
CN	102403275	A	04 April 2012	CN	102403275	B	15 January 2014
US	6847109	B2	25 January 2005	KR	20040026530	A	31 March 2004
				US	2004058472	A1	25 March 2004

国际检索报告

国际申请号

PCT/CN2018/092861

<p>A. 主题的分类</p> <p>H01L 21/60(2006.01)i; H01L 21/48(2006.01)i; H01L 21/56(2006.01)i; H01L 23/495(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>DWPI, CNABS, SIPOABS, CNKI: 芯片, 导电, 柱, 金属, 层, 焊帽, 倒装, 开口, 封装, chip, die, wafer, conductor, pole, column, ball, metal, layer, solder, bump, weld, flip, open, window, package</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104217969 A (南通富士通微电子股份有限公司) 2014年 12月 17日 (2014 - 12 - 17) 说明书第[0030]段至第[0056]段、附图2-19</td> <td>1-4, 8-11, 15-16</td> </tr> <tr> <td>A</td> <td>CN 103390563 A (江苏长电科技股份有限公司) 2013年 11月 13日 (2013 - 11 - 13) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 103021984 A (日月光半导体制造股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 102403275 A (深南电路有限公司) 2012年 4月 4日 (2012 - 04 - 04) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 6847109 B2 (SAMSUNG ELECTRONICS CO LTD) 2005年 1月 25日 (2005 - 01 - 25) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104217969 A (南通富士通微电子股份有限公司) 2014年 12月 17日 (2014 - 12 - 17) 说明书第[0030]段至第[0056]段、附图2-19	1-4, 8-11, 15-16	A	CN 103390563 A (江苏长电科技股份有限公司) 2013年 11月 13日 (2013 - 11 - 13) 全文	1-18	A	CN 103021984 A (日月光半导体制造股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 全文	1-18	A	CN 102403275 A (深南电路有限公司) 2012年 4月 4日 (2012 - 04 - 04) 全文	1-18	A	US 6847109 B2 (SAMSUNG ELECTRONICS CO LTD) 2005年 1月 25日 (2005 - 01 - 25) 全文	1-18
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 104217969 A (南通富士通微电子股份有限公司) 2014年 12月 17日 (2014 - 12 - 17) 说明书第[0030]段至第[0056]段、附图2-19	1-4, 8-11, 15-16																		
A	CN 103390563 A (江苏长电科技股份有限公司) 2013年 11月 13日 (2013 - 11 - 13) 全文	1-18																		
A	CN 103021984 A (日月光半导体制造股份有限公司) 2013年 4月 3日 (2013 - 04 - 03) 全文	1-18																		
A	CN 102403275 A (深南电路有限公司) 2012年 4月 4日 (2012 - 04 - 04) 全文	1-18																		
A	US 6847109 B2 (SAMSUNG ELECTRONICS CO LTD) 2005年 1月 25日 (2005 - 01 - 25) 全文	1-18																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2019年 3月 22日</p>		<p>国际检索报告邮寄日期</p> <p>2019年 4月 3日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>段小晋</p> <p>电话号码 (86-10)62411592</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/092861

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	104217969	A	2014年 12月 17日	CN 104217969 B	2017年 12月 19日
CN	103390563	A	2013年 11月 13日	CN 103390563 B	2016年 3月 30日
				US 2016163622 A1	2016年 6月 9日
				WO 2015018145 A1	2015年 2月 12日
				DE 112013007310 T5	2016年 5月 19日
CN	103021984	A	2013年 4月 3日	无	
CN	102403275	A	2012年 4月 4日	CN 102403275 B	2014年 1月 15日
US	6847109	B2	2005年 1月 25日	KR 20040026530 A	2004年 3月 31日
				US 2004058472 A1	2004年 3月 25日