



(12) 发明专利申请

(10) 申请公布号 CN 102971793 A

(43) 申请公布日 2013. 03. 13

(21) 申请号 201180013464. 0

H01L 25/065 (2006. 01)

(22) 申请日 2011. 02. 07

(30) 优先权数据

12/702, 065 2010. 02. 08 US

(85) PCT申请进入国家阶段日

2012. 09. 11

(86) PCT申请的申请数据

PCT/US2011/023884 2011. 02. 07

(87) PCT申请的公布数据

W02011/097559 EN 2011. 08. 11

(71) 申请人 桑迪士克技术有限公司

地址 美国德克萨斯州

(72) 发明人 查尔斯·弘-祥·吴

(74) 专利代理机构 北京集佳知识产权代理有限

公司 11227

代理人 康建峰 陈炜

(51) Int. Cl.

G11C 5/06 (2006. 01)

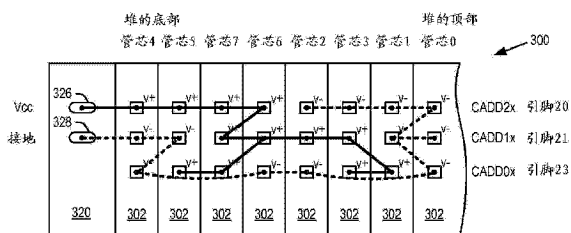
权利要求书 2 页 说明书 13 页 附图 15 页

(54) 发明名称

多管芯封装件内的基于规则的半导体管芯堆叠和接合

(57) 摘要

公开了一种优化线接合跳接的基于规则的方法, 该方法使用于线接合的线的量最少和 / 或使基底上的用于支持所有有线连接的电源垫和接地垫的量最少。



1. 一种对在基底上包括半导体管芯堆的半导体封装件内的线接合进行优化的方法,每个半导体管芯包括用于向所述管芯传递信号以及从所述管芯传递信号的多个引脚,所述方法包括以下步骤:

(a) 基于通过格雷码对所述堆中的所述管芯上的所述多个引脚中的地址引脚进行排序来设定所述管芯在所述基底上的顺序;以及

(b) 按照在所述步骤(a)中设定的所述顺序将所述管芯固定至所述基底。

2. 根据权利要求1所述的方法,所述步骤(a)和(b)包括以下步骤:设定三个或更多个半导体管芯的顺序,以及将所述半导体管芯固定至所述基底。

3. 根据权利要求1至2中任一项所述的方法,设定所述管芯在所述基底上的顺序的所述步骤(a)包括以下步骤:将具有标识0的管芯设定为所述堆中的顶部管芯。

4. 根据权利要求1至3中任一项所述的方法,进一步包括以下步骤:

(c) 在所述堆中将所述管芯彼此线接合;以及

(d) 将所述堆线接合至所述基底。

5. 根据权利要求4所述的方法,在所述堆中将所述管芯彼此线接合的所述步骤(c)包括以下步骤:

(c)(1) 将所有被分配了低电压状态的地址引脚彼此电连接;以及

(c)(2) 将所有被分配了高电压状态的地址引脚彼此电连接。

6. 根据权利要求4至5中任一项所述的方法,将所述堆线接合至所述基底的所述步骤(d)包括以下步骤:

(d)(1) 将所有被分配了低电压状态的地址引脚连接至所述基底上的单个接地接触垫;以及

(d)(2) 将所有被分配了高电压状态的地址引脚连接至所述基底上的单个电源接触垫。

7. 根据权利要求4至6中任一项所述的方法,在所述堆中将所述管芯彼此线接合的所述步骤(c)包括以下步骤:

(c)(1) 将所述堆中的相邻管芯上的所述多个引脚中的所有具有相同电压状态的对准的引脚彼此电连接;

(c)(2) 将所述堆中的相邻管芯上的所述多个引脚中的具有相同电压状态的对角引脚彼此电连接,所述对角是指与相邻管芯上的下一个相邻地址引脚成对角;以及

(c)(3) 将隔离的任一组电连接的引脚电连接至所述堆中的与所述基底相邻的底部管芯。

8. 根据权利要求4至6中任一项所述的方法,在所述堆中将所述管芯彼此线接合的所述步骤(c)包括以下步骤:

(c)(1) 将所述堆中的相邻管芯上的所述多个引脚中的所有具有相同电压状态的竖直对准的引脚彼此电连接;

(c)(2) 将所述堆中的给定管芯上的所述多个引脚中的具有相同电压状态的水平引脚彼此电连接,所述水平是指与所述给定管芯上的下一个相邻地址引脚成水平;以及

(c)(3) 将隔离的任一组电连接的引脚电连接至所述堆中的与所述基底相邻的所述底部管芯。

9. 根据权利要求7至8中任一项所述的方法,将隔离的任一组电连接的引脚电连接至

底部管芯的所述步骤(c)(3)包括以下步骤:在对准的引脚之间进行竖直跳接。

10. 一种对在基底上包括具有五个至三十二个半导体管芯的堆的半导体封装件内的线接合进行优化的方法,每个半导体管芯包括用于向所述管芯传递信号以及从所述管芯传递信号的多个引脚,对线接合的优化使服务于所述多个引脚中的地址引脚所需要的所述基底上的电源垫和接地垫最少,所述方法包括以下步骤:

- (a) 将所有指定用于低电压状态的地址引脚彼此电连接;
- (b) 将所有指定用于高电压状态的地址引脚彼此电连接;
- (c) 将所有用于低电压状态的地址引脚连接至所述基底上的单个接地接触垫;以及
- (d) 将所有用于高电压状态的地址引脚连接至所述基底上的单个电源接触垫。

11. 根据权利要求 10 所述的方法,进一步包括以下步骤:按照通过使用所述堆中的所述管芯上的所述地址引脚的格雷码所确定的顺序,将所述管芯在所述基底上并且彼此地固定。

12. 根据权利要求 10 至 11 中任一项所述的方法,其中,将所有用于低电压状态的地址引脚连接至所述基底上的单个接地接触垫的所述步骤(c)包括以下步骤:在所述接地接触垫与固定至所述基底的底部管芯上的低电压状态引脚之间进行单跳连接。

13. 根据权利要求 10 至 12 中任一项所述的方法,其中,将所有用于高电压状态的地址引脚连接至所述基底上的单个电源接触垫的所述步骤(d)包括以下步骤:在所述电源接触垫与固定至所述基底的底部管芯上的高电压状态引脚之间进行单跳连接。

14. 根据权利要求 10 至 13 中任一项所述的方法,所述将所述管芯固定在所述基底上的步骤包括以下步骤:将具有管芯 0 的管芯固定在所述堆的距所述基底最远的顶部处。

15. 根据权利要求 10 至 14 中任一项所述的方法,所述步骤(a)包括以下步骤:

(c)(1) 将所述堆中的相邻管芯上的所述多个引脚中的所有对准的高电压状态引脚彼此电连接;

(c)(2) 将所述堆中的相邻管芯上的所述多个引脚中的对角的高电压状态引脚彼此电连接,所述对角是指与相邻管芯上的下一个相邻地址引脚成对角;以及

(c)(3) 经由竖直线接合连接,将隔离的任一组电连接的高电压状态引脚电连接至所述堆中的与所述基底相邻的底部管芯。

多管芯封装件内的基于规则的半导体管芯堆叠和接合

技术领域

[0001] 实施方式涉及一种多管芯半导体封装件内的半导体管芯的基于规则的堆叠和线接合(wire bonding)。

背景技术

[0002] 对便携式消费类电子产品的需求的强劲增长驱动了对大容量存储设备的需要。如快闪存储器存储卡等非易失性半导体存储器件越来越多地用于满足对数字信息存储和交换的空前增长的需求。这些存储器件的便携性、通用性和强健的设计以及高可靠性和大容量已经使得这样的存储器件能够理想地用于多种电子设备中,包括例如数字照相机、数字音乐播放器、电视游戏控制台、个人数字助理以及移动电话。

[0003] 虽然已知多种封装配置,然而通常可以将快闪存储器存储卡制造为系统级封装(SiP)或多芯片模块(MCM),其中,在所谓的三维堆叠配置中,多个管芯安装在基底上。图1和图2的现有技术中示出了传统的半导体封装件20(没有模制化合物)的边视图。典型的封装件包括安装至基底26的多个半导体管芯22、24。虽然示出了两个这样的管芯,但是,已知可以在半导体封装件中堆叠八个或更多个管芯。半导体管芯可以在管芯的上表面上形成有管芯接合垫,本文中称为引脚。基底26可以由夹在上导电层与下导电层之间的电绝缘核形成。可以对上和/或下导电层进行蚀刻以形成包括电引线和接触垫的导电图案。接触垫在本文中被称为指状物(finger)。在半导体管芯22、24的引脚与基底26的指状物之间焊接有线接合物以将半导体管芯电耦接至基底。基底上的电引线又在管芯与主机装置之间提供电路路径。一旦在管芯与基底之间进行了电连接,则接着通常将组件装入模制化合物中以提供保护封装件。

[0004] 如图1的现有技术所示,已知,可以将两个或更多个半导体管芯直接叠放,从而占据基底上的很小的区域。但是,在堆叠配置中,在相邻半导体管芯之间必须提供用于接合线30的空间。除了接合线30本身的高度,接合线上方必须留有额外的空间,这是因为一个管芯与下一个管芯的接合线30的接触可能导致电短路。如图1所示,因此,已知,可以提供介电间隔层34,以便为将线接合物30接合至较低管芯24上的引脚提供足够的空间。

[0005] 作为半导体管芯的对准堆的可替代物,已知,可以将半导体管芯以如图2至4的现有技术所示的偏移量叠放,使得下一个较低管芯的引脚暴露。例如,在Lin等人的题为“Multichip Module Having A Stacked Chip Arrangement(具有堆叠的芯片布置的多芯片模块)”的美国专利No. 6, 359, 340中示出了这样的配置。偏移配置提供了便于接入每个半导体管芯上的引脚的优点。对于如图2所示的具有少量管芯的配置,例如2个管芯,已知,可以将堆中的每个管芯直接线接合至基底。但是,如上所述,管芯堆通常包括8个或更多个堆叠的半导体管芯。在这种情况下,堆中的每个管芯可以线接合至紧下方的管芯,或可能是两个管芯下方的管芯。图3至4的现有技术中示出了该配置。

[0006] 在图3和图4所示的示例中,堆包括三个半导体管芯22、24和34,每个管芯通过线30接合至堆中的下方管芯。底部管芯24可以线接合至基底26。此外,各个管芯上的相应

引脚被线接合在一起。因此,管芯 34 上的引脚被线接合至管芯 24 上的第一引脚;管芯 24 上的第一引脚又线接合至管芯 22 上的第一引脚;管芯 22 上的第一引脚又线接合至基底 26 上的第一指状物。在图 4 中,跨管芯 34、24 和 22 的每个相应管芯正是如此。

[0007] 虽然以上布线配置可以用于数据引脚和控制引脚,然而,在多于四个管芯的更大的管芯堆中,管芯的地址引脚的布线变得更加困难。除了竖直线接合,还需要对角地进行线接合,并且要求堆中的间隔开的两个管芯之间的跳接很长。如关于图 5 的现有技术更加详细地说明的,该复杂情况的一个原因是管芯在基底上按升数序进行传统堆叠。图 5 是包括安装至基底 26 的八个管芯的典型的 NAND 半导体管芯堆的示意图。传统上,从管芯 0 开始,依次前进至管芯 7,以一定的偏移将管芯叠放。图 5 还示出了来自每个管芯的对准的多行引脚,即,引脚 19 至 23 (未示出其他引脚)。在这些引脚中,引脚 20、21 和 23 用作用于识别管芯堆中的管芯 0-7 中的每个管芯的芯片地址引脚 (CADD2x、CADD1x 和 CADD0x)。

[0008] 对于堆中给定的管芯,引脚 20、21、23 中的一个引脚的低电压表示逻辑 0,引脚 20、21、23 中的一个引脚的高电压表示逻辑 1。因此,使用每个管芯上的三个地址引脚,可以依次从在堆底部处的 000 (管芯 0)到在堆顶部处的 111 (管芯 7)唯一地寻址图 5 的传统堆中的每个管芯。图 5 还示出了可以是用于每个管芯 0-7 的电源信号 V_{cc} 的引脚 19 以及可以是电压监控器 V_{mon} 的引脚 22。如 NAND 半导体封装件中所示出 (没有线接合连接) 的,通常可以省略 V_{mon} 或使 V_{mon} 断开。

[0009] 堆中的各个管芯上的处于低电压状态的地址引脚 20、21、23 可以经由多组竖直的和 / 或对角的线接合而电耦接在一起,然后这些多组已接合的引脚可以接合至基底上的接地接触垫。类似地,堆中的各个管芯上的处于高电压状态的地址引脚 20、21、23 可以经由多组竖直的和 / 或对角的线接合而电耦接在一起,然后这些多组已接合的引脚可以接合至基底上的电源接触垫。必须以能够防止线交叉的方式来实现该线接合,其中,线交叉可能导致电短路。

[0010] 具有例如三个地址引脚的更大的管芯堆的线接合的一个缺点是,没有以使得实现所有线接合所需要的线的长度最小的方式来实现接合处理。通常,在进行线接合的第一通过之后,需要将管芯堆中彼此间隔很大的距离的剩余的引脚彼此连接。这种情况需要长度很长的线来进行连接。线接合线通常由昂贵的金形成。并且,不仅仅线的长度是问题。越长的接合线更容易折断、松弛或与相邻接合线发生短路。因此,为了提供所需要的牢固性,较长的接合线由较粗直径的材料制成。使用来自单个线轴的线对半导体封装件进行线接合。因此,即使仅有少量较长的连接需要较粗直径的线接合,相同直径的线可以用于所有连接。假定每个封装件中的大量线接合,以及大量制造的封装件,使用更多且更粗的金线明显地增加了封装件的制造成本。

[0011] 传统线接合封装件的另一问题是,需要超过两个接地接触垫和电源接触垫来唯一地寻址堆中的地址引脚。在图 5 的现有技术中,具有三个地址引脚 CADD2x、CADD1x 和 CADD0x 的传统的八个管芯的堆可能总共需要六个接地 (GND) 引脚和电源 (PWR, V_{cc}) 引脚来将地址引脚连接至基底。基底上的空间是非常宝贵的,并且使用较少的接地引脚和电源引脚来连接至地址引脚是有利的。

附图说明

- [0012] 图 1 至图 3 是不同传统半导体器件的现有技术侧视图。
- [0013] 图 4 是半导体器件的立体图, 示出了管芯堆中的每个管芯上的、竖直接合至相邻管芯上的对准的引脚的引脚。
- [0014] 图 5 是包括按升数序排列的八个管芯的半导体堆的示意性表示。
- [0015] 图 6 是本技术的实施方式的操作的高级别流程图。
- [0016] 图 7 是按照本技术的实施方式的用于使用格雷码(gray code)来在基底上对管芯进行排序的流程图。
- [0017] 图 8 是按照图 7 的流程图排序的管芯堆的示意性布局。
- [0018] 图 9 是按照图 7 的流程图排序的管芯堆的俯视图。
- [0019] 图 10 是用于在本技术的实施方式的线接合处理期间进行单跳垂直跳接的流程图。
- [0020] 图 11 是在图 10 的流程图中示出的处理期间进行单跳垂直跳接的管芯堆的俯视图。
- [0021] 图 12 是在图 10 的流程图中示出的处理完成时进行单跳垂直跳接的管芯堆的俯视图。
- [0022] 图 13A 和图 13B 是用于在本技术的实施方式的线接合处理期间进行对角跳的流程图。
- [0023] 图 14 是在图 13A 的流程图中示出的处理的第一部分期间进行对角跳接的管芯堆的俯视图。
- [0024] 图 15 是在图 13A 的流程图中示出的处理的第二部分期间进行对角跳接的管芯堆的俯视图。
- [0025] 图 16 是在图 13A 和图 13B 的流程图中示出的处理完成时进行对角跳接的管芯堆的俯视图。
- [0026] 图 17 是作为图 14 至 16 的对角跳接的可替代实施方式的进行水平跳接的管芯堆的俯视图。
- [0027] 图 18 是用于进行多跳垂直跳接以将隔离的多组低电压状态的引脚被线接合在一起的流程图。
- [0028] 图 19 是在图 18 的流程图中示出的处理完成时进行多跳垂直跳接的管芯堆的俯视图。
- [0029] 图 20 是使用单个接地引脚和单个电源引脚来线接合至基底的管芯堆的俯视图。
- [0030] 图 21 是按照本技术的实施方式排序和线接合的十六个管芯的堆的示意性布局。
- [0031] 图 22 是按照图 21 的实施方式排序和线接合的十六个管芯的堆的俯视图。
- [0032] 图 23 是根据本技术的实施方式制造的半导体封装件的边视图。

具体实施方式

[0033] 现在将参考图 6 至图 23 描述实施方式, 图 6 至图 23 涉及基于规则的方法, 该方法用于优化线接合跳接以使用于线接合的线的量最少和 / 或使基底上的用于支持所有有线连接的电源垫和接地垫的量最少。一般而言, 本技术教导一种方法, 该方法使用最短的线接合跳接将低电压引脚彼此线接合以及将高电压引脚彼此线接合。这使接合所有引脚所需要

的线的长度最小化。此外,由于堆中的所有线接合跳接的长度被最小化,所以也可以使线的直径最小。

[0034] 本技术的方法还将堆中的管芯上的所有低电压地址引脚彼此电耦接,以及将管芯堆上的所有高电压地址引脚彼此电耦接。因此,可以通过基底上的单个接地接触和单个电源接触来给堆上的所有地址引脚供电。这减小了接地接触垫和电源接触垫所需要的基底上的空间。

[0035] 在实施方式中,本系统优化了半导体封装件中的器件堆的管芯 ID 排序以及基底上的管芯的线接合。管芯例如可以是 NAND 快闪存储器管芯,但是,应理解,本技术可以用于优化其他多种类型的堆叠的半导体部件的排序和线接合,例如 NOR 型快闪存储器管芯以及 DRAM (动态随机存取存储器)、SDRAM (同步动态随机存取存储器)和 CMOS (互补金属氧化物半导体) 器件。基底可以是任何已知类型的基底,例如印刷电路板 (PCB)、引线框或磁带自动接合 (TAB) 基底。下面关于八个管芯的堆来说明实施方式。但是,应理解,本技术可以用于少于八个管芯的堆。本技术在设定用于超过八个管芯的半导体管芯堆的线接合布局方面也具有特别的优势。

[0036] 可以理解,可以以许多不同的形式来实施本半导体器件,并且不应该认为本半导体器件局限于本文中阐述的实施方式。本文中使用的术语“左”和“右”、“顶部”和“底部”、“较高”和“较低”以及这些术语的衍生术语仅是出于方便和说明目的,而并不是意在对限制半导体器件的描述,其中,可以尽可能多地交换参考项目的位置。

[0037] 图 6 是根据本技术的实施方式的用于优化线接合的方法的高级别流程图。在步骤 100,确定堆中的管芯的顺序。如背景技术部分中说明的,该顺序通常是管芯的升数序,从底部处的管芯 0 开始到顶部处的管芯 7。因此,引脚 CADD2x、CADD1x 和 CADD0x 从 000 至 111 依次编号。根据本技术的一方面,可以使用格雷码代替简单的升数序来对堆中的管芯进行排序。格雷码是二进制数的有序序列,其中,从一个数到下一个数,位仅在一个位上变化。因此,在 3 位格雷码中,元素 0 (000) 可以紧跟着元素 1 (001) 放置,这是因为仅元素的最低有效的位变化。但是,元素 1 (001) 不能紧跟着元素 2 (010) 放置,这是因为元素的最后两位都发生了变化。

[0038] 通过格雷码而不是传统的按升数序来对管芯堆中的管芯进行排序,部分导致了优化的线接合图案。给出以上用于通过格雷码来对管芯 ID 进行排序的公开内容,技术人员可以理解大量可以设定管芯 ID 的格雷码排序的方法。在实施方式中,可以使用状态机和卡诺图映射以已知的方式来设定格雷码堆,使得管芯的格雷码堆具有反射特性和循环性质(筒式移位),反射特性使得能够容易添加更多的地址线和位,循环性质允许起始数字是任何数字,并且,保持循环特性。

[0039] 图 7 的流程图示出了一种在八个管芯的堆中设定管芯 0 至 7 的顺序的方法。在实施方式中,从堆的顶部向下设定管芯的排序,并且在实施方式中,堆上的顶部管芯以管芯 0 开始。如下所示,在另外的实施方式中,排序可以从底部处开始,或者从底部与顶部之间的任何位置处开始,并且,在另外的实施方式中,堆不需要以管芯 0 开始。下面详细说明图 7,但是,通常,按照图 7 操作的系统以给定的管芯 ID 号码 (N) 开始。然后,系统通过寻找高于 (N+1) 的 1 管芯,然后寻找低于 (N-1) 的 1 管芯、然后寻找高于 (N+2) 的 2 管芯、然后寻找低于 (N-2) 的 2 管芯等来堆叠下一个管芯,直到找到符合格雷码并且没有被使用的下一个管

芯。系统持续地堆叠管芯,直到设定了堆中的所有管芯的顺序。

[0040] 在步骤 130 中,系统以顶部管芯 N 开始,其中, N 表示管芯的十进制身份。在管芯 0 处于堆的顶部处的实施方式中,初始地, $N=0$ 。步骤 130 也初始化任意计数器 j 至 1。在步骤 132 中,系统检查是否有更多管芯要放置在堆中。首次通过回路时,有更多的管芯要放置在堆上。在八个管芯的堆中,系统八次通过回路,直到所有管芯在管芯堆中被分配了一个位置。一旦在步骤 132 中设定了所有八个管芯的位置,则在步骤 134 中,可以按照通过图 7 的步骤所设定的顺序将管芯堆叠在基底上。在那种情况下,本系统的用于在基底上对管芯进行排序的操作结束。

[0041] 假设在步骤 132 中有更多管芯要放置在堆中,则接下来在步骤 136 中,系统检查是否存在与管芯 N 满足格雷码的剩余的管芯 $N+j$ 。因此,在第一管芯是管芯 0 并且 $j=1$ 处, $N+j$ 等于 1,并且系统检查管芯 1 (001) 的二进制表示是否与管芯 0 (000) 的二进制表示满足格雷码。在这种情况下,满足,因此,在步骤 138 中,在将管芯 $N+j$ 的位置设定为在下方并且与管芯 N 紧邻。在步骤 140 中将 N 递增至 $N+j$,然后在步骤 142 中将 j 重新初始化为 1。然后,系统重新返回至步骤 136,以在堆中寻找下一个管芯。

[0042] 在步骤 136 中,对于 N 和 j 的给定值,如果没有满足格雷码的剩余的管芯 $N+j$,则系统跳到步骤 144。例如,继续对管芯的上述排序,其中, N 现在等于 1, j 被重置为 1,系统检查管芯 2 ($N+j$) 是否与管芯 1 满足格雷码。不满足,因此,系统跳到步骤 144。在步骤 144 中,系统检查是否存在满足格雷码的剩余的管芯 $N-j$ 。其中, $N=1$, $j=1$, $N-j=0$ 。已经设定了管芯 0 在堆上的位置,因此,没有这样的剩余的管芯。因此,系统跳到步骤 154,使 j 递增 1,并且返回至步骤 132 以检查要放置在堆上的更多的管芯。

[0043] 继续以上示例,堆中有更多管芯,因此,系统移动至步骤 136 并且再次检查是否存在满足格雷码的剩余的管芯 $N+j$ 。这次,虽然 N 仍然是 1,但是 $j=2$,因此,系统检查管芯 3 ($N+j$) 是否与管芯 N 满足格雷码。管芯 3 (011) 与管芯 1 (001) 满足格雷码,因此,在步骤 138 中,将管芯 3 的位置设定成放置在管芯 1 的紧下方。在步骤 140 中,将 N 设定成芯片 3,在步骤 142 中,将 j 重新初始化为 1,并且系统返回至步骤 132。

[0044] 循环中的接下来的时间,在步骤 132 中仍然有更多管芯,因此,系统检查是否存在与管芯 N 满足格雷码的剩余的管芯 $N+j$ 。管芯 4 (100) 没有与管芯 3 (011) 满足格雷码,因此,系统跳到步骤 144,以检查是否存在满足格雷码的剩余的管芯 $N-j$ 。管芯 2 ($N-j$) 保持被放置在堆上,并且与管芯 3 满足格雷码,因此,在步骤 148 中,将管芯 2 的位置设定为在管芯 3 的紧下方。在步骤 150 中,将 N 设定成 $N-j$,并且在步骤 152 中将 j 重新初始化为 1。然后,系统返回至步骤 132 以检查堆上的更多的管芯。

[0045] 系统继续以上步骤,直到已经设定了所有芯片在堆中的位置。对于八个芯片的堆,图 7 中示出的以上步骤将生成如表格 2 中示出的堆中的管芯的序列。

[0046]

		堆的底部				堆的顶部			
		管芯 4	管芯 5	管芯 7	管芯 6	管芯 2	管芯 3	管芯 1	管芯 0
引脚 20	CADD2x	1	1	1	1	0	0	0	0
引脚 21	CADD1x	0	0	1	1	1	1	0	0
引脚 23	CADD0x	0	1	1	0	0	1	1	0

[0047] 表格 2

[0048] 如所示出的,堆中的从顶部至底部的每个管芯具有用于三个地址引脚的二进制数,该二进制数相对于其上方和下方的管芯变化了单个位。给出以上公开内容,本领域技术人员可以理解用于提供管芯堆中的管芯的其他格雷码序列的对图 7 中描述的步骤 130 至 154 所做的变化。表格 3 和 4 示出了满足格雷码并且可以用于另外的实施方式中的堆中的管芯的其他序列。注意,表格 3 中的堆叠是循环的(筒式移位),其中,堆的顶部处的管芯 0 与堆中的底部管芯处的管芯 1 满足格雷码(对于表格 2,情况正是如此)。表格 4 是不循环的示例,但是仍然可以用于另外的实施方式中。

[0049]

		管芯 1	管芯 3	管芯 2	管芯 6	管芯 7	管芯 5	管芯 4	管芯 0
引脚 20	CADD2x	0	0	0	1	1	1	1	0
引脚 21	CADD1x	0	1	1	1	1	0	0	0
引脚 23	CADD0x	1	1	0	0	1	1	0	0

[0050] 表格 3

[0051]

		管芯 7	管芯 3	管芯 1	管芯 5	管芯 4	管芯 6	管芯 2	管芯 0
引脚 20	CADD2x	1	0	0	1	1	1	0	0
引脚 21	CADD1x	1	1	0	0	0	1	1	0
引脚 23	CADD0x	1	1	1	1	0	0	0	0

[0052] 表格 4

[0053] 本领域技术人员可以理解,更大或更小的管芯堆叠可以具有按照根据图 7 的流程图的格雷码或按照其他实施方式排序的管芯。

[0054] 如上所示,在其他实施方式中,系统可以不以顶部处的管芯 0 开始,替代地,可以以堆中的任何管芯开始。图 7 的步骤可以描述用于对这样的管芯进行排序的实施方式。图 5 示出了管芯排序,其中,管芯 3 例如被选作堆中的最高的管芯。

[0055]

		管芯 2	管芯 0	管芯 1	管芯 5	管芯 4	管芯 6	管芯 7	管芯 3
引脚 20	CADD2x	0	0	0	1	1	1	1	0
引脚 21	CADD1x	1	0	0	0	0	1	1	1
引脚 23	CADD0x	0	0	1	1	0	0	1	1

[0056] 表格 5

[0057] 给出以上公开内容,本领域技术人员可以理解,其他管芯可以位于堆的顶部处、并然后可以按照格雷码对管芯进行排序。

[0058] 本技术的实施方式使用管芯的格雷码序列来提供如下说明的线接合效果。但是,如下所述,本技术的可替代实施方式可以使用传统的升数序代替格雷码来堆叠管芯,并且仍然产生了优于传统的线接合技术的线接合效果。

[0059] 返回至图 6 的高级别,在将管芯堆中的管芯的顺序如上所述那样设定之后,在步骤 102 至 110 中应用根据本技术的另一方面的布线方法。具体地,这些布线步骤优化了对引脚的线接合,以确保使用最少量的线接合步骤和最少量的基底上的电源垫和接地垫来实现线接合。

[0060] 参考图 8,示出了由图 7 的流程图所确定的管芯序列,包括具有从顶部至底部排序的管芯的管芯堆:0-1-3-2-6-7-5-4。图 9 示出了包括按照图 8 的表格排序的管芯 302 的管芯堆 300 的俯视图。每个管芯 302 包括多个引脚 304 (在图 9 中对其中一个引脚进行编号)。根据本技术的多个方面,具有相同电压状态(本文中也称为逻辑状态)的引脚接合在一起。在图 9 中,所有连接至低电压状态(“v-”)的这些引脚 304 可以接合在一起,且所有连接至高电压状态(“v+”)的这些引脚 304 可以接合在一起。每个管芯 302 上的三个地址引脚上的电压状态用于唯一地识别堆中的每个管芯。

[0061] 在图 6 的高级别流程图上的步骤 102 中,在管芯堆 300 (图 9)上的具有相同电压状态的引脚 304 的布线中,第一步是从一个管芯到下一个管芯在处于相同电压状态的引脚 304 之间进行“单跳”竖直线接合。术语“单跳”指代如下事实:线接合仅在相邻管芯之间进行,与其中可以在非相邻管芯之间进行线接合的多跳相对。术语“竖直”指代如下事实:线接合在竖直对准的引脚之间进行,与下文中描述的对角的线接合相对。现在,将关于图 10 的流程图以及图 11 和图 12 的俯视图更加详细地描述接合竖直对准的引脚的步骤。如下面说明的,图 11 示出了通过竖直线接合处理设定大约一半的竖直线接合,图 12 示出了在竖直线接合处理中进行的完成的线接合。

[0062] 在概念上,管芯堆 300 中的引脚 304 可以被认为是 $N \times M$ 阵列,其中, N 表示堆中的管芯 302 的数量, M 表示每个管芯上的地址引脚的数量。线接合处理可以以最高的管芯开始并且向下进行。在该上下文中, N 不表示实际的管芯 ID 的十进制值(如图 7 中一样),而是从顶部管芯(在八个管芯堆中, $N=7$)向下至底部管芯($N=0$)的连续编号。

[0063] 可以对 M 进行初始化来以任意二进制引脚数字开始。在一种实施方式中,图 10 至图 12 的竖直线接合可以以最高有效位地址引脚开始。在三位地址堆中,这可以为 CADD2x ($M=$ 引脚 20)。在步骤 160 和 162 中(图 10),处理以将 M 初始化为开始引脚数字并且将 N 初

始化为堆中的管芯的数量开始。由于对 N 和 M 两者计数,因此他们可以被设定成任意值,右上方引脚(根据图 10 的立体)被分配了起始(N, M)值。如下文中说明的,在另外的实施方式中,系统不需要在右上方引脚处开始。

[0064] 在步骤 168 中,系统检查引脚(N, M)是否具有其可连接至的处于相同状态的引脚(N-1, M)。在概念上,系统从在管芯 N 的紧下方的第二管芯 N-1 上的具有相同状态的对准的引脚中寻找为“单跳”的第一管芯 N 上的引脚。

[0065] 如果步骤 168 确定引脚(N, M)具有其可连接至的处于相同状态的引脚(N-1, M),则在步骤 170 中设定该连接。在一个实施方式中,首先确定所有的单跳垂直连接,然后在最后步骤 184 中实际地进行线接合。在另外的实施方式中,可以在设定时进行这些线接合。如果步骤 168 确定引脚(N, M)不具有其可连接至的处于相同状态的引脚(N-1, M),则跳过步骤 170,并且系统检查是否 N=0,这表明系统正在检查底部管芯。假设不是正在检查底部管芯,则 N 减小 1 以检查堆中的下一个较低管芯,并且系统返回至步骤 162,以查看在能够使用单跳垂直地线接合在一起的具有相同电压状态的引脚的行中是否存在任何其他相邻管芯。

[0066] 如果在步骤 172 中 N 等于 0,则于是系统检查是否有更多待检查的地址行。如果有更多的地址行待检查,则在步骤 182 中将 M 递增,在步骤 162 中将 N 再次重新初始化为其起始值,并且如上所述,在步骤 168 至 172 中,系统检查在新的行中的线接合。对于按照本技术线接合的所有行,如果所有行被检查使得 M 位于最后一行(最大引脚数字),则系统可以在步骤 184 中进行所有的线接合。在其中引脚是有线的并且如上所述那样设定的可替代实施方式中,则可以省略步骤 184。

[0067] 图 11 的俯视图示出了部分完成的以上处理。系统以顶部管芯 0 中的引脚 20 开始。系统识别出顶部四个管芯(0-1-3-2)上的引脚都处于低电压状态,因此,设定要连接的引脚。系统确定,行 20 中的在管芯 2 与管芯 6 之间的引脚不处于相同状态,因此不进行连接,然后确定底部四个管芯(6-7-5-4)上的引脚都处于高电压状态,因此,设定要连接的引脚。在图中,实线 310 表示高电压状态引脚之间的连接,虚线 312 表示低电压状态引脚之间的连接。图 12 示出了完成所有步骤 160-184 之后的管芯堆 300,其中,进行了所有可能的垂直单跳连接。

[0068] 在实施方式中,可以使用低光滑度的细直径的线接合进行垂直、单跳连接。在另外的实施方式中,通过使用类似于数字喷墨印刷机的线接合装置,能够数字地印刷垂直单跳电连接。例如,题为“Three Dimensional Interconnect System (三维互联系统)”的美国专利 No. 6, 501, 663 中公开了用于印刷垂直单跳电连接的这样的线接合系统的另外的细节,其全部内容通过引用合并到本文中。

[0069] 给出以上公开内容,本领域技术人员可以理解在不背离本技术的情况下可以进行的变化。例如,代替以顶部管芯开始,按照本技术的单跳垂直接合可以可替代地以底部管芯开始来实现并且以相同方式工作。类似地,代替以开始引脚/行数字开始,本技术可以以结束引脚/行数字开始并且逆向进行。进一步设想,处理可以在顶部管芯与底部管芯之间的某处被初始化,和/或在开始和结束引脚/行之间被初始化,并且按照本技术完成。

[0070] 返回至图 6 的高级别流程图,一旦进行了所有垂直、单跳电连接,则在步骤 106 中,系统接下来进行不同行中的处于相同电压状态的引脚之间的对角电连接。现在,将关于图 13A 和图 13B 的流程图以及图 14 至图 17 的俯视图更加详细地描述用于进行对角连接的步

骤。如下面说明的,图 14 至图 16 示出了系统按照图 13A、13B 的流程图工作时所设定的对角接合。图 17 示出了已经完成步骤 190-248 的所有步骤之后的管芯堆 300,其中,进行了所有可能的对角跳连接。

[0071] 图 13A 和图 13B 的流程图可以使用被描述用于图 10 的上述 $N \times M$ 阵列,其中, N 是堆中的管芯的数量, M 是根据本技术的将被施加线接合的引脚 / 行的起始数字。在步骤 190 和步骤 192 中,处理以将 M 初始化为开始引脚数字并且将 N 初始化为堆中的管芯的数量开始。如上所述, N 和 M 两者都被计数,并且它们可以被设定成任意值,右上引脚(根据图 14 的立体图)被分配了开始(N, M) 值。如下文中说明的,在另外的实施方式中,系统不需要在右上引脚处开始。

[0072] 在步骤 194 中,系统检查引脚(N, M) 是否具有从相邻行 $M+1$ 到较早的对角连接的电连接。如果具有该连接,则从引脚(N, M) 的另外的电连接将是冗余的,并且系统跳到以下说明的步骤 204。

[0073] 在步骤 198 中,系统检查是否存在引脚(N, M) 可线接合至的具有相同电压状态的引脚($N-1, M+1$)。在概念上,系统寻找在对角方向上高一个管芯和低一个管芯的相同电压状态引脚。

[0074] 但是,如果步骤 194 示出了将不是冗余的连接,并且步骤 198 示出了存在至低一个管芯和高一个管芯的相同引脚的对角连接,则在步骤 202 中设定该线接合。在实施方式中,随着处理前进,可以超驰并改变对角接合,因此,在实施方式中,不进行实际的线接合,直到设定了所有的对角的线接合为止。但是,在另外的实施方式中,可以省略对线接合的超驰,并且除了仅识别线接合,可以在步骤 202 中进行线接合。

[0075] 在步骤 204 中,系统检查是否正在检查底部管芯。如果不,则 N 减小 1 以检查管芯堆中的下一个较低管芯,并且系统再次执行步骤 194 至 202。另一方面,在 LSB 地址行是按照本技术的被线接合的最后一行的实施方式中,如果系统确定了底部管芯正在被检查,则系统接下来检查下一行是否是最低有效位(LSB)地址行, $CADD0x$ 。具体地,在实施方式中,最后一行上方的行希望接合至较低行(即,给定的行数字希望接合至下一个较高的行数字)。

[0076] 但是,如果系统在待检查的最低行处,则系统希望接合至下一个较高行(较低的行数字)。下面关于图 13B 中的步骤 220 至 244 说明在最低行处使用的步骤。另一方面,如果步骤 210 确定了下一行不是待检查的最后一行,则在步骤 214 中将 M 递增至下一行,将 N 再次初始化为堆中的管芯的数量,并且重复步骤 194 至 210。

[0077] 现在关于图 14-15 中示出的管芯堆 300 的俯视图说明以上步骤 190 至 214。图 14 示出了将在第一行 M 中进行的电连接。系统以管芯 0 上的引脚 20 开始。第一引脚在行中没有较早的对角连接,并且其在($N-1, M+1$) 处具有相同的引脚。因此在步骤 202 中设定该连接。无其他引脚满足这个标准,直到堆 6 上的引脚 20 为止。设定该引脚至引脚 21、管芯 7 的连接。第二行中没有满足步骤 194 和 198 的标准的其他引脚,因此在步骤 204 (底部管芯)处,系统检查在最后一行之前是否存在更多行(步骤 210)。存在(行 21),因此,系统将 M 增大至下一行,将 N 重新初始化为顶部管芯,并返回至步骤 192。

[0078] 图 15 示出了将从行 21 进行的电连接。在地址引脚 $CADD1x$ (引脚 21) 与 $CADD0x$ (引脚 23) 之间存在 V_{mon} 的实施方式中,所进行的电连接至行 23、跳过行 22, V_{mon} (未示出)。

在行 21 中,只有管芯 6 和管芯 5 处的引脚满足步骤 194 和 198 的标准。引脚 21、堆 6 被设定用于至引脚 23、堆 7 的连接,且引脚 21、堆 5 被设定用于至引脚 23、堆 4 的连接。如下面说明的,系统接下来希望进行从底部行的对角连接。

[0079] 再次参考图 13A 和图 13B 的流程图,在步骤 210 中,如果系统确定了下一行是即将按照本技术布线的底部行(在本示例中为行 23),则于是系统执行图 13B 的步骤 220。在该步骤中, M 被递增至最后一行,在步骤 224 中, N 再次被初始化为堆 300 中的管芯 302 的数量。在步骤 228 中,系统查找至上方的较早的对角连接,其将使得从当前的管芯 N 的连接是冗余的。这与上面的步骤 194 中相同,但是其在底部行中,系统希望下一个较高行(下一个较低 M-1)而不是希望下一个较低行。可以理解,在地址引脚 CADD0x 引脚 23 与 CADD1x 引脚 21 之间存在 V_{mon} 引脚 22 的情况下,步骤 228 可以跳过 V_{mon} 引脚并且寻找至引脚 21 的在前的连接。

[0080] 在步骤 230 中,系统检查是否存在引脚(N, M)可线接合至的具有相同电压状态的引脚(N-1, M-1)。该步骤类似于上面的步骤 198,但是由于在底部行中,系统希望下一个较高行(下一个较低的 M)而不是下一个较低行。再次地,在地址引脚 CADD0x 引脚 23 与 CADD1x 引脚 21 之间存在 V_{mon} 引脚 22 的情况下,步骤 230 可以跳过 V_{mon} 引脚并且寻找至引脚 21 的相同连接。

[0081] 如果没有至相同引脚(N-1, M-1)的连接,则系统跳到下面描述的步骤 240。否则,如果引脚(N, M)满足步骤 228 和 230 的标准,则在步骤 238 中设定从引脚(N, M)的对角接合。在步骤 240 中,系统查找堆中的另外的管芯。如果存在这样的管芯,则系统降低 N 至堆中的下一个管芯,并且系统针对堆中的下一个管芯重复步骤 228 至 240。另一方面,如果系统已前进至最后一行中的底部管芯,则系统完成设定线接合。可以在步骤 248 中进行这些接合(假设它们没有按照设定的那样进行),并且对角的线接合处理结束。

[0082] 图 16 中示出了用于线接合最后一行的步骤 220 至 248。一旦检查了最后一行 23 中的顶部管芯 0,则引脚不耦接至进行对角连接的较早的引脚,并且其在管芯 1、行 21 处具有待连接至的处于相同状态的引脚(N-1, M-1)。在步骤 238 中设定该连接。针对管芯 1 处的引脚 23 重复这些步骤,导致从该引脚至引脚 21、管芯 3 的最后的对角连接。行中不存在满足步骤 228 和 230 的标准其他引脚 23,因此,在步骤 248 中进行所有连接,并且结束线接合处理。

[0083] 给出以上公开内容,本领域技术人员可以理解在不背离本技术的情况下可以进行的变化。例如,代替以顶部管芯开始,按照本技术的对角接合可以可替代地以从底部管芯开始被实现并且以相同的方式进行。类似地,代替以开始引脚/行数字开始,本技术可以以结束行数字开始并且逆向进行。进一步设想,处理可以在顶部管芯与底部管芯之间的某处被初始化,和/或在开始行和结束行之间被初始化,并且按照本技术完成。

[0084] 此外,代替关于图 14-16 的视图向下及向左接合,可以向下及向右、向上及向左(第一行之后)或向上及向右(第一行之后)进行对角接合。给出以上公开内容,可以理解另外的可替代方案。

[0085] 在另外的实施方式中,可以使用数字印刷技术来代替至少部分对角的线接合。具体地,如上面讨论的,可以使用电连接的数字印刷来建立单跳垂直连接。在另外的实施方式中,可以使用电连接的数字印刷来在同一管芯上的具有相同状态的引脚之间进行水平连

接。图 17 中示出了根据该实施方式进行布线的八个管芯的封装件的示例。在该实施方式中,所有的对角的线接合被同一管芯上的距离为一个跳的相同状态引脚之间的水平电连接所替换。可以通过数字印刷进行这些水平单跳连接。在另外的实施方式中,可以使用线接合进行相同状态引脚之间的水平单跳连接。给出以上公开内容,技术人员可以理解如何更改图 6 和图 13A 的流程图以根据该替换的实施方式执行水平单步电连接。

[0086] 返回至图 6 的高级别流程图,接合处理中的下一个步骤 110 包括使用多跳垂直连接将隔离的任何多组相同逻辑状态连接至底部管芯。“隔离的组”是没有至底部管芯上的引脚的电连接的、具有相同电压状态的一组电连接的引脚。使用格雷标度对管芯排序并且将顶部管芯设定为管芯 0 的一个特征是:高电压状态连接将全部被连接并且具有至底部管芯的连接。但是,低电压状态连接中的一些可以是隔离的。使用格雷标度对管芯排序并且将顶部管芯设定为管芯 0 的又一个特征是:可以从 LSB 地址引脚即 CADD0x 进行将所有隔离的组连接至底部管芯的所有最短连接,并且跳将是三个管芯的竖直跳。因此,在实施方式中,如关于图 18 的流程图和图 19 的俯视图更加详细地描述的,沿着 LSB 地址引脚竖直地进行所有多跳垂直连接。

[0087] 在图 18 的流程图中,隔离的低逻辑状态引脚的多跳竖直接合以在步骤 250 中将 M 初始化为 LSB 地址引脚并且将 N 初始化为底部管芯(N=0)开始。然后,在步骤 260 中,系统查找未连接至底部管芯(或连接至底部管芯的管芯)的距离为三个管芯(N+3)的管芯。如果没有发现这样的管芯,则将 N 递增 1 至堆中的下一个较高管芯(步骤 262),并且在步骤 266 中检查系统是否处于顶部管芯处。如果不,则系统返回至步骤 260 以查看堆中的下一个较高管芯。

[0088] 另一方面,如果发现管芯 N+3 未连接至管芯 N,则在步骤 264 中,在管芯 N 与 N+3 的 LSB 引脚之间设定接合。再次地,进行 N+3 的检查,因为使用其中管芯 0 在堆的顶部处的格雷码知道可能存在的隔离的多个组将被 3 管芯所分离。在步骤 268 中,将 N 递增三至刚好连接(直接或间接)至底部管芯的管芯。并且,如上所述,系统执行步骤 266 以检查系统是否处于顶部管芯处。一旦 N 已递增至顶部管芯,则将进行所有竖直线接合并且没有引脚组会保持隔离。在步骤 270 中,系统进行在步骤 264 中设定的竖直线接合,并且管芯堆中的管芯 302 之间的线接合结束。

[0089] 图 19 示出了按照图 18 的流程图进行的竖直接合的俯视图。系统从底部管芯沿着引脚 23 向上移动直到其到达管芯 6。管芯 6 和管芯 2 与底部管芯 4 相隔离。在步骤 264 中,系统设定从管芯 6 到管芯 4 的多跳竖直接合。在实践中,使用上面阐述的布置,八个管芯的堆中的跳接将不超过三个管芯的竖直跳接。系统持续递增 N,直到也是隔离的低电压组的一部分的顶部管芯。然后,在步骤 264 中,系统将管芯 0 连接至管芯 2(如上面讨论的,其被较早地设定用于连接至底部管芯)。在该点处,设定所有垂直连接,并且在步骤 270 中进行连接。

[0090] 本领域技术人员可以理解在隔离的多组引脚之间进行至底部管芯的电连接的可替代方法。在上述实施方式中,在这些步骤中的每个步骤完成期间或之后进行步骤 102(图 6,单跳垂直连接)、步骤 106(对角连接)以及步骤 110(多跳垂直连接)的线接合。在另外的实施方式中,可以如上所述那样设定这些步骤中的每个步骤中的连接,但是在步骤 110 的完成时可以进行在这些步骤中进行的所有物理接合。

[0091] 本技术的特征是,可以使用使线接合的长度最小的线接合连接将所有管芯 302 线接合在一起。如背景技术部分所示,较长的线也需要做得更粗,以保持刚性并且在它的两个端点之间保持就位。此外,使所使用的线的长度最小化以及不具有比三个管芯长的跳接允许线设有小的线直径。

[0092] 最后的接合步骤 114 (图 6)包括将堆 300 线接合至基底 320。本技术的另一特征是允许在基底上使用最少的接触将有线堆 300 电耦接至基底 320。具体地,如图 20 所示,至堆 300 中的地址引脚的所有低电压状态连接电耦接在一起,且至堆 300 中的所有高电压状态连接电耦接在一起。如此,可以从基底上的单个电源接触垫 326 到堆 300 进行至所有地址引脚(以及耦接至其的任何其他引脚)的高电压连接。类似地,可以从基底上的单个接地接触垫 328 到堆 300 进行至所有地址引脚(以及耦接至其的任何其他引脚)的低电压连接。这提供了对现有技术所进行的连接的改进,现有技术需要多个接地引脚和电源引脚来服务于具有四个管芯或更多管芯的堆。

[0093] 如上所示,本技术可以用来线接合不同尺寸的管芯堆 300。图 21 和 22 示出了包括十六个管芯的堆 300 的实施方式。可以以上述流程图中阐述的用于形成八个管芯的堆的方式形成十六个管芯的堆。具体地,使用格雷码设定管芯的顺序,然后通过以下方式对管芯进行线接合:1)将堆中的相邻管芯上的多个引脚中的所有具有相同电压状态的对准的引脚彼此电连接,2)将堆中的相邻管芯上的多个引脚中的所有具有相同电压状态的对角引脚彼此电连接,该对角是指与下一个相邻地址引脚成对角,以及 3)将隔离的任一组电连接的引脚电连接至堆中的与基底相邻的底部管芯。单个组的高电压状态引脚可以安装至基底上的单个电源引脚。并且单个组的低电压状态引脚可以安装至基底上的单个接地引脚。

[0094] 目前,包括具有多于上面讨论的数量的管芯的管芯堆的封装件是不可行的。但是,给出以上公开内容,本领域技术人员可以理解如何按照格雷码在基底上依次提供这样的管芯堆,以及然后如何按照以上公开内容对堆中的管芯进行线接合。这样的另外的封装件例如可以包括多达 32 个或更多个半导体管芯。关于管芯堆中的少量的管芯,本技术可以用于对具有一个管芯至四个管芯的半导体封装件进行接线,但是这些封装件的线接合通常不呈现例如由本技术所解决的问题。一旦封装件中有五个或更多个管芯,则需要三个地址线来对堆中的每个管芯进行寻址,并且本技术可以在基底上使用最少数量的接触垫来有效地线接合这些封装件。虽然具有八个管芯的配置比具有五个管芯的配置更常见,但五个管芯封装件是已知的。

[0095] 再次参考八个管芯的堆,在最后的制造步骤 116 中(图 6),如图 23 所示,可以对有线堆 300 和基底 320 进行包封以形成完成的封装件 350。可以在树脂模制化合物 340 中包封管芯 302 和基底 320 以及所有线接合来形成完成的半导体封装件 350。也可以在步骤 116 中测试并检查完成的封装件 350。

[0096] 在一种实施方式中,本技术提供了一种对在基底上包括半导体管芯的堆的半导体封装件内的线接合进行优化的方法,每个半导体管芯包括用于向管芯传递信号以及从管芯传递信号的多个引脚。方法包括如下步骤:(a)基于按照格雷码对堆中的管芯上的多个引脚中的地址引脚进行排序来设定管芯在基底上的顺序;以及(b)按照在所述步骤(a)中设定的顺序将管芯固定至基底。

[0097] 在另外的实施方式中,本技术提供了一种对在基底上包括五个或更多个半导体管

芯的堆的半导体封装件内的线接合进行优化的方法,每个半导体管芯包括用于向管芯传递信号以及从自管芯传递的信号多个引脚,对线接合的优化使服务于多个引脚中的地址引脚所需要的基底上的电源垫和接地垫最少。在该实施方式中,方法包括以下步骤:(a)将所有指定用于低电压状态的地址引脚彼此电连接;(b)将所有指定用于高电压状态的地址引脚彼此电连接;(c)将所有用于低电压状态的地址引脚连接至基底上的单个接地接触垫;以及(d)将所有用于高电压状态的地址引脚连接至基底上的单个电源接触垫。

[0098] 在另外的实施方式中,本技术提供了一种对在基底上包括半导体管芯堆的半导体封装件内的线接合进行优化的方法,每个半导体管芯包括用于向管芯传递信号以及从管芯传递的信号多个引脚。在该实施方式中,方法包括如下步骤:(a)将堆中的相邻管芯上的多个引脚中的所有具有相同电压状态的对准的引脚彼此电连接;(b)将堆中的相邻管芯上的多个引脚中的具有相同电压状态的对角引脚彼此电连接,该对角是指与相邻管芯上的下一个相邻地址引脚成对角;以及(c)将隔离的任一组电连接引脚电连接至堆中的与基底相邻的底部管芯。

[0099] 在另外的实施方式中,本技术提供了一种对在基底上包括半导体管芯堆的半导体封装件内的线接合进行优化的方法,每个半导体管芯包括用于向管芯传递信号以及从管芯传递的信号多个引脚。该实施方式的方法包括如下步骤:(a)基于通过格雷码对堆中的管芯上的多个引脚中的地址引脚进行排序来设定管芯在基底上的顺序;(b)按照在所述步骤(a)中设定的顺序将管芯固定至基底;(c)将堆中的相邻管芯上的多个引脚中的所有具有相同电压状态的对准的引脚彼此电连接;(d)将堆中的相邻管芯上的多个引脚中的具有相同电压状态的对角引脚彼此电连接,该对角是指与相邻管芯上的下一个相邻地址引脚成对角;以及(e)将隔离的任一组电连接的低电压状态引脚电连接至堆中的与基底相邻的底部管芯,所述步骤(c)至(e)导致所有低电压状态引脚在单个组中电耦接在一起。

[0100] 出于示出和描述目的,已经呈现了在前的详细描述。不是意在穷举或将本发明限制为所公开的精确形式。鉴于上面的教导,许多更改和变化是可能的。选择所描述的实施方式,以最好地说明权利要求的方法的原则和其实际应用,从而使得本领域其他技术人员最好地利用多种实施方式中要求保护的方法并且考虑适用于具体应用的各种更改。本方法的范围意在由所附权利要求限定。

(现有技术)

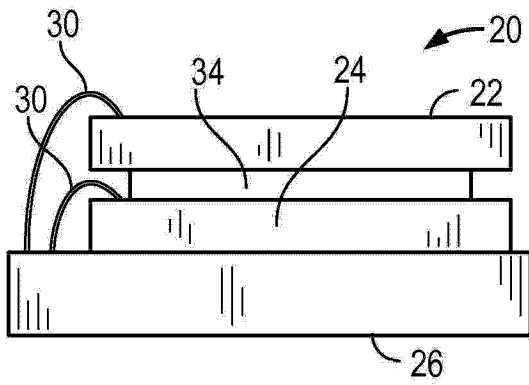


图 1

(现有技术)

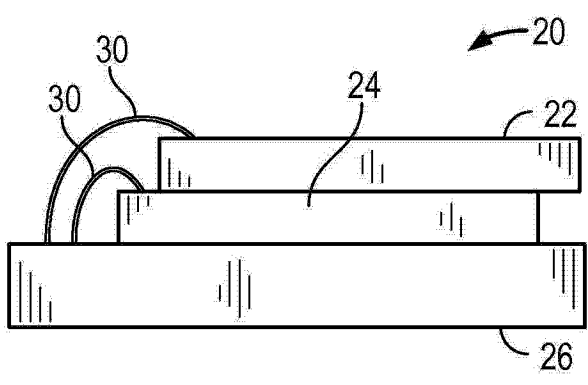


图 2

(现有技术)

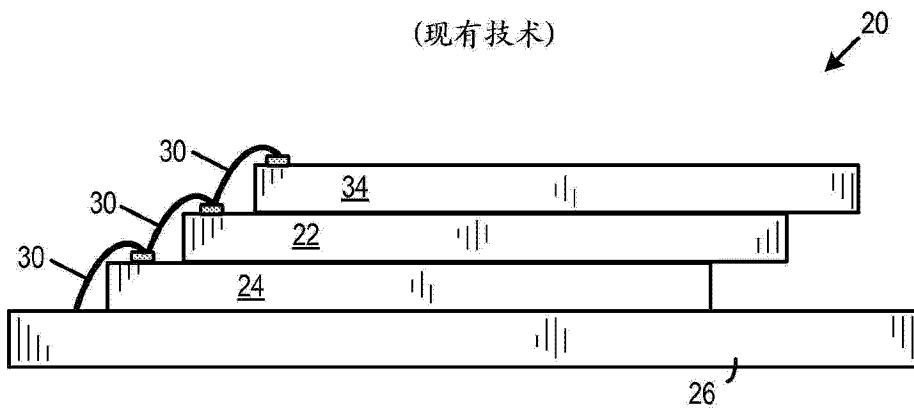


图 3

(现有技术)

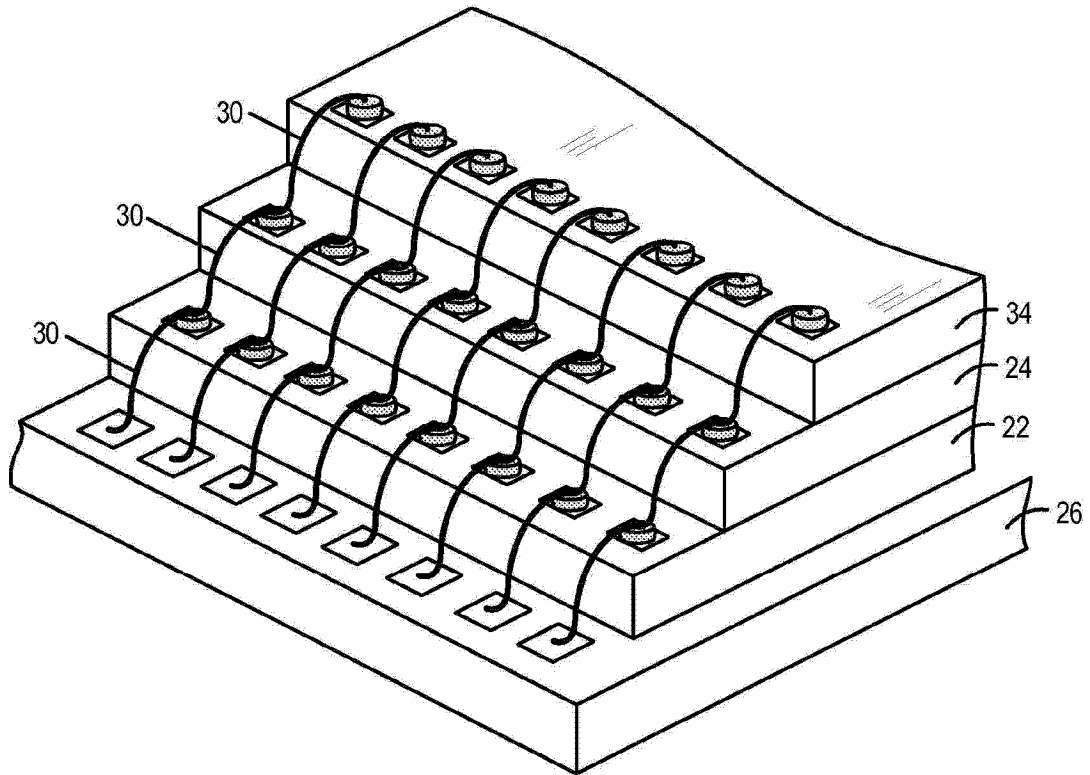


图 4

(现有技术)

堆的底部

堆的顶部

指状物	管芯0	管芯1	管芯2	管芯3	管芯4	管芯5	管芯6	管芯7		
接地	0	0	0	0	1	1	1	1	CADD2x	引脚20
Vcc										
接地	0	0	1	1	0	0	1	1	CADD1x	引脚21
接地	0	1	0	1	0	1	0	1	CADD0x	引脚23
电源										
接地										

图 5

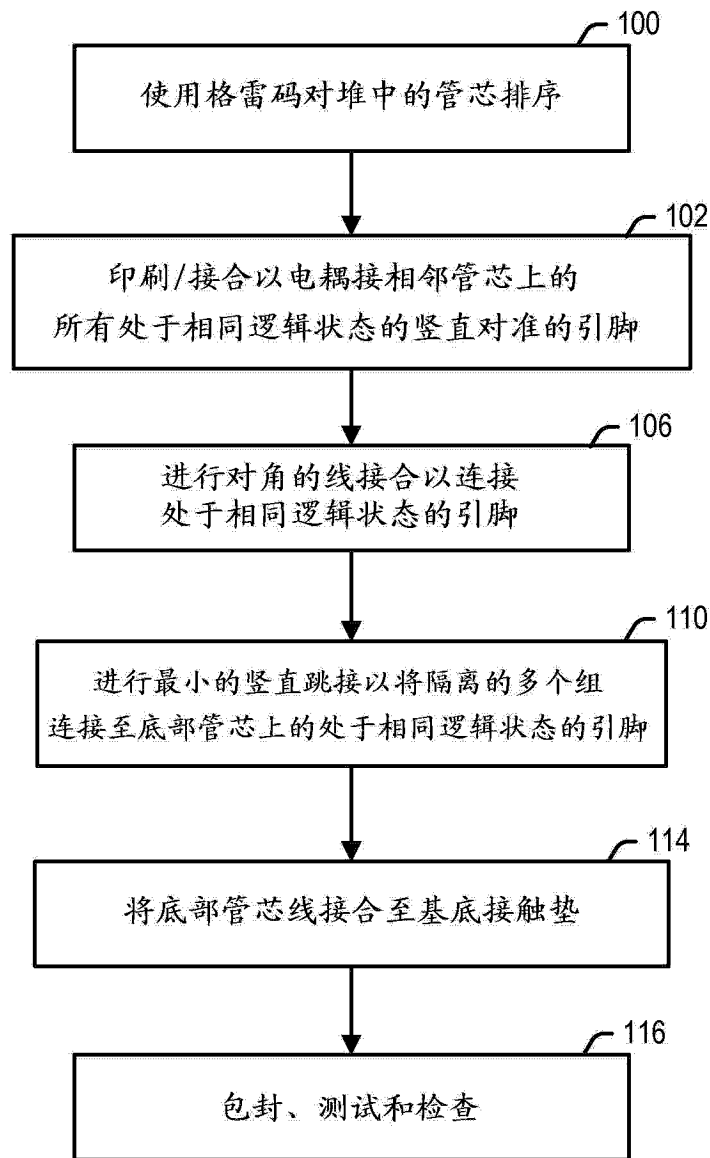


图 6

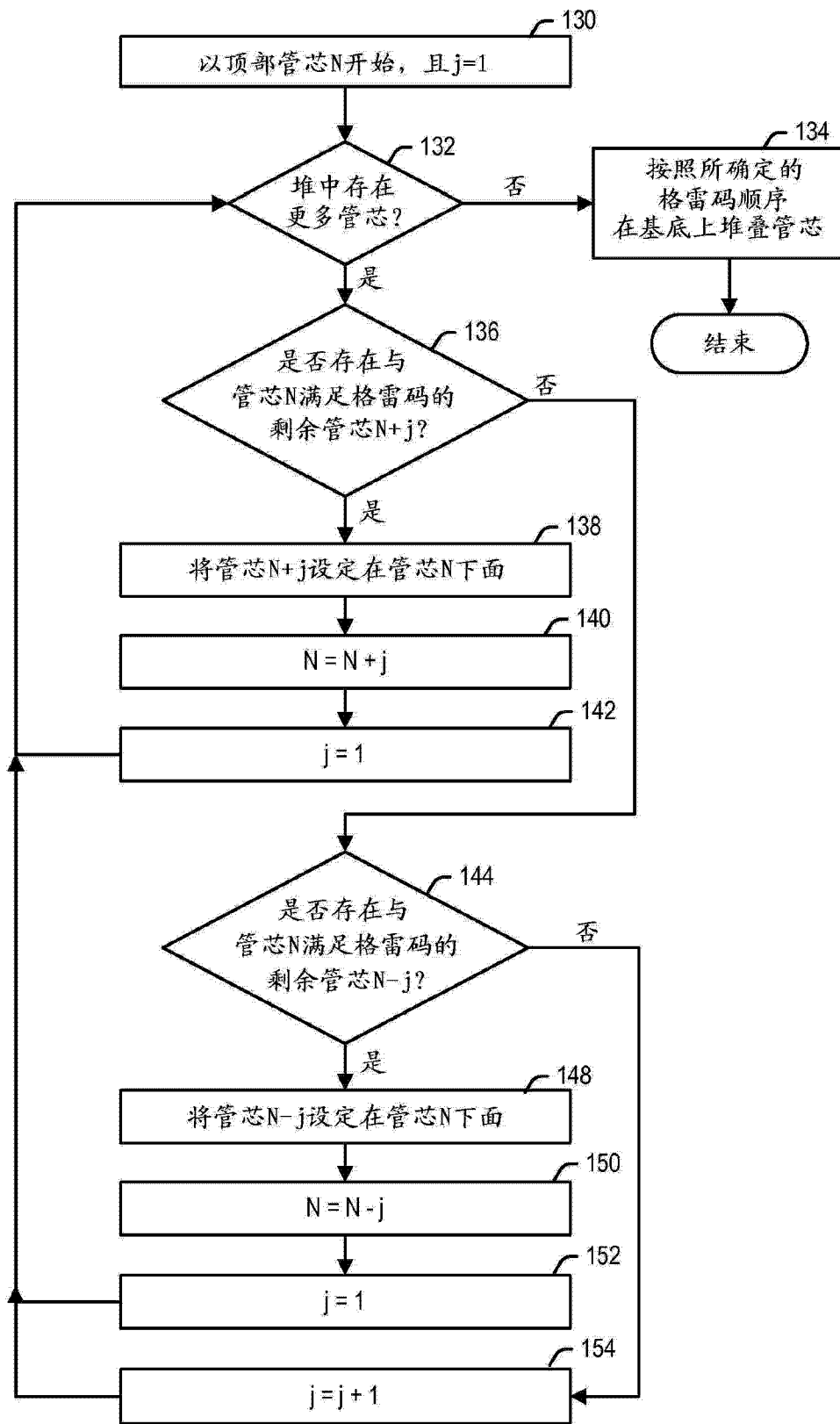


图 7

堆的底部 堆的顶部

管芯4	管芯5	管芯7	管芯6	管芯2	管芯3	管芯1	管芯0	CADD2x	引脚20
1	1	1	1	0	0	0	0	CADD1x	引脚21
0	0	1	1	1	1	0	0	CADD0x	引脚23

304

图 8

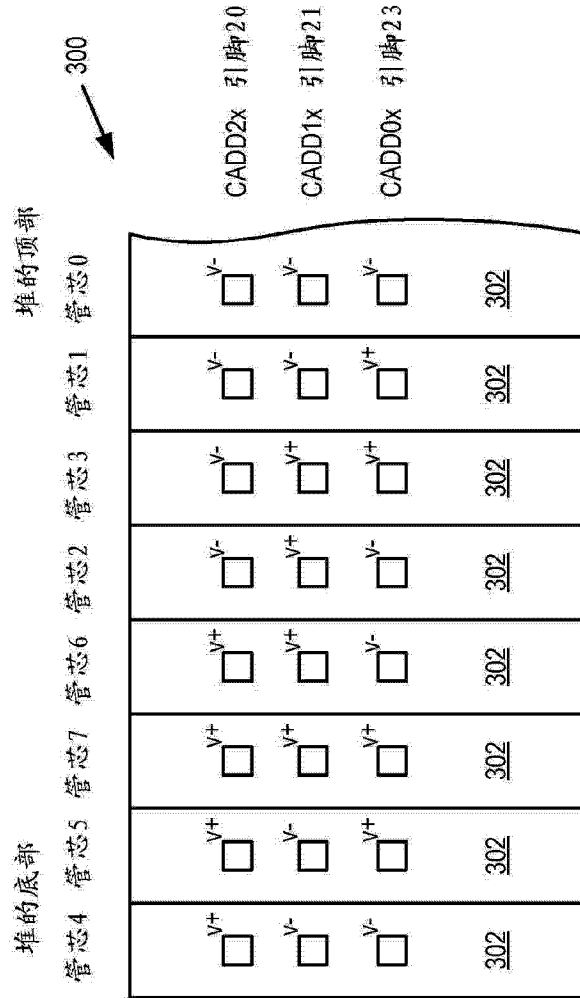


图 9

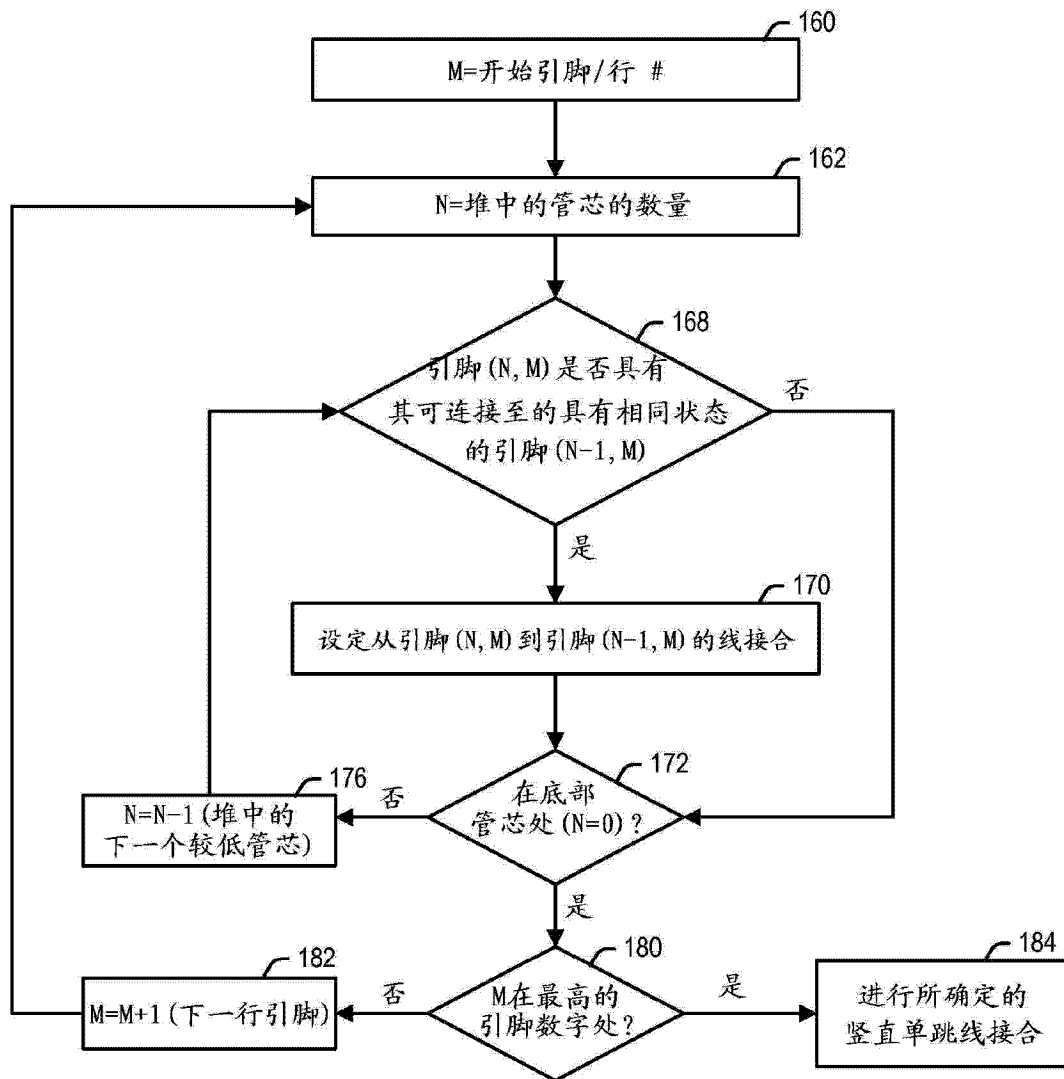


图 10

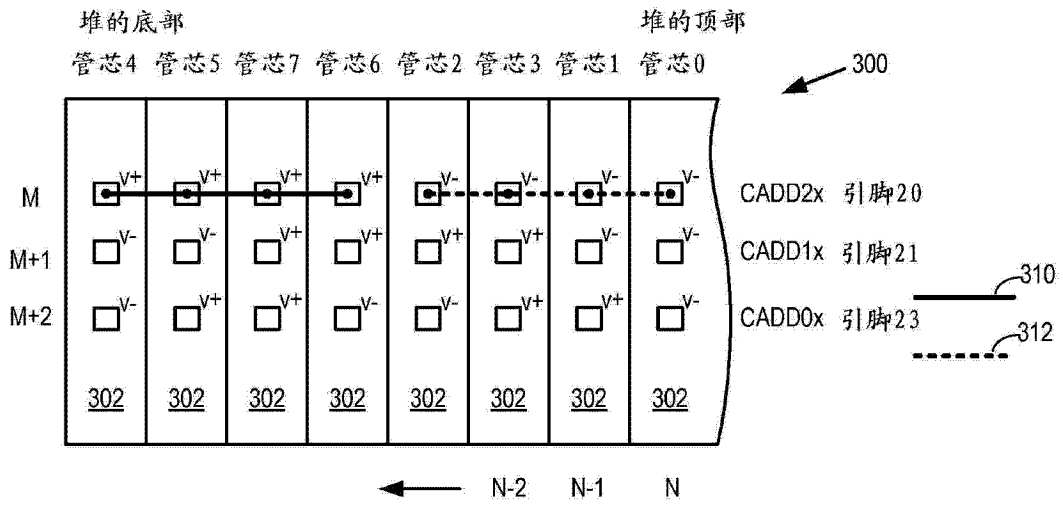


图 11

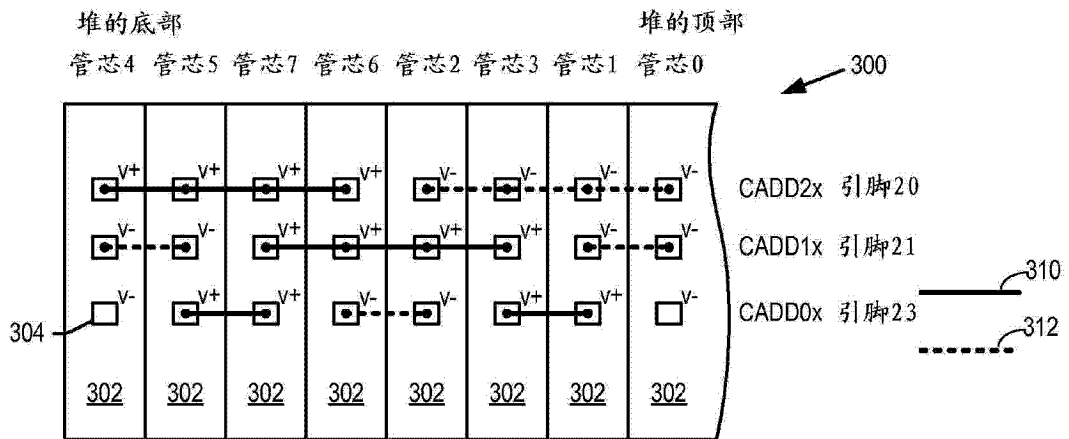


图 12

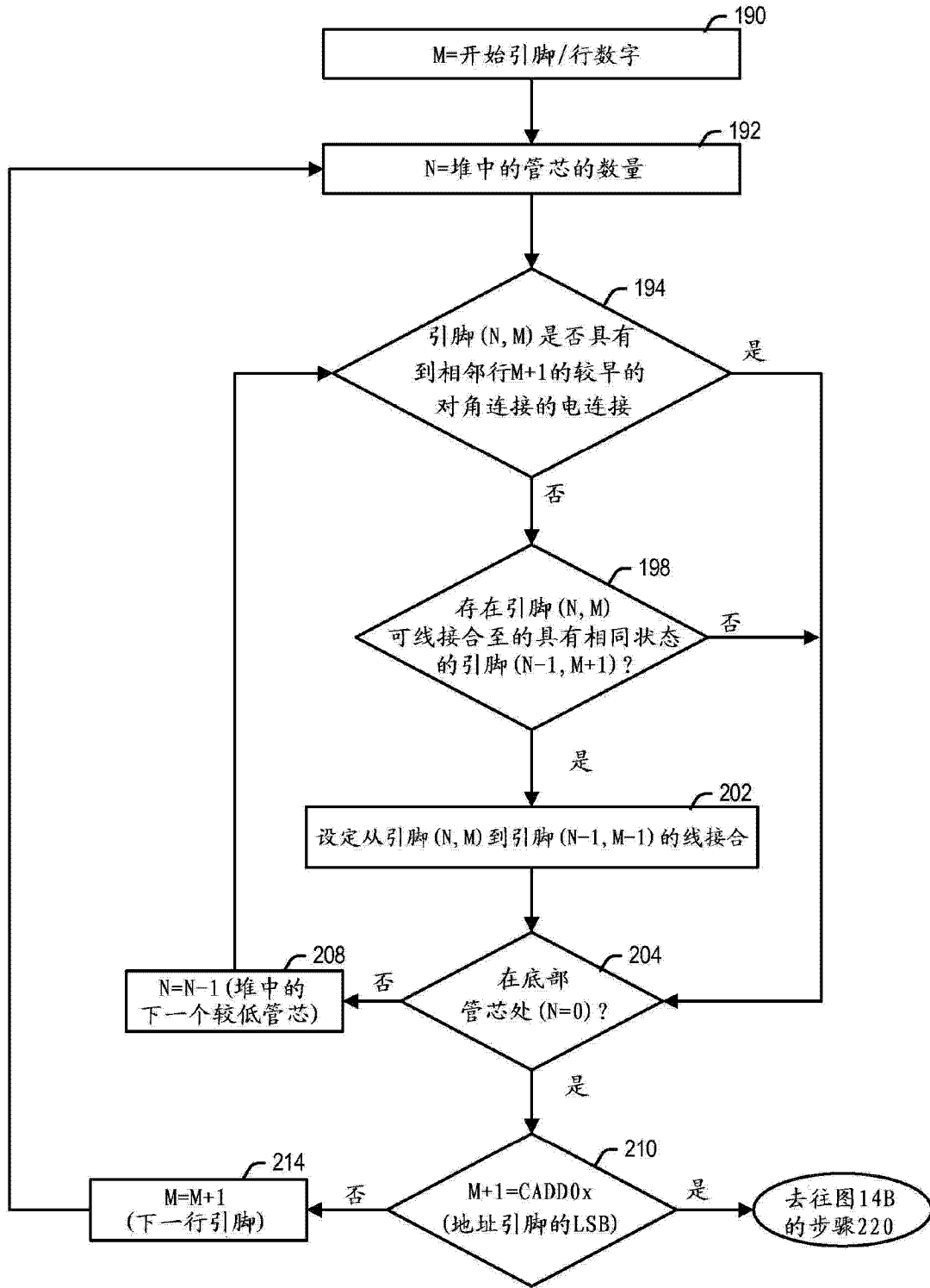


图 13A

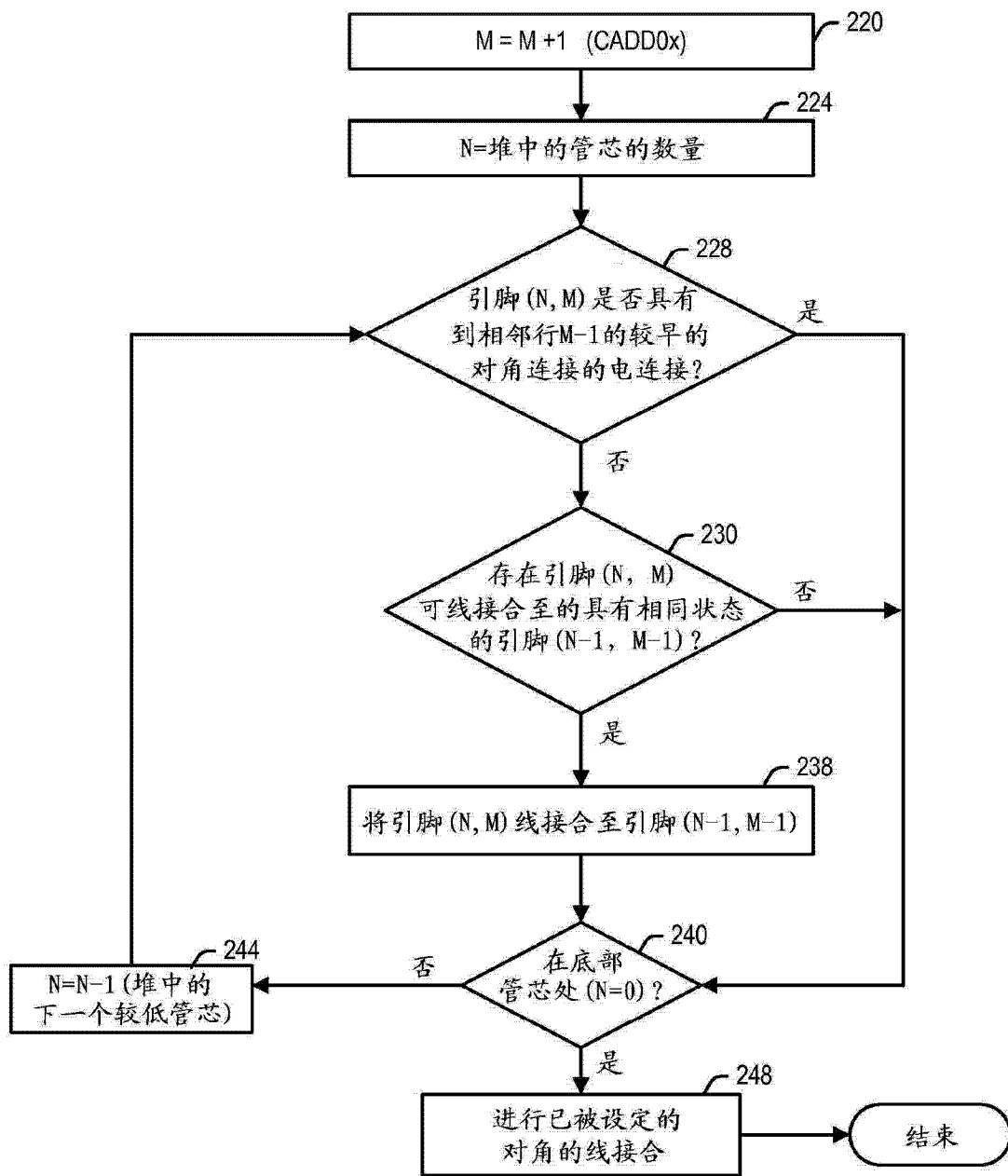


图 13B

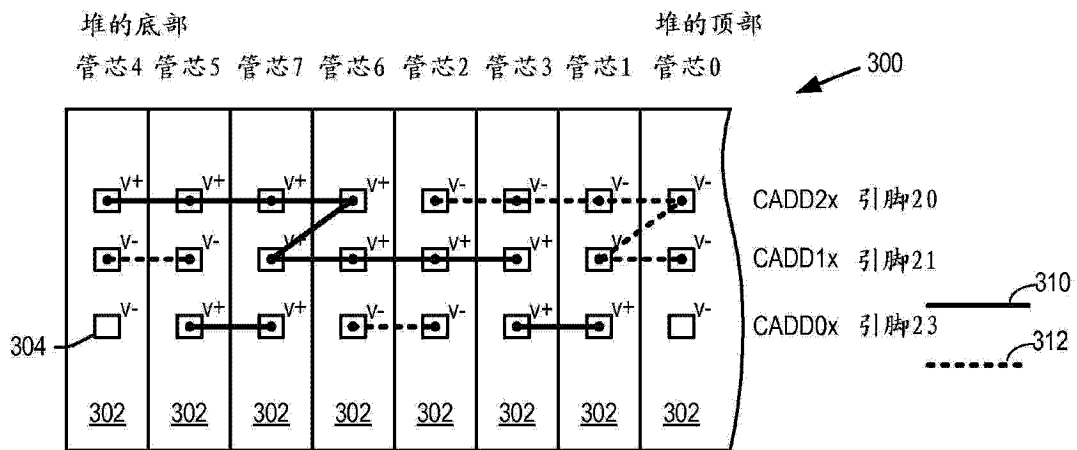


图 14

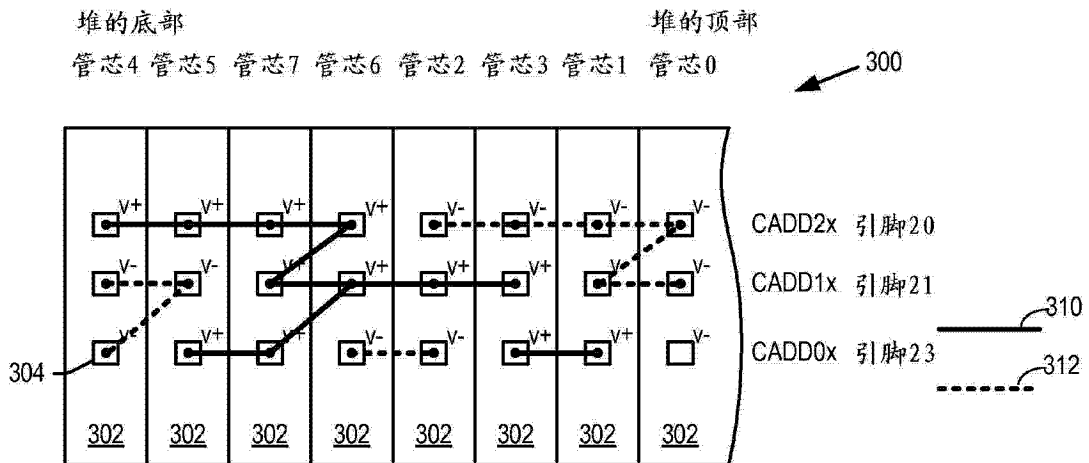


图 15

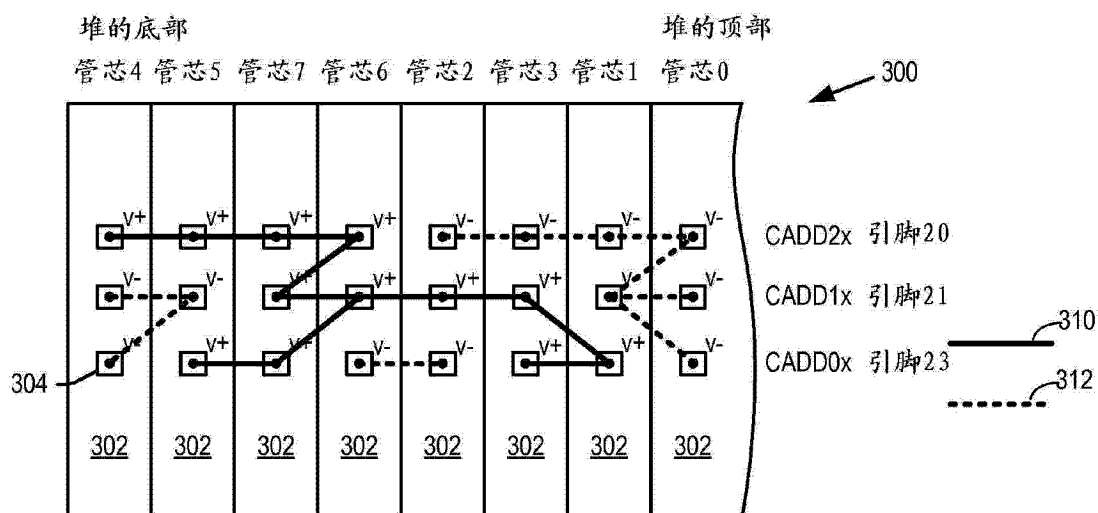


图 16

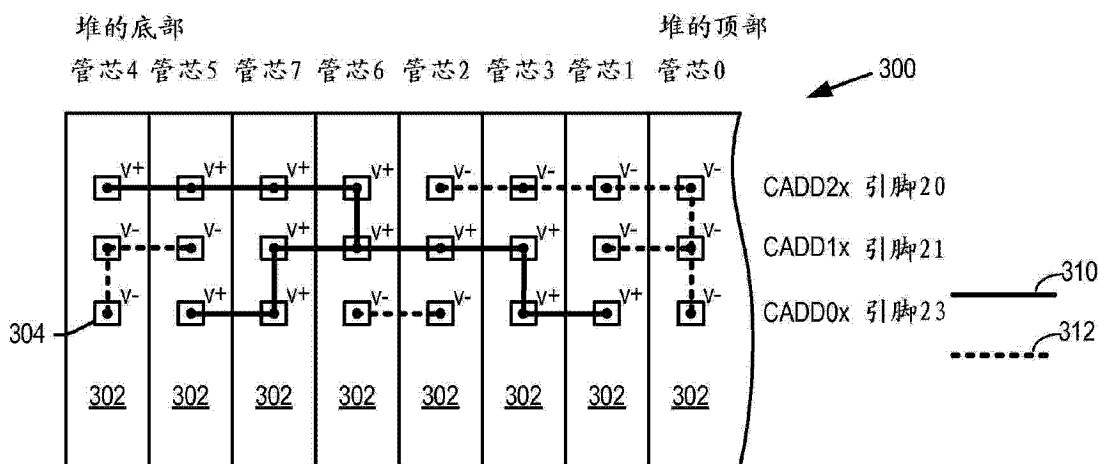


图 17

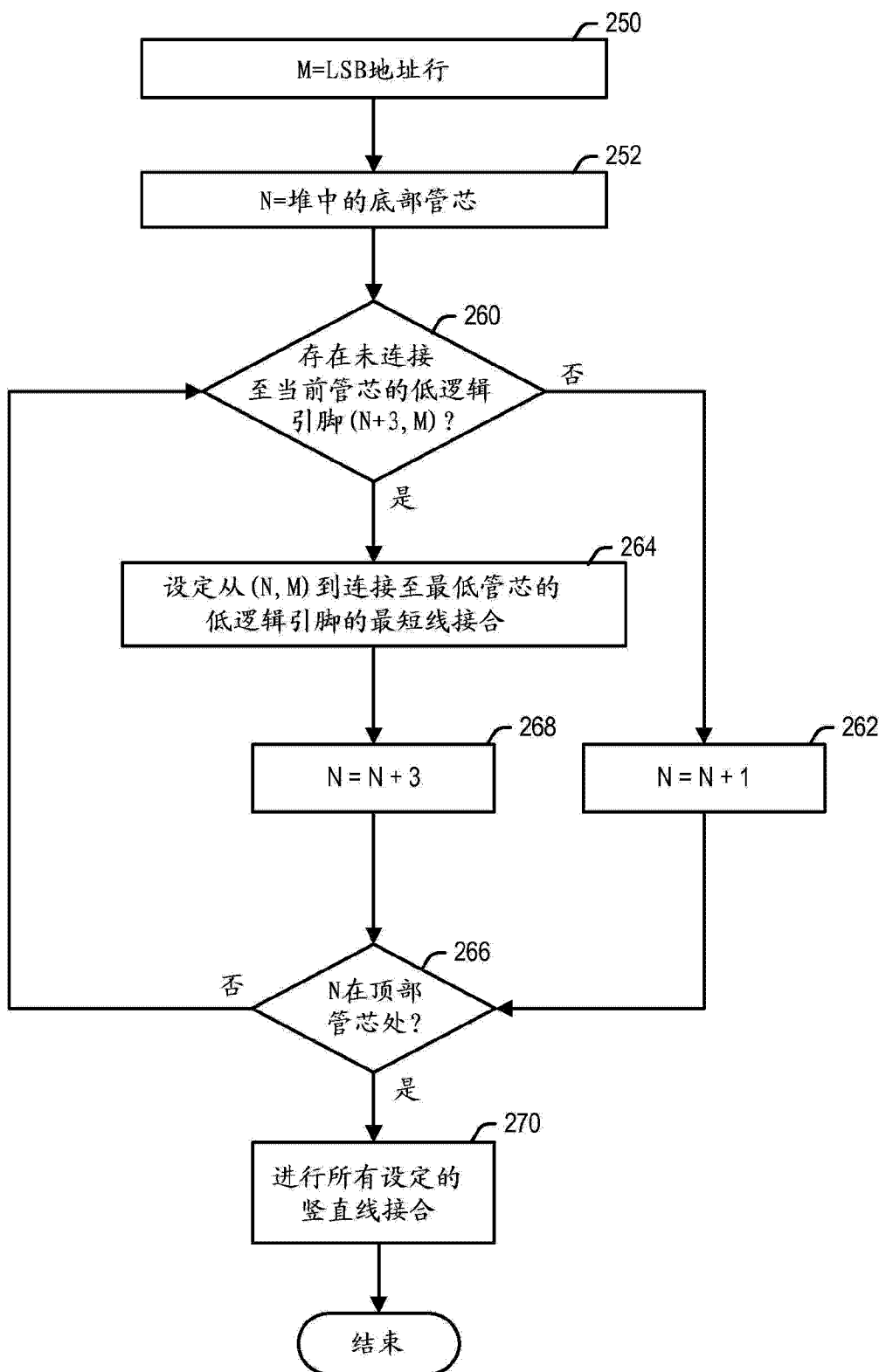


图 18

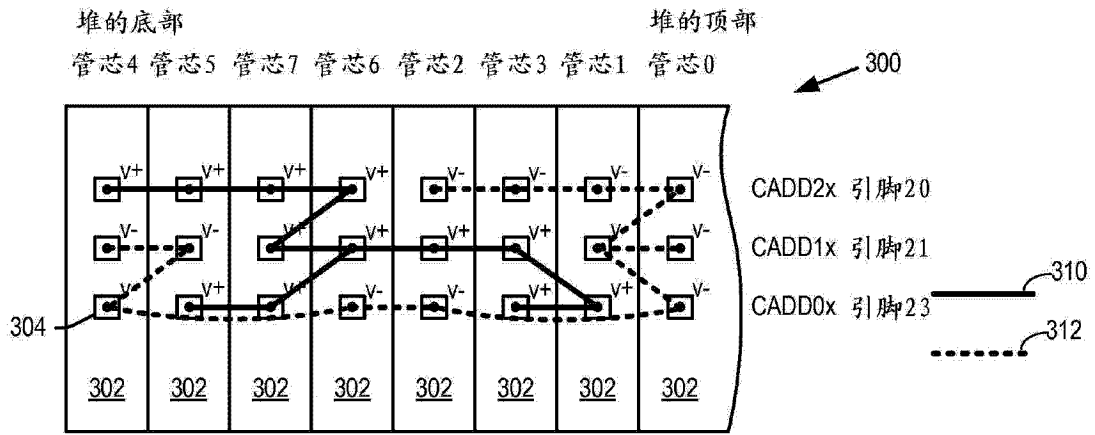


图 19

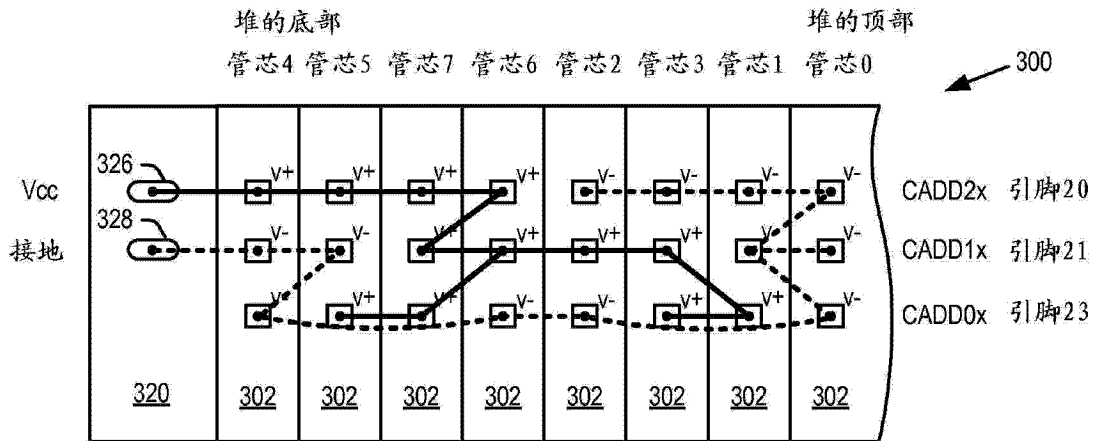


图 20

堆的顶部

D 8	D 9	D 11	D 10	D 14	D 15	D 13	D 12	D 4	D 5	D 7	D 6	D 2	D 3	D 1	D 0	CADD3x	CADD2x	CADD1x	CADD0x
1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	0	0
0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	1	1	0	0

堆的底部

图 21

堆的底部

堆的顶部

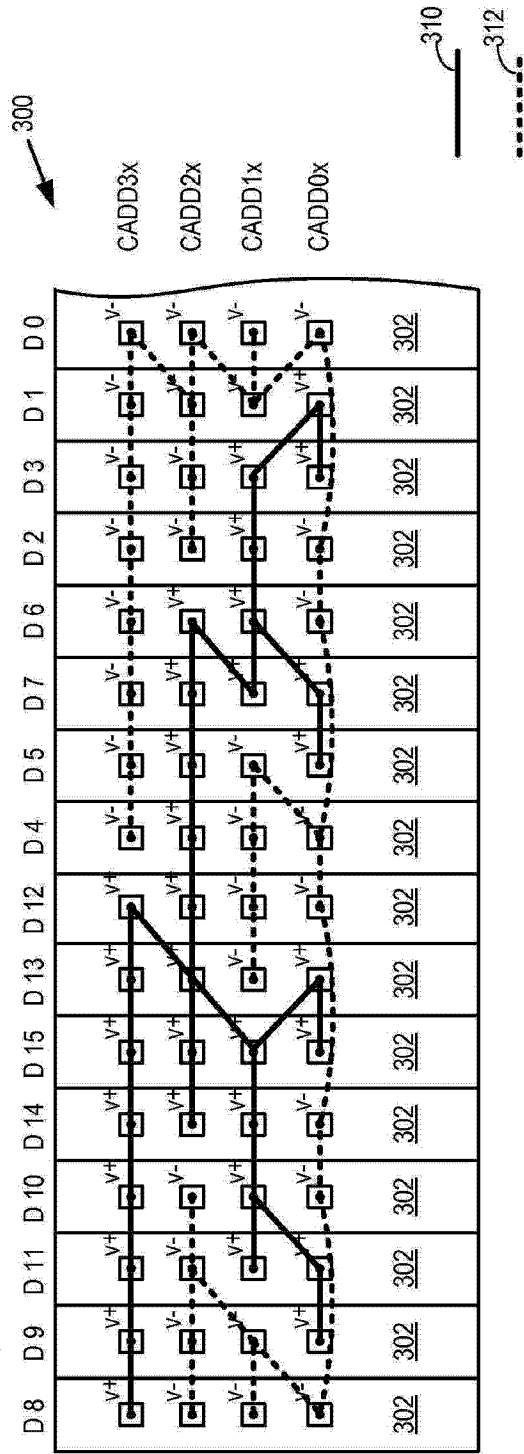


图 22

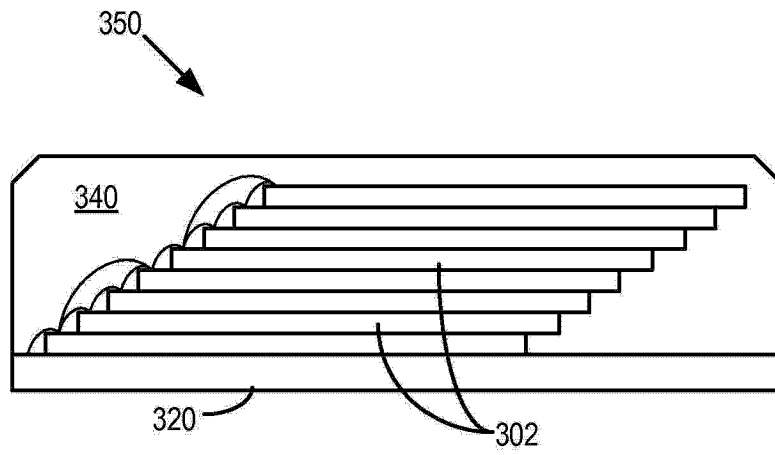


图 23