



Patent
aufrechterhalten nach
§ 12 Abs. 3 ErstrG

(51) Int. Cl.⁶: **H 03 B 5/32**
H 04 L 7/02
H 04 L 25/40

DEUTSCHES PATENTAMT

Innerhalb von 3 Monaten nach Veröffentlichung der Aufrechterhaltung kann Einspruch eingelegt werden

(21) Aktenzeichen:	(22) Anmeldetag:	(44) Veröff.-tag der DD-Patentschrift:	(45) Veröff.-tag der Aufrechterhaltung:
DD H 03 B / 342 314 3	29. 06. 90	31. 10. 91	14. 06. 95

(30) Unionspriorität:
—

(72) Erfinder: Brandes, Manfred, Dr.-Ing., 10365 Berlin, DE; Prüfer, Leander, Dipl.-Ing., 12487 Berlin, DE
(73) Patentinhaber: Alcatel SEL RFT GmbH, Storkower Str. 99, 10407 Berlin, DE

(54) Schaltungsanordnung für einen steuerbaren Taktoszillator

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 3 036 785 C 2; DE 3 604 834 A 1; DD 278 459 A 1; DD 278 460 A 1; EP 0 275 406 A 1
KOHLSCHMIDT, R: Zum Einsatz von PLL-Schaltungen zur Taktrückgewinnung in PCM-Regeneratoren.
In: Nachrichtentechnik Elektronik 1980, Nr. 7, S. 273–278.

Patentansprüche:

1. Schaltungsanordnung für einen steuerbaren Taktoszillator, insbesondere einen Quarzoszillator, der Bestandteil einer Phasenregelschleife zur Taktrückgewinnung in Regeneratoren für digitale Signale ist, wobei die Oszillatorfrequenz wiederholt in Stufen derart zwischen höheren und niederen Werten umgeschaltet wird, daß ihr langzeitiger Mittelwert über eine große Anzahl von Bits exakt mit der Bitfrequenz des digitalen Signals übereinstimmt und die Umschaltung der Frequenz jeweils dann erfolgt, wenn eine positive oder negative Phasenabweichung festgestellt wird, **dadurch gekennzeichnet**, daß
 - im wesentlichen n einzeln aktivierbare, ausgangsseitig parallelgeschaltete Teilverstärker (V 1 bis V n) mit je einem Steuereingang und eine Steuerlogik (SL) mit mindestens einem Steuereingang (H) zur Erhöhung der Oszillatorfrequenz einem Steuereingang (N) zur Erniedrigung der Oszillatorfrequenz und n Ausgängen vorgesehen sind,
 - die Teilverstärker (V 1 bis V n) einen gemeinsamen Rückkopplungsweig, bestehend aus einem Schwingquarz (Q) und einem Kondensatorblock (C), aufweisen,
 - der Kondensatorblock (C) aus maximal n Kondensatoren (C 1 bis C n) besteht,
 - jeder Teilverstärker (V 1 bis V n) mit einem Kondensator (C 1 bis C n) verbunden ist und
 - der Steueranschluß jedes Teilverstärkers (V 1 bis V n) an jeweils einen Ausgang der Steuerlogik (SL) angeschlossen ist.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß die Kondensatoren (C 1 bis C n) einseitig parallelgeschaltet sind.
3. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß die Kondensatoren (C 1 bis C n) in Reihe geschaltet sind.
4. Schaltungsanordnung nach Anspruch 1 und einem der Ansprüche 2 und 3, **dadurch gekennzeichnet**, daß den Teilverstärkern (V 1 bis V n) ein Bandpaß (BP) nachgeschaltet ist.

Hierzu 3 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Oszillatorschaltung mit in Stufen umsteuerbarer Frequenz, wie sie zur jitterarmen Taktrückgewinnung in Regeneratoren für digitale Signale, insbesondere PCM-Signale, bei der Übertragung auf Kabeln und anderen Übertragungsmedien mit geringem Nutz-/Stör-Abstand verwendet wird. Die Oszillatorschaltung ist dabei Bestandteil einer weitgehend aus digitalen Elementen bestehenden Phasenregelschleife, in welcher die mittlere Oszillatorfrequenz auf die Bittaktfrequenz des zu regenerierenden digitalen Signals nachgeregelt wird.

Charakteristik des bekannten Standes der Technik

Für die Regenerierung digitaler Signale wird der Bittakt des bei der Übertragung verzerrten und gestörten Empfangssignals benötigt, um neben einer Amplitudenentscheidung auch eine Zeitentscheidung durchführen zu können und die regenerierten Impulse wieder möglichst phasenjitterfrei im ursprünglichen Zeitrahmen rückzugewinnen.

Eine einfache Taktrückgewinnung besteht aus Gleichrichter, Taktfilter und Begrenzerverstärker, vgl. Mayo, J. S.: A Bipolar Repeater For Pulse Code Modulation Signals, The Bell System Technical Journal 41 (1962), Heft 1, Seite 25-97. Eine solche Anordnung hat aufgrund der nur geringen Güte der üblicherweise als Taktfilter verwendeten LC-Schwingkreise nur eine geringe Jitterunterdrückung und ist daher für redundanzarme Leitungscodes mit theoretisch unbegrenzter Pausenlänge im digitalen Signal ungeeignet. Hierbei muß ein Verlust an zulässigem Nutz-/Stör-Abstand und damit an maximal erreichbarer Regeneratorfeldlänge in Kauf genommen werden.

Hohe äquivalente Güten zur Überbrückung großer Pausenlängen bei redundanzarmen Leitungscodes sind mit Taktrückgewinnungsschaltungen erreichbar, die Phasenregelkreise, sogenannte PLL-Schaltungen, enthalten, vgl. Kohlschmidt, R.: Zum Einsatz von PLL-Schaltungen zur Taktrückgewinnung in PCM-Regeneratoren, Nachrichtentechnik Elektronik 30 (1980), Heft 7, Seiten 273-278. Mit dem Verfahren gemäß DD-WP 278 459 und der Schaltungsanordnung gemäß DD-WP 278 460 wird zur Unterdrückung der hierbei möglichen Jitterverstärkung bei der Kettenschaltung von Regeneratoren und der Pulsdichteabhängigkeit analog arbeitender PLL-Regelschleifen die Frequenz eines steuerbaren Oszillators in Abhängigkeit von einer festgestellten Taktvoreilung beziehungsweise Taktநacheilung erniedrigt beziehungsweise erhöht. Bei ausreichend hoher Frequenzkonstanz kann der Oszillator auch in genügend kleinen diskreten Frequenzstufen im erforderlichen Bereich umgeschaltet werden.

Bekannt ist eine Oszillatorschaltung, deren Frequenz zwischen einem oberen und einem unteren Wert variierbar ist, indem ein Ziehkondensator innerhalb einer Periodendauer, die sehr viel kleiner als die Zeitkonstante des als Frequenznormal verwendeten Schwingquarzes ist, zu- und abgeschaltet wird und das Tastverhältnis des Umschaltvorganges kontinuierlich geändert werden kann, vgl. DE-OS 3 036 785. Diese Erfindungsanmeldung enthält jedoch keinen Hinweis zu einer Anwendung innerhalb einer Phasenregelschleife. In der Praxis zeigte sich, daß beim Zu- und Abschalten des Ziehkondensators unzulässige

Phasensprünge auftreten. Weiterhin würden bei großen Pausenlängen im digitalen Empfangssignal die Umschaltzeiten nicht mehr sehr viel kleiner als die Zeitkonstante des Schwingquarzes sein, so daß sich vorübergehend die Maximalbeziehungswise Minimalfrequenz und damit relativ große Phasenabweichungen einstellen.

Es ist weiterhin bekannt, den zurückgewonnenen Bittakt aus dem Takt eines nichtsynchronisierten, frei schwingenden Oszillators abzuleiten (DE-PS 3 604 834). Die Oszillatorfrequenz beträgt hierbei ein Vielfaches des Nennwertes der Bitfrequenz und wird mit einer steuerbaren Teilerschaltung auf diesen herabgesetzt. Mit einem Phasendiskriminator wird dessen Teilverhältnis gesteuert. Ein derartiges Verfahren erfordert allerdings digitale Bauelemente, deren Arbeitsgeschwindigkeit ein Mehrfaches der zu übertragenden Bitrate entsprechen muß. Darüber hinaus sind Phasensprünge unvermeidbar, die nur mit hohem Schaltungsaufwand reduziert werden können.

Nach einem weiteren Verfahren (EP 0 275 406) liegt die Oszillatorfrequenz beim Nennwert der Bitfrequenz. In Abhängigkeit vom Ausgangssignal eines Phasendiskriminators wird der zurückgewonnene Bittakt durch Umschaltung zwischen verschiedenen parallel verfügbaren Phasenlagen der Oszillatorspannung abgeleitet. Auch dieses Verfahren hat den Nachteil, daß Phasensprünge unvermeidbar sind.

Ziel der Erfindung

Es wird eine Oszillatorschaltung angestrebt, deren Taktfrequenz exakt mit dem momentanen Mittelwert der Bitfrequenz des empfangenen digitalen Signals übereinstimmt, um eine weitgehend fehlerfreie Signalregenerierung zu gewährleisten.

Wesen der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Oszillatorschaltung mit in Abhängigkeit von Steuersignalen innerhalb vorgegebener Grenzen umsteuerbarer Oszillatorfrequenz zur Taktrückgewinnung in Regeneratoren für digitale Signale anzugeben, die unter Verwendung eines Schwingquarzes als Frequenznormal eine hohe Eigenkonstanz der Momentanfrequenz aufweist. Dabei sind durch die Umsteuervorgänge hervorgerufene Phasensprünge innerhalb zulässiger Grenzen zu halten und bei fehlenden Steuersignalen die zuletzt eingestellte Momentanfrequenz möglichst genau beizubehalten.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß im wesentlichen n einzeln aktivierbare, ausgangsseitig parallelgeschaltete Teilverstärker mit je einem Steuereingang und eine Steuerlogik vorgesehen sind. Die Steuerlogik weist mindestens einen Steuereingang zur Erhöhung der Oszillatorfrequenz, einen Steuereingang zur Erniedrigung der Oszillatorfrequenz und n Ausgänge auf. Die Teilverstärker weisen einen gemeinsamen Rückkopplungsweig auf, der aus einem Schwingquarz und einem Kondensatorblock aus maximal n Kondensatoren besteht. Jeder Teilverstärker ist mit einem dieser Kondensatoren verbunden. Der Steueranschluß jedes Teilverstärkers ist an jeweils einen Ausgang der Steuerlogik angeschlossen.

In einer ersten Variante sind die Kondensatoren einseitig parallelgeschaltet und in einer zweiten Variante sind die Kondensatoren in Reihe geschaltet.

Den Teilverstärkern ist ein Bandpaß nachgeschaltet.

Mit der Steuerlogik wird jeweils nur ein Teilverstärker aktiviert. Dieser bildet dann mit dem Schwingquarz und dem zugeordneten Kondensator eine selbstschwingende Oszillatorschaltung für die jeweils gewünschte Frequenz. Wird am Steuereingang zur Erhöhung der Oszillatorfrequenz eine Taktvoreilung signalisiert, wird mit der Steuerlogik derjenige Teilverstärker für die nächsthöhere Oszillatorfrequenz aktiviert. Wird am Steuereingang zur Erniedrigung der Oszillatorfrequenz eine Taktvoreilung signalisiert, wird mit der Steuerlogik derjenige Teilverstärker für die nächstniedrigere Oszillatorfrequenz aktiviert.

In einem Regenerator kann bei der Übertragung statistischer Digitalsignale für eine gewisse Zeit abhängig vom jeweiligen Impulsmuster weder ein Signal für Taktvoreilung noch ein Signal für Taktvoreilung gebildet werden. Während dieser Zeit wird mit der Steuerlogik der zuletzt aktivierte Teilverstärker im aktiven Zustand gehalten. Die Oszillatorfrequenz bleibt konstant.

Ausführungsbeispiel

Die Erfindung wird nachstehend anhand mehrerer Ausführungsbeispiele näher erläutert. Die dazu erforderlichen Zeichnungen zeigen

Fig. 1: eine Prinzipdarstellung der erfindungsgemäßen Oszillatorschaltung

Fig. 1 a: eine Anordnung der Kondensatoren im Kondensatorblock

Fig. 1 b: eine weitere Anordnung der Kondensatoren im Kondensatorblock

Fig. 2: eine Darstellung einer zweckmäßigen steuerbaren Oszillatorschaltung mit den Bestandteilen

Fig. 2 a: eine Darstellung der Steuerlogik

Fig. 2 b: eine detaillierte Darstellung der Oszillatorschaltung

Gemäß Fig. 1 sind im wesentlichen n einzeln aktivierbare, ausgangsseitig parallelgeschaltete Teilverstärker V 1 bis V n mit je einem Steuereingang und eine Steuerlogik SL vorgesehen. Die Steuerlogik SL weist mindestens einen Steuereingang H zur Erhöhung der Oszillatorfrequenz, einen Steuereingang N zur Erniedrigung der Oszillatorfrequenz und n Ausgänge auf. Die Teilverstärker V 1 bis V n weisen einen gemeinsamen Rückkopplungsweig auf, der aus einem Schwingquarz Q und einem Kondensatorblock C aus maximal n Kondensatoren C 1 bis C n besteht. Jeder Teilverstärker V 1 bis V n ist mit einem dieser

Kondensatoren C 1 bis C n verbunden. Der Steueranschluß jedes Teilverstärkers V 1 bis V n ist an jeweils einen Ausgang der Steuerlogik angeschlossen.

In einer ersten Variante sind die Kondensatoren C 1 bis C n gemäß Fig. 1 a einseitig parallelgeschaltet und in einer zweiten Variante sind die Kondensatoren C 1 bis C n gemäß Fig. 1 b in Reihe geschaltet.

Mit der Steuerlogik SL wird jeweils nur einer der Teilverstärker V 1 bis V n aktiviert. Dieser bildet dann mit dem Schwingquarz Q und dem zugeordneten Kondensator C 1 bis C n eine selbstschwingende Oszillatorschaltung für die jeweils gewünschte Frequenz. Wird am Steuereingang H eine Taktnacheilung signalisiert, wird mit der Steuerlogik SL derjenige Teilverstärker V 2 bis V n für die nächsthöhere Oszillatorfrequenz aktiviert. Wird am Steuereingang N eine Taktvoreilung signalisiert, wird mit der Steuerlogik SL derjenige Teilverstärker V 1 bis V n-1 für die nächstniedrigere Oszillatorfrequenz aktiviert.

In einem Regenerator kann bei der Übertragung statistischer Digitalsignale für eine gewisse Zeit abhängig vom jeweiligen Impulsmuster weder ein Signal für Taktvoreilung noch ein Signal für Taktnacheilung gebildet werden. Während dieser Zeit wird mit der Steuerlogik SL der zuletzt aktivierte Teilverstärker V 1 bis V n im aktiven Zustand gehalten. Die Oszillatorfrequenz bleibt konstant.

Zur Vermeidung von Phasensprüngen am Ausgang A der Oszillatorschaltung durch die Umsteuervorgänge bei der Aktivierung der Teilverstärker V 1 bis V n ist es zweckmäßig, den Teilverstärkern V 1 bis V n einen schmalbandigen Bandpaß nachzuschalten. Dessen Durchlaßbereich muß jedoch mindestens dem Bereich der umsteuerbaren Oszillatorfrequenzen entsprechen.

Die Fig. 2 zeigt eine zweckmäßige Ausführungsform der erfindungsgemäßen Schaltungsanordnung für $n = 3$ Oszillatorfrequenzen. Gemäß Fig. 2 a besteht die Steuerschaltung SL aus den NAND-Gattern G 1 bis G 10 und den mit dem Bittakt getakteten Flipflops FF 1 bis FF 4. In Abhängigkeit von den Signalen an den Steuereingängen zur Erhöhung H und Erniedrigung N der Oszillatorfrequenz werden mit Hilfe interner Rückführungen die Aktivierungssignale K 1 bis K 3 gebildet. In Fig. 2 b ist ein detailliertes Schaltbild des erfindungsgemäßen Oszillators mit symmetrischem Aufbau dargestellt. Die Transistoren T 4 und T 4' stellen mit den Widerständen R 7 und R 7' sowie mit der Z-Diode D 4 und dem Widerstand R 4 eine für sich bekannte Stromspiegelschaltung dar. Mit jeweils einem Transistorpaar T 21/T 21', T 22/T 22' und T 23/T 23' ist ein Teilverstärker V 1 bis V 3 gebildet. Die Widerstände R 5 und R 5' sind gemeinsame Arbeitswiderstände für alle drei Teilverstärker V 1 bis V 3 und bilden mit den Kondensatoren C 3 und C 3' sowie der Induktivität L einen definiert bedämpften, auf die Oszillatorfrequenz abgestimmten Schwingkreis im Ausgangskreis der Oszillatorschaltung als Realisierung des Bandpasses BP. Die paarweise angeordneten Transistoren T 31/T 31', T 32/T 32' und T 33/T 33' bilden die Steuereingänge der Teilverstärker V 1 bis V 3, die mit den Widerständen R 1, R 2 und R 3 sowie den Dioden D 1, D 2 und D 3 an die Ausgänge der Steuerlogik SL angepaßt sind und die Aktivierungssignale K 1, K 2 und K 3 führen. Der Rückkopplungskreis der symmetrisch aufgebauten Oszillatorschaltung wird über die Transistoren T 1 und T 1' mit den ihnen zugeordneten Widerständen R 6 und R 6' geführt, die als Emitterfolger die Ausgangsspannung an den Ausgängen A und /A bereitstellen. Der frequenzbestimmende Schwingquarz Q ist unmittelbar zwischen den Emitttern der Transistoren T 21 und T 21' angeordnet. Die Kondensatoren C 1, C 1', C 2 und C 2' sind die Kondensatoren des Kondensatorblocks C gemäß Fig. 1, die gemäß Fig. 1 a einseitig parallelgeschaltet sind. Sie sind jeweils mit dem Emitter des zugeordneten Transistors T 22, T 22', T 23 und T 23' verbunden. Die Oszillatorschaltung wird mit einer positiven Betriebsspannung UB versorgt.

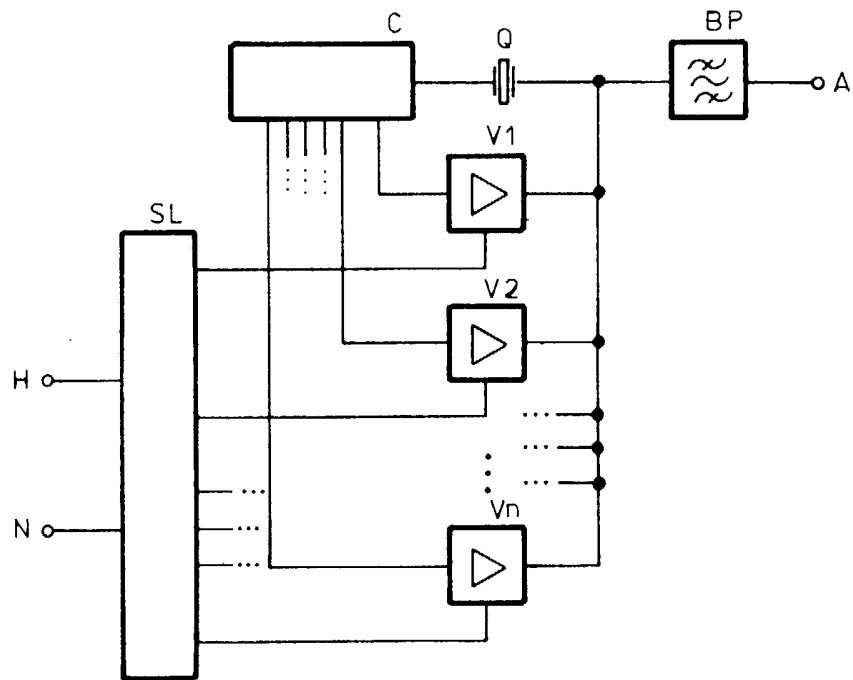


Fig. 1

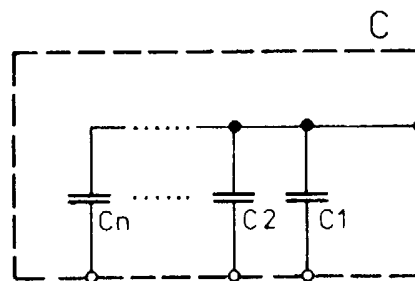


Fig. 1a

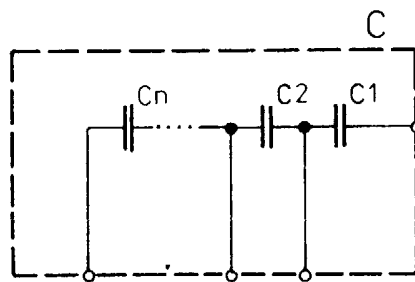


Fig. 1b

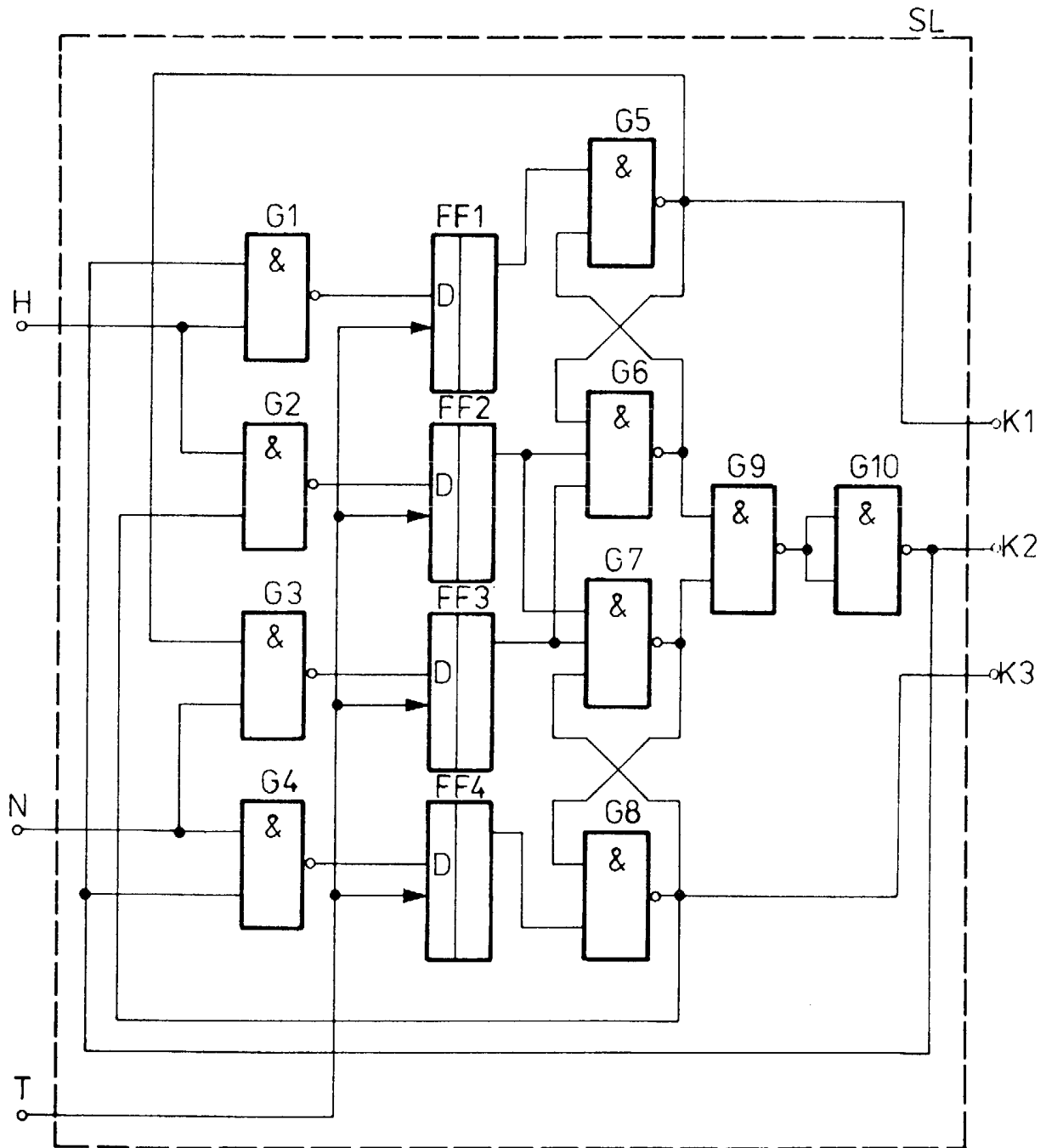


Fig. 2a

