

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



(10) 国際公開番号
WO 2018/043425 A1

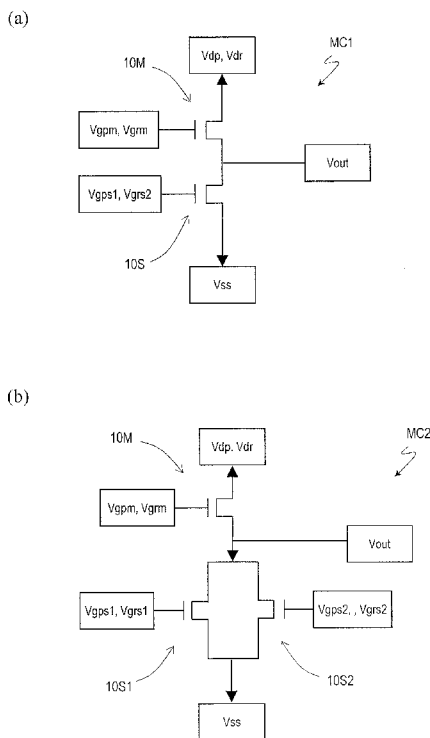
- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 45/00 (2006.01)
G11C 17/06 (2006.01) H01L 49/00 (2006.01)
H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2017/030781
- (22) 国際出願日: 2017年8月28日(28.08.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-173024 2016年9月5日(05.09.2016) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 山本 薫(YAMAMOTO Kaoru).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番1

6号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device having a plurality of memory cells (MC1, MC2), the semiconductor device being such that each of the plurality of memory cells (MC1, MC2) respectively has: a memory transistor (10M) having an oxide semiconductor layer (17M) as an active layer; and a first selection transistor (10S) having a crystalline silicon layer (13S) as the active layer, and connected in series to the memory transistor (10M).

(57) 要約: 半導体装置は、複数のメモリセル (MC1、MC2) を有する半導体装置であって、複数のメモリセル (MC1、MC2) のそれぞれは、活性層として酸化物半導体層 (17M) を有するメモリトランジスタ (10M) と、活性層として結晶質シリコン層 (13S) を有し、メモリトランジスタ (10M) に直列に接続された第1選択トランジスタ (10S) とを有する。

WO 2018/043425 A1

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、メモリトランジスタを備えた半導体装置に関する。

背景技術

[0002] 読み出し専用メモリ（ROM）に利用可能なメモリ素子として、従来から、トランジスタ構造を有する素子（以下、「メモリトランジスタ」と称する。）が提案されている。

[0003] 本出願人は、特許文献1～4に、従来よりも消費電力を低減可能な新規なメモリトランジスタおよび、それを備える不揮発性記憶装置、液晶表示装置を提案している。この新規なメモリトランジスタは、活性層に金属酸化物半導体（以下、「酸化物半導体」という。）を用いており、ドレイン電流により生じるジュール熱によって、ゲート電圧にかかわらずオーミックな抵抗特性を示す抵抗体状態に不可逆的に変化し得る。参考のために特許文献1～4の開示内容のすべてを本明細書に援用する。

[0004] なお、本明細書では、このメモリトランジスタの酸化物半導体を抵抗体状態に変化させる動作を「書き込み」という。また、このメモリトランジスタは、書き込みされた後、酸化物半導体が抵抗体となるため、トランジスタとして動作しないが、本明細書では、抵抗体に変化した後も「メモリトランジスタ」と呼ぶ。同様に、抵抗体に変化した後も、トランジスタ構造を構成するゲート電極、ソース電極、ドレイン電極、活性層、チャネル領域などの呼称を使用する。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第2013/080784号（米国特許第9209196号明細書）

特許文献2：国際公開第2014/061633号（米国特許第931226

4号明細書)

特許文献3：国際公開第2015/072196号

特許文献4：国際公開第2015/075985号

発明の概要

発明が解決しようとする課題

[0006] しかしながら、メモリトランジスタと、メモリトランジスタに直列に接続された選択トランジスタとでメモリセルを構成すると、書き込み時に選択トランジスタの酸化物半導体が劣化することがあった。これを防止するために、特許文献2に記載されているように、選択トランジスタとして、書き込み用の選択トランジスタと読み出し用の選択トランジスタとを用いる場合においても、書き込み用の選択トランジスタとして大きなトランジスタを作製する必要があり、メモリセルが大きくなるという問題がある。

[0007] 本発明は上記の問題を解決するためになされたものであり、従来よりも高集積化が可能な、酸化物半導体で形成された活性層を有するメモリトランジスタを備える半導体装置を提供することにある。

課題を解決するための手段

[0008] 本発明のある実施形態による半導体装置は、複数のメモリセルを有する半導体装置であって、前記複数のメモリセルのそれぞれは、活性層として酸化物半導体層を有するメモリトランジスタと、活性層として結晶質シリコン層を有し、前記メモリトランジスタに直列に接続された第1選択トランジスタとを有する。例えば、前記半導体装置は、前記複数のメモリセルがマトリクス状に配置された不揮発性記憶装置である。

[0009] ある実施形態において、前記複数のメモリセルのそれぞれは、活性層として結晶質シリコン層を有し、前記メモリトランジスタに直列に接続された第2選択トランジスタをさらに有する。第1選択トランジスタと第2選択トランジスタとは並列に接続されている。

[0010] ある実施形態において、前記複数のメモリセルのそれぞれが有するトランジスタは、前記メモリトランジスタおよび前記第1選択トランジスタのみで

ある。

[0011] ある実施形態において、前記半導体装置は、アクティブマトリクス基板であって、複数の画素電極と、それぞれが前記複数の画素電極のうち対応する画素電極に電氣的に接続された画素トランジスタとを有する表示領域、および、前記表示領域以外の領域に配置された複数の回路を有する周辺領域を備え、前記複数の回路は、前記複数のメモリセルを有するメモリ回路を含み、前記画素トランジスタの活性層は、前記メモリトランジスタの前記酸化物半導体層と同じ酸化物半導体膜から形成された半導体層を含む。前記アクティブマトリクス基板は、例えば、液晶表示パネルまたは有機EL表示パネルに用いられる。

[0012] ある実施形態において、前記酸化物半導体層は $In-Ga-Zn-O$ 系半導体を含む。

[0013] ある実施形態において、前記酸化物半導体層は、結晶質 $In-Ga-Zn-O$ 系半導体を含む。

[0014] ある実施形態において、前記メモリトランジスタの前記活性層は積層構造を有する。前記画素トランジスタも積層構造を有してもよい。

[0015] ある実施形態において、前記メモリトランジスタはチャンネルエッチ型である。

発明の効果

[0016] 本発明の実施形態によると、従来よりも高集積化が可能な、酸化物半導体で形成された活性層を有するメモリトランジスタを備える半導体装置を提供することができる。

図面の簡単な説明

[0017] [図1] (a) および (b) は、本発明の実施形態による半導体装置が有するメモリセルMC1およびMC2の構成を模式的に示す図である。

[図2]メモリトランジスタ10Mおよび選択トランジスタ10Sの模式的な断面図である。

[図3] (a) および (b) は、メモリセルMC2の等価回路図であり、(a)

は書き込み時、(b)は読み出し時を示している。

[図4]メモリトランジスタ Q_m の各端子に印加される電圧 V_{dp} 、 V_{gp} 、 V_{sp} の電圧波形の一例を、4パターンに分けて模式的に示す図である。

[図5](a)は酸化物半導体TFTの書き込み前と書き込み後の電圧-電流特性を示すグラフであり、(b)は、 $In-Ga-Zn-O$ 系の半導体層を有するTFT、多結晶シリコン(LTPS)層を有するTFTおよびアモルファスシリコン層を有するTFTの電圧-電流特性を示すグラフである。

[図6]本発明の実施形態による不揮発性記憶装置120の回路ブロック図である。

[図7]本発明の実施形態によるアクティブマトリクス基板100の全体の模式的な平面図である。

[図8]アクティブマトリクス基板100の模式的な断面図である。

発明を実施するための形態

[0018] 以下、図面を参照して、本発明の実施形態による、複数のメモリセルを有する半導体装置を説明する。

[0019] 図1(a)および(b)に、本発明の実施形態による半導体装置が有するメモリセルの構成を模式的に示す。

[0020] 図1(a)に示すメモリセルMC1は、活性層として酸化物半導体層を有するメモリトランジスタ10Mと、活性層として結晶質シリコン層を有し、メモリトランジスタ10Mに直列に接続された選択トランジスタ10Sとを有する。メモリセルMC1が有するトランジスタは、メモリトランジスタ10Mおよび選択トランジスタ10Sのみである。

[0021] 図1(b)に示すメモリセルMC2は、活性層として酸化物半導体層を有するメモリトランジスタ10Mと、活性層として結晶質シリコン層を有し、メモリトランジスタ10Mに直列に接続された第1選択トランジスタ10S1と、活性層として結晶質シリコン層を有し、メモリトランジスタ10Mに直列に接続された第2選択トランジスタ10S2とをさらに有する。第1選択トランジスタ10S1と第2選択トランジスタ10S2とは並列に接続さ

れている。第1選択トランジスタ10S1は、例えば書き込み用の選択トランジスタであり、第2選択トランジスタ10S2は、例えば読み出し用の選択トランジスタである。本発明の実施形態による半導体装置は、例えば、複数のメモリセルMC1または複数のメモリセルMC2が、マトリクス状に配置された不揮発性記憶装置である（図6参照）。

[0022] 図1に示したメモリセルMC1およびMC2に供給される各電圧（ V_{dp} 、 V_{dr} 、 V_{ss} 、 V_{gpm} 、 V_{grm} 、 V_{gps1} 、 V_{grs1} 、 V_{gps2} 、 V_{grs2} ）およびメモリセルMC1およびMC2の動作については、図3および図4を参照して、後述する。各電圧を示す記号の下付き文字の内、「p」は書き込み時を表し、「r」は読み出し時を表し、「m」、「s1」、「s2」は、メモリセルMC2が有する3つのトランジスタを表す。なお、メモリセルMC1の選択トランジスタ10Sは、書き込み時にはメモリセルMC2の第1選択トランジスタ10S1として機能し、読み出し時にはメモリセルMC2の第2選択トランジスタ10S2として機能するので、第1選択トランジスタ10S1のゲートに供給される電圧は、 V_{gps1} および V_{grs2} と表記している。

[0023] 図2にメモリトランジスタ10Mおよび選択トランジスタ10Sの模式的な断面図を示す。ここでは、基板12上に形成されたメモリセルMC1を説明する。すなわち、ここで例示する半導体装置は、基板12と、基板12上に形成されたメモリトランジスタ10Mと、選択トランジスタ10Sとを備えている。各トランジスタは、薄膜トランジスタ（TFET）である。活性層として酸化物半導体層を有するTFETを酸化物半導体TFETと呼び、活性層として結晶質シリコン層を有するTFETを結晶質シリコンTFETと呼ぶことがある。

[0024] 基板12は、例えば、ガラス基板であり、基板12上に下地膜（不図示）を形成してもよい。下地膜を形成した場合、選択トランジスタ10Sおよびメモリトランジスタ10Mなどの回路要素は、下地膜上に形成される。下地膜は、特に限定しないが、無機絶縁膜であり、例えば、窒化珪素（ SiN_x

)膜、酸化珪素(SiO_x)膜、または、窒化珪素膜を下層、酸化珪素膜を上層とする積層膜である。

[0025] メモリトランジスタ10Mは、ゲート電極15Mと、酸化物半導体層17Mと、ゲート電極15Mと酸化物半導体層17Mとの間に配置されたゲート絶縁膜(第2の絶縁膜)14と、酸化物半導体層17Mに電氣的に接続されたソース電極18sMおよびドレイン電極18dMとを有している。基板12の法線方向から見たとき、酸化物半導体層17Mの少なくとも一部は、ゲート絶縁膜(第1の絶縁層)14を介してゲート電極15Mと重なるように配置される。ソース電極18sMは酸化物半導体層17Mの一部と接し、ドレイン電極18dMは酸化物半導体層17Mの他の一部と接していてもよい。ゲート電極15Mは、酸化物半導体層17Mの基板12側に配置されており、メモリトランジスタ10Mは、ボトムゲート型TFTである。

[0026] 酸化物半導体層17Mのうちソース電極18sMと接する(または電氣的に接続される)領域を「ソースコンタクト領域17sM」、ドレイン電極18dMと接する(または電氣的に接続される)領域を「ドレインコンタクト領域17dM」と称する。基板12の法線方向から見たとき、酸化物半導体層17Mのうち、ゲート電極15Mとゲート絶縁膜14を介して重なり、かつ、ソースコンタクト領域17sMとドレインコンタクト領域17dMとの間に位置する領域がチャンネル領域17cMとなる。ソース電極18sMとドレイン電極18dMとが酸化物半導体層17Mの上面と接する場合には、基板12の法線方向から見たとき、酸化物半導体層17Mのうちソース電極18sMとドレイン電極18dMとの間に位置する領域がチャンネル領域17cMとなる。基板12の法線方向から見たとき、ソース電極18sMおよびドレイン電極18dMは、それぞれゲート電極15Mおよび酸化物半導体層17Mの両方と重なる部分を有している。

[0027] 酸化物半導体層17Mに含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半

導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0028] 酸化物半導体層17Mは、2層以上の積層構造を有していてもよい。酸化物半導体層17Mが積層構造を有する場合には、酸化物半導体層17Mは、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層17Mが上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きいてもよい。

[0029] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

[0030] 酸化物半導体層17Mは、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本実施形態では、酸化物半導体層17Mは、例えば、In-Ga-Zn-O系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。このような酸化物半導体層17Mは、In-Ga-Zn-O系の半導体を含む酸化物半導体膜から形成され得る。

[0031] In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

- [0032] なお、結晶質 $In-Ga-Zn-O$ 系の半導体の結晶構造は、例えば、上述した特開 2014-007399 号公報、特開 2012-134475 号公報、特開 2014-209727 号公報などに開示されている。参考のために、特開 2012-134475 号公報および特開 2014-209727 号公報の開示内容の全てを本明細書に援用する。
- [0033] 酸化物半導体層 17M は、 $In-Ga-Zn-O$ 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば $In-Sn-Zn-O$ 系半導体（例えば $In_2O_3-SnO_2-ZnO$; $InSnZnO$ ）を含んでもよい。 $In-Sn-Zn-O$ 系半導体は、 In （インジウム）、 Sn （スズ）および Zn （亜鉛）の三元系酸化物である。あるいは、酸化物半導体層 17M は、 $In-Al-Zn-O$ 系半導体、 $In-Al-Sn-Zn-O$ 系半導体、 $Zn-O$ 系半導体、 $In-Zn-O$ 系半導体、 $Zn-Ti-O$ 系半導体、 $Cd-Ge-O$ 系半導体、 $Cd-Pb-O$ 系半導体、 CdO （酸化カドミウム）、 $Mg-Zn-O$ 系半導体、 $In-Ga-Sn-O$ 系半導体、 $In-Ga-O$ 系半導体、 $Zr-In-Zn-O$ 系半導体、 $Hf-In-Zn-O$ 系半導体、 $Al-Ga-Zn-O$ 系半導体、 $Ga-Zn-O$ 系半導体などを含んでいてもよい。
- [0034] ドレイン電極 18dM は、例えば、融点が $1200^{\circ}C$ 以上の金属で形成されていることが好ましく、融点が $1600^{\circ}C$ 以上の金属で形成されていることがさらに好ましい。このような金属としては、 Ti （チタン、融点： $1667^{\circ}C$ ）、 Mo （モリブデン、融点： $2623^{\circ}C$ ）、 Cr （クロム、融点： $1857^{\circ}C$ ）、 W （タングステン、融点： $3380^{\circ}C$ ）、 Ta （タンタル、融点： $2996^{\circ}C$ ）、またはその合金を例示することができる。なお、融点が $1200^{\circ}C$ 以上の金属層の上に、融点が $1200^{\circ}C$ 未満の金属層を積層してもよい。例えば Al （アルミニウム、融点： $660^{\circ}C$ ）、 Cu （銅、融点： $1083^{\circ}C$ ）などを用いることができる。上記の金属層に代えて、上記の金属を主として含む金属窒化物層、金属シリサイド層などを用いることができる。ソース電極 18sM は、ドレイン電極 18dM と共通の導電膜から形

成されていてもよい。電極がこのような積層構造を有するメモリトランジスタは特許文献3に記載されている。

[0035] メモリトランジスタ10Mは、ドレイン電流 I_{ds} がゲート電圧 V_{gs} に依存する状態（「半導体状態」という。）から、ドレイン電流 I_{ds} がゲート電圧 V_{gs} に依存しない状態（「抵抗体状態」という。）に不可逆的に変化させられ得る不揮発性メモリ素子である。ドレイン電流 I_{ds} は、メモリトランジスタ10Mのソース電極18sMとドレイン電極18dMとの間（ソースドレイン間）を流れる電流であり、ゲート電圧 V_{gs} は、ゲート電極15Mとソース電極18sMとの間（ゲートソース間）の電圧である。

[0036] 上記の状態変化は、例えば、半導体状態（初期状態）のメモリトランジスタ10Mのソースドレイン間に所定の書き込み電圧 V_{ds} を印加し、ゲートソース間に所定のゲート電圧を印加することによって生じる。書き込み電圧 V_{ds} の印加により、酸化物半導体層17Mのうちチャンネルが形成される部分（チャンネル領域）17cMに電流（書き込み電流）が流れ、ジュール熱が発生する。このジュール熱により、酸化物半導体層17Mのうちチャンネル領域17cMが低抵抗化される。この結果、ゲート電圧 V_{gs} に依存せず、オーミックな抵抗特性を示す抵抗体状態となる。酸化物半導体の低抵抗化が生じる理由は現在解明中であるが、ジュール熱によって酸化物半導体中に含まれる酸素がチャンネル領域17cMの外部に拡散することにより、チャンネル領域17cM中の酸素欠損が増加してキャリア電子が生じるからと考えられる。なお、このような状態変化を生じ得るメモリトランジスタは、特許文献1～4に記載されている。

[0037] ここで例示するnチャンネル型メモリトランジスタの場合、ドレイン電流 I_{ds} の流れる方向の上流側がドレイン、下流側がソースとなる。本明細書では、「ソース電極」は、活性層（ここでは酸化物半導体層17M）のソース側に電氣的に接続された電極を指し、配線（ソース配線）の一部であってもよい。典型的には、「ソース電極」は、活性層のソース側に直接接するコンタクト部のみでなく、その近傍に位置する部分も含む。例えば、ソース配線

の一部が活性層に電氣的に接続されている場合、「ソース電極」は、ソース配線のうちメモリトランジスタ形成領域に位置する部分を含む。あるいは、「ソース電極」は、ソース配線のうち活性層に接するコンタクト部から、他の素子または他の配線に接続されるまでの部分を含み得る。同様に、「ドレイン電極」は、活性層（ここでは酸化物半導体層 17M）のドレイン側に電氣的に接続された電極を指し、配線の一部であってもよい。「ドレイン電極」は、活性層のドレイン側に直接接するコンタクト部のみでなく、その近傍に位置する部分も含む。配線の一部が活性層のドレイン側に電氣的に接続されている場合、「ドレイン電極」は、その配線のうちメモリトランジスタ形成領域内に位置する部分を含む。例えば、配線のうち活性層に接するコンタクト部から、他の素子または他の配線に接続されるまでの部分を含み得る。

[0038] 選択トランジスタ 10S は、基板 12 上に形成された結晶質シリコン層（例えば低温ポリシリコン層） 13 と、結晶質シリコン層 13S を覆う第 1 の絶縁層 14 と、第 1 の絶縁層 14 上に設けられたゲート電極 15S とを有している。図示するように、第 1 の絶縁層 14 は、メモリトランジスタ 10M が形成される領域まで延設されており、メモリトランジスタ 10M のゲート電極 15M は、第 1 の絶縁層 14 上に、選択トランジスタ 10S のゲート電極 15S と同じ導電膜から形成されている。

[0039] 第 1 の絶縁層 14 のうち結晶質シリコン層 13S とゲート電極 15S との間に位置する部分は、選択トランジスタ 10S のゲート絶縁膜として機能する。結晶質シリコン層 13S は、チャンネルが形成される領域（活性領域） 13cS と、活性領域の両側にそれぞれ位置するソース領域 13sS およびドレイン領域 13dS とを有している。この例では、結晶質シリコン層 13S のうち、第 1 の絶縁層 14 を介してゲート電極 15S と重なる部分が活性領域 13cS となる。選択トランジスタ 10S は、また、ソース領域 13sS およびドレイン領域 13dS にそれぞれ接続されたソース電極 18sS およびドレイン電極 18dS を有している。ソース電極 18sS およびドレイン電極 18dS は、ゲート電極 15S および結晶質シリコン層 13S を覆う層

間絶縁膜（ここでは、第2の絶縁層16）上に設けられ、層間絶縁膜に形成されたコンタクトホール内で結晶質シリコン層13Sと接続されていてもよい。このように、選択トランジスタ10Sは、トップゲート型のTFETである。図1（b）のメモリセルMC2が有する選択トランジスタ10S1および10S2は、それぞれ、選択トランジスタ10Sと同じ構造を有している。

[0040] ここで、「結晶質シリコン」は、多結晶シリコンの他、マイクロクリスタリンシリコン（ $\mu\text{C-Si}$ ）など、少なくとも部分的に結晶化されたシリコンを含む。多結晶シリコンは、例えば、低温ポリシリコン（LTFS）である。低温ポリシリコンは、良く知られているように、基板上に堆積されたアモルファスシリコンにレーザー光を照射し、溶融結晶化すること（レーザーアニール）によって形成される。

[0041] 本発明の実施形態による半導体装置が有するメモリセルMC1は、選択トランジスタ10Sとして、結晶質シリコンTFETを用いている。本発明の実施形態による半導体装置が有するMC2は、2つの選択トランジスタ10S1および10S2の内、少なくとも書き込み用の選択トランジスタ（例えば、選択トランジスタ10S1）として、結晶質シリコンTFETを用いている。

[0042] 結晶質シリコンTFETの電流駆動能力（オン電流の大きさ）は、酸化物半導体TFETの電流駆動能力よりも約20倍大きい（例えば図5（b）参照）。したがって、書き込み時に選択トランジスタの活性層を構成する半導体（従来は、酸化物半導体）が劣化しない。また、書き込み用の選択トランジスタと読み出し用の選択トランジスタを用いる場合においては、書き込み用の選択トランジスタを大きくする必要がない。

[0043] 以下、図3および図4を参照して、本発明の実施形態による半導体装置が有するメモリセルMC2の動作を説明する。特許文献2に詳細に説明されているので、ここでは、典型的な動作例を説明する。

[0044] 図3（a）および（b）は、メモリセルMC2の等価回路図であり、（a

)は書き込み時、(b)は読み出し時を示している。トランジスタ Q_m は、メモリトランジスタ $10M$ に対応し、トランジスタ Q_1 、 Q_2 は、それぞれ選択トランジスタ $10S_1$ 、 $10S_2$ に対応する。

[0045] 図3に示す様に、メモリセル MC_2 は、メモリトランジスタ Q_m と第1選択トランジスタ Q_1 と第2選択トランジスタ Q_2 とで構成されている。第1選択トランジスタ Q_1 と第2選択トランジスタ Q_2 とは並列に接続されている。トランジスタ Q_m 、 Q_1 および Q_2 は、いずれも n チャネル型の(TFT)である。メモリセル MC_2 は、3つのノード N_0 、 N_1 、 N_2 と3つの制御ノード NC_0 、 NC_1 および NC_2 と、1つの内部ノード N_3 とを備えている。メモリトランジスタ Q_m のソースと、第1選択トランジスタ Q_1 および第2選択トランジスタ Q_2 の各ドレインが相互に接続され内部ノード N_3 を形成している。メモリトランジスタ Q_m のドレインがノード N_0 を、第1選択トランジスタ Q_1 のソースがノード N_1 を、第2選択トランジスタ Q_2 のソースがノード N_2 を、それぞれ形成している。また、トランジスタ Q_m 、 Q_1 および Q_2 の各ゲートが、制御ノード NC_0 、 NC_1 、 NC_2 を順に形成している。

[0046] 第1選択トランジスタ Q_1 は、書き込み動作の対象となるメモリセル MC_2 を選択する選択トランジスタとして、書き込み動作時にオン状態となり、読み出し動作時にはオフ状態となる。一方、第2選択トランジスタ Q_2 は、読み出し動作の対象となるメモリセル MC_2 を選択する選択トランジスタとして、読み出し動作時にオン状態となり、書き込み動作時にはオフ状態となる。

[0047] トランジスタ Q_m は、その製造後の初期状態では、ソース電極、ドレイン電極、ゲート電極の電圧印加状態に応じたトランジスタ動作を行うことのできる半導体状態を示すが、ソース電極とドレイン電極の間に所定値以上の電流密度の電流を流すことにより、チャネル領域に発生するジュール熱により、導電体としてのオーミックな導電特性(抵抗特性)を示し、トランジスタとしての電流制御性が失われる抵抗体状態に変化する。

[0048] ここで、メモリトランジスタ Q_m の状態を半導体状態から抵抗体状態へ遷移させる動作を書き込み動作とし、メモリトランジスタ Q_m の状態が半導体状態と抵抗体状態の何れであるかを判別する動作を読み出し動作という。

[0049] また、以下の説明において、半導体状態にあるトランジスタ Q_m のオン状態およびオフ状態は、ゲートソース間電圧によって制御され、オン状態は、ドレインソース間の導通状態（印加電圧に応じた電流が流れる状態）を、オフ状態は、ドレインソース間の非導通状態（印加電圧に応じた電流が流れない状態）を、それぞれ意味する。なお、オン状態であっても、ドレインソース間に電圧が印加されなければ電流は流れない。また、オフ状態であっても、ドレインソース間に、オン状態で流れる電流より、例えば数桁以上小さな微小電流が流れることは許容される。

[0050] 次に、単体のメモリトランジスタ Q_m に対する書き込み動作について説明する。以下の説明では、書き込み時にメモリトランジスタ Q_m のソース（内部ノード N_3 ）に印加される電圧を V_{sp} 、メモリトランジスタ Q_m のドレイン（ノード N_0 ）に印加される電圧を V_{dp} 、メモリトランジスタ Q_m のゲート（制御ノード N_{C0} ）に印加される電圧を V_{gdp} とし、 Q_m のソースに印加され V_{sp} として所定の基準電圧 V_{ss} を印加する場合を説明する。

[0051] 図4に、メモリトランジスタ Q_m の各端子に印加される電圧 V_{dp} 、 V_{gp} 、 V_{sp} の電圧波形の一例を、4パターンに分けて模式的に示す。書き込みドレイン電圧 V_{dp} の印加期間と、書き込みゲート電圧 V_{gp} の印加期間の重複する期間を書き込み期間 T_{pp} とする。

[0052] 上記4パターンの何れであっても、メモリトランジスタ Q_m のドレインソース間には、電圧 $V_{dsp} (= V_{dp} - V_{sp})$ が印加され、メモリトランジスタ Q_m のゲートソース間には、電圧 $V_{gsp} (= V_{gp} - V_{sp})$ が印加され、半導体状態のメモリトランジスタ Q_m はオン状態となり、書き込み期間 T_{pp} において、ドレインソース間には、書き込み電流 I_{dsp} が流れる。

[0053] メモリトランジスタ Q_m のドレインーソース間に書き込み電流 I_{dsp} が流れると、ドレインーソース間の電圧 V_{dsp} ($=V_{dp} - V_{sp}$) との積で表される書き込み電力 P_w ($=V_{dsp} \times I_{dsp}$) が、酸化物半導体層 $17M$ のチャネル領域 $17cM$ で消費され、書き込み電力 P_w に応じたジュール熱が発生し、チャネル領域 $17cM$ が加熱される。その結果、チャネル領域 $17cM$ の組成変化が誘起され、メモリトランジスタ Q_m は半導体状態から抵抗体状態に変化する。

[0054] なお、上記書き込み電力 P_w は、チャネル領域 $17cM$ の温度が、例えば、 200°C 以上 900°C 以下となるように設定される。 200°C 以上 900°C 以下の範囲内であれば、チャネル領域 $17cM$ がジュール熱で溶断されることが無く、また、酸化物半導体層 $17M$ を構成する元素のエレクトロマイグレーションにより断線することも無く、酸化物半導体層 $17M$ の化学組成比が変化する。書き込み電流 I_{dsp} は、例えば、チャネル幅 W 当たりの電流密度が $20 \sim 1000 \mu\text{A} / \mu\text{m}$ の範囲になるように、チャネル領域に流れる電流密度に応じて設定される。また、書き込み期間 T_{pp} は、例えば、 $10 \mu\text{秒} \sim 500 \text{m秒}$ の範囲で、上記条件を満たすように設定される。

[0055] さらに、予め基板温度を上昇させた状態で書き込み電圧 V_{dsp} を印加することで、温度上昇に必要な電力を削減でき、書き込みに必要な温度への到達速度を速くして、より高速に書き込みを行うことができる。また、より低電圧の書き込み電圧で書き込みを行うことができる。

[0056] 次に、単体のメモリトランジスタ Q_m に対する読み出し動作について説明する。以下の説明では、 Q_m のソースに印加され V_{sp} として所定の基準電圧 V_{sr} を印加し、メモリトランジスタ Q_m のドレイン（ノード N_0 ）に所定の読み出しドレイン電圧 V_{dr} を印加し、メモリトランジスタ Q_m のゲート（制御ノード NC_0 ）に所定の読み出しゲート電圧 V_{gr} を印加する。これにより、メモリトランジスタ Q_m のドレインーソース間には、電圧 V_{dsr} ($=V_{dr} - V_{sr}$) が印加され、メモリトランジスタ Q_m のゲートーソース間には、電圧 V_{gsr} ($=V_{gr} - V_{sr}$) が印加される。ここで、電

圧 V_{gsr} ($=V_{gr}-V_{sr}$) を、メモリトランジスタ Q_m が書き込み動作前の半導体状態における閾値電圧 V_{thm} より低電圧となるように設定する。この結果、メモリトランジスタ Q_m が半導体状態の場合、メモリトランジスタ Q_m はオフ状態となり、ドレイン-ソース間には、電圧 V_{dsr} ($=V_{dr}-V_{sr}$) が印加されていても読み出し電流 I_{dsr} は流れないか、流れても非常に微小な値となる。これに対して、メモリトランジスタ Q_m が抵抗体状態の場合、メモリトランジスタ Q_m のドレイン-ソース間の電流電圧特性は、読み出しゲート電圧 V_{gr} に拘わらず、オーミックな抵抗特性を呈するため、ドレイン-ソース間には、電圧 V_{dsr} ($=V_{dr}-V_{sr}$) と抵抗特性に応じた読み出し電流 I_{dsr} が流れる。したがって、メモリトランジスタ Q_m のドレイン-ソース間に流れる読み出し電流 I_{dsr} の有無あるいは大小を検知することで、メモリトランジスタ Q_m が半導体状態と抵抗体状態の何れであるかを容易に判別することができる。

[0057] 以上のようにメモリトランジスタ Q_m に対して書き込み動作および読み出し動作を行うことで、メモリトランジスタ Q_m は、例えば半導体状態と抵抗体状態に論理値「0」と「1」をそれぞれ割り当て、2値情報を不揮発に記憶するメモリ素子としての利用が可能になる。

[0058] 図3(a)に、書き込み動作時におけるメモリセル MC_2 に対する第1の電圧印加状態を示す。第1の電圧印加状態は、メモリトランジスタ Q_m のドレイン(ノード N_0)に書き込みドレイン電圧 V_{dp} が印加され、メモリトランジスタ Q_m のゲート(制御ノード NC_0)に書き込みゲート電圧 V_{gpm} が印加され、第1および第2選択トランジスタ Q_1 、 Q_2 のソース(ノード N_1 、 N_2)に基準電圧 V_{ss} が印加され、第1選択トランジスタのゲート(制御ノード NC_1)に書き込みゲート電圧 V_{gps1} が印加され、第2選択トランジスタのゲート(制御ノード NC_2)に読み出しゲート電圧 V_{gps2} が印加され、メモリトランジスタ Q_m のソース(内部ノード N_3)が電圧 V_{n3} になっている状態を示している。ここで、基準電圧 V_{ss} を接地電圧(0V)とし、 $V_{dp}>V_{n3}>0V$ 、 $V_{gpm}>V_{n3}+V_{thm}$ 、

$V_{g p s 1} > V_{t h 1}$ 、 $V_{g p s 2} < V_{t h 2}$ とする。なお、 $V_{t h m}$ はメモリトランジスタの閾値電圧であり、 $V_{t h 1}$ は第1選択トランジスタQ1の閾値電圧であり、 $V_{t h 2}$ は第2選択トランジスタQ2の閾値電圧である。

[0059] メモリセルMC2に対する書き込み動作時の第2選択トランジスタQ2のゲート（制御ノードNC2）には、閾値電圧 $V_{t h 2}$ より低電圧の読み出しゲート電圧 $V_{g p s 2}$ が印加されるため、オフ状態に制御される。例えば、 $V_{t h 2} > 0V$ の場合、 $V_{g p s 2} = V_{s s} (0V)$ とする。この結果、第2選択トランジスタQ2のドレイン-ソース間には、書き込み動作中に電流が流れることがないため、当該電流に起因するトランジスタ特性の劣化が生じず、当該特性劣化が、読み出し動作に与える影響を未然に回避することができる。

[0060] なお、上記トランジスタ特性の劣化は、第2選択トランジスタQ2のドレイン-ソース間に電流を流さないことで回避できるので、例えば、第2選択トランジスタQ2がオン状態でも、第2選択トランジスタQ2のソース（ノードN2）に基準電圧 $V_{s s}$ （接地電圧）を印加せずにフローティング状態とすることでも、ドレイン-ソース間に電流を流さないようにでき、同様の効果を奏し得る。但し、書き込み動作時に第2選択トランジスタQ2をオフ状態に制御することで、ノードN2を任意の電圧印加状態にでき、例えば、ノードN1と同電位にすることができ、さらに、当該ノードN1、N2を短絡して1つのノードとすることも可能となる。さらに、複数のメモリセルMC2を用いてメモリセルアレイを構成する場合に、ノードN2を共通の信号線に接続する回路構成を採用しても、書き込み動作時に第2選択トランジスタQ2をオフ状態に制御することで、書き込み動作の対象となる選択メモリセルと書き込み動作の対象でない非選択メモリセルの各内部ノードN3間が、それぞれのオフ状態の第2選択トランジスタQ2によって非導通となるので、非選択メモリセルのメモリトランジスタQmが誤書き込みされることを回避できる。

[0061] 図3(b)に、読み出し動作時におけるメモリセルMC2に対する第2の電圧印加状態を示す。第2の電圧印加状態は、メモリトランジスタ Q_m のドレイン(ノードN0)に読み出しドレイン電圧 V_{dr} が印加され、メモリトランジスタ Q_m のゲート(制御ノードNC0)に読み出しゲート電圧 V_{grm} が印加され、第1および第2選択トランジスタ Q_1 、 Q_2 のソース(ノードN1、N2)に基準電圧 V_{ss} が印加され、第1選択トランジスタのゲート(制御ノードNC1)に読み出しゲート電圧 V_{grs1} が印加され、第2選択トランジスタのゲート(制御ノードNC2)に読み出しゲート電圧 V_{grs2} が印加され、メモリトランジスタ Q_m のソース(内部ノードN3)が電圧 V_{n3} になっている状態を示している。ここで、基準電圧 V_{ss} を接地電圧(0V)とし、 $V_{dr} > V_{n3} \geq 0V$ 、 $V_{grm} < V_{n3} + V_{thm}$ 、 $V_{grs1} < V_{th1}$ 、 $V_{grs2} > V_{th2}$ とする。

[0062] 第2の電圧印加状態下では、単体のメモリトランジスタ Q_m に対する読み出し動作と同様に、メモリトランジスタ Q_m が半導体状態の場合、メモリトランジスタ Q_m はオフ状態となり、抵抗体状態の場合、メモリトランジスタ Q_m のドレイン-ソース間の電流電圧特性は、読み出しゲート電圧 V_{grm} に拘わらず、オーミックな抵抗特性を呈する。上述したように、第1選択トランジスタ Q_1 はオフ状態であり、第2選択トランジスタはオン状態である。第1および第2選択トランジスタのオンオフは、書き込み動作時と逆転している。

[0063] 以上の結果、メモリトランジスタ Q_m が半導体状態でオフ状態の場合は、メモリセルMC2の内部ノードN3の電圧 V_{n3} は、オン状態の第2選択トランジスタ Q_2 によって、基準電圧 V_{ss} となり、ノードN0とノードN2間には読み出し電流 I_{dsr} は流れない。一方、メモリトランジスタ Q_m が抵抗体状態で抵抗特性を示す場合は、抵抗体状態の抵抗値を R_m とすると、メモリトランジスタ Q_m には、 $I_{dsr} = (V_{dr} - V_{n3}) / R_m$ で与えられる読み出し電流 I_{dsr} が流れる。また、第2選択トランジスタ Q_2 のドレイン-ソース間にも、上記の読み出し電流 I_{dsr} と同じ電流が流れる

。

[0064] 以上より、メモリトランジスタ Q_m が半導体状態でオフ状態の場合は、読み出し電流 I_{dsr} は流れず、内部ノード N_3 の電圧 V_{n3} は基準電圧 V_{ss} となり、メモリトランジスタ Q_m が抵抗体状態で抵抗特性を示す場合は、読み出し電流 I_{dsr} が流れ、内部ノード N_3 の電圧 V_{n3} は、読み出しドレイン電圧 V_{dr} からメモリトランジスタ Q_m での電圧降下 ($I_{dsr} \times R_m$) を引いた電圧となる。したがって、例えば、ノード N_0 において、読み出し電流 I_{dsr} の電流値を検知することで、あるいは、内部ノード N_3 の電圧を検知することで、メモリトランジスタ Q_m が半導体状態と抵抗体状態の何れであるかを判別することができる。図1 (a) および (b) には、内部ノード N_3 の電圧を検出する例 (V_{out}) を示している。

[0065] 従来のように、第1選択トランジスタ (書き込み用の選択トランジスタ) Q_1 に酸化物半導体TFETを用いると、メモリトランジスタ Q_m への書き込み時に、第1選択トランジスタ Q_1 に書き込み電流 I_{dsp} が流れ、酸化物半導体のセルフヒーティング劣化現象によって、酸化物半導体TFETの閾値電圧の上昇、および、それに伴うオン電流の低下が発生することがある。例えば、図5 (a) に示す様に、書き込みによって閾値電圧が約10V程度シフトする。書き込み性能を保証するためには、書き込みが終了するまでは、書き込み電流を低下 (律速) させない必要がある。

[0066] 例えば、図5 (a) で示される特性を有するTFETの書き込みに必要な電流が $100 \mu A$ とすると、書き込み前には $V_{gs} = 20V$ で $100 \mu A$ 以上の電流が得られるのに対し、書き込み後には $V_{gs} = 20V$ では $20 \mu A$ 程度の電流しか得られない。書き込みが終了するまで $100 \mu A$ 以上の電流が得られるようにするためには、書き込み後 (劣化後) の電流能力を5倍以上にする必要があるので、TFETのチャネル幅 W を5倍以上にする必要がある。そうすると、第1選択トランジスタ Q_1 のチャネル幅 W の大きさは、メモリトランジスタ Q_m のチャネル幅 W の5倍以上であることが好ましいことになる。

[0067] 本発明の実施形態による半導体装置は、少なくとも書き込み用の第1選択

トランジスタQ1に結晶質シリコンTFET（例えば、多結晶シリコンTFET）を用いている。多結晶シリコンTFETは、図5（b）に示すグラフから分かるように、酸化物半導体TFETよりも、電流駆動能力（ I_d の大きさ）が約20倍以上ある。したがって、第1選択トランジスタQ1のチャンネル幅WをメモリトランジスタQmのチャンネル幅Wと同程度としても、十分な電流駆動能力を得られる。また、結晶質シリコンTFETは、チャンネル領域を流れる電流による劣化も生じない。

[0068] 選択トランジスタとして結晶質シリコンTFETを用いると、メモリセルMC2のように選択トランジスタを書き込み用と読み出し用との2つを設ける必要がなく、図1（a）に示したメモリセルMC1のように1つの選択トランジスタ10Sで、書き込み用の選択トランジスタと読み出し用選択トランジスタとを兼用できる。

[0069] 本発明の実施形態による半導体装置は、例えば、上記のメモリセルを複数個マトリクス状に配置された不揮発性記憶装置である。

[0070] 図6に本発明の実施形態による不揮発性記憶装置120の回路ブロック図を示す。

[0071] 不揮発性記憶装置120は、メモリセルアレイ121、制御回路122、電圧発生回路123、ビット線デコーダ124、ワード線デコーダ125、メモリゲート制御回路126、および、センスアンプ回路127を備える。

[0072] メモリセルアレイ121は、マトリクス状に配置された複数のメモリセルMC2を有している。メモリセルアレイ121は、メモリセルMC2を列方向にm個、行方向にn個、それぞれ配列して構成され、さらに、行方向に延伸するm本のメモリゲート線MGL1～MGLm（第1制御線に相当）、行方向に延伸するm本の第1ワード線WPL1～WPLm（第2制御線に相当）、行方向に延伸するm本の第2ワード線WRL1～WRLm（第3制御線に相当）、列方向に延伸するn本のビット線BL1～BLn（データ信号線に相当）、および、基準電圧線VSLを備える。なお、mおよびnはそれぞれ2以上の整数である。

- [0073] メモリゲート線MGL1～MGLmのそれぞれは、対応する行に配置されたn個のメモリセルMC2のメモリトランジスタQmの各ゲート（制御ノードNC0）に共通に接続する。第1ワード線WPL1～WPLmのそれぞれは、対応する行に配置されたn個のメモリセルMC2の第1選択トランジスタQ1の各ゲート（制御ノードNC1）に共通に接続する。第2ワード線WRL1～WRLmのそれぞれは、対応する行に配置されたn個のメモリセルMC2の第2選択トランジスタQ2の各ゲート（制御ノードNC2）に共通に接続する。ビット線BL1～BLnのそれぞれは、対応する列に配置されたm個のメモリセルMC2のメモリトランジスタQmの各ドレイン（ノードN0）に共通に接続する。基準電圧線VSLは、全てのメモリセルMC2の第1および第2選択トランジスタQ1、Q2の各ソース（ノードN1、N2）に共通に接続する。本実施形態では、基準電圧線VSLには、基準電圧Vss（例えば、接地電圧（0V））が、書き込み動作および読み出し動作を通じて常時供給される。
- [0074] メモリセルアレイ121は、上述した第1の電圧印加状態での書き込みと、第2の電圧印加状態での読み出しとを行うことができる。すなわち、第1および第2の電圧印加状態において、各動作の対象となっているメモリセルMC2のメモリトランジスタQmのドレイン（ノードN0）に接続されているビット線BL（ビット線BL1～BLnの総称）に、書き込みドレイン電圧Vdpあるいは読み出しドレイン電圧Vdrを印加することによって、書き込みまたは読み出しを行うことができる。
- [0075] 制御回路122は、メモリセルアレイ121内のメモリセルMC2の書き込み動作および読み出し動作の制御を行う。具体的には、制御回路122はアドレス線（図示せず）から入力されたアドレス信号、データ線から入力されたデータ入力、制御信号線から入力された制御入力信号に基づいて、電圧発生回路123、ビット線デコーダ124、ワード線デコーダ125、メモリゲート制御回路126、および、センスアンプ回路127を制御する。
- [0076] 電圧発生回路123は、書き込み動作および読み出し動作において、動作

対象のメモリセルMC2を選択するために必要な選択ゲート電圧、および、動作対象としない非選択のメモリセルMC2に印加するための非選択ゲート電圧を発生し、ワード線デコーダ125とメモリゲート制御回路26に供給する。また、動作対象として選択されたメモリセルMC2の書き込みおよび読み出しに必要なビット線電圧を発生し、ビット線デコーダ124に供給する。

[0077] 選択ゲート電圧は、図3(a)を参照して上述した書き込み動作時のゲート電圧 V_{gpm} 、 V_{gps1} 、 V_{gps2} 、および、図3(b)を参照して上述した読み出し動作時のゲート電圧 V_{grm} 、 V_{grs1} 、 V_{grs2} が相当する。また、ビット線電圧は、第1実施形態で説明した書き込み動作時の書き込みドレイン電圧 V_{dp} 、および、読み出し動作時の読み出しドレイン電圧 V_{dr} が相当する。

[0078] 各制御ノードNC0~NC2に印加する書き込み動作時の非選択ゲート電圧は、各制御ノードNC0~NC2に印加する読み出し動作時の選択ゲート電圧 V_{grm} 、 V_{grs1} 、 V_{grs2} をそのまま流用することができる。制御ノードNC0に印加する読み出し動作時の非選択ゲート電圧は、制御ノードNC0に印加する読み出し動作時の選択ゲート電圧 V_{grm} をそのまま使用できる。つまり、読み出し動作時には、全ての制御ノードNC0に同じ読み出しゲート電圧 V_{grm} が印加される。制御ノードNC1、NC2に印加する読み出し動作時の非選択ゲート電圧は、制御ノードNC1、NC2に印加する書き込み動作時の選択ゲート電圧 V_{gps1} 、 V_{gps2} をそのまま流用することができる。なお、書き込み動作時においても、全ての制御ノードNC0に同じ書き込みゲート電圧 V_{gpm} を印加するようにしても構わない。

[0079] ビット線デコーダ124は、書き込み動作時および読み出し動作時において、動作対象のメモリセルMC2のアドレスが指定されると、当該アドレスに対応する1本または複数本のビット線BLを選択し、選択されたビット線BLに書き込みドレイン電圧 V_{dp} または読み出しドレイン電圧 V_{dr} を印

加する。なお、非選択のビット線BLには、非選択ビット線電圧（例えば、基準電圧 V_{ss} ）を印加する。

[0080] ワード線デコーダ125は、書き込み動作時および読み出し動作時において、各動作対象のメモリセルのアドレスが指定されると、動作の種類に応じて、当該アドレスに対応する書き込み動作の第1ワード線WPL、および、読み出し動作の第2ワード線WRLの選択および非選択を行う。具体的には、書き込み動作時には、選択された1本の第1ワード線WPLに、選択第1ワード線電圧として、上述の書き込みゲート電圧 V_{gps1} を印加し、残りの $(m-1)$ 本の非選択の第1ワード線WPLに、非選択第1ワード線電圧として、上述の読み出しゲート電圧 V_{grs1} を印加し、全ての第2ワード線WRLに、非選択第2ワード線電圧として、上述の書き込みゲート電圧 V_{gps2} を印加する。また、読み出し動作時には、選択された1本の第2ワード線WRLに、選択第2ワード線電圧として、上述の読み出しゲート電圧 V_{grs2} を印加し、残りの $(m-1)$ 本の非選択の第2ワード線WRLに、非選択第2ワード線電圧として、上述の書き込みゲート電圧 V_{gps2} を印加し、全ての第1ワード線WPLに、非選択第1ワード線電圧として、上述の読み出しゲート電圧 V_{grs1} を印加する。

[0081] メモリゲート制御回路126は、書き込み動作時において、書き込み動作対象のメモリセルのアドレスが指定されると、当該アドレスに対応する1本のメモリゲート線MGLを選択し、選択されたメモリゲート線MGLに、選択メモリゲート線電圧として、上述の書き込みゲート電圧 V_{gpm} を印加し、残りの $(m-1)$ 本の非選択のメモリゲート線MGLに、非選択メモリゲート線電圧として、上述の読み出しゲート電圧 V_{grm} を印加する。なお、書き込み動作時に、全てのメモリゲート線MGLに対して、上述の書き込みゲート電圧 V_{gpm} を印加してもよい。また、メモリゲート制御回路126は、読み出し動作時において、全てのメモリゲート線MGLに対して、上述の読み出しゲート電圧 V_{grm} を印加する。

[0082] センسアンプ回路127は、ビット線デコーダ124を介して、選択され

たビット線BLから選択されたメモリセルMC2に流れる読み出し電流 I_{dsr} を検知して、選択されたメモリセルMC2のメモリトランジスタ Q_m が半導体状態と抵抗体状態の何れであるかを判別する。センスアンプ回路127は、選択されるビット線BLの本数と同数のセンスアンプを備えて構成される。なお、センスアンプ回路127を構成するセンスアンプは、読み出し電流 I_{dsr} を直接検知する電流センス式のセンスアンプではなく、読み出し電流 I_{dsr} に応じて変化するビット線BLまたはビット線デコーダ124等の読み出し電流 I_{dsr} の電流経路上のノード電圧を検知する電圧センス式のセンスアンプであってもよい。さらに、センスアンプ回路127は、ビット線デコーダ124を介して選択されたビット線BLと接続される回路構成に代えて、基準電圧線VSLを列毎に独立して設け、当該列単位の基準電圧線VSLに接続される回路構成であってもよい。

[0083] 図6に示す回路構成によって、書き込み動作時には、選択されたメモリセルMC2が、第1の電圧印加状態となり、当該メモリセルMC2内のメモリトランジスタ Q_1 が半導体状態から抵抗体状態に遷移する。非選択行のメモリセルMC2は、第1選択トランジスタ Q_1 のゲートに非選択第1ワード線電圧である読み出しゲート電圧 V_{grs1} ($V_{grs1} < V_{th1}$ 、または、 $V_{grs1} < V_{n3} + V_{th1}$) が印加され、第2選択トランジスタ Q_2 のゲートに非選択第2ワード線電圧である読み出しゲート電圧 V_{gps2} ($V_{gps2} < V_{th2}$ 、または、 $V_{gps2} < V_{n3} + V_{th2}$) が印加され、第1および第2選択トランジスタ Q_1 、 Q_2 の両方がオフ状態となり、メモリトランジスタ Q_1 には書き込み電流 I_{dsp} が流れず、メモリトランジスタ Q_1 の半導体状態または抵抗体状態が、そのまま維持される。さらに、非選択列のメモリセルMC2は、非選択のビット線BLに基準電圧線VSLと同じ基準電圧 V_{ss} が印加されるため、選択行であってもメモリトランジスタ Q_1 には書き込み電流 I_{dsp} が流れず、メモリトランジスタ Q_1 の半導体状態または抵抗体状態が、そのまま維持される。

[0084] さらに、図6に示す回路構成によって、読み出し動作時には、選択された

メモリセルMC 2が、第2の電圧印加状態となり、当該メモリセルMC 2内のメモリトランジスタQ 1が半導体状態であれば、選択されたビット線BLからメモリセルMC 2に読み出し電流 I_{dsr} が流れず、抵抗体状態であれば、選択されたビット線BLからメモリセルMC 2に読み出し電流 I_{dsr} が流れる。非選択行のメモリセルMC 2は、第1選択トランジスタQ 1のゲートに非選択第1ワード線電圧である読み出しゲート電圧 V_{grs1} ($V_{grs1} < V_{th1}$ 、または、 $V_{grs1} < V_{n3} + V_{th1}$) が印加され、第2選択トランジスタQ 2のゲートに非選択第2ワード線電圧である読み出しゲート電圧 V_{gps2} ($V_{gps2} < V_{th2}$ 、または、 $V_{gps2} < V_{n3} + V_{th2}$) が印加され、第1および第2選択トランジスタQ 1、Q 2の両方がオフ状態となり、メモリトランジスタQ 1の状態に関係なく、選択されたビット線BLから非選択行のメモリセルMC 2を介して読み出し電流 I_{dsr} が流れることはない。さらに、非選択列のメモリセルMC 2は、非選択のビット線BLに基準電圧線VSLと同じ基準電圧Vssが印加されるため、選択行であってもメモリトランジスタQ 1には読み出し電流 I_{dsr} が流れない。また、本実施形態では、非選択のビット線BLに仮に何らかの電流が流れたとしても、非選択のビット線BLとセンスアンプ回路127間が分離されているため、非選択のビット線BLに流れる電流がセンスアンプ回路127で検知されることはない。

[0085] なお、制御回路122、電圧発生回路123、ビット線デコーダ124、ワード線デコーダ125、メモリゲート制御回路126、および、センスアンプ回路127の詳細な回路構成、デバイス構造、並びに、製造方法については、公知の回路構成を用いて実現可能であり、公知の半導体製造技術を用いて作製が可能である。

[0086] 不揮発性記憶装置120は、メモリセルMC 2が低電流・低電圧で書き込みが可能であることにより、低消費電力であり、小型化が容易である。もちろん、メモリセルMC 2に代えて、図1(a)に示したメモリセルMC 1を用いて不揮発性記憶装置を構成することができる。

- [0087] 本発明の実施形態による半導体装置は、例えば、アクティブマトリクス基板である。アクティブマトリクス基板は、例えば、液晶表示パネルまたは有機EL表示パネルに用いられる。図7および図8を参照して、液晶表示パネルに用いられるアクティブマトリクス基板100を説明する。
- [0088] アクティブマトリクス基板100は、例えば、特開2010-3910号公報に開示されているように、画素用TFTとして酸化物半導体TFTを用い、回路用TFTとして結晶質シリコンTFTを備えている。In-Ga-Zn-O系半導体層を有するTFTは、高い移動度（a-SiTFTに比べ20倍超）および低いリーク電流（a-SiTFTに比べ100分の1未満）を有しているため、画素TFT（画素に設けられるTFT）として好適に用いられる。回路用TFTには、酸化物半導体TFTよりもさらに高い移動度を有する結晶質シリコンTFTを用いる。
- [0089] 図7に本発明の実施形態によるアクティブマトリクス基板100（以下、「TFT基板100」という。）の全体の模式的な平面図を示す。図8にTFT基板100の模式的な断面図を示す。
- [0090] TFT基板100は、図7に示す様に、複数の画素を含む表示領域102と、表示領域102以外の領域（非表示領域）とを有している。非表示領域は、駆動回路が設けられる駆動回路形成領域101を含んでいる。駆動回路形成領域101には、例えばゲートドライバ回路140、ソースドライバ回路150、検査回路170が設けられている。ゲートドライバ回路140およびソースドライバ回路150には、それぞれ不揮発性記憶装置142および152が接続されている。不揮発性記憶装置142には、例えば、ゲートドライバ回路140の冗長救済情報等のゲートドライバ回路140の駆動に必要な構成パラメータの情報が格納されている。不揮発性記憶装置152には、例えば、ソースドライバ回路150の冗長救済情報等のソースドライバ回路150の駆動に必要な構成パラメータの情報が格納されている。不揮発性記憶装置142および152は、上述の実施形態による不揮発性記憶装置である。

- [0091] 表示領域102には、行方向に延びる複数のゲートバスライン（図示せず）と、列方向に延びる複数のソースバスラインSとが形成されている。図示していないが、各画素は、例えばゲートバスラインおよびソースバスラインSで規定されている。ゲートバスラインは、それぞれ、ゲートドライバ回路140の各端子に接続されており、ソースバスラインSは、ソースドライバ回路150の各端子に接続されている。なお、ゲートドライバ回路140だけをTFT基板100にモノリシックに形成し、ソースドライバ回路150として、ドライバICを実装してもよい。
- [0092] TFT基板100は、図8に示すように、駆動回路形成領域101には回路用TFTとして第1TFT10Aが形成されており、表示領域102の各画素には画素用TFTとして第2TFT10Bが形成されている。
- [0093] TFT基板100は、基板12と、基板12上に形成された第1TFT10Aおよび第2TFT10Bとを備えている。基板12は、例えば、ガラス基板であり、基板12上に下地膜（不図示）を形成してもよい。下地膜を形成した場合、第1TFT10Aおよび第2TFT10Bなどの回路要素は、下地膜上に形成される。下地膜は、特に限定しないが、無機絶縁膜であり、例えば、窒化珪素（SiNx）膜、酸化珪素（SiOx）膜、または、窒化珪素膜を下層、酸化珪素膜を上層とする積層膜である。
- [0094] 第1TFT10Aは、結晶質シリコンを主として含む活性領域を有している。第2TFT10Bは、酸化物半導体を主として含む活性領域を有している。第1TFT10Aおよび第2TFT10Bは、基板12上に一体的に形成されている。
- [0095] 不揮発性記憶装置142および152は、図2に示したメモリトランジスタ10Mおよび選択トランジスタ10Sとを有する。酸化物半導体層17Mを有するメモリトランジスタ10Mは、酸化物半導体層17Bを有する画素TFTとしての第2TFT10Bと同一のプロセスで形成される。また、結晶質シリコン層13Sを有する選択トランジスタ10Sは、結晶質シリコン層13Aを有する回路TFTとしての第1TFT10Aと同一のプロセスで

形成される。すなわち、酸化物半導体層 17M と酸化物半導体層 17B とは同じ酸化物半導体膜から形成され、結晶質シリコン層 13S と結晶質シリコン層 13A とは同じ結晶質シリコン膜から形成される。また、第 1 の絶縁層 14、第 2 の絶縁層 16 および第 3 の絶縁層 19 は、メモリトランジスタ 10M および選択トランジスタ 10S と第 1 TFT 10A および第 2 TFT 10B とに共通であり得る。

[0096] したがって、結晶質シリコン層 13A を有する第 1 TFT 10A および酸化物半導体層 17B を有する第 2 TFT 10B を備えるアクティブマトリクス基板に、不揮発性記憶装置 142 および 152 を設けても、製造工程は増加することを抑制することができる。

[0097] 以下、図 8 を参照して、アクティブマトリクス基板 100 の第 1 TFT 10A および第 2 TFT 10B の構造を説明する。

[0098] 第 1 TFT 10A は、基板 12 上に形成された結晶質シリコン層（例えば低温ポリシリコン層） 13A と、結晶質シリコン層 13A を覆う第 1 の絶縁層 14 と、第 1 の絶縁層 14 上に設けられたゲート電極 15A とを有している。第 1 の絶縁層 14 のうち結晶質シリコン層 13A とゲート電極 15A との間に位置する部分は、第 1 TFT 10A のゲート絶縁膜として機能する。結晶質シリコン層 13A は、チャンネルが形成される領域（活性領域） 13cA と、活性領域の両側にそれぞれ位置するソース領域 13sA およびドレイン領域 13dA とを有している。この例では、結晶質シリコン層 13A のうち、第 1 の絶縁層 14 を介してゲート電極 15A と重なる部分が活性領域 13cA となる。第 1 TFT 10A は、また、ソース領域 13sA およびドレイン領域 13dA にそれぞれ接続されたソース電極 18sA およびドレイン電極 18dA を有している。ソース電極 18sA およびドレイン電極 18dA は、ゲート電極 15A および結晶質シリコン層 13A を覆う層間絶縁膜（ここでは、第 2 の絶縁層 16）上に設けられ、層間絶縁膜に形成されたコンタクトホール内で結晶質シリコン層 13A と接続されていてもよい。このように、第 1 TFT 10A は、トップゲート型の TFT である。

[0099] 第2 TFT 10Bは、ボトムゲート型TFTであり、ゲート電極15Bと、ゲート電極15Bを覆う第2の絶縁層16と、第2の絶縁層16上に配置された酸化物半導体層17Bとを有している。ここで、ゲート電極15Bは、基板12上に形成された第1の絶縁層14の上に設けられている。第1 TFT 10Aのゲート絶縁膜である第1の絶縁層14が、第2 TFT 10Bが形成される領域まで延設されている。ゲート電極15Bは、第1 TFT 10Aのゲート電極15Aと同じ導電膜から形成されている。

[0100] 第2の絶縁層16のうちゲート電極15Bと酸化物半導体層17Bとの間に位置する部分は、第2 TFT 10Bのゲート絶縁膜として機能する。第2の絶縁層16を、例えば、水素供与性の下層（例えば、窒化珪素（SiNx）層）と、酸素供与性の上層（例えば、酸化珪素（SiOx）層）との2層構造としてもよい。

[0101] 酸化物半導体層17Bは、チャネルが形成される領域（活性領域）17cBと、活性領域の両側にそれぞれ位置するソースコンタクト領域17sBおよびドレインコンタクト領域17dBとを有している。この例では、酸化物半導体層17Bのうち、第2の絶縁層16を介してゲート電極15Bと重なる部分が活性領域17cBとなる。また、第2 TFT 10Bは、ソースコンタクト領域17sBおよびドレインコンタクト領域17dBにそれぞれ接続されたソース電極18sBおよびドレイン電極18dBをさらに有している。

[0102] TFT 10A、10Bは、第3の絶縁層19および第4の絶縁層20で覆われている。第4の絶縁層20上には、共通電極21と、第5の絶縁層22と、画素電極23とがこの順に形成されている。画素電極23は、スリット（不図示）を有している。スリットは、複数設けられてもよい。共通電極21および画素電極23は、透明導電層から形成されている。透明導電層としては、例えば、ITO（インジウム・錫酸化物）、IZO（インジウム亜鉛酸化物、「IZO」は登録商標）やZnO（酸化亜鉛）などで形成され得る。

[0103] 画素電極 23 は、第3の絶縁層 19、第4の絶縁層 20 および第5の絶縁層 22 に形成された開口部 19a、20a、22a 内で、ドレイン電極 18dB に接続されている。共通電極 21 は、複数の画素に共通に設けられており、不図示の共通配線および／または共通電極端子部に接続されており、共通電圧 (Vcom) が供給される。

[0104] 上記の実施形態では、酸化物半導体 TFT として、チャンネルエッチ型の TFT を例示したが、エッチストップ型の TFT を用いることもできる。チャンネルエッチ型の TFT では、例えば図8に示されるように、チャンネル領域上にエッチストップ層が形成されておらず、ソースおよびドレイン電極のチャンネル側の端部下面は、酸化物半導体層の上面と接するように配置されている。チャンネルエッチ型の TFT は、例えば酸化物半導体層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。ソース・ドレイン分離工程において、チャンネル領域の表面部分がエッチングされる場合がある。

[0105] 一方、チャンネル領域上にエッチストップ層が形成された TFT (エッチストップ型 TFT) では、ソースおよびドレイン電極のチャンネル側の端部下面は、例えばエッチストップ層上に位置する。エッチストップ型の TFT は、例えば酸化物半導体層のうちチャンネル領域となる部分を覆うエッチストップ層を形成した後、酸化物半導体層およびエッチストップ層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。エッチストップ型 TFT は、例えば、特許文献1および2に記載されている。

産業上の利用可能性

[0106] 本発明は、メモリトランジスタを備えた半導体装置に広く用いられる。

符号の説明

[0107] 10A、10B : TFT
10M : メモリトランジスタ
10S、10S1、10S2 : 選択トランジスタ

- 1 0 S 1 : 第 1 選 択 ト ラ ン ジ ス タ
- 1 2 : 基 板
- 1 3 A、 1 3 S : 結 晶 質 シ リ コ ン 層
- 1 3 c A、 1 3 c S : 活 性 領 域
- 1 3 d A、 1 3 d S : ド レ イ ン 領 域
- 1 3 s A、 1 3 s S : ソ ー ス 領 域
- 1 4 : 第 1 の 絶 縁 層
- 1 5 A、 1 5 B、 1 5 M、 1 5 S : ゲ ー ト 電 極
- 1 6 : 第 2 の 絶 縁 層
- 1 7 B、 1 7 M : 酸 化 物 半 導 体 層
- 1 7 c B、 1 7 c M : チ ャ ネ ル 領 域 (活 性 領 域)
- 1 7 d B、 1 7 d M : ド レ イ ン コ ン タ ク ト 領 域
- 1 7 s B、 1 7 s M : ソ ー ス コ ン タ ク ト 領 域
- 1 8 d A、 1 8 d B、 1 8 d M、 1 8 d S : ド レ イ ン 電 極
- 1 8 s A、 1 8 s B、 1 8 s M、 1 8 s S : ソ ー ス 電 極
- 1 9 : 第 3 の 絶 縁 層
- 1 9 a : 開 口 部
- 2 0 : 第 4 の 絶 縁 層
- 2 0 a : 開 口 部
- 2 1 : 共 通 電 極
- 2 2 : 第 5 の 絶 縁 層
- 2 2 a : 開 口 部
- 2 3 : 画 素 電 極
- 2 6 : メ モ リ ゲ ー ト 制 御 回 路
- 1 0 0 : ア ク テ ィ ブ マ ト リ ク ス 基 板 (T F T 基 板)
- 1 0 0 : T F T 基 板
- 1 0 1 : 駆 動 回 路 形 成 領 域
- 1 0 2 : 表 示 領 域

1 2 0	: 不揮発性記憶装置
1 2 1	: メモリセルアレイ
1 2 2	: 制御回路
1 2 3	: 電圧発生回路
1 2 4	: ビット線デコーダ
1 2 5	: ワード線デコーダ
1 2 6	: メモリゲート制御回路
1 2 7	: センスアンプ回路
1 4 0	: ゲートドライバ回路
1 4 2	: 不揮発性記憶装置
1 5 0	: ソースドライバ回路
1 5 2	: 不揮発性記憶装置
1 7 0	: 検査回路
BL	: ビット線
BL 1	: ビット線
MC 1、MC 2	: メモリセル
MGL、MGL 1	: メモリゲート線
N 0、N 1、N 2、N 3	: ノード
NC 0、NC 1、NC 2	: 制御ノード
Q 1、Q 2	: 選択トランジスタ
Q m	: メモリトランジスタ
S	: ソースバスライン
WPL	: ワード線

請求の範囲

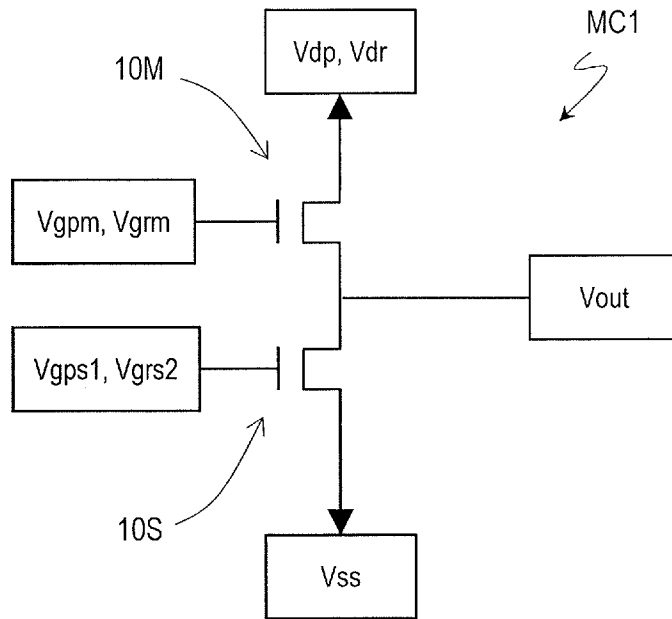
- [請求項1] 複数のメモリセルを有する半導体装置であって、
前記複数のメモリセルのそれぞれは、
活性層として酸化物半導体層を有するメモリトランジスタと、
活性層として結晶質シリコン層を有し、前記メモリトランジスタ
に直列に接続された第1選択トランジスタと
を有する、半導体装置。
- [請求項2] 前記複数のメモリセルのそれぞれは、活性層として結晶質シリコン
層を有し、前記メモリトランジスタに直列に接続された第2選択トラ
ンジスタをさらに有する、請求項1に記載の半導体装置。
- [請求項3] 前記複数のメモリセルのそれぞれが有するトランジスタは、前記メ
モリトランジスタおよび前記第1選択トランジスタのみである、請求
項1に記載の半導体装置。
- [請求項4] 前記半導体装置は、アクティブマトリクス基板であって、
複数の画素電極と、それぞれが前記複数の画素電極のうち対応す
る画素電極に電気的に接続された画素トランジスタとを有する表示領
域、および、
前記表示領域以外の領域に配置された複数の回路を有する周辺領
域を備え、
前記複数の回路は、前記複数のメモリセルを有するメモリ回路を含
み、
前記画素トランジスタの活性層は、前記メモリトランジスタの前記
酸化物半導体層と同じ酸化物半導体膜から形成された半導体層を含む
、請求項1から3のいずれかに記載の半導体装置。
- [請求項5] 前記酸化物半導体層は $In-Ga-Zn-O$ 系半導体を含む、請求
項1から4のいずれかに記載の半導体装置。
- [請求項6] 前記酸化物半導体層は、結晶質 $In-Ga-Zn-O$ 系半導体を含
む、請求項1から4のいずれかに記載の半導体装置。

[請求項7] 前記メモリトランジスタの前記活性層は積層構造を有する、請求項 1 から 6 のいずれかに記載の半導体装置。

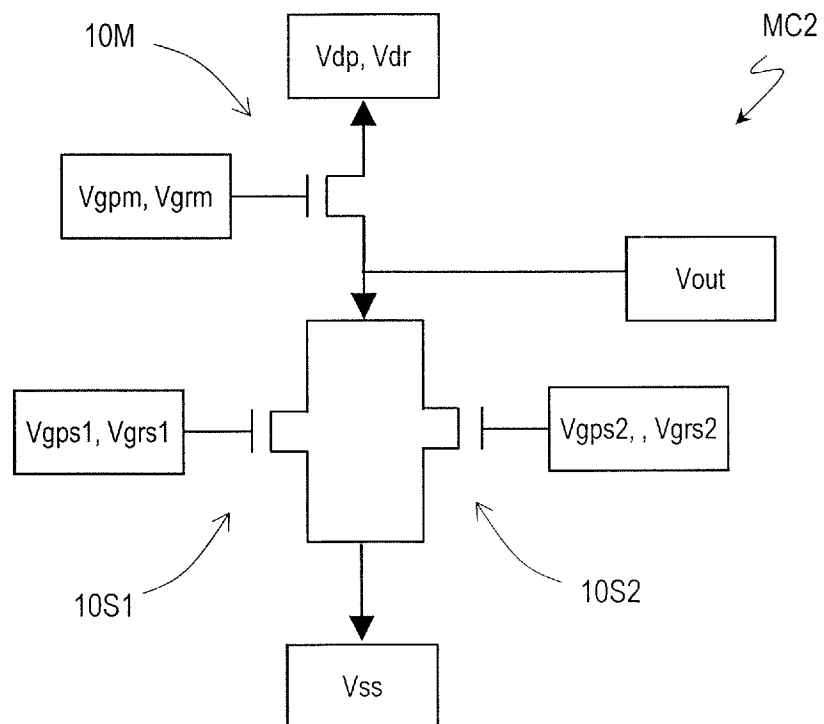
[請求項8] 前記メモリトランジスタはチャンネルエッチ型である、請求項 1 から 7 のいずれかに記載の半導体装置。

[図1]

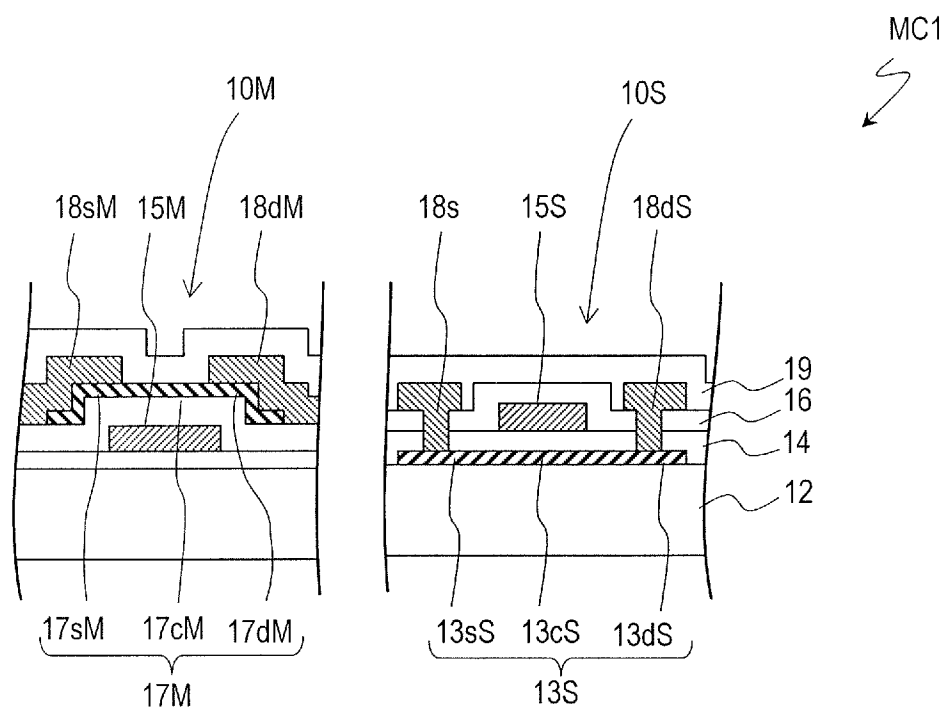
(a)



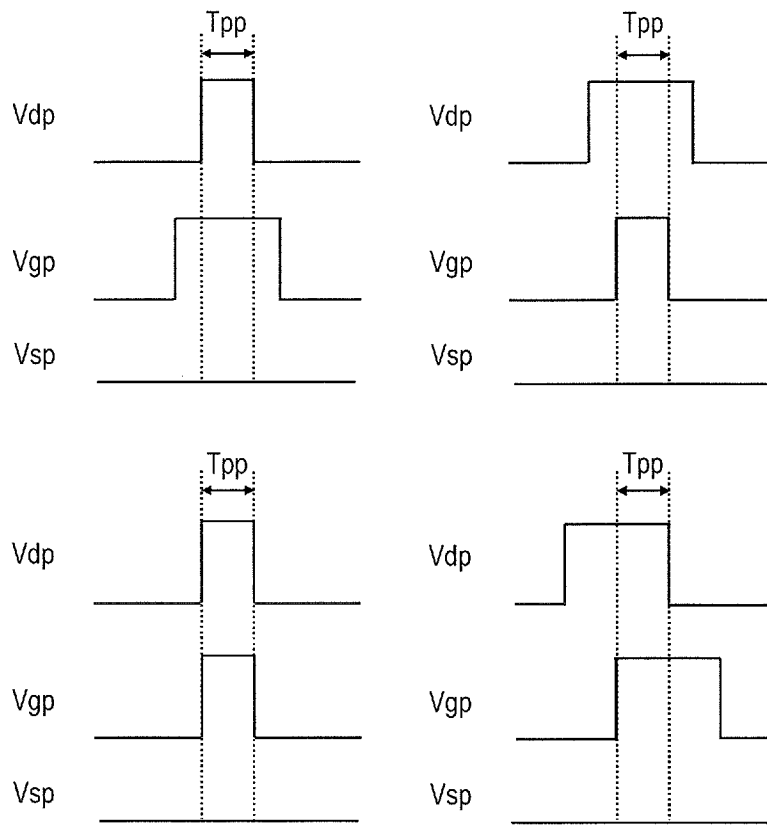
(b)



[図2]

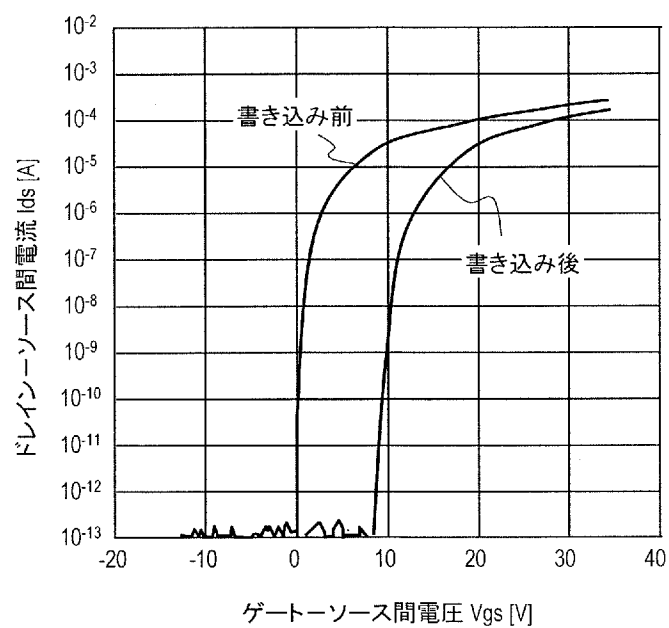


[図4]

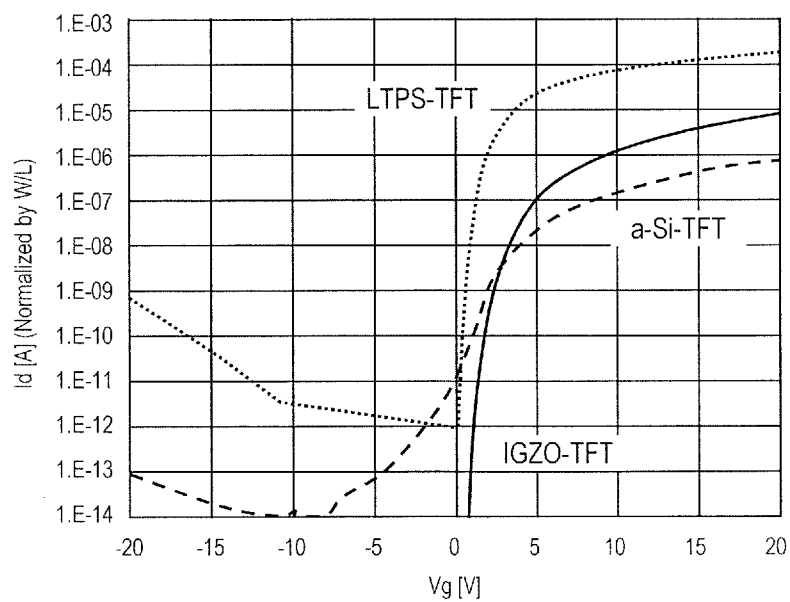


[図5]

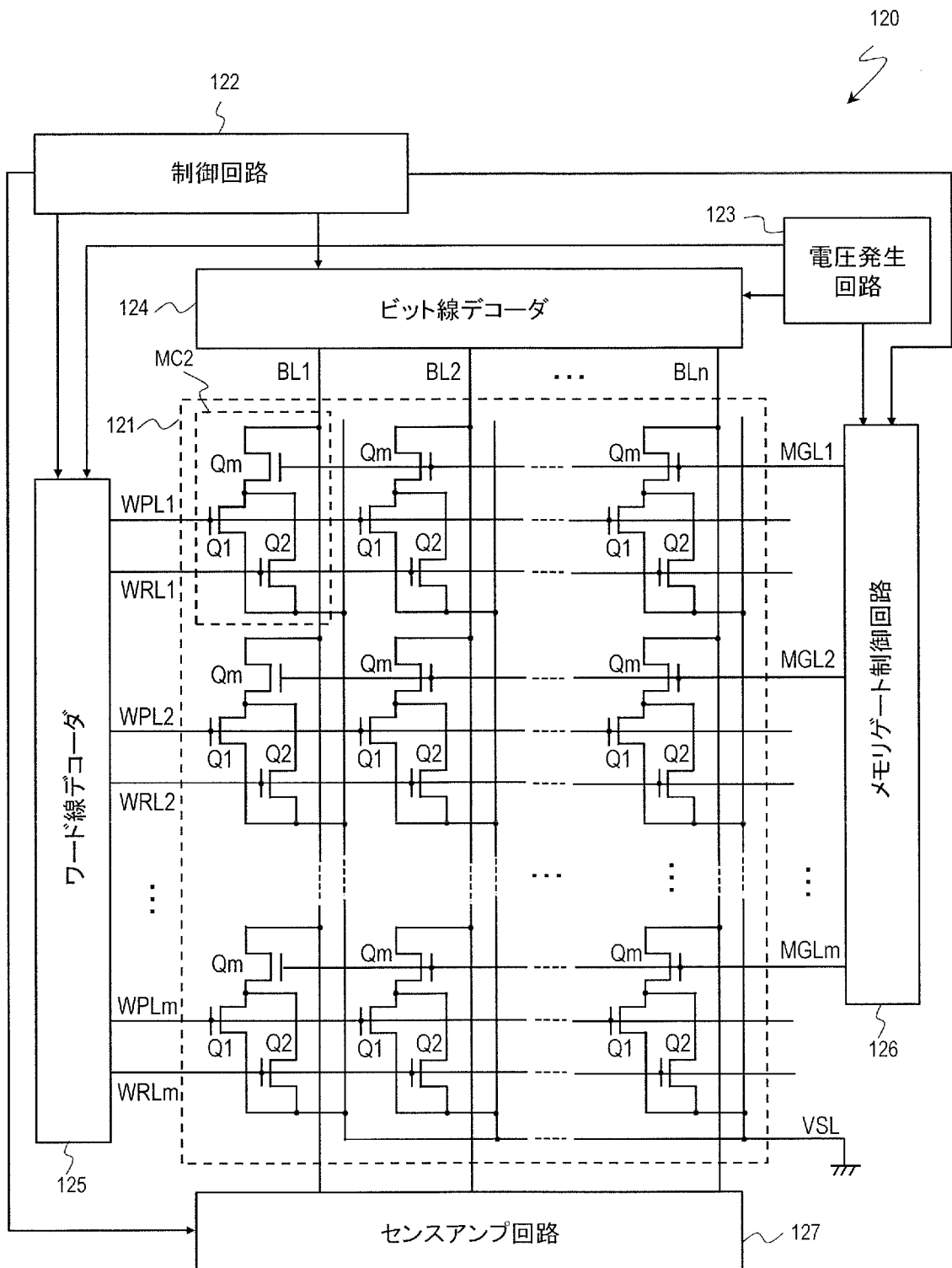
(a)



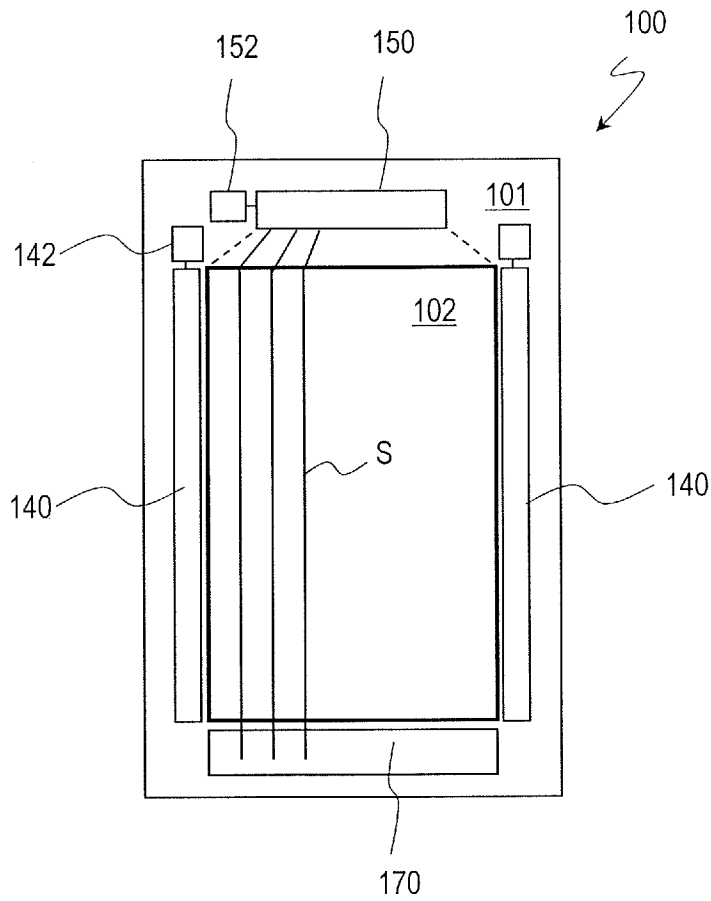
(b)



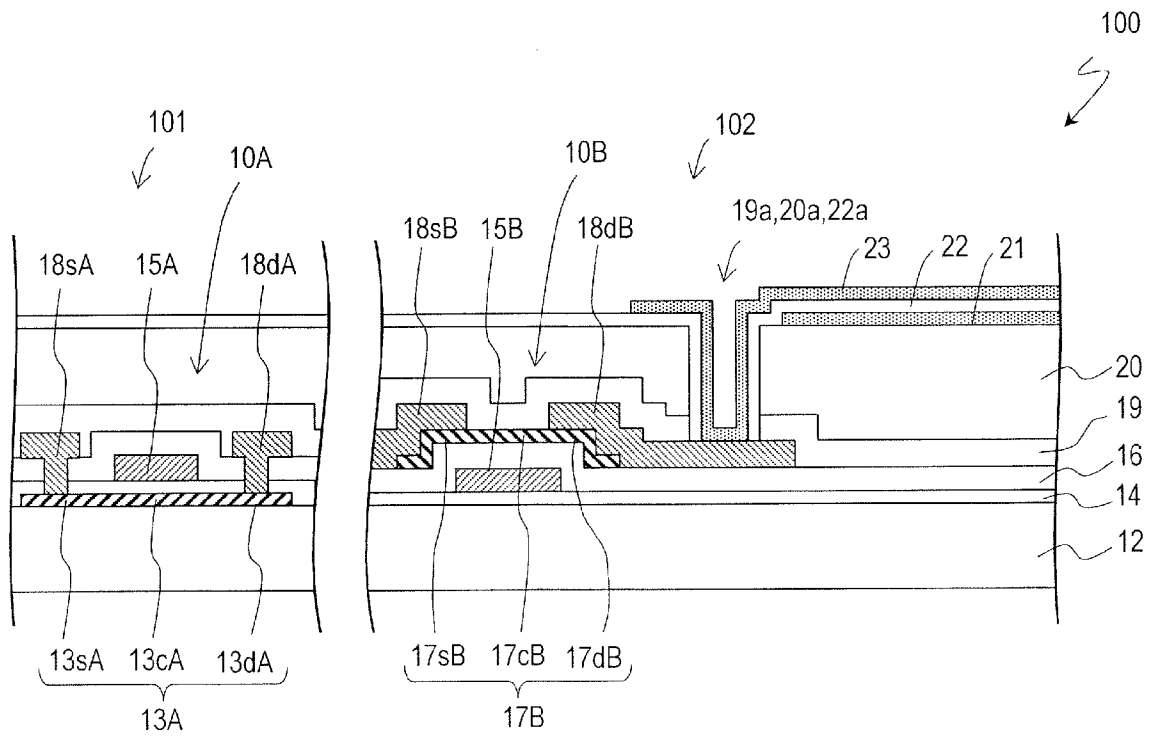
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/030781

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/10(2006.01)i, G11C17/06(2006.01)i, H01L29/786(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/10, G11C17/06, H01L29/786, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2015/072196 A1 (Sharp Corp.), 21 May 2015 (21.05.2015), paragraphs [0033] to [0035], [0054] to [0061], [0071], [0073], [0076] to [0079], [0088], [0102]; fig. 1, 2, 5, 6, 7(a), 11 & US 2016/0293613 A1 paragraphs [0068] to [0070], [0089] to [0097], [0108], [0110], [0114] to [0117], [0126], [0140]; fig. 1, 2, 5, 6, 7(a), 11	1-8
Y	JP 2010-3910 A (Toshiba Mobile Display Co., Ltd.), 07 January 2010 (07.01.2010), paragraphs [0007], [0010], [0014], [0020] to [0028]; fig. 1 (Family: none)	1-8

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 October 2017 (03.10.17)	Date of mailing of the international search report 10 October 2017 (10.10.17)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030781

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-7399 A (Semiconductor Energy Laboratory Co., Ltd.), 16 January 2014 (16.01.2014), paragraphs [0033] to [0035] & US 2013/0320334 A1 paragraphs [0046], [0047] & US 2017/0033229 A1 & WO 2013/180040 A1 & CN 104380473 A	7, 8
A	WO 2013/080784 A1 (Sharp Corp.), 06 June 2013 (06.06.2013), entire text; all drawings & US 2014/0334227 A1 entire text; all drawings	1-8
A	WO 2014/061633 A1 (Sharp Corp.), 24 April 2014 (24.04.2014), entire text; all drawings & US 2015/0243668 A1 entire text; all drawings	1-8
A	JP 2008-153351 A (Seiko Epson Corp.), 03 July 2008 (03.07.2008), entire text; all drawings (Family: none)	1-8

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L27/10(2006.01)i, G11C17/06(2006.01)i, H01L29/786(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i</p>												
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L27/10, G11C17/06, H01L29/786, H01L45/00, H01L49/00</p>												
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2017年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2017年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2017年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2017年	日本国実用新案登録公報	1996-2017年	日本国登録実用新案公報	1994-2017年		
日本国実用新案公報	1922-1996年											
日本国公開実用新案公報	1971-2017年											
日本国実用新案登録公報	1996-2017年											
日本国登録実用新案公報	1994-2017年											
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>												
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>WO 2015/072196 A1 (シャープ株式会社) 2015.05.21, 段落[0033] - [0035], [0054] - [0061], [0071], [0073], [0076] - [0079], [0088], [0102], 図 1, 2, 5, 6, 7(a), 11 & US 2016/0293613 A1, 段落[0068] - [0070], [0089] - [0097], [0108], [0110], [0114] - [0117], [0126], [0140], 図 1, 2, 5, 6, 7(a), 11</td> <td>1-8</td> </tr> <tr> <td>Y</td> <td>JP 2010-3910 A (東芝モバイルディスプレイ株式会社) 2010.01.07, 段落[0007], [0010], [0014], [0020] - [0028], 図 1</td> <td>1-8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	WO 2015/072196 A1 (シャープ株式会社) 2015.05.21, 段落[0033] - [0035], [0054] - [0061], [0071], [0073], [0076] - [0079], [0088], [0102], 図 1, 2, 5, 6, 7(a), 11 & US 2016/0293613 A1, 段落[0068] - [0070], [0089] - [0097], [0108], [0110], [0114] - [0117], [0126], [0140], 図 1, 2, 5, 6, 7(a), 11	1-8	Y	JP 2010-3910 A (東芝モバイルディスプレイ株式会社) 2010.01.07, 段落[0007], [0010], [0014], [0020] - [0028], 図 1	1-8	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号										
Y	WO 2015/072196 A1 (シャープ株式会社) 2015.05.21, 段落[0033] - [0035], [0054] - [0061], [0071], [0073], [0076] - [0079], [0088], [0102], 図 1, 2, 5, 6, 7(a), 11 & US 2016/0293613 A1, 段落[0068] - [0070], [0089] - [0097], [0108], [0110], [0114] - [0117], [0126], [0140], 図 1, 2, 5, 6, 7(a), 11	1-8										
Y	JP 2010-3910 A (東芝モバイルディスプレイ株式会社) 2010.01.07, 段落[0007], [0010], [0014], [0020] - [0028], 図 1	1-8										
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>												
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの											
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの											
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの											
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献											
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願												
<p>国際調査を完了した日</p> <p>03.10.2017</p>	<p>国際調査報告の発送日</p> <p>10.10.2017</p>											
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁 (ISA/J P)</p> <p>郵便番号 100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p>宮本 博司</p> <p>電話番号 03-3581-1101 内線 3516</p>	<table border="1"> <tr> <td>5 F</td> <td>6313</td> </tr> </table>	5 F	6313								
5 F	6313											

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	(ファミリーなし)	
Y	JP 2014-7399 A (株式会社半導体エネルギー研究所) 2014.01.16, 段落[0033] - [0035] & US 2013/0320334 A1, 段落[0046], [0047] & US 2017/0033229 A1 & WO 2013/180040 A1 & CN 104380473 A	7,8
A	WO 2013/080784 A1 (シャープ株式会社) 2013.06.06, 全文, 全図 & US 2014/0334227 A1, 全文, 全図	1-8
A	WO 2014/061633 A1 (シャープ株式会社) 2014.04.24, 全文, 全図 & US 2015/0243668 A1, 全文, 全図	1-8
A	JP 2008-153351 A (セイコーエプソン株式会社) 2008.07.03, 全文, 全図 (ファミリーなし)	1-8