

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H01L 23/48

(11) 공개번호 특2002 - 0005935
(43) 공개일자 2002년01월18일

(21) 출원번호 10 - 2000 - 0039507
(22) 출원일자 2000년07월11일

(71) 출원인 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 강인구
충청남도천안시쌍용동주공10단지아파트516동1204호
이관재
충청남도천안시신방동한라아파트108동1706호

(74) 대리인 윤동열
이선희

심사청구 : 없음

(54) 멀티 칩 패키지와 그 제조 방법

요약

본 발명은 복수의 반도체 칩이 리드프레임에 실장되어 전기적으로 연결됨으로써 단일 패키지로 구성되는 멀티 칩 패키지와 그 제조 방법에 관한 것이다. 본 발명의 멀티 칩 패키지와 그 제조 방법은, 복수의 전극패드가 형성된 제 1반도체 칩과 제 2반도체 칩이 부착되는 다이패드를 종래와 달리 복수 개로 구성하고 각각의 다이패드가 이격되도록 배치하며 각각의 다이패드가 외측으로 연장 형성된 영역을 갖도록 한 리드프레임을 채택하고 조립 공정의 진행 중에 다이패드의 연장 형성된 영역이 지지되도록 한다. 다이패드의 외측으로 소정의 거리로 이격되어 배치되어 있는 내부리드와 반도체 칩들의 전극패드는 도전성 금속선으로 와이어 본딩되며, 성형 수지로 형성되는 패키지 몸체가 반도체 칩들과 도전성 금속선 및 내부리드를 봉지하며 제 1반도체 칩과 제 2반도체 칩의 사이에도 충전되는 것을 특징으로 한다. 이에 따르면, 조립 공정의 진행 중에 반도체 칩과 다이본딩 블록 또는 와이어 본딩 블록과의 기계적인 접촉이 발생되지 않고 이물질의 삽입되지 않아 반도체 칩 표면에 대한 손상을 100% 방지할 수 있다. 그리고, 반도체 칩들의 사이에도 성형 수지가 들어차게 되어 구조적인 안정성을 가질 수 있다.

대표도
도 3

색인어

멀티 칩 패키지, 다이 본딩, 와이어 본딩, 다이패드, 고밀도 패키지

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 멀티 칩 패키지의 일 예를 나타낸 단면도,

도 2a와 도 2b는 도 1의 멀티 칩 패키지 제조 공정 중 와이어 본딩 공정이 진행된 상태를 나타낸 단면도,

도 3은 본 발명에 따른 멀티 칩 패키지의 일 실시예를 나타낸 단면도,

도 4a 내지 도 4f는 본 발명에 따른 멀티 칩 패키지의 개략적인 제조 공정도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

10; 멀티 칩 패키지 11,13; 반도체 칩

12,14; 본딩패드 21; 내부리드

22; 외부리드 23a,23b; 다이패드(die pad)

31,32; 본딩 와이어 35; 접착제

40; 패키지 몸체 230,240; 다이본딩 블록(die bonding block)

250; 와이어본딩 블록(wire bonding block)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 더욱 상세하게는 복수의 반도체 칩이 리드프레임에 실장되어 전기적으로 연결됨으로써 단일 패키지로 구성되는 멀티 칩 패키지와 그 제조 방법에 관한 것이다.

최근의 반도체 산업 발전 그리고 사용자의 요구에 따라 전자기기는 더욱 더 소형화 및 경량화가 요구되고 있다. 이에 주로 적용되는 기술중의 하나가 복수의 반도체 칩을 리드프레임에 탑재하여 하나의 패키지로 구성하는 멀티 칩 패키징(multi chip packaging) 기술이다.

멀티 칩 패키징 기술은 특히 소형화와 경량화가 요구되는 휴대용 전화기 등에서 실장면적의 축소와 경량화를 위해 많이 적용되고 있다. 예를 들어, 메모리 기능을 수행하는 플래시 메모리(flash memory) 소자와 에스램(SRAM; Synchronous RAM) 소자를 하나의 TSOP(Thin Small Outline Package)로 구성하면 각각의 반도체 소자를 내재하는 단위 반도체 칩 패키지 두 개를 이용하는 것보다 크기나 무게 및 실장면적에서 소형화와 경량화에 유리하다.

일반적으로 두 개의 반도체 소자를 하나의 패키지 내에 구성하는 방법에는 두 개의 반도체 소자를 적층시키는 방법과 병렬로 배열시키는 방법이 있다. 전자의 경우 반도체 소자를 적층시키는 구조이므로 공정이 복잡하고 한정된 두께에서

안정된 공정을 확보하기 어려운 단점이 있고, 후자의 경우 평면상에 두 개의 반도체 칩을 배열시키는 구조이므로 크기 감소에 의한 소형화의 장점을 얻기가 어렵다. 보통 소형화와 경량화가 필요한 패키지에 적용되는 형태로서 반도체 소자를 적층하는 형태가 많이 사용된다. 이와 같은 형태의 멀티 칩 패키지의 예를 소개하면 다음과 같다.

도 1은 종래 기술에 따른 멀티 칩 패키지의 일 예를 나타낸 단면도이고, 도 2a와 도 2b는 도 1의 멀티 칩 패키지 제조 공정 중 와이어 본딩 공정이 진행된 상태를 나타낸 단면도이다.

도 1 내지 도 2b를 참조하면, 이 멀티 칩 패키지(110)는 제 1반도체 칩(111)과 제 2반도체 칩(113)이 다이패드(123)의 상면과 하면에 각각 부착되어 있고, 제 1반도체 칩(111)의 전극패드(112)와 제 2반도체 칩(113)의 전극패드(114)가 다이패드(123)와 소정의 간격으로 이격되어 있는 리드(121)의 내측 말단 부분의 상면과 하면에 도전성 금속선(131,132)으로 와이어 본딩(wire bonding)되어 전기적인 연결을 이루고 있으며, 외부환경으로부터의 보호를 위하여 에폭시 성형 수지(EMC; epoxy molding compound)와 같은 플라스틱 봉지재로 패키지 몸체(140)가 형성되어 있는 구조이다. 패키지 몸체(140)의 외부로 돌출된 외부리드(122)는 실장에 적합한 형태로 성형되어 있다.

이와 같은 멀티 칩 패키지(110)는 많은 비용과 개발 기간이 소요되는 금속배선 기술을 통한 집적도 증가보다는 저비용 및 단기간에 개발이 가능하다는 것과 기존의 플라스틱 패키지 공정을 100% 활용할 수 있다는 장점을 가지고 있다. 그러나, 칩 실장(die attach)이나 와이어 본딩(wire bonding) 공정을 진행할 때 도 2a에 나타난 것과 같이 반도체 칩들(111,113)이 실장된 리드프레임(120) 상태에서 블록(210)에 탑재되는데 반도체 칩(113)을 지지하는 블록(210)이 반도체 칩(113)과 직접 접촉하게 되고, 반도체 칩(113)과 그 반도체 칩(113)을 지지하는 블록(210) 사이에 이물질이 들어갈 수 있다. 이에 따라 반도체 칩(113)의 굽힘 또는 깨짐 및 오염 등 반도체 칩 손상이 발생할 수 있다. 또한, 와이어 본딩 공정의 진행 도중에 와이어 본딩에 이용된 도전성 금속선(131,133)의 끊어짐과 단락 등도 야기할 수 있다. 반도체 칩(113)과 블록(210)의 직접적인 접촉이 이루어지지 않도록 도 2b에서와 같이 반도체 칩(113)과 블록(210)의 사이에 연한 물질로 완충층(buffer layer; 220)을 형성하는 경우도 있으나 반도체 칩(113)에 가해지는 충격이 100% 방지되지는 않는다.

그리고, 위에 소개한 종래의 멀티 칩 패키지(110)는 상부와 하부의 전극패드(112,114) 구조가 서로 거울상(mirror) 형태로 제작되어야 하기 때문에 2가지 형태의 반도체 칩(111,113)이 이용되어야 하는 제약이 따른다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 반도체 칩 및 와이어 본딩에 이용되는 도전성 금속선과 공정 설비간의 기계적 접촉이 발생되지 않도록 하는 멀티 칩 패키지와 그 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 따른 멀티 칩 패키지는, 서로 이격되어 형성되며 외측으로 연장 형성된 영역을 갖는 복수의 다이패드와, 복수의 전극패드가 형성된 제 1반도체 칩과 제 2반도체 칩과, 다이패드의 외측으로 소정의 거리로 이격되어 배치되어 있는 내부리드와, 반도체 칩들의 전극패드와 그에 대응되는 리드를 전기적으로 연결하는 도전성 금속선과, 반도체 칩들과 도전성 금속선 및 내부리드가 봉지되도록 성형 수지로 형성되는 패키지 몸체를 포함하며, 다이패드 각각의 상면과 하면에 제 1반도체 칩과 제 2반도체 칩의 가장자리 부분이 부착되어 있고, 제 1반도체 칩과 제 2반도체 칩의 외측으로 다이패드의 연장 형성된 영역이 돌출되어 있는 것을 특징으로 한다.

또한 상기 목적을 달성하기 위한 본 발명에 따른 멀티 칩 패키지 제조 방법은, (a) 복수의 내부리드와 각각 연장 형성된 영역이 형성되어 있으며 서로 소정 거리로 이격되어 형성되는 2개의 다이패드를 갖는 리드프레임을 준비하는 단계와, (b) 복수의 전극패드가 형성된 제 1반도체 칩을 상기 다이패드의 연장 형성된 영역이 상기 제 1반도체 칩의 측방으로 돌출되도록 상기 제 1반도체 칩의 하면 가장자리 부분을 상기 다이패드에 부착시키는 제 1 반도체 칩 실장 단계와, (c) 상기 제 1반도체 칩의 실장이 완료된 리드프레임을 뒤집어 제 1반도체 칩의 외측에서 다이패드의 연장 형성된 영역을 지지한 상태에서 복수의 전극패드가 형성된 제 2반도체 칩을 상기 다이패드의 연장 형성된 영역이 상기 제 2반도체 칩의 측방으로 돌출되도록 상기 제 2반도체 칩의 하면 가장자리 부분을 상기 다이패드에 부착시키는 제 2반도체 칩 실장 단계와, (d) 상기 다이패드의 연장 형성된 영역을 지지한 상태에서 상기 제 1반도체 칩의 전극패드와 상기 내부리드, 상기 제 2반도체 칩의 전극패드와 상기 내부리드를 각각 도전성 금속선으로 와이어 본딩하는 와이어 본딩 단계와, (e) 상기 제 1반도체 칩, 제 2반도체 칩, 내부리드, 도전성 금속선을 봉지하는 패키지 몸체를 성형 수지로 형성하는 몰딩 단계를 포함하는 것을 특징으로 한다.

이하 첨부 도면을 참조하여 본 발명에 따른 멀티 칩 패키지와 그 제조 방법을 보다 상세하게 설명하고자 한다.

도 3은 본 발명에 따른 멀티 칩 패키지의 일 실시예를 나타낸 단면도이다.

도 3을 참조하면, 본 발명의 멀티 칩 패키지(10)는 서로 이격된 두 개의 직사각형 형태인 다이패드(23a, 23b)의 상면과 하면에 제 1반도체 칩(11)과 제 2반도체 칩(13)이 접착제(35)로 부착되어 있다. 두 개의 다이패드(23a, 23b)는 제 1반도체 칩(11)과 제 2반도체 칩(13)의 가장자리 부분을 지지한다. 각각의 다이패드(23a, 23b)는 측방으로 일정 길이만큼 돌출되도록 연장 형성된 영역 A, B를 갖고 있다.

다이패드(23a, 23b)에 실장된 제 1반도체 칩(11)과 제 2반도체 칩(13)은 각각의 전극패드(12, 14)가 다이패드(23a, 23b)와 소정의 간격으로 이격되어 있는 리드(121)의 내측 말단 부분의 상면과 하면에 도전성 금속선(31, 32)으로 와이어 본딩되어 전기적인 연결을 이루고 있으며, 외부환경으로부터의 보호를 위하여 에폭시 성형 수지로 패키지 몸체(140)가 형성되어 있다. 여기서, 제 1반도체 칩(11)과 제 2반도체 칩(13)의 사이의 공간에도 에폭시 성형 수지가 들어차 있다.

그리고, 패키지 몸체(40)의 외부로 돌출된 외부리드(22)는 절단 및 절곡을 통하여 실장에 적합한 형태로 성형되어 있다.

이와 같은 멀티 칩 패키지 구조는 반도체 조립 공정의 진행 중에 리드프레임이 놓여지는 블록과의 접촉이 일어나지 않도록 2분할되어 형성되는 복수의 다이패드가 서로 이격되어 반도체 칩들의 가장자리를 지지하도록 형성되어 있고 반도체 칩들의 측방으로 일정 길이만큼 돌출되어 있다. 그리고, 반도체 칩들의 사이에 공간이 형성되어 성형 수지가 들어차 구조적인 안정성이 향상되어 신뢰성을 향상시킨다. 이러한 멀티 칩 패키지의 제조 공정을 설명하기로 한다.

도 4a 내지 도 4f는 본 발명에 따른 멀티 칩 패키지의 개략적인 제조 공정도이다.

도 4a를 참조하면, 먼저 다이본딩 블록(230)에 복수의 내부리드(21)와 서로 소정 거리로 이격되어 형성되는 2개의 다이패드(23a, 23b)를 갖는 리드프레임(20)을 탑재한다. 여기서, 다이패드(23a, 23b)는 실장된 반도체 칩들의 가장자리를 지지할 수 있는 거리로 이격되어 형성되어 있으며, 외측으로 연장 형성된 영역 A, B를 갖는다. 그리고, 탑재된 리드프레임(20)의 다이패드(23a, 23b) 각각에 접착제(35)를 도포한다.

도 4b를 참조하면, 다음으로 복수의 전극패드(12)가 형성된 제 1반도체 칩(11)을 실장한다. 제 1반도체 칩(11)의 하면 가장자리 부분이 접착되며 다이패드(23a, 23b)는 제 1반도체 칩(11)의 측방으로 연장 형성된 영역 A, B가 일정 길이만큼 돌출된 상태가 된다.

도 4c를 참조하면, 제 1반도체 칩(11)의 실장이 완료된 리드프레임(20)을 뒤집어 제 1반도체 칩(11)의 외측에서 다이패드(23a,23b)의 가장자리 부분을 지지하는 다이본딩 블록(240)에 탑재한다. 그리고, 뒤집어서 탑재된 리드프레임(20)의 다이패드(23a,23b)에 접착제(35)를 도포한다.

도 4d를 참조하면, 접착제(35)의 도포가 완료된 리드프레임(20)의 다이패드(23a,23b)에 복수의 전극패드(14)가 형성된 제 2반도체 칩(13)을 실장한다. 제 2반도체 칩(13)의 하면 가장자리 부분이 다이패드(23a,23b)와 접촉되며, 다이패드(23a,23b)의 연장 형성된 영역 A, B가 제 2반도체 칩(13)의 외측으로 돌출된다.

도 4e를 참조하면, 반도체 칩(11,13)의 실장이 완료되면, 리드프레임(20)을 제 2반도체 칩(13)의 외측에 다이패드(23a,23b)의 연장 형성된 영역 A, B가 다이패드 지지부(250a)에 놓여지도록 리드프레임(20)을 와이어 본딩 블록(250a)에 탑재한 상태에서 제 1반도체 칩(11)의 전극패드(12)와 내부리드(21)를 도전성 금속선(31)으로 와이어 본딩한다. 이에 의해 제 1반도체 칩(11)의 전극패드(12)와 그에 대응되는 내부리드(21)가 전기적으로 연결된다. 이때, 제 1반도체 칩(13)의 외측에서 다이패드(23a,23b)의 연장 형성된 영역 A, B를 지지하게 되어 와이어 본딩 블록(250)과 제 1반도체 칩(13)의 접촉이 일어나지 않는다.

도 4f를 참조하면, 제 1반도체 칩(11)과 내부리드(21)에 대한 와이어 본딩이 완료되면, 리드프레임(20)을 뒤집어 제 1반도체 칩(11)의 외측으로 돌출된 다이패드(23a,23b)가 지지되도록 리드프레임(20)을 와이어 본딩 블록(255,256)에 탑재한 상태에서 제 2반도체 칩(13)의 전극패드(14)와 내부리드(21)를 도전성 금속선(32)으로 와이어 본딩한다. 이에 의해 제 2반도체 칩(13)의 전극패드(14)가 그에 대응되는 내부리드(21)가 전기적으로 연결된다. 이때, 와이어 본딩 블록(255)이 다이패드(23a,23b)를 지지하여 제 1반도체 칩(13)과 접촉이 일어나지 않는다.

도 3을 참조하면, 제 2반도체 칩(13)과 내부리드(21)에 대한 와이어 본딩이 완료되면, 제 1반도체 칩(11), 제 2반도체 칩(13), 내부리드(21), 도전성 금속선(31,32)을 봉지하도록 에폭시 성형 수지와 같은 성형 수지로 몰딩을 진행하여 패키지 몸체(40)를 형성한다. 몰딩 공정의 진행 중에 성형 수지는 제 1반도체 칩(11)의 상부와 제 2반도체 칩(13)의 하부 및 제 1반도체 칩(11)과 제 2반도체 칩(13)의 사이의 3개의 흐름으로 나뉘어져 공급된다. 이때, 외부리드(22)는 패키지 몸체(40)의 외부로 돌출되며 후속 공정에 의해 실장에 적합한 형태로 절곡 및 절단된다.

이와 같은 본 발명에 따른 멀티 칩 패키지 제조 방법은 반도체 칩이 아닌 다이패드를 다이본딩 블록 또는 와이어 본딩 블록이 지지하도록 하고 있기 때문에 반도체 칩 및 와이어 본딩에 이용되는 도전성 금속선과의 접촉이 발생되지 않으며 반도체 칩과 블록 사이에 이물질이 삽입되지 않는다.

발명의 효과

이상과 같은 본 발명에 의한 멀티 칩 패키지와 그 제조 방법에 따르면, 조립 공정의 진행 중에 반도체 칩과 다이본딩 블록 또는 와이어 본딩 블록과의 기계적인 접촉이 발생되지 않고 이물질의 삽입되지 않아 반도체 칩 표면에 대한 손상을 100% 방지할 수 있다. 그리고, 반도체 칩들의 사이에도 성형 수지가 들어차게 되어 구조적인 안정성을 가질 수 있다.

(57) 청구의 범위

청구항 1.

서로 이격되어 형성되며 외측으로 연장 형성된 영역을 갖는 복수의 다이패드와, 복수의 전극패드가 형성된 제 1반도체 칩과 제 2반도체 칩과, 상기 다이패드의 외측으로 소정의 거리로 이격되어 배치되어 있는 내부리드와, 상기 반도체 칩

들의 전극패드와 그에 대응되는 상기 리드를 전기적으로 연결하는 도전성 금속선과, 상기 반도체 칩들과 상기 도전성 금속선 및 상기 내부리드가 봉지되도록 성형 수지로 형성되는 패키지 몸체를 포함하며, 상기 다이패드 각각의 상면과 하면에 상기 제 1반도체 칩과 상기 제 2반도체 칩의 가장자리 부분이 부착되어 있고, 상기 제 1반도체 칩과 상기 제 2반도체 칩의 외측으로 상기 다이패드의 연장 형성된 영역이 돌출되어 있는 것을 특징으로 하는 멀티 칩 패키지.

청구항 2.

제 1항에 있어서, 상기 다이패드는 각각 직사각형 형태인 두 개의 다이패드인 것을 특징으로 하는 멀티 칩 패키지.

청구항 3.

제 1항에 있어서, 상기 제 1반도체 칩과 상기 제 2반도체 칩 사이에 성형 수지가 들어차 있는 것을 특징으로 하는 멀티 칩 패키지.

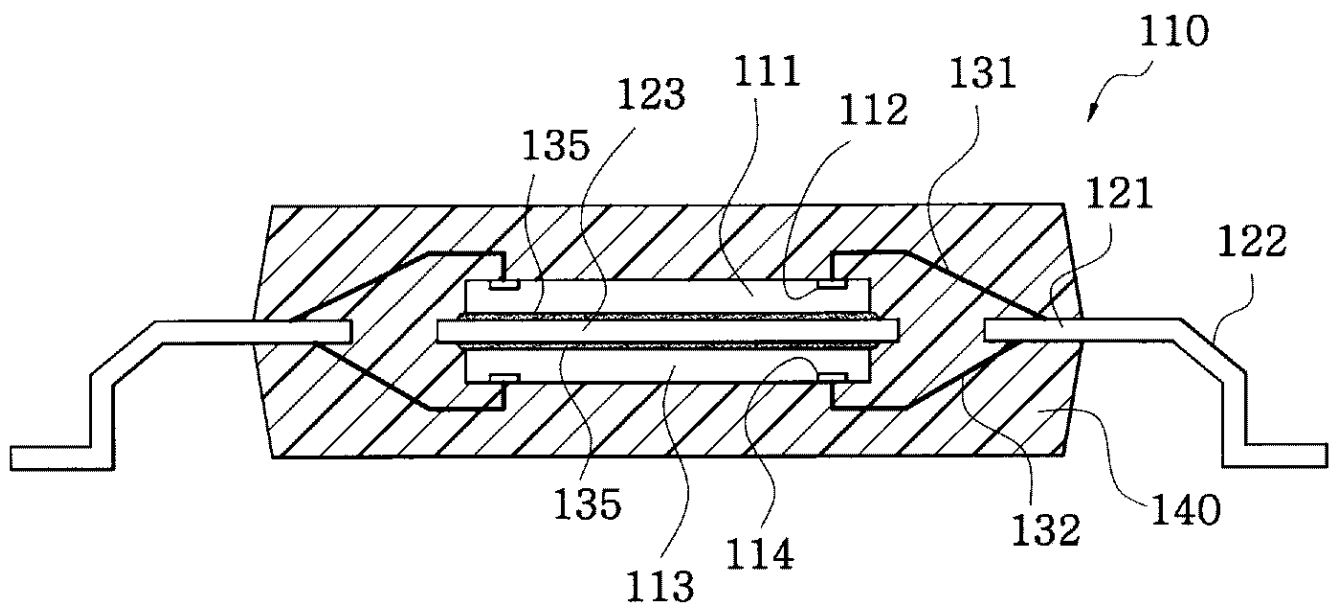
청구항 4.

- (a) 복수의 내부리드와 각각 연장 형성된 영역이 형성되어 있으며 서로 소정 거리로 이격되어 형성되는 2개의 다이패드를 갖는 리드프레임을 준비하는 단계;
- (b) 복수의 전극패드가 형성된 제 1반도체 칩을 상기 다이패드의 연장 형성된 영역이 상기 제 1반도체 칩의 측방으로 돌출되도록 상기 제 1반도체 칩의 하면 가장자리 부분을 상기 다이패드에 부착시키는 제 1 반도체 칩 실장 단계;
- (c) 상기 제 1반도체 칩의 실장이 완료된 리드프레임을 뒤집어 제 1반도체 칩의 외측에서 다이패드의 연장 형성된 영역을 지지한 상태에서 복수의 전극패드가 형성된 제 2반도체 칩을 상기 다이패드의 연장 형성된 영역이 상기 제 2반도체 칩의 측방으로 돌출되도록 상기 제 2반도체 칩의 하면 가장자리 부분을 상기 다이패드에 부착시키는 제 2반도체 칩 실장 단계;
- (d) 상기 다이패드의 연장 형성된 영역을 지지한 상태에서 상기 제 1반도체 칩의 전극패드와 상기 내부리드, 상기 제 2반도체 칩의 전극패드와 상기 내부리드를 각각 도전성 금속선으로 와이어 본딩하는 와이어 본딩 단계;
- (e) 상기 제 1반도체 칩, 제 2반도체 칩, 내부리드, 도전성 금속선을 봉지하는 패키지 몸체를 성형 수지로 형성하는 몰딩 단계;

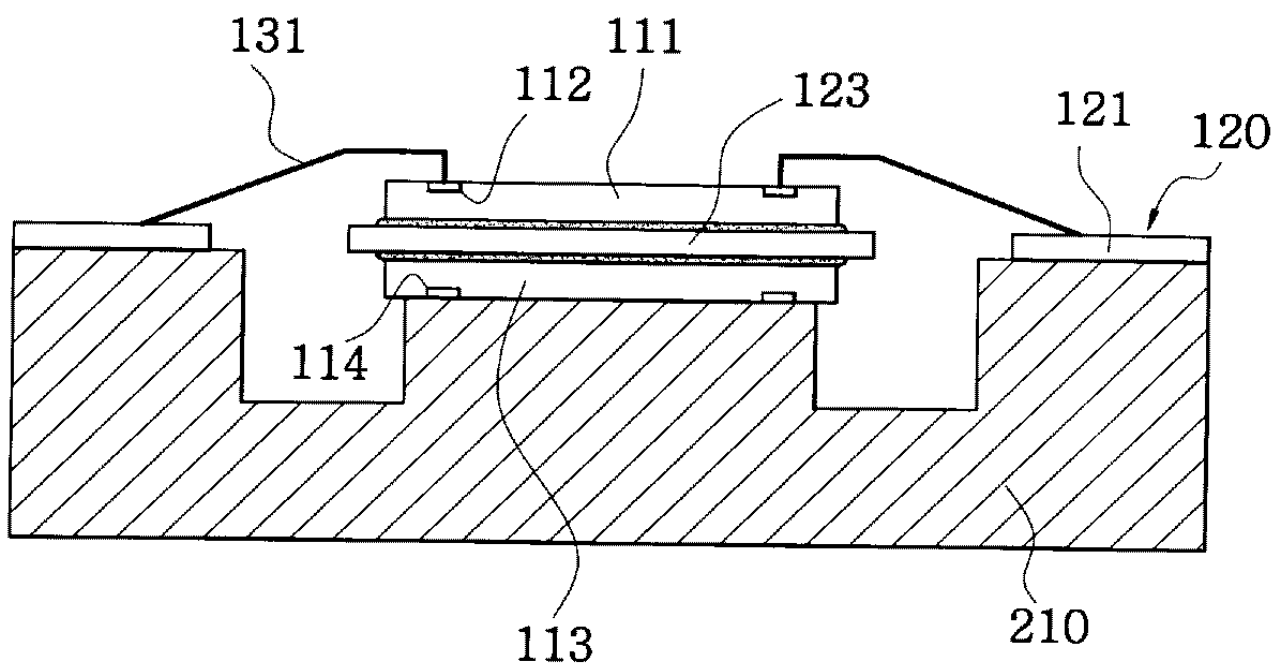
를 포함하는 것을 특징으로 하는 멀티 칩 패키지 제조 방법.

도면

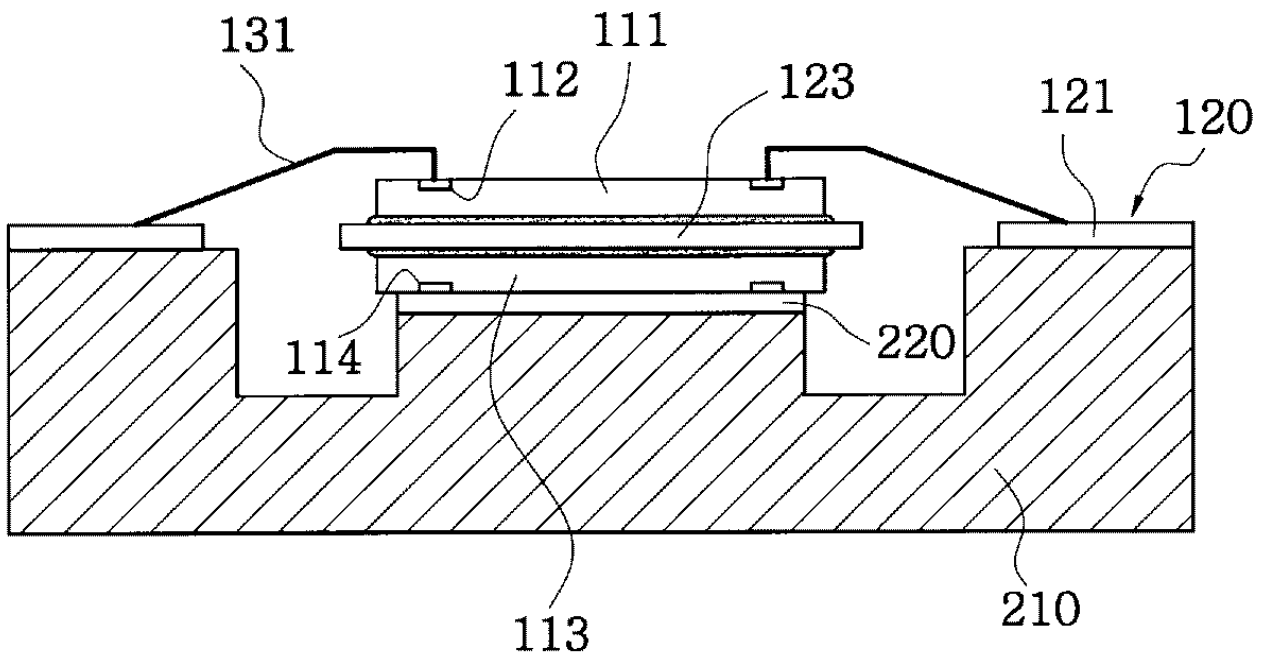
도면 1



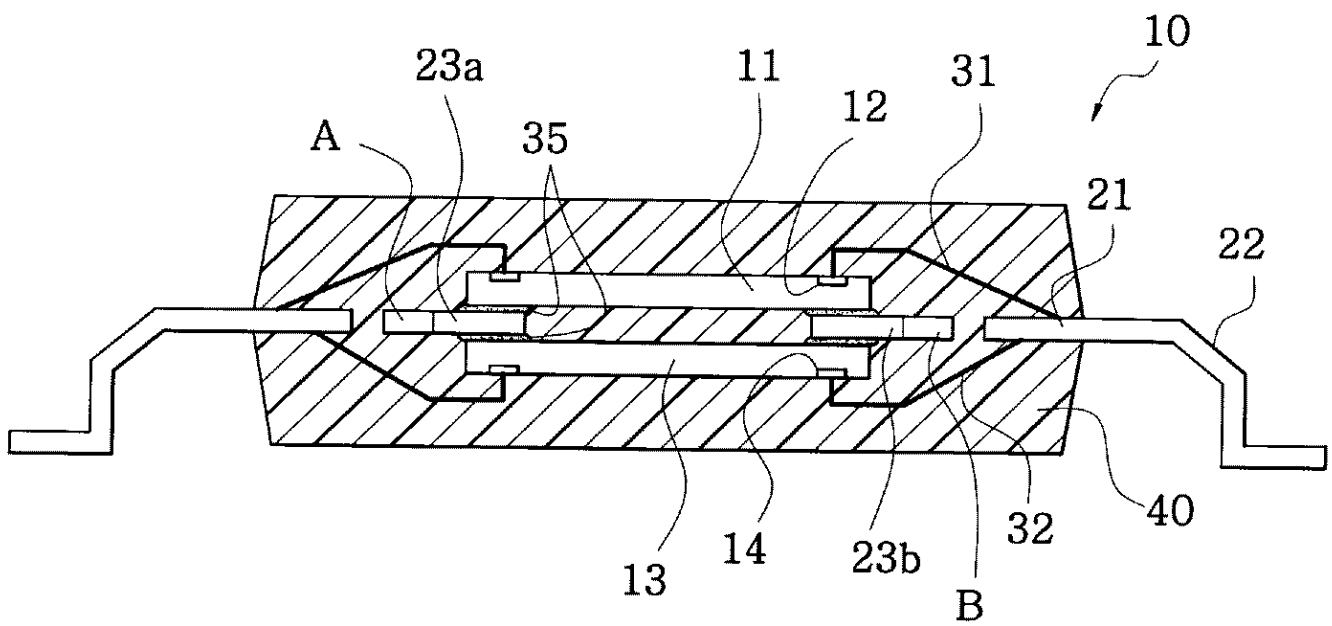
도면 2a



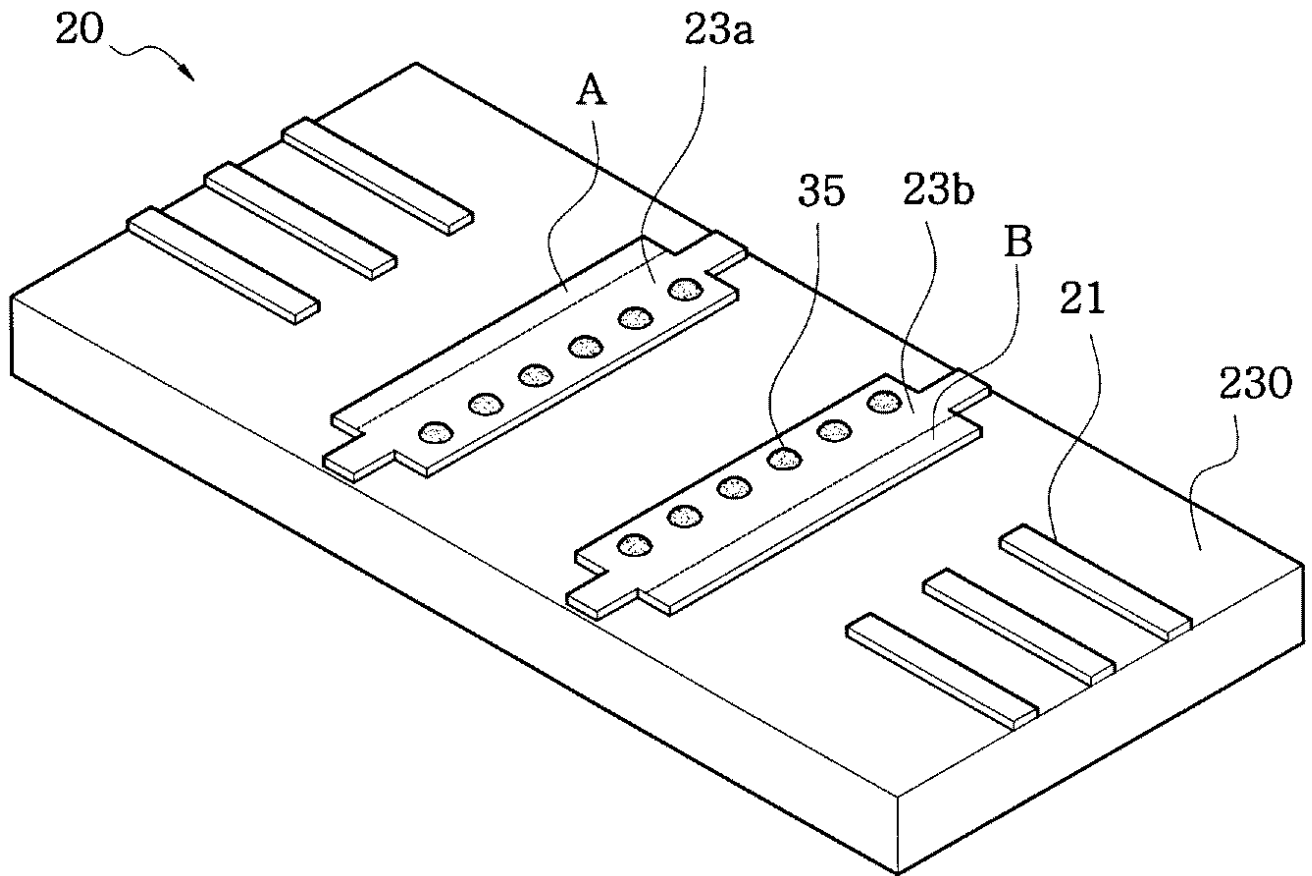
도면 2b



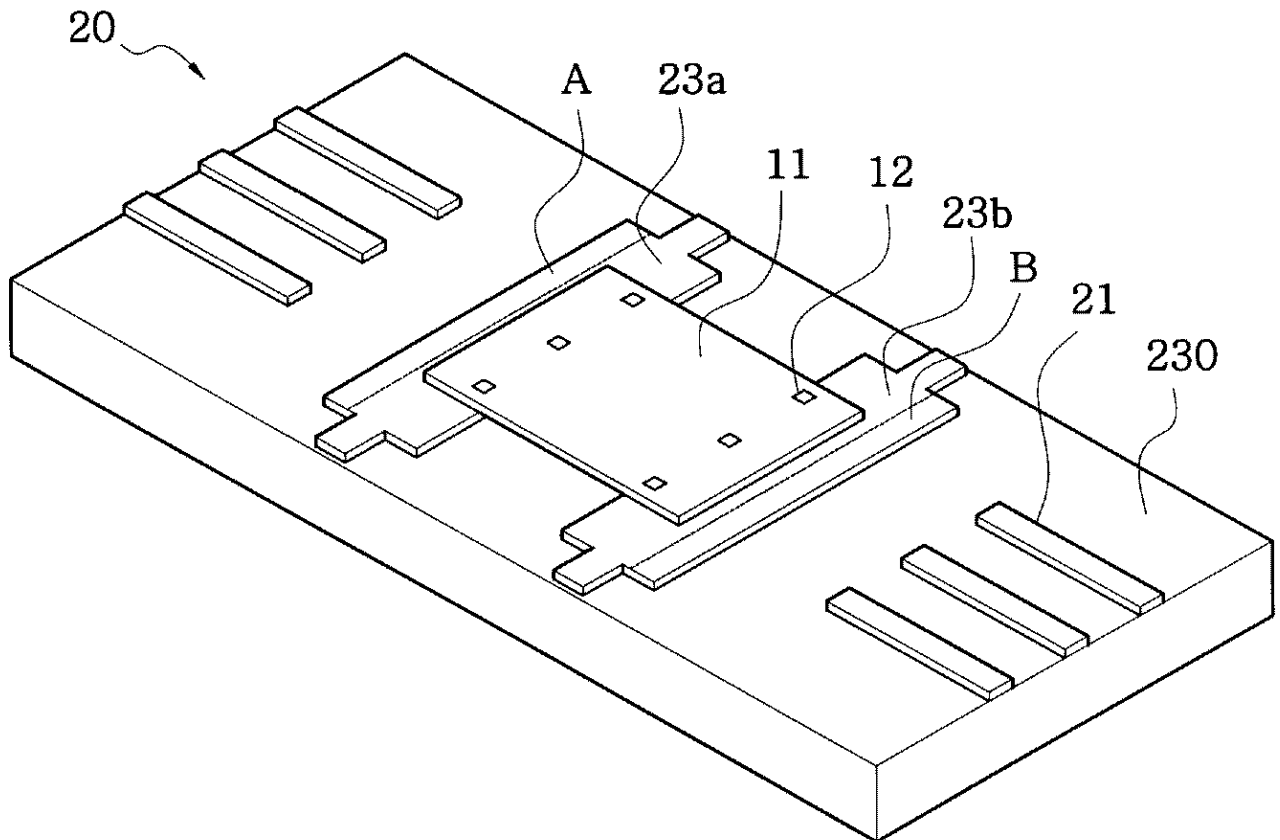
도면 3



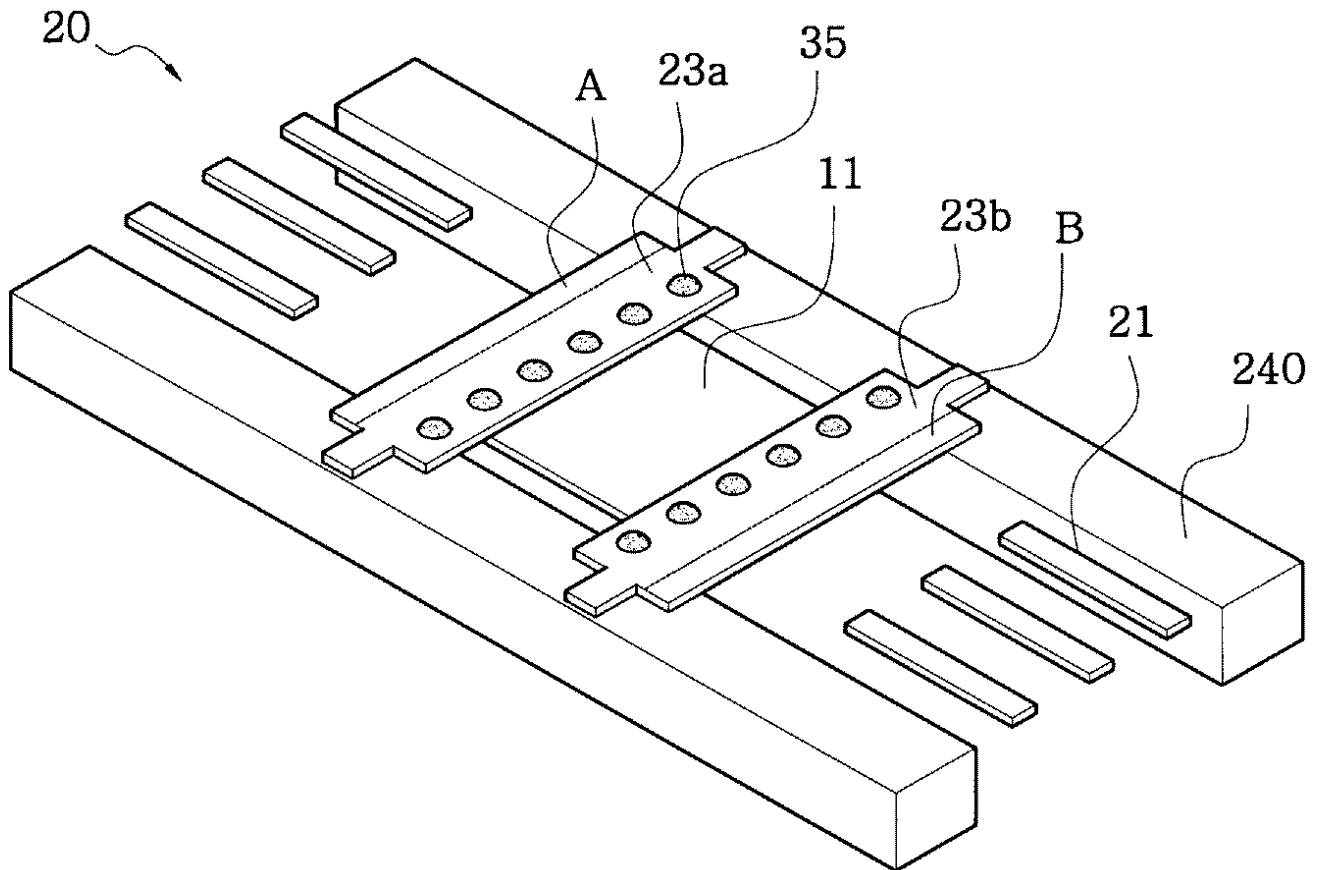
도면 4a



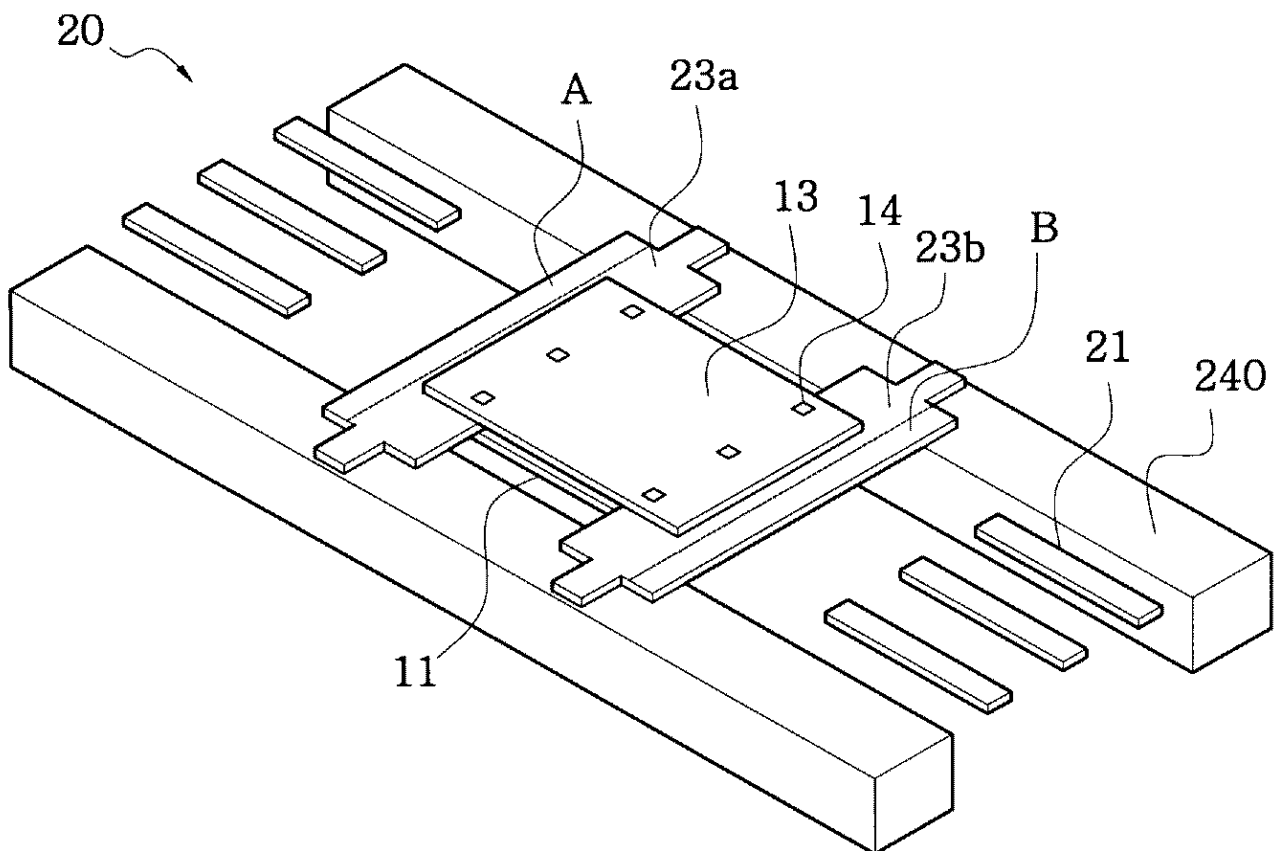
도면 4b



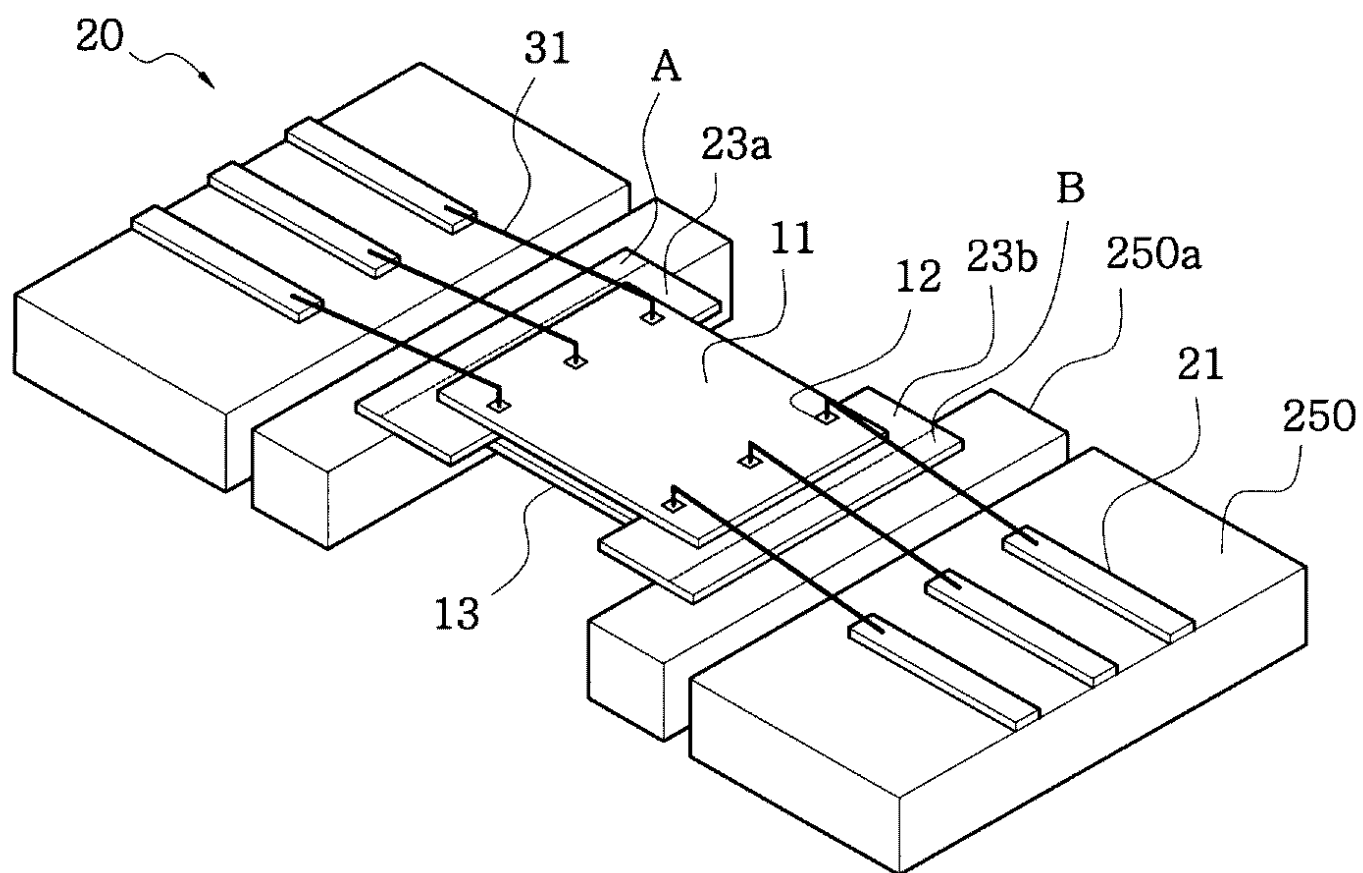
도면 4c



도면 4d



도면 4e



도면 4f

