



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201104840 A1

(43)公開日：中華民國 100 (2011) 年 02 月 01 日

(21)申請案號：099114867

(22)申請日：中華民國 99 (2010) 年 05 月 10 日

(51)Int. Cl. : *H01L27/11 (2006.01)*

H01L21/8244(2006.01)

H01L21/76 (2006.01)

(30)優先權：2009/05/28 美國

12/473,324

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES
CORPORATION (US)

美國

(72)發明人：安德森布瑞特 A ANDERSON, BRENT A. (US)；布蘭特安德瑞斯 BRYANT,
ANDRES (US)；諾瓦克愛德華 J NOWAK, EDWARD J. (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：21 項 圖式數：11 共 52 頁

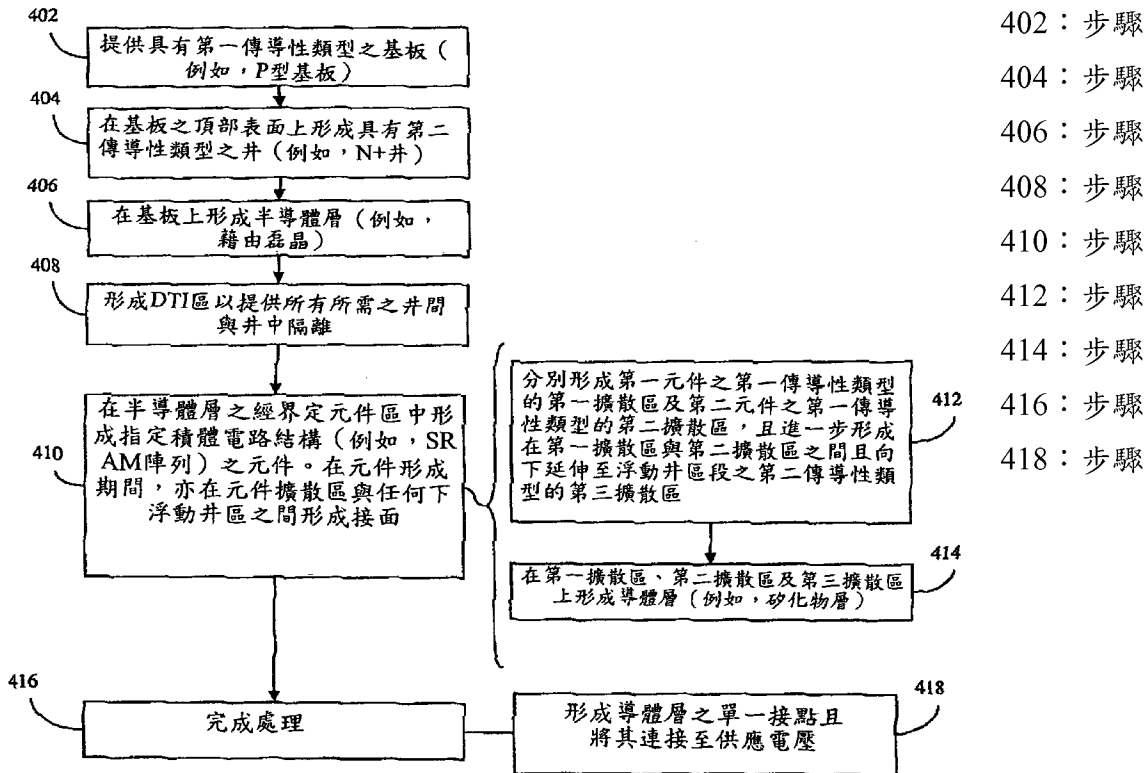
(54)名稱

具有所有井間與井中隔離所用之深溝槽隔離區以及鄰近元件擴散區及下浮動井區之間之接面的共用接點之積體電路元件

INTEGRATED CIRCUIT DEVICE WITH DEEP TRENCH ISOLATION REGIONS FOR ALL INTER-WELL AND INTRA-WELL ISOLATION AND WITH A SHARED CONTACT TO A JUNCTION BETWEEN ADJACENT DEVICE DIFFUSION REGIONS AND AN UNDERLYING FLOATING WELL SECTION

(57)摘要

本發明揭示一種改良之積體電路元件結構（例如，一靜態隨機存取記憶體陣列結構或併入有 P 型元件及 N 型元件之其他積體電路元件結構）之實施例及一種形成該結構之方法，該方法使用所有井間與井中隔離所用之 DTI 區，且藉此提供一低成本隔離方案，該方案避免了歸因於 STI-DTI 未對準之 FET 寬度變化。此外，因為用於井中隔離之該等 DTI 區有效地產生一些浮動井區，該等浮動井區必須各自連接至一供應電壓（例如，Vdd）以防止閾電壓（Vt）變化，所以該揭示之積體電路元件亦包括鄰近元件之擴散區與下浮動井區之間的一接面的一共用接點。此共用接點消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201104840 A1

(43)公開日：中華民國 100 (2011) 年 02 月 01 日

(21)申請案號：099114867

(22)申請日：中華民國 99 (2010) 年 05 月 10 日

(51)Int. Cl. : *H01L27/11 (2006.01)*

H01L21/8244(2006.01)

H01L21/76 (2006.01)

(30)優先權：2009/05/28 美國

12/473,324

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES
CORPORATION (US)

美國

(72)發明人：安德森布瑞特 A ANDERSON, BRENT A. (US)；布蘭特安德瑞斯 BRYANT,
ANDRES (US)；諾瓦克愛德華 J NOWAK, EDWARD J. (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：21 項 圖式數：11 共 52 頁

(54)名稱

具有所有井間與井中隔離所用之深溝槽隔離區以及鄰近元件擴散區及下浮動井區之間之接面的共用接點之積體電路元件

INTEGRATED CIRCUIT DEVICE WITH DEEP TRENCH ISOLATION REGIONS FOR ALL INTER-WELL AND INTRA-WELL ISOLATION AND WITH A SHARED CONTACT TO A JUNCTION BETWEEN ADJACENT DEVICE DIFFUSION REGIONS AND AN UNDERLYING FLOATING WELL SECTION

(57)摘要

本發明揭示一種改良之積體電路元件結構（例如，一靜態隨機存取記憶體陣列結構或併入有 P 型元件及 N 型元件之其他積體電路元件結構）之實施例及一種形成該結構之方法，該方法使用所有井間與井中隔離所用之 DTI 區，且藉此提供一低成本隔離方案，該方案避免了歸因於 STI-DTI 未對準之 FET 寬度變化。此外，因為用於井中隔離之該等 DTI 區有效地產生一些浮動井區，該等浮動井區必須各自連接至一供應電壓（例如，Vdd）以防止閾電壓（Vt）變化，所以該揭示之積體電路元件亦包括鄰近元件之擴散區與下浮動井區之間的一接面的一共用接點。此共用接點消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

六、發明說明：

【發明所屬之技術領域】

本發明之實施例大體而言係關於積體電路元件，且更特定言之，係關於一種積體電路元件（例如，靜態隨機存取記憶體（SRAM）陣列）及形成該元件之方法，該元件具有所有井間與井中隔離所用之深溝槽隔離區以及鄰近元件擴散區與下浮動井區之間的接面的共用接點。

【先前技術】

可在各種不同類型之基板上（例如，在絕緣體上覆矽（SOI）晶圓、大塊晶圓或混合定向（HOT）晶圓上）形成積體電路元件（諸如，靜態隨機存取記憶體（SRAM）陣列或併入有 P 型場效電晶體（PFETs）及 N 型場效電晶體（NFETs）之其他元件）。一種用於在大塊半導體晶圓（例如，P 型晶圓）上形成積體電路元件之技術需要在磊晶生長半導體層之前在大塊晶圓之頂部表面上植入 N+井區及 P+井區。隨後，在磊晶生長之半導體層中，在 N+井區上方形成 PFET，且在 P+井區上方形成 NFET，以使得 P+井區及 N+井區分別將 NFET 與大塊基板以及 PFET 與大塊基板電氣隔離。習知上，淺溝槽隔離（STI）區係用於任何所需之井中隔離（亦即，相同傳導性類型 FET 之間的隔離），且雙倍深度溝槽隔離（DDTI）區係用於井間隔離（亦即，不同傳導性類型 FET 之間的隔

離)，該等雙倍深度溝槽隔離（DDTI）區包括延伸至井之位準下方之基板中的深溝槽隔離（DTI）區。然而，同時具有 STI 區與 DDTI 區可能極其昂貴。

【發明內容】

鑒於上文所述，本文揭示改良之積體電路元件結構（例如，靜態隨機存取記憶體（SRAM）陣列結構或併入有 P 型元件及 N 型元件之其他積體電路元件結構）之實施例及一種形成該結構之方法，該方法使用所有井間與井中隔離所用之深溝槽隔離（DTI）區，且藉此提供一種低成本隔離方案。因為僅將 DDTI 區用於井間與井中隔離，所以該等實施例避免了歸因於淺溝槽隔離（STI）-DTI 未對準之 FET 寬度變化，且藉此避免了可影響效能之閾電壓變化。此外，因為用於井中隔離之該等 DTI 區有效地產生一些浮動井區（亦即，隔離井區），該等浮動井區必須連接至供應電壓（例如，Vdd）以防止閾電壓（Vt）變化，所以所揭示之積體電路元件亦包括鄰近元件之擴散區與下浮動井區之間的接面的共用接點。此共用接點消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

更特定言之，本文揭示積體電路元件結構之實施例。此結構可包含：一基板，其具有一第一傳導性類型，且進一步包含：一井，其具有與該第一傳導性類型不同之

一第二傳導性類型。可將半導體層（例如，磊晶矽層）安置於該基板上。此半導體層可包含：一元件區，其係位於該井上方，且更特定言之，位於該井之一浮動區上方。可由深溝槽隔離（DTI）區來界定該元件區之相對側面及相對末端，該等深溝槽隔離（DTI）區延伸至該井之最大深度下方的基板中。

在該元件區中，該半導體層可包含：一第一元件之一第一擴散區，及一第二元件之一第二擴散區。第一擴散區及第二擴散區可各自具有第一傳導性類型。另外，在元件區中，該半導體層亦可包含：一第三擴散區，其係橫向安置於該第一擴散區與該第二擴散區之間。此第三擴散區可具有第二傳導性類型，且可垂直延伸至下浮動井區。可將導體層（例如，矽化物層）安置於該半導體層上，且特定言之，其可在第一擴散區、第三擴散區及第二擴散區上方橫向延伸且可接觸該等擴散區，以使得產生第一擴散區、下浮動井區與第二擴散區之間的接面。因此，此接面上之導體層的單一共用接點可將第一元件之第一擴散區、第二元件之第二擴散區及下浮動井區電氣連接至供應電壓（例如，正供應電壓（Vdd））。

在一示範性實施例中，積體電路元件結構可包含：一靜態隨機存取記憶體（SRAM）陣列結構。可在具有第一傳導性類型之基板上形成該 SRAM 陣列。該基板可包含：一井，其具有第二傳導性類型。可將半導體層（例如，磊晶矽層）安置於該基板上。深溝槽隔離（DTI）區

可延伸至該基板中至該井之最大深度下方，以在陣列中界定記憶體單元之元件區的相對側面及相對末端。此等元件區中之一者可位於該井上方，且更特定言之，可位於該井之一浮動區上方。

在此元件區中，該半導體層可包含：一第一記憶體單元之一第一拉升場效電晶體的第一源極區，及一第二記憶體單元之一第二拉升場效電晶體的第二源極區。該第一源極區及該第二源極區可具有第一傳導性類型。另外，在該元件區中，該半導體層亦可包含：一摻雜區，其係橫向安置於該第一源極區與該第二源極區之間。該摻雜區可具有第二傳導性類型，且可進一步垂直延伸至下浮動井區。可將導體層（例如，矽化物層）安置於該半導體層上，且特定言之，可在第一源極區、摻雜區及第二源極區上方橫向延伸且可接觸該等區，以使得產生第一源極區、下浮動井區與第二源極區之間的接面。因此，在此接面上之該導體層的單一共用接點可將第一拉升場效電晶體之第一源極區、第二拉升場效電晶體之第二源極區及下浮動井區電氣連接至供應電壓（例如，正供應電壓（ V_{dd} ））。

應注意，由於大塊矽晶圓通常具有 P 傳導性類型，故上文提及之「第一傳導性類型」將通常包含 P 型傳導性，且上文提及之「第二傳導性類型」將通常包含 N 型傳導性。

因此，在示範性 SRAM 陣列中，基板可包含：一 P 型

[S]

基板。N+井可位於該 P 型基板中，且更特定言之，可位於該 P 型基板之頂部表面上。可將半導體層（例如，磊晶矽層）安置於該 P 型基板上。深溝槽隔離區可延伸過半導體層至 P 型基板中至 N+井下方，以在陣列中界定記憶體單元之元件區。此等元件區中之一者可包含：該半導體層之一區，其在 N+井之相應浮動區上方。該半導體層之此區可包含：一第一記憶體單元之一第一 P 型拉升場效電晶體的一第一 P 型源極區，及一第二記憶體單元之一第二 P 型拉升場效電晶體的一第二 P 型源極區，該第二記憶體單元經安置鄰近該第一記憶體單元。另外，該半導體層之此區亦可包含：一 N 型摻雜區，其係橫向安置於該第一 P 型源極區與該第二 P 型源極區之間。該 N 型摻雜區可進一步向下垂直延伸至該 N+井之浮動區。可將導體層（例如，矽化物層）安置於該半導體層上。此導體層可在第一 P 型源極區、N 型摻雜區及第二 P 型源極區上方橫向延伸且可接觸該等區，以在第一 P 型源極區、N+井之浮動區與第二 P 型源極區之間產生接面。因此，此接面上之導體層上之單一共用接點可將 P 型拉升場效電晶體之源極區以及下伏 N 型浮動井區電氣連接至正供應電壓（Vdd）。

然而，儘管在上文所述之實施例中第一傳導性類型為 P 型傳導性且第二傳導性類型為 N 型傳導性，但是可預期，在替代方案中，第一傳導性類型可包含 N 型傳導性，且第二傳導性類型可包含 P 型傳導性。

此外，本文揭示了用於形成上文所描述之積體電路元件及上文所描述之 SRAM 陣列之方法的實施例。特定言之，此方法之一實施例可包含形成一積體電路元件。此實施例可包含提供具有一第一傳導性類型之基板。可在該基板中，且特定言之，在該基板之頂部表面上，形成具有與該第一傳導性類型不同之一第二傳導性類型的井。隨後，在形成該井之後，可在該基板上形成一半導體層（例如，藉由磊晶生長一矽層）。接下來，可形成深溝槽隔離區，其延伸過該半導體層，且向下延伸至井之最大深度下方的基板中，以在半導體層中界定元件區：一特定元件區，其為第一元件及第二元件的井之浮動區上方的指定區。

一旦界定元件區，則可在該特定元件區中形成第一元件及第二元件。然而，可特定地形成第一元件及第二元件，以使得在第一元件之第一擴散區、第二元件之第二擴散區與下浮動井區之間形成接面。為達成此目的，在半導體層中形成第一擴散區及第二擴散區，以使得第一擴散區及第二擴散區具有第一傳導性類型。另外，可在半導體層中形成第三擴散區，以使得該第三擴散區橫向安置於第一擴散區與第二擴散區之間，以使得該第三擴散區具有第二傳導性類型，且進一步使得該第三擴散區垂直延伸至下浮動井區。隨後，可在半導體層上形成導體層（例如，形成矽化物層），以使得該導體層在第一擴散區、第三擴散區及第二擴散區上方橫向延伸且接觸該

[S]

等擴散區。隨後，可在導體層上形成單一接點，且將其電氣連接至供應電壓。

此方法之一示範性實施例可包含形成一靜態隨機存取記憶體（SRAM）陣列。此實施例可類似地包含提供具有一第一傳導性類型之基板。可在該基板中，且特定言之，可在該基板之頂部表面上，形成具有與該第一傳導性類型不同之一第二傳導性類型的井。隨後，在形成該井之後，可在該基板上形成一半導體層（例如，藉由磊晶生長一矽層）。接下來，可形成深溝槽隔離區，其延伸過該半導體層，且向下延伸至該井之最大深度下方的基板中，以在半導體層中界定元件區：一特定元件區，其為一指定區，位於在一第一記憶體單元之一節點中之一第一拉升場效電晶體及在一第二鄰近記憶體單元之一節點中之一第二拉升場效電晶體的井之浮動區上方。

一旦界定元件區，則可在該特定元件區中形成第一拉升場效電晶體及第二拉升場效電晶體。然而，可特定地形成第一拉升場效電晶體及第二拉升場效電晶體，以使得在第一拉升場效電晶體之第一源極區、第二拉升場效電晶體之第二源極區與下浮動井區之間形成接面。為達成此目的，在半導體層中形成第一源極區及第二源極區，以使得第一源極區及第二源極區具有第一傳導性類型。另外，可在半導體層中形成另一摻雜區，以使得該摻雜區橫向安置於第一源極區與第二源極區之間，以使得該摻雜區具有第二傳導性類型，且進一步使得該摻雜

[8]

區垂直延伸至浮動井區。隨後，在半導體層上形成導體層（例如，形成矽化物層），以使得該導體層在第一源極區、摻雜區及第二源極區上方橫向延伸且接觸該等區。隨後，可在導體層上形成單一接點，且將其電氣連接至正供應電壓（Vdd）。

應注意，由於大塊晶圓通常具有 P 傳導性類型，故上文提及之「第一傳導性類型」將通常包含 P 型傳導性，且上文提及之「第二傳導性類型」將通常包含 N 型傳導性。然而，可預期，在替代方案中，第一傳導性類型可包含 N 型傳導性，且第二傳導性類型可包含 P 型傳導性。

【實施方式】

參閱非限制性實施例來更完全地闡釋本發明之實施例及其各種特徵結構及有利細節，該等非限制性實施例係以隨附圖式來說明且在以下描述中詳述。

如上文所提及，可在各種不同類型之基板上（例如，在絕緣體上覆矽（SOI）晶圓、大塊晶圓或混合定向（HOT）晶圓上）形成積體電路元件（諸如，靜態隨機存取記憶體（SRAM）陣列或併入有 P 型場效電晶體（PFETs）及 N 型場效電晶體（NFETs）之其他元件）。一種用於在大塊半導體晶圓（例如，P 型晶圓）上形成積體電路元件之技術需要在磊晶生長半導體層之前在大塊晶圓之頂部表面上植入 N+ 井區及 P+ 井區。隨後，在磊晶生長之半

導體層中，在 N+井區上方形成 PFET，且在 P+井區上方形成 NFET，以使得 P+井區及 N+井區分別將 NFET 與大塊基板以及 PFET 與大塊基板電氣隔離。習知上，淺溝槽隔離 (STI) 區係用於任何所需之井中隔離 (亦即，相同傳導性類型 FET 之間的隔離)，且雙倍深度溝槽隔離 (DDTI) 區係用於井間隔離 (亦即，不同傳導性類型 FET 之間的隔離)，該等雙倍深度溝槽隔離 (DDTI) 區包括延伸至井之位準下方之基板中的深溝槽隔離 (DTI) 區。因此，此隔離方案導致經安置鄰近 N+井-P+井界面之任何場效電晶體在一側面上由 STI 區劃界，且在相對側面上由 DDTI 區劃界。不幸的是，在形成期間，不同類型之隔離區 (亦即，STI 及 DDTI) 可能不對準，從而導致 FET 寬度變化，該等寬度變化又可能影響元件效能，此是因為窄 FET (諸如，併入 SRAM 陣列中之彼等 FET) 之閾電壓 (V_t) 對 FET 寬度變化極其敏感。

因此，在此項技術中，需要一種改良之積體電路元件結構及用於形成該結構之方法，該方法避免上文所提及之習知隔離方案，且藉此避免由 FET 寬度變化引起之 V_t 變化。申請於 2008 年 4 月 29 日之美國專利申請案第 12/111,266 號中揭示了一種此類積體電路元件結構，且更特定言之，揭示了一種 SRAM 陣列結構，該專利申請案讓渡於 International Business Machines Corporation (Armonk, New York)，且其以引用之方式全部併入本文。在美國專利申請案第 12/111,266 號之 SRAM 陣列結

[S]

構中，在第一方向上延伸之連續平行 DTI 區不僅用於井間隔離（亦即，延伸至井之位準下方之基板以提供不同傳導性類型 FET 之間的隔離的隔離區），而且用於一些井中隔離（亦即，在一些相同類型的 FET 之間延伸的隔離區，且特定言之，在同一記憶體單元之不同節點中的 PFET 之間延伸的隔離區）。此結構解決了經安置鄰近 N+ 井-P+井界面之 FET 所發生的 FET 寬度變化問題，因為此等 FET 不再由 STI 區在一側面上劃界，且不再由 DDTI 區在相對側面上劃界，而是由 DTI 區在兩側上劃界。然而，在美國專利申請案第 12/111,266 號之結構中，仍在平行、單一方向 DTI 區之間（例如，在鄰近記憶體單元之拉升 PFET 之間）使用 STI 區來提供額外井中隔離。不幸的是，同時形成 DTI 及 STI 之成本可能較高。

鑒於以上內容，本發明揭示改良之積體電路元件結構（例如，靜態隨機存取記憶體（SRAM）陣列結構或併入有 P 型元件與 N 型元件之其他積體電路元件結構）之實施例及一種形成該結構之方法，該方法使用所有井間與井中隔離所用之深溝槽隔離（DTI）區，且藉此提供一種低成本隔離方案，該方案避免了歸因於淺溝槽隔離（STI）-DTI 未對準之 FET 寬度變化。此外，因為用於井中隔離之 DTI 區有效地產生一些浮動井區（亦即，隔離井區），該等浮動井區必須各自連接至供應電壓（例如，Vdd）以防止閾電壓（ V_t ）變化，所以所揭示之積體電路元件亦包括：鄰近元件之擴散區與下浮動井區之間的接面的共

[S]

用接點。此共用接點消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

更特定言之，第 1 圖展示積體電路元件 100 之一實施例的俯視圖說明。參閱第 1 圖，積體電路元件 100 可包含具有第一傳導性類型之基板 101。具有不同傳導性類型之井 102 及井 103 可位於基板 101 中，且特定言之，可位於基板 101 之頂部表面上。可將不同傳導性類型元件 104、105 安置於相反傳導性類型井的上方，以將元件 104、元件 105 與基板 101 之較低部份隔離。深溝槽隔離 (DTI) 區 150、深溝槽隔離 (DTI) 區 160 可界定多個元件區 (例如，參閱元件區 200)，進而提供所有所需之井間隔離 160 (亦即，具有不同傳導性類型之 FET 之間的隔離) 及所有所需之井中隔離 150 (亦即，具有相同傳導性類型之 FET 之間的隔離)。另外，對於由 DTI 區 150、DTI 區 160 產生之任何浮動井區 (例如，在元件區 200 下方) 而言，可將共用供應電壓接點電氣連接至具有相同傳導性類型之兩個鄰近元件之擴散區與具有不同傳導性類型之下浮動井區之間的接面 250。此接面 250 包含一結構，該結構允許經由共用接點將供應電壓同時施加至鄰近元件之擴散區及下浮動井區。

特定言之，可在具有第一傳導性類型之基板 101 上形成積體電路元件 100。基板 101 可包含井 102 (例如，預磊晶生長植入區)，井 102 具有與第一傳導性類型不同之第二傳導性類型。

第 2 圖展示積體電路元件 100 之元件區 200 的橫截面圖。結合第 1 圖參閱第 2 圖，可將半導體層 208（例如，磊晶矽層）安置於基板 101 上。此半導體層 208 可包含：元件區 200，其位於井 102 上方，且更特定言之，位於井 102 之浮動區 205 上方。可由深溝槽隔離（DTI）區 160 及深溝槽隔離（DTI）區 150 在相對側面及相對末端上界定元件區 200，該等深溝槽隔離區延伸至井 102 之最大深度 206 下方之基板 101 中。元件區 200 可含有第一元件 121a 及第二元件 121b，該第二元件鄰近第一元件 121a。第一元件 121a 及第二元件 121b 可具有與井 102 不同之傳導性類型，以使得將該等元件與基板 101 之較低部份隔離。

更特定言之，在元件區 200 中，半導體層 208 可包含：第一元件 121a 之至少一個第一擴散區 221，及第二元件 121b 之至少一個第二擴散區 222。第一擴散區 221 及第二擴散區 222 可各自具有第一傳導性類型。另外，在元件區 200 中，半導體層 208 亦可包含：第三擴散區 223，其係橫向安置於第一擴散區 221 與第二擴散區 222 之間。此第三擴散區 223 可具有第二傳導性類型，且可垂直延伸至浮動井區 205。可將導體層 260（例如，矽化物層）安置於半導體層 208 上，且特定言之，可在第一擴散區 221、第三擴散區 223 及第二擴散區 222 上方橫向延伸且可接觸該等擴散區。第三擴散區 223 與導體層 260 結合在第一擴散區 221、浮動井區 205 與第二擴散區 222

之間形成接面 250。亦即，第三擴散區 223 與導體層 260 結合形成一結構，該結構電氣連接（亦即，鏈接、耦接等）第一擴散區 221、下浮動井區 205 及第二擴散區 222。因此，接面 250 之單一共用接點 280，且更特定言之，導體層 260 之單一共用接點 280，可將第一元件 121a 之第一擴散區 221、第二元件 121b 之第二擴散區 222 及下浮動井區 205 電氣連接至供應電壓（例如，正供應電壓（Vdd））。此共用接點 280 消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

再參閱第 1 圖，在一示範性實施例中，積體電路元件結構 100 可特定包含靜態隨機存取記憶體（SRAM）陣列結構。SRAM 陣列 100 可包含具有第一傳導性類型之基板 101。具有不同傳導性類型之井 102、103（例如，預磊晶生長植入區）可位於基板 101 中，且特定言之，可位於基板 101 之頂部表面上。可將習知六電晶體 SRAM 單元（例如，參閱示範性單元 110a-d）之陣列形成於井 102、井 103 上方之半導體層（例如，磊晶矽層）中。

第 3 圖為圖示示範性 SRAM 單元 110 之示意圖。結合第 1 圖參閱第 3 圖，陣列中之每一 SRAM 單元 110 皆可包含兩個互補連接節點 111、112，且每一節點 111、112 皆可包含在第二傳導性類型井 102 上方之一第一傳導性類型 FET 105（亦即，第一傳導性類型拉升 FET 123），及在第一傳導性類型井 103 上方之兩個第二傳導性類型 FET 104（亦即，第二傳導性類型下拉 FET 122 及第二傳

[S]

導性類型通道閘極 FET 123)。在操作中，因為每一節點 111、112 係連結至其他節點之拉升電晶體之閘極，所以儲存於每一節點中之值保持互補。通常，經由一金屬配線層來建立節點 111 與節點 112 之間的電接連，且藉由配置每一單元來達成最佳元件密度，以使得每一單元與其鄰近單元對稱。另外，深溝槽隔離 (DTI) 區 150、深溝槽隔離 (DTI) 區 160 可在陣列 100 中界定多個元件區，進而提供所有所需之井間隔離 150 (亦即，具有不同傳導性類型之 FET 之間的隔離) 及所有所需之井中隔離 160 (亦即，具有相同傳導性類型之 FET 之間的隔離)。對於在含有鄰近記憶體單元之拉升 FET 之元件區下方的 DTI 區所產生之每一浮動井區而言，可將共用正供應電壓接點 (亦即，Vdd) 電氣連接至拉升 FET 之源極區與下浮動井區之間的接面。此接面包含一結構，該結構允許經由共用接點將供應電壓同時施加至該等鄰近拉升 FET 之源極區及該下浮動井區。

更特定言之，結合第 1 圖參閱第 2 圖，可將半導體層 208 (例如，磊晶矽層) 安置於基板 101 上。深溝槽隔離 (DTI) 區 150、深溝槽隔離 (DTI) 區 160 可延伸至基板 101 中至井 102 之最大深度 206 下方，以在陣列 100 中界定記憶體單元 110a-d 的元件區 (例如，參閱元件區 200) 之相對側面及相對末端。此等元件區 200 中之一者可位於井 102 上方，且更特定言之，可位於井 102 之浮動區 205 上方。此元件區 200 可含有 (例如)：第一記憶

[S]

體單元 110a 之節點 111a 的第一拉升場效電晶體 121a，及鄰近第一記憶體單元 110a 之第二記憶體單元 110b 之節點 111b 的第二拉升場效電晶體 121b。

在元件區 200 中，半導體層 208 可包含：第一記憶體單元 110a 之第一拉升場效電晶體 121a 的第一源極區 221，及第二記憶體單元 110b 之第二拉升場效電晶體 121b 的第二源極區 222。第一源極區 221 及第二源極區 222 可具有第一傳導性類型。另外，在元件區 200 中，半導體層 208 亦可包含：摻雜區 223，其係橫向安置於第一源極區 221 與第二源極區 222 之間。摻雜區 223 可具有第二傳導性類型，且可進一步垂直延伸至浮動井區 205。可將導體層 260（例如，矽化物層）安置於半導體層 208 上，且特定言之，導體層 260 可在第一源極區 221、摻雜區 223 及第二源極區 222 上方橫向延伸且可接觸該等區。摻雜區 223 與導體層 260 結合在第一源極區 221、下浮動井區 205 與第二源極區 222 之間形成接面 250。亦即，摻雜區 223 與導體層 260 結合形成一結構，該結構電氣連接（亦即，鏈接、耦接等）第一擴散區 221、下浮動井區 205 及第二擴散區 222。因此，接面 250 之單一共用接點 280，且更特定言之，導體層 260 之單一共用接點 280，可將第一拉升場效電晶體 121a 之第一源極區 221、第二拉升場效電晶體 121b 之第二源極區 222 及下浮動井區 205 電氣連接至供應電壓（例如，正供應電壓（Vdd））。此共用接點 280 消除了若每一浮動井區需

要個別供應電壓接點則將產生的成本及面積損失。

應注意，由於大塊矽晶圓通常具有 P 傳導性類型，故上文提及之「第一傳導性類型」將通常包含 P 型傳導性，且上文提及之「第二傳導性類型」將通常包含 N 型傳導性。

因此，在示範性 SRAM 陣列 100 中，基板 101 可包含 P 型基板 101。N+ 井 102 可位於 P 型基板 101 中，且更特定言之，可位於 P 型基板 101 之頂部表面上。可將半導體層 208（例如，磊晶矽層）安置於 P 型基板 101 上。深溝槽隔離區 150、深溝槽隔離區 160 可延伸過半導體層 208 至基板 101 中至 N+ 井 102 下方，以在陣列 100 中界定記憶體單元（例如，參閱記憶體單元 110a-d）的元件區（例如，參閱元件區 200）。此等元件區 200 中之一者可包含：半導體層 208 之一區，其在 N+ 井 102 之相應浮動區 205 上方。半導體層 208 之此區可至少包含：第一記憶體單元 110a 之第一 P 型拉升場效電晶體 121a 的第一 P 型源極區 221，及第二記憶體單元 110b 之第二 P 型拉升場效電晶體 121b 的第二 P 型源極區 222，第二記憶體單元 110b 經安置鄰近第一記憶體單元 110a。另外，半導體層 208 之此區亦可包含：N 型摻雜區 223，其係橫向安置於第一 P 型源極區 221 與第二 P 型源極區 222 之間。N 型摻雜區 223 可進一步向下垂直延伸至 N+ 井 102 之下浮動區 205。可將導體層 260（例如，矽化物層）安置於半導體層 208 上。此導體層 260 可在第一 P 型源極

[S]

區 221、N 型摻雜區 223 及第二 P 型源極區 222 上方橫向延伸且可接觸該等區。N 型摻雜區 223 與導體層 260 結合在第一 P 型源極區 221、N+井 102 之下浮動區 205 與第二 P 型源極區 222 之間形成接面。亦即，N 型摻雜區 223 與導體層 260 結合形成一結構，該結構電氣連接（亦即，鏈接、耦接等）第一 P 型源極區 221、N+井 102 之下浮動井區 205 及第二 P 型源極區 222。因此，接面 250 之共用單一接點 280，且更特定言之，導體層 260 之共用單一接點 280，可將拉升場效電晶體 121a 之源極區 221、拉升場效電晶體 121b 之源極區 222，及下浮動井區 205 電氣連接至正供應電壓（Vdd）。此共用接點 280 消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

然而，儘管在上文所述之實施例中第一傳導性類型為 P 型傳導性且第二傳導性類型為 N 型傳導性，但是可預期，在替代方案中，第一傳導性類型可包含 N 型傳導性，且第二傳導性類型可包含 P 型傳導性。

熟習此項技術者將認識，P 型傳導性及 N 型傳導性可經由植入適當選擇之摻雜劑來達成。舉例而言，P 型擴散區及 P 型井區可用第 III 族摻雜劑（諸如硼（B））來植入，而 N 型擴散區及 N 型井區可用第 V 族摻雜劑（諸如砷（As）、磷（P）或銻（Sb））來植入。另外，熟習此項技術者將進一步認識，上文所論述且在第 1 圖及第 2 圖中圖示之深溝槽隔離區 150、深溝槽隔離區 160 可包

[S]

含(例如):習知深溝槽隔離結構,其由一或多種非導電性填充材料(例如,氧化物填充材料、氮化物填充材料、氮氧化合物填充材料等)加內襯(視情況)及填充。

此外,本文揭示了用於形成上文所描述之積體電路元件及上文所描述之 SRAM 陣列之方法的實施例。特定言之,參閱第 4 圖,該方法之一實施例可包含以下步驟:形成併入有如第 1 圖所圖示之 N 型元件 104 及 P 型元件 105 的積體電路元件 100。此實施例可包含以下步驟:提供具有第一傳導性類型之基板 101(402)。可在基板 101 之頂部表面上形成具有不同傳導性類型之井 102 及井 103(404,參閱第 5 圖)。特定言之,可使用習知遮罩植入技術將井 102 及井 103 植入基板 101 中,以使得具有第二傳導性類型之井 102 經安置鄰近具有第一傳導性類型之一或多個井 103。隨後,在形成井 102 及井 103 之後,可在基板 101 上形成半導體層 208(例如,藉由磊晶生長矽層)(406,參閱第 6 圖)。

接下來,可形成深溝槽隔離區 150 及深溝槽隔離區 160,其延伸過半導體層 208,且向下延伸至井 102 及井 103 之最大深度下方之基板 101 中,以提供積體電路元件 100 之所有所需井間與井中隔離,藉此在半導體層 208 中界定元件區:一特定元件區 200,其為第一元件及第二元件之井 102 上方的指定區(408)。可使用習知技術來形成此等深溝槽隔離區 150、深溝槽隔離區 160。舉例而言,可將光阻劑層沈積於半導體層 208 上,且使其圖

案化。隨後，使用各向異性蝕刻程序（例如，電漿活性離子蝕刻（RIE）程序）將該圖案轉移入半導體層 208 及基板 101 中以形成溝槽 760（參閱第 7 圖）。繼續進行各向異性蝕刻，直至溝槽 760 比井 102 之最大深度 206 深為止。在形成溝槽 760 之後，其可視情況由一或多種非導電性填充材料（例如，氧化物填充材料、氮化物填充材料、氮氧化合物填充材料等）加內襯（例如，藉由生長薄氧化物材料）、填充（例如，藉由電漿沈積），且隨後經平坦化，藉此產生 DTI 區（例如，參閱第 8 圖）。

一旦界定了元件區，則可形成積體電路結構 100 之所有元件 104、105（410）。特定言之，可在第二傳導性類型井 102 上方形成第一傳導性類型元件 105，且可在第一傳導性類型井 103 上方形成第二傳導性類型元件 104（如第 1 圖中所展示）。然而，在程序 410 之元件形成期間，且在元件區具有由 DTI 區 150、DTI 區 160 產生之下浮動井區 205 之狀況下（例如，參閱第 8 圖中之元件區 200），亦可在鄰近元件之擴散區與下浮動井區之間形成接面。如此形成之此接面可包含一結構，該結構允許經由共用接點將供應電壓同時施加至鄰近元件之擴散區及下浮動井區。

特定言之，可使用習知處理技術來在各種元件區中形成元件 104 及元件 105，且更特定言之，來在元件區 200 中形成鄰近元件 121a 及元件 121b。亦即，可在半導體層上沈積圍包閘極介電層，且可在閘極介電層上沈積圍

包閘極導體層。可圖案化且蝕刻閘極介電層-閘極導體層之堆疊，以形成閘極結構，該等閘極結構包括（但不限於）：元件區 200 中鄰近元件 121a 之閘極結構 901 及鄰近元件 121b 之閘極結構 902（參閱第 9 圖）。隨後，可在第一元件 121a 之第一閘極結構 901 之任一側上的半導體層 208 中形成具有第一傳導性類型之第一擴散區 221（例如，藉由執行遮罩植入程序）。同時，可在第二元件 121b 之第二閘極結構 902 之任一側上的半導體層 208 中形成亦具有第一傳導性類型之第二擴散區 222（例如，在同一遮罩植入程序期間）（參閱第 10 圖）。另外，在個別遮罩植入程序期間（例如，在形成第一擴散區 221 及第二擴散區 222 之前或之後），可在半導體層 208 中形成第三擴散區 223，以使得將第三擴散區 223 橫向安置於第一擴散區 221 與第二擴散區 222 之間，以使得第三擴散區 223 具有第二傳導性類型，且進一步使得第三擴散區 223 垂直延伸至井 102 之浮動區 205。接下來，可在半導體層 208 上形成導體層 260，以使得導體層 260 在第一擴散區 221、第三擴散區 223 及第二擴散區 222 上方橫向延伸且接觸該等擴散區（414）。舉例而言，可使用習知處理技術形成矽化物導體層 260。亦即，可藉由諸如濺射或蒸鍍之技術來將諸如鈦、鉑或鈷之金屬沈積於磊晶矽層 208 上。隨後，將該結構加熱至約 900°C-1000°C 之溫度，以使得與矽接觸之金屬將發生反應以形成金屬矽化物。隨後，可用化學方法移除任何未反應之金屬

(例如，表面上所見之除矽之外的金屬)。導體層 260 與第三擴散區 223 結合在第一擴散區 221、下浮動動井區 205 與第二擴散區 222 之間形成接面 250。亦即，第三擴散區 223 與導體層 260 結合形成一結構，該結構電氣連接(亦即，鏈接、耦接等)鄰近元件 121a 之擴散區 221、鄰近元件 121b 之擴散區 222，及下浮動井區 205。

隨後，執行額外處理，以完成積體電路元件結構 100 (416)。額外處理步驟可包括(但不限於)以下步驟：層間介電沈積及接點形成。特定言之，可在導體層 260 上形成共用單一接點 280，以將鄰近第一元件 121a 之擴散區 221、鄰近第二元件 121b 之擴散區 222，及下浮動井區 205 電氣連接至供應電壓(例如，Vdd)(418，參閱第 2 圖)。此共用接點 280 消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

再參閱第 4 圖，此方法之一示範性實施例可包含以下步驟：形成如第 1 圖中所圖示之靜態隨機存取記憶體(SRAM)陣列 100。此實施例可同樣包含以下步驟：提供具有第一傳導性類型之基板 101(例如，P 半導體基板)(402)。可在基板 101 之頂部表面上形成具有第二傳導性類型之井 102(例如，N+井)，且視情況形成具有第一傳導性類型之井 103(例如，P+井)(404，參閱第 5 圖)。舉例而言，可使用習知遮罩植入技術將井 102 及井 103 植入基板 101 中，以使得將具有第二傳導性類型之井 102 安置於具有第一傳導性類型之井 103 之間。隨後，在形

[S]

成井 102 及井 103 之後，在基板 101 上形成半導體層 208（例如，藉由磊晶生長矽層）（406，參閱第 6 圖）。視情況，在處理之此階段，可在半導體層-基板界面上的半導體層 208 中形成（亦即，植入）額外井。舉例而言，可將具有第二傳導性類型之井（例如，N 井）植入井 102 上方之半導體層 208 中。

接下來，可形成深溝槽隔離區 150 及深溝槽隔離區 160，其延伸過半導體層 208，且向下延伸至井 102 及井 103 之最大深度下方之基板 101 中，以提供 SRAM 陣列 100 之所有所需井間與井中隔離，藉此在半導體層 208 中界定元件區：一特定元件區 200，其為一指定區，位於第一記憶體單元 110a 之第一拉升場效電晶體 121a 及第二鄰近記憶體單元 110b 之第二拉升場效電晶體 121b 的井 102 上方（408）。可使用習知技術來形成此等深溝槽隔離區 150、深溝槽隔離區 160。舉例而言，可將光阻劑層沈積於半導體層 208 上，且使其圖案化。隨後，使用各向異性蝕刻程序（例如，電漿活性離子蝕刻（RIE）程序）將該圖案轉移入半導體層 208 及基板 101 中以形成溝槽 760（參閱第 7 圖）。繼續進行各向異性蝕刻，直至溝槽 760 比井 102 之最大深度 206 深為止。在形成溝槽 760 之後，其可視情況由一或多種非導電性填充材料（例如，氧化物填充材料、氮化物填充材料、氮氧化合物填充材料等）加內襯（例如，藉由生長薄氧化物材料）、填充（例如，藉由電漿沈積），且隨後經平坦化，藉此產

[S]

生 DTI 區（例如，參閱第 8 圖）。

一旦界定了元件區，則可形成 SRAM 陣列 100 之所有元件（410）。特定言之，可在第二傳導性類型井 102 上方形成第一傳導性類型元件 105（例如，拉升 FET 121），且可在第一傳導性類型井 103 上方形成第二傳導性類型元件 104（例如，下拉 FET 122 及通道閘極 FET 123）（如第 1 圖中所展示）。然而，在程序 410 之元件形成期間，且在元件區 200 具有由 DTI 區 150、DTI 區 160 產生之下浮動井區 205 之狀況下（例如，參閱第 8 圖），亦可在鄰近記憶體單元之拉升 FET 之源極區與下浮動井區之間形成接面。如此形成之此接面可包含一結構，該結構允許經由共用接點將供應電壓同時施加至鄰近拉升 FET 之源極區及下浮動井區。

特定言之，可使用習知處理技術來在各種元件區中形成元件 105（例如，拉升 FET 121）及元件 104（例如，下拉 FET 122 及通道閘極 FET 123），且更特定言之，來在特定元件區 200 中形成第一拉升場效電晶體 121a 及第二拉升場效電晶體 121b。亦即，可在半導體層上沈積圍包閘極介電層，且可在閘極介電層上沈積圍包閘極導體層。可圖案化且蝕刻閘極介電層-閘極導體層之堆疊，以形成閘極結構，該等閘極結構包括（但不限於）：元件區 200 中鄰近元件 121a 之閘極結構 901 及鄰近元件 121b 之閘極結構 902（參閱第 9 圖）。隨後，可在第一拉升 FET 121a 之第一閘極結構 901 之任一側上的半導體層 208 中

[S]

形成具有第一傳導性類型之第一源極區/汲極區 221 (例如, 藉由執行遮罩植入程序)。同時, 可在第二拉升 FET 121b 之第二閘極結構 902 之任一側上的半導體層 208 中形成亦具有第一傳導性類型之第二源極區/汲極區 222 (例如, 在同一遮罩植入程序期間)(參閱第 10 圖)。另外, 在個別遮罩植入程序期間(例如, 在形成第一源極區/汲極區 221 及第二源極區/汲極區 222 之前或之後), 可在半導體層 208 中形成額外摻雜區 223, 以使得將額外摻雜區 223 橫向安置於第一拉升 FET 121a 之第一源極區 221 與第二拉升 FET 121b 之第二源極區 222 之間, 以使得額外摻雜區 223 具有第二傳導性類型, 且進一步使得額外摻雜區 223 垂直延伸至井 102 之浮動區 205。接下來, 可在半導體層 208 上形成導體層 260, 以使得導體層 260 在第一源極區 221、摻雜區 223 及第二源極區 222 上方橫向延伸且接觸該等區(414)。舉例而言, 可使用習知處理技術形成矽化物導體層 260。亦即, 可藉由諸如濺射或蒸鍍之技術來將諸如鈦、鉑或鈷之金屬沈積於磊晶矽層 208 上。隨後, 將該結構加熱至約 900°C-1000°C 之溫度, 以使得與矽接觸之金屬將發生反應以形成金屬矽化物。隨後, 可用化學方法移除任何未反應之金屬(例如, 表面上所見之除矽之外的金屬)。導體層 260 與摻雜區 223 結合在第一源極區 221、下浮動井區 205 與第二源極區 222 之間形成接面 250。亦即, 摻雜區 223 與導體層 260 結合形成一結構, 該結構電氣連接(亦

即，鏈接、耦接等）鄰近拉升 FET 121a 之源極區 221、鄰近拉升 FET 121b 之源極區 222，及下浮動井區 205。

隨後，可執行額外處理，以完成積體電路元件結構 100 (416)。額外處理步驟可包括（但不限於）以下步驟：層間介電沈積及接點形成。特定言之，可在導體層 260 上形成共用單一接點 280，以將鄰近拉升 FET 元件 121a 之源極區 221、鄰近拉升 FET 元件 121b 之源極區 222，及下浮動井區 205 電氣連接至正供應電壓（例如，Vdd）(418，參閱第 2 圖)。此共用接點 280 消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

應注意，由於大塊晶圓通常具有 P 傳導性類型，故上文提及之「第一傳導性類型」將通常包含 P 型傳導性，且上文提及之「第二傳導性類型」將通常包含 N 型傳導性。然而，可預期，在替代方案中，第一傳導性類型可包含 N 型傳導性，且第二傳導性類型可包含 P 型傳導性。熟習此項技術者將認識，可如上文所述，在程序 404 及程序 412 中，經由植入適當選擇之摻雜劑來達成 P 型傳導性及 N 型傳導性。舉例而言，P 型擴散區及 P 型井區可用第 III 族摻雜劑（諸如硼（B））來植入，而 N 型擴散區及 N 型井區可用第 V 族摻雜劑（諸如砷（As）、磷（P）或銻（Sb））來植入。

應理解，以下申請專利範圍中之所有方法或步驟加功能元件的相應結構、材料、動作及等效物意欲包括用於

[S]

結合如特定主張之其他主張元件來執行功能的任何結構、材料或動作。另外，應理解，本發明之以上描述係為達說明及描述之目的而呈現，而不欲視為詳盡或將本發明限於所揭示之形式。在不脫離本發明之範疇及精神之情況下，諸多修改及變化可為一般技術者所瞭解。選擇該等實施例並對其描述以較佳地解釋本發明之原則及其實際應用，且使一般技術者能夠瞭解本發明之具有適於特定使用構思之各種修改的各種實施例。以上描述中省略了習知元件及處理技術，以免不必要地混淆本發明之實施例。

最後，亦應理解，以上描述中所使用之術語僅出於描述特定實施例之目的，而不欲為本發明之限制。舉例而言，本文所使用之單數形式「一(a)」、「一(an)」及「該(the)」欲亦包括複數形式，除非本文另明確規定。此外，如本文所使用，本說明書中使用之術語「包含(comprises)」、「包含(comprising)」及/或「併入(incorporating)」指定所述之特徵結構、整體、步驟、操作、元件及/或組件之存在，但並不排除存在或添加一個或多個其他特徵結構、整體、步驟、操作、元件、組件及/或其群組。

因此，本發明揭示改良之積體電路元件結構（例如，靜態隨機存取記憶體(SRAM)陣列結構或併入有P型元件及N型元件之其他積體電路元件結構）之實施例及一種形成該結構之方法，該方法使用所有井間與井中隔離

[S]

所用之深溝槽隔離 (DTI) 區，且藉此提供一種低成本隔離方案，該方案避免了歸因於淺溝槽隔離 (STI) -DTI 未對準之 FET 寬度變化。此外，因為用於井中隔離之該等 DTI 區有效地產生一些浮動井區 (亦即，隔離井區)，其中該等浮動井區必須各自連接至供應電壓 (例如，Vdd) 以防止閾電壓 (V_t) 變化，所以該揭示之積體電路元件亦包括鄰近元件之擴散區與下浮動井之間的接面的共用接點。該共用接點消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

【圖式簡單說明】

本發明之實施例將參閱諸圖由以上詳細描述可更加明白，該等圖式並非一定照比例繪製，且其中：

第 1 圖為圖示根據本發明之積體電路元件結構 100 (諸如，靜態隨機存取記憶體 (SRAM) 陣列結構) 之一實施例的俯視平面圖；

第 2 圖為圖示第 1 圖之結構 100 之元件區 200 的橫截面圖；

第 3 圖為圖示示範性靜態隨機存取記憶體 (SRAM) 單元的示意圖；

第 4 圖為圖示根據本發明用於形成結構 100 之方法的實施例的流程圖；

第 5 圖為圖示根據第 4 圖之方法而形成的部分完成之

結構的橫截面圖；

第 6 圖為圖示根據第 4 圖之方法而形成的部分完成之結構的橫截面圖；

第 7 圖為圖示根據第 4 圖之方法而形成的部分完成之結構的橫截面圖；

第 8 圖為圖示根據第 4 圖之方法而形成的部分完成之結構的橫截面圖；

第 9 圖為圖示根據第 4 圖之方法而形成的部分完成之結構的橫截面圖；

第 10 圖為圖示根據第 4 圖之方法而形成的部分完成之結構的橫截面圖；及

第 11 圖為圖示根據第 4 圖之方法而形成的部分完成之結構的橫截面圖。

【主要元件符號說明】

100	積體電路元件結構/SRAM 陣列
101	基板
102	井
103	井
104	元件/FET
105	元件/FET
110	記憶體單元/SRAM 單元
110a	第一記憶體單元

110b	第二記憶體單元
110c	記憶體單元
110d	記憶體單元
111	節點
111a	節點
111b	節點
112	節點
121	拉升 FET
121a	第一元件/第一拉升場效電晶體
121b	第二元件/第二拉升場效電晶體
122	下拉 FET
123	通道閘極 FET/拉升 FET
150	深溝槽隔離 (DTI) 區
160	深溝槽隔離 (DTI) 區
200	元件區
205	浮動井區
206	最大深度
208	半導體層
221	第一擴散區/第一源極區
222	第二擴散區/第二源極區
223	摻雜區/第三擴散區
250	接面
260	導體層
280	接點

402	步 驟
404	步 驟
406	步 驟
408	步 驟
410	步 驟
412	步 驟
414	步 驟
416	步 驟
418	步 驟
760	溝 槽
901	閘 極 結 構
902	閘 極 結 構

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：99114867

※申請日期：2010年5月10日

※IPC分類：

H01L 27/11 H2006.01

H01L 21/8244 H2006.01

H01L 21/76 H2006.01

一、發明名稱：(中文/英文)

具有所有井間與井中隔離所用之深溝槽隔離區以及鄰近元件擴散區及下浮動井區之間之接面的共用接點之積體電路元件

INTEGRATED CIRCUIT DEVICE WITH DEEP TRENCH
ISOLATION REGIONS FOR ALL INTER-WELL AND INTRA-WELL
ISOLATION AND WITH A SHARED CONTACT TO A JUNCTION
BETWEEN ADJACENT DEVICE DIFFUSION REGIONS AND AN
UNDERLYING FLOATING WELL SECTION

二、中文發明摘要：

本發明揭示一種改良之積體電路元件結構（例如，一靜態隨機存取記憶體陣列結構或併入有 P 型元件及 N 型元件之其他積體電路元件結構）之實施例及一種形成該結構之方法，該方法使用所有井間與井中隔離所用之 DTI 區，且藉此提供一低成本隔離方案，該方案避免了歸因於 STI-DTI 未對準之 FET 寬度變化。此外，因為用於井中隔離之該等 DTI 區有效地產生一些浮動井區，該等浮動井區必須各自連接至一供應電壓（例如，Vdd）以防止閾電壓（Vt）變化，所以該揭示之積體電路元件亦包括鄰近元件之擴散區與下浮動井區之間的一接面的一共用接點。此共用接點消除了若每一浮動井區需要個別供應電壓接點則將產生的成本及面積損失。

三、英文發明摘要：

Disclosed are embodiments of an improved integrated circuit device structure (e.g., a static random access memory

array structure or other integrated circuit device structure incorporating both P-type and N-type devices) and a method of forming the structure that uses DTI regions for all inter-well and intra-well isolation and, thereby provides a low-cost isolation scheme that avoids FET width variations due to STI-DTI misalignment. Furthermore, because the DTI regions used for intra-well isolation effectively create some floating well sections, which must each be connected to a supply voltage (e.g., Vdd) to prevent threshold voltage (V_t) variations, the disclosed integrated circuit device also includes a shared contact to a junction between the diffusion regions of adjacent devices and an underlying floating well section. This shared contact eliminates the cost and area penalties that would be incurred if a discrete supply voltage contact was required for each floating well section.

七、申請專利範圍：

1. 一種積體電路元件結構，其包含：

一基板，其具有一第一傳導性類型；

一井，其在該基板中，該井具有與該第一傳導性類型不同之一第二傳導性類型；

一半導體層，其在該井上方之該基板上，其包含：

一第一元件之一第一擴散區；

一第二元件之一第二擴散區，該第一擴散區及該第二擴散區各自具有該第一傳導性類型；及

一第三擴散區，其係橫向安置於該第一擴散區與該第二擴散區之間，該第三擴散區具有該第二傳導性類型且進一步垂直延伸至該井；及

一導體層，其在該半導體層上，該導體層在該第一擴散區、該第三擴散區及該第二擴散區上方橫向延伸且接觸該等擴散區。

2. 如申請專利範圍第 1 項之積體電路元件結構，該半導體層包含：一元件區，其在該井上方，該元件區含有該第一元件及該第二元件，且由深溝槽隔離區來界定相對側面及相對末端，該等深溝槽隔離區延伸至該井下方之該基板中。

3. 如申請專利範圍第 1 項之積體電路元件結構，其進一

步包含：一接點，其在該導體層上，該接點係連接至一供應電壓。

4. 如申請專利範圍第 1 項之積體電路元件結構，該第一傳導性類型包含一 P 型傳導性，且該第二傳導性包含一 N 型傳導性。

5. 如申請專利範圍第 1 項之積體電路元件結構，該導體層包含一矽化物層。

6. 如申請專利範圍第 1 項之積體電路元件結構，該半導體層包含一磊晶矽層。

7. 一種靜態隨機存取記憶體（SRAM）陣列結構，其包含：

一基板，其具有一第一傳導性類型；

一井，其在該基板中，該井具有與該第一傳導性類型不同之一第二傳導性類型；

一半導體層，其在該井上方之該基板上，其包含：

一第一記憶體單元之一第一拉升場效電晶體之一第一源極區；

一第二記憶體單元之一第二拉升場效電晶體之一第二源極區，該第一源極區及該第二源極區具有該第一傳導性類型；及

一摻雜區，其係橫向安置於該第一源極區與該第二源極區之間，該摻雜區具有該第二傳導性類型且進一步垂直延伸至該井；及

一導體層，其在該半導體層上，該導體層在該第一源極區、該摻雜區及該第二源極區上方橫向延伸且接觸該等區。

8. 如申請專利範圍第 7 項之靜態隨機存取記憶體 (SRAM) 陣列結構，該半導體層包含：一元件區，其在該井上方，該元件區含有該第一拉升場效電晶體及該第二拉升場效電晶體，且由深溝槽隔離區來界定相對側面及相對末端，該等深溝槽隔離區延伸至該井下方之該基板中。

9. 如申請專利範圍第 7 項之靜態隨機存取記憶體 (SRAM) 陣列結構，其進一步包含：一接點，其在該導體層上，該接點係連接至一正供應電壓 (V_{dd})。

10. 如申請專利範圍第 7 項之靜態隨機存取記憶體 (SRAM) 陣列結構，該第一傳導性類型包含一 P 型傳導性，且該第二傳導性包含一 N 型傳導性。

11. 如申請專利範圍第 7 項之靜態隨機存取記憶體 (SRAM) 陣列結構，該導體層包含一矽化物層。

[S]

12. 如申請專利範圍第 7 項之靜態隨機存取記憶體 (SRAM) 陣列結構，該半導體層包含一磊晶矽層。

13. 一種靜態隨機存取記憶體 (SRAM) 陣列結構，其包含：

一 P 型基板；

一 N+ 井，其在該基板中；

一半導體層，其在該基板上；

深溝槽隔離區，其延伸過該半導體層至該基板中至該 N+ 井下方，以在該陣列中界定記憶體單元之元件區，該等元件區中之一者包含：

該半導體層之一區，其在該 N+ 井之一區上方，該半導體層之該區包含：

一第一記憶體單元之一第一 P 型拉升場效電晶體之一第一 P 型源極區；

一第二記憶體單元之一第二 P 型拉升場效電晶體之一第二 P 型源極區，該第二記憶體單元鄰近該第一記憶體單元；及

一 N 型摻雜區，其係橫向安置於該第一 P 型源極區與該第二 P 型源極區之間，該 N 型摻雜區進一步垂直延伸至該 N+ 井之該區；

一導體層，其在該半導體層上，該導體層在該第一 P 型源極區、該 N 型摻雜區及該第二 P 型源極區上方橫向延

[S]

伸且接觸該等區；及

一接點，其在該導體層上，該接點係連接至一正供應電壓（Vdd）。

14. 一種形成一積體電路元件結構之方法，該方法包含以下步驟：

提供具有一第一傳導性類型之一基板；

在該基板中形成一井，該井具有與該第一傳導性類型不同之一第二傳導性類型；

在該形成該井之步驟之後，在該基板上形成一半導體層；及

在該井、一第一元件之一第一擴散區與一第二元件之一第二擴散區之間形成一接面，該形成該接面之步驟包含以下步驟：

在該半導體層中形成該第一擴散區及該第二擴散區，以使得該第一擴散區及該第二擴散區具有該第一傳導性類型；

在該半導體層中形成一第三擴散區，該第三擴散區係橫向安置於該第一擴散區與該第二擴散區之間，以使得該第三擴散區具有該第二傳導性類型且垂直延伸至該井；及

在該半導體層上形成一導體層，以使得該導體層在該第一擴散區、該第三擴散區及該第二擴散區上方橫向延伸且接觸該等擴散區。

[S]

15. 如申請專利範圍第 14 項之方法，其進一步包含以下步驟：

在該形成該接面之步驟之前，形成深溝槽隔離區，該深溝槽隔離區延伸至該基板中至該井下方，以在該半導體層中界定元件區，該等元件區中之一者包含：一指定區，其在該第一元件及該第二元件之該井上方。

16. 如申請專利範圍第 14 項之方法，其進一步包含以下步驟：形成該導體層之一接點，及將該接點電氣連接至一供應電壓。

17. 如申請專利範圍第 14 項之方法，該第一傳導性類型包含一 P 型傳導性，且該第二傳導性包含一 N 型傳導性。

18. 一種形成一靜態隨機存取記憶體（SRAM）陣列結構之方法，該方法包含以下步驟：

提供具有一第一傳導性類型之一基板；

在該基板中形成一井，該井具有與該第一傳導性類型不同之一第二傳導性類型；

在該形成該井之步驟之後，在該基板上形成一半導體層；

在該井及一第一記憶體單元之一第一拉升場效電晶體之一第一源極區與一第二記憶體單元之一第二拉升場效電晶體之一第二源極區之間形成一接面，該形成該接面之

[S]

步驟包含以下步驟：

在該半導體層中形成該第一拉升場效電晶體之該第一源極區及該第二拉升場效電晶體之該第二源極區，以使得該第一源極區及該第二源極區具有該第一傳導性類型；

在該半導體層中形成一摻雜區，其係橫向安置於該第一源極區與該第二源極區之間，以使得該摻雜區具有該第二傳導性類型且垂直延伸至該井；及

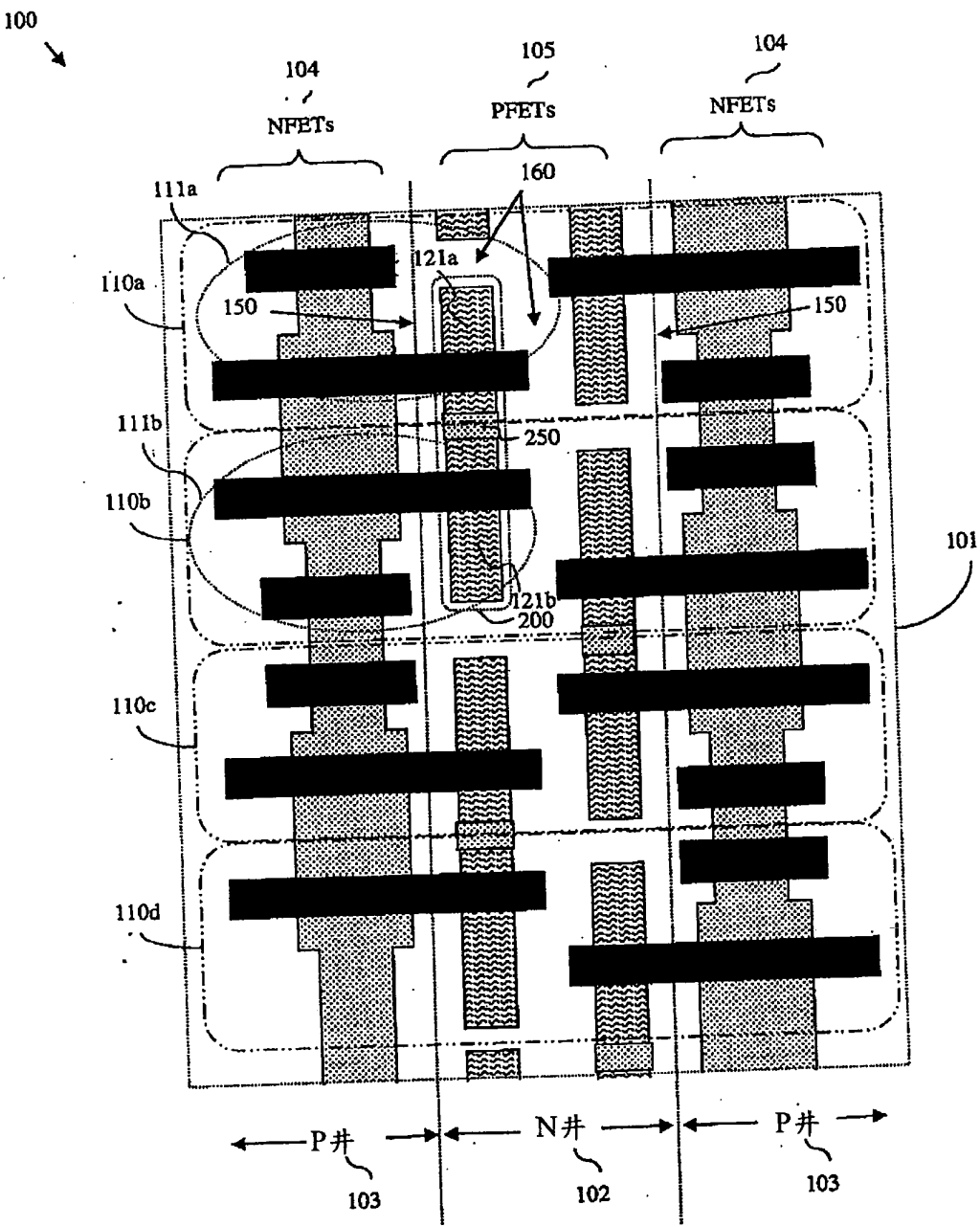
在該半導體層上形成一導體層，以使得該導體層在該第一源極區、該摻雜區及該第二源極區上方橫向延伸且接觸該等區。

19. 如申請專利範圍第 18 項之方法，其進一步包含以下步驟：

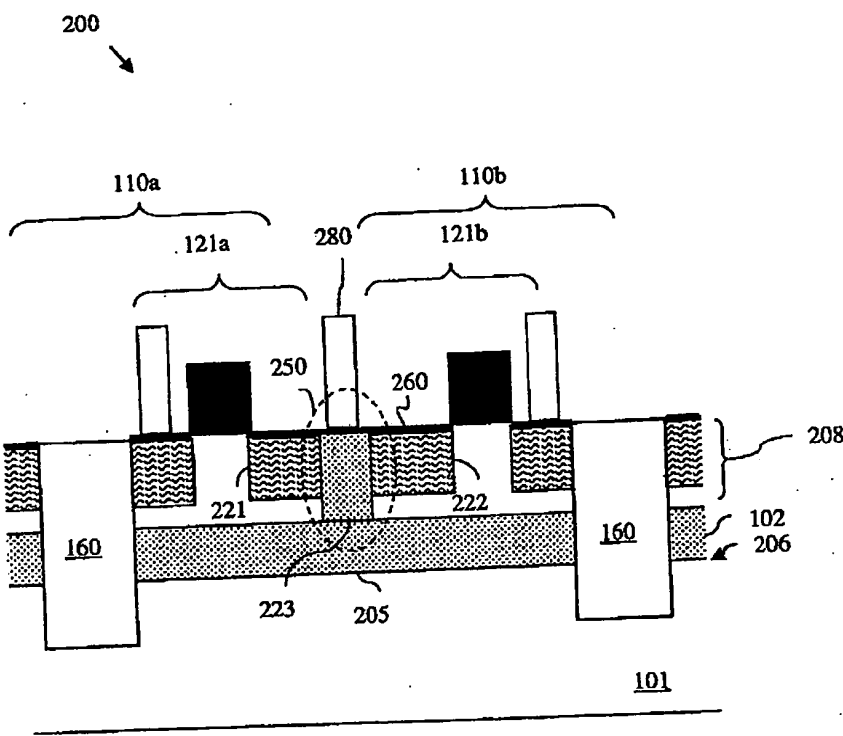
在該形成該接面之步驟之前，形成深溝槽隔離區，該深溝槽隔離區延伸至該基板中至該井下方，以在該半導體層中界定元件區，該等元件區中之一者包含：一指定區，其在該第一拉升場效電晶體及該第二拉升場效電晶體之該井上方。

20. 如申請專利範圍第 18 項之方法，其進一步包含以下步驟：形成該導體層之一接點，及將該接點電氣連接至一正供應電壓（Vdd）。

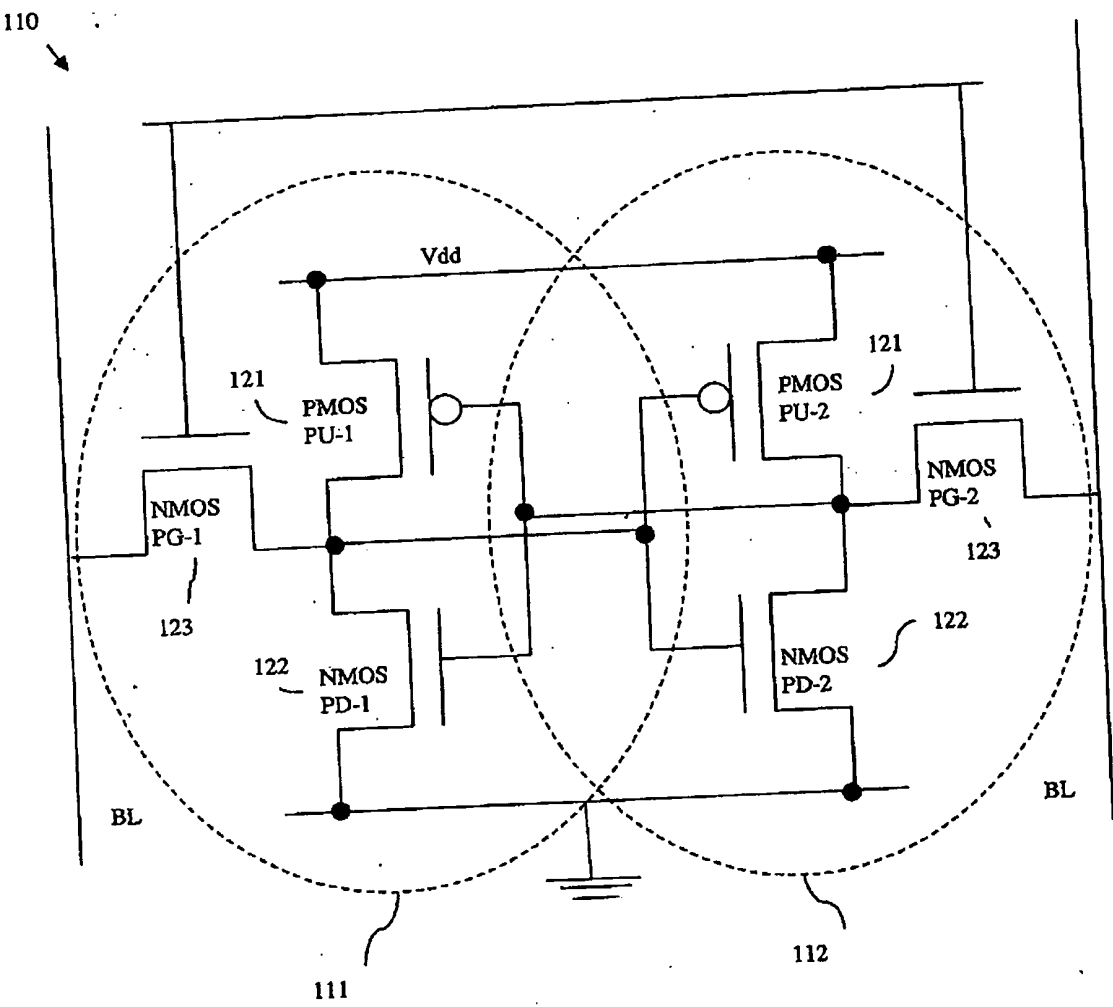
21. 如申請專利範圍第 18 項之方法，該第一傳導性類型包含一 P 型傳導性，且該第二傳導性包含一 N 型傳導性。



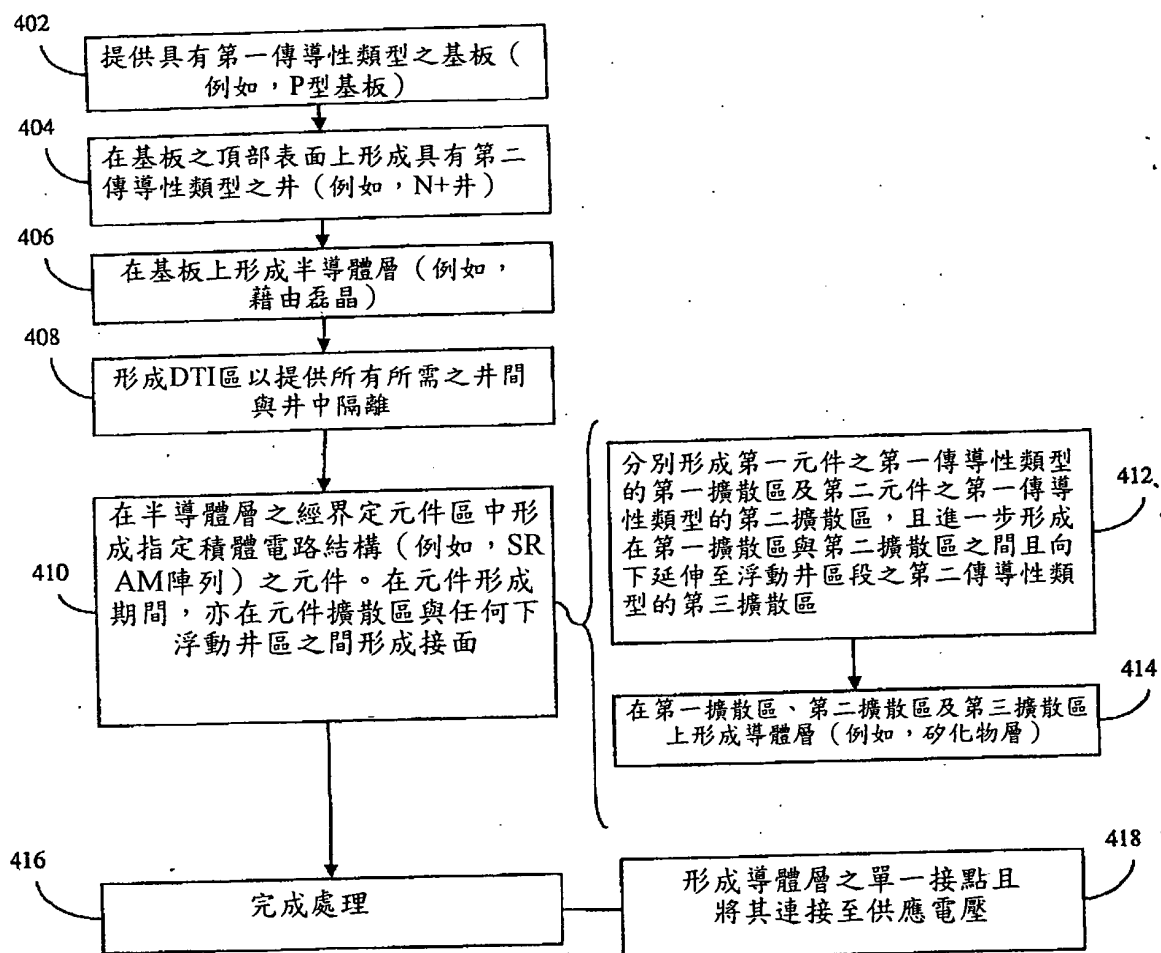
第1圖



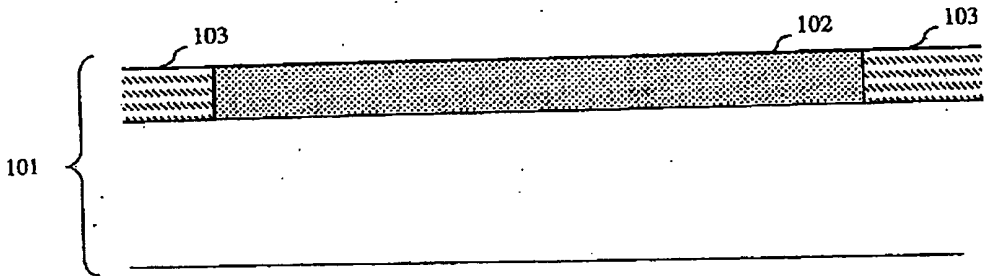
第2圖



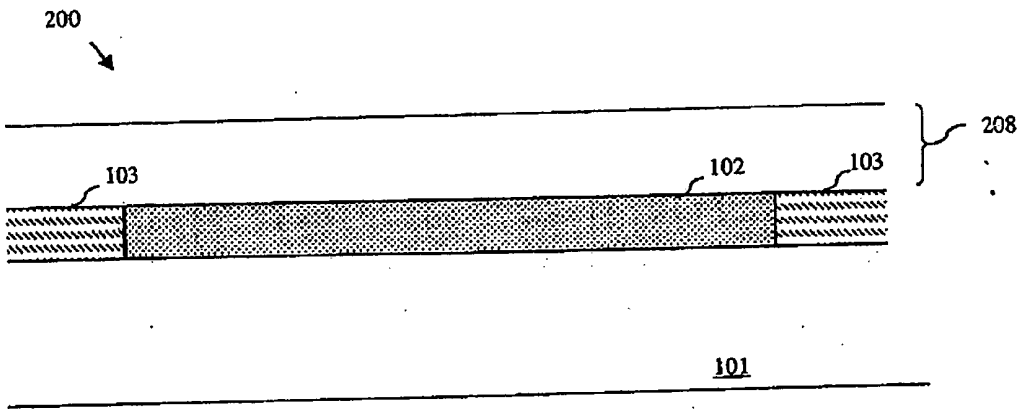
第3圖



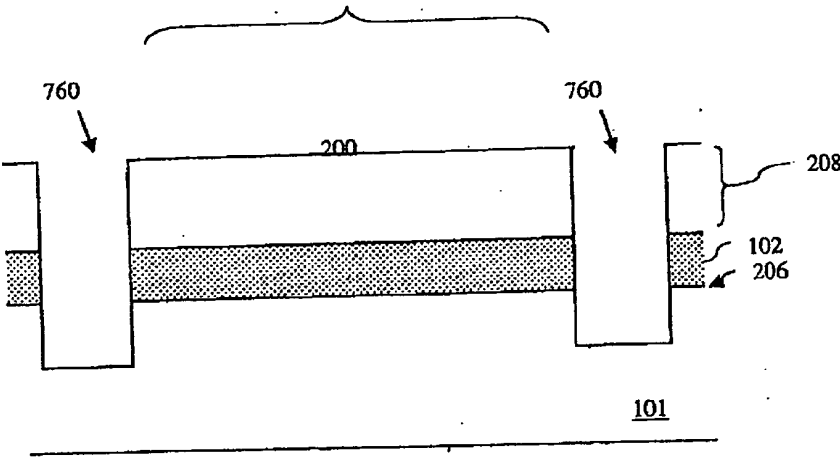
第4圖



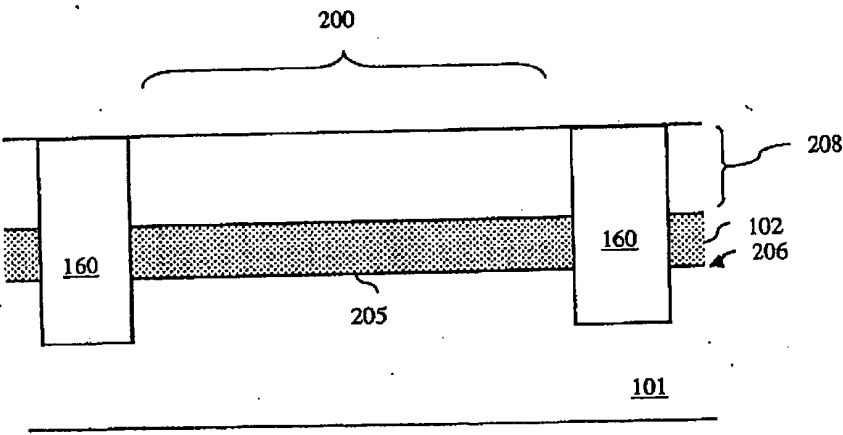
第5圖



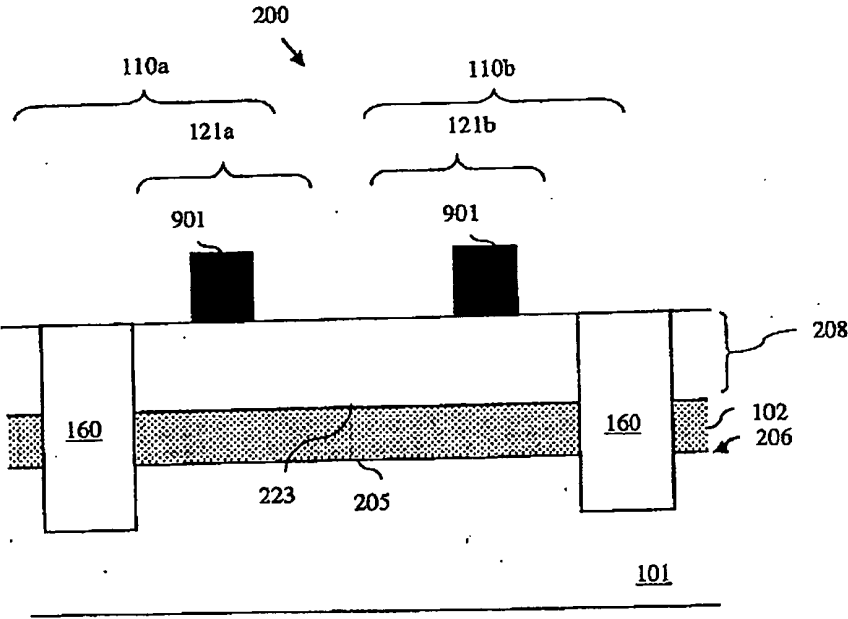
第6圖



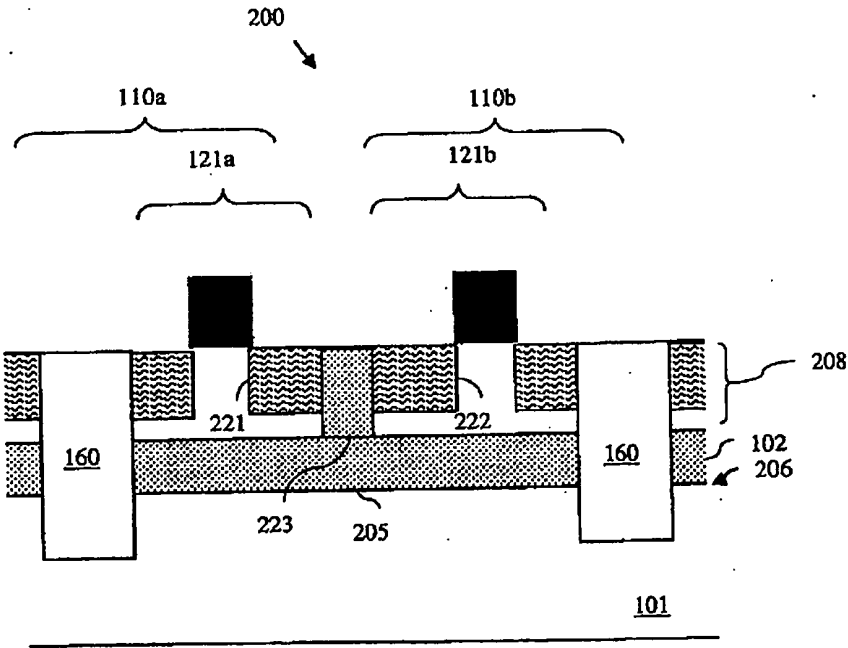
第7圖



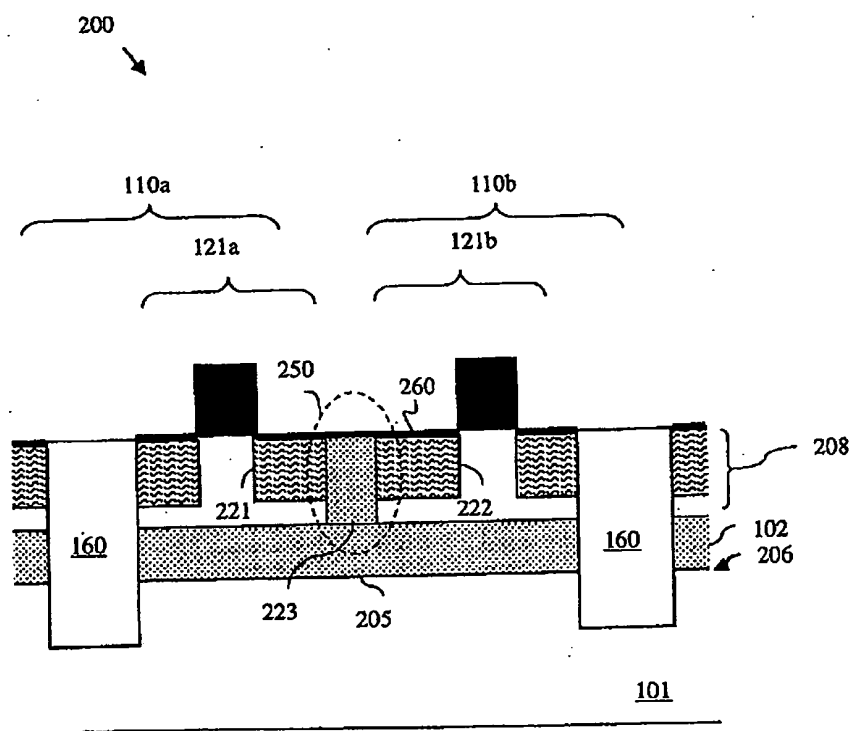
第8圖



第9圖



第10圖



第11圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明：

402 步驟

404 步驟

406 步驟

408 步驟

410 步驟

412 步驟

414 步驟

416 步驟

418 步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無