

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4362502号
(P4362502)

(45) 発行日 平成21年11月11日 (2009.11.11)

(24) 登録日 平成21年8月21日 (2009.8.21)

(51) Int. Cl.

F I

G O 6 F 13/10 (2006.01)

G O 6 F 3/06 (2006.01)

G O 6 F 12/08 (2006.01)

G O 6 F 13/10 3 4 O A

G O 6 F 3/06 3 O 1 M

G O 6 F 12/08 5 5 7

G O 6 F 12/08 5 4 1 Z

G O 6 F 12/08 5 5 1 Z

請求項の数 17 (全 22 頁)

(21) 出願番号 特願2006-260494 (P2006-260494)
 (22) 出願日 平成18年9月26日 (2006.9.26)
 (65) 公開番号 特開2008-83788 (P2008-83788A)
 (43) 公開日 平成20年4月10日 (2008.4.10)
 審査請求日 平成20年6月11日 (2008.6.11)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100075513
 弁理士 後藤 政喜
 (74) 代理人 100114236
 弁理士 藤井 正弘
 (74) 代理人 100120260
 弁理士 飯田 雅昭
 (72) 発明者 細谷 睦
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社日立製作所 システム開発研究
 所内

審査官 横山 佳弘

最終頁に続く

(54) 【発明の名称】 ディスク制御装置及びデータ転送制御方法

(57) 【特許請求の範囲】

【請求項 1】

ホストコンピュータとディスクドライブとの間のデータ転送を制御するディスク制御装置であって、

チャンネルメモリを有するチャンネル部と、

第1メモリを有するキャッシュ部と、を備え、

前記チャンネルメモリと前記第1メモリとの間で、パケットによってデータが転送され、
 前記パケットが転送される際に、前記転送されるパケットのヘッダ情報の整合性を検証
 することによって当該転送の許可を決定する制御部を備え、

前記制御部は、

前記パケットの転送元アドレス及び転送先アドレスに基づいて、前記パケットの転送元
 のメモリの領域の属性及び前記転送先のメモリの領域の属性を特定し、

前記パケットの転送コマンドと前記特定された領域の属性に基づいて、当該転送の許可
 を決定することを特徴とする請求項1に記載のディスク制御装置。

【請求項 2】

前記ディスク制御装置は、さらに、前記チャンネル部及び前記キャッシュ部を接続し、内
 部ネットワークを形成するスイッチ部を備え、

前記スイッチ部は、前記内部ネットワークを介して、前記チャンネルメモリと前記第1メ
 モリとの間でパケットを転送し、

前記スイッチ部は、前記制御部を備えることによって、前記パケットを転送する際に、

10

20

前記転送されるパケットのヘッダ情報の整合性を検証することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 3】

前記チャンネル部及び前記キャッシュ部の少なくとも一つは、前記制御部を備えることによって、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報の整合性を検証することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 4】

前記ディスク制御装置は、さらに、他のディスク制御装置と接続するスイッチ部を備え、
前記スイッチ部は、前記他のディスク制御装置との間で前記パケットを転送し、
前記スイッチ部は、前記制御部を備えることによって、前記パケットを前記ディスク制御装置間で転送する際に、前記転送されるパケットのヘッダ情報の整合性を検証することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 5】

前記ディスク制御装置は、さらに、プロセッサメモリを有するプロセッサ部を備え、
前記チャンネル部及び前記プロセッサ部の少なくとも一つは、前記パケット転送を起動する DMA コントローラを備え、
前記 DMA コントローラは、他の前記ディスク制御装置の前記各メモリにアクセスして、前記各メモリ間でデータを転送可能であって、
前記制御部は、前記ディスク制御装置間でパケットが転送される際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送コマンドが、前記転送先ディスク制御装置に備わる DMA コントローラによって転送を起動するためのコマンドであるか否かを判定し、
前記転送コマンドが前記転送先ディスク制御装置に備わる DMA コントローラによって転送を起動するためのコマンドであると判定された場合に、当該転送を許可することを特徴とする請求項 4 に記載のディスク制御装置。

【請求項 6】

前記ディスク制御装置は、さらに、プロセッサメモリを有するプロセッサ部を備え、
前記チャンネル部及び前記プロセッサ部の少なくとも一つは、前記パケット転送を起動するための DMA コントローラを備えることを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 7】

前記各メモリの記憶領域は、それぞれ、前記ホストコンピュータから送信されたデータが格納されるデータ領域と、前記ディスク制御装置内の動作を制御するためのデータが格納される制御領域と、に分割され、
前記制御部は、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送元のメモリの領域と前記転送先のメモリの領域との整合性を検証することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 8】

前記ディスク制御装置は、さらに、前記データの転送を制御するプロセッサを備え、
前記データ領域及び前記制御領域は、前記ホストコンピュータとの接続ポートによって使用される領域に分割され、
さらに、前記ポートによって使用される領域に分割された領域は、当該パケットの転送を制御するプロセッサによって使用される領域に分割されており、
前記制御部は、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送元のメモリの領域と前記転送先のメモリの領域との整合性を検証することを特徴とする請求項 7 に記載のディスク制御装置。

【請求項 9】

前記制御部は、前記パケットの転送コマンドと前記特定された転送元の領域の属性と前記特定された転送先の領域の属性とが正しい組み合わせであり、かつ、前記特定された転

10

20

30

40

50

送元の領域の属性と前記特定された転送先の領域の属性とが一致する場合に、前記転送を許可することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 10】

前記ディスク制御装置は、前記転送元の領域の属性と、前記転送先の領域の属性と、前記パケット転送の転送コマンドとの関係によって、転送の許可を定めた転送条件を保持し、

前記制御部は、前記転送条件を参照して、前記参照された転送条件によって許可されている場合には、転送を許可することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 11】

ホストコンピュータとディスクドライブとの間のデータ転送を制御するディスク制御装置におけるデータ転送制御方法であって、

前記ディスク制御装置は、チャンネルメモリを有するチャンネル部と、第 1 メモリを有するキャッシュ部と、を備え、

前記データ転送制御方法は、

前記チャンネルメモリと前記第 1 メモリとの間で、パケットによってデータを転送する際に、前記パケットの転送元アドレス及び転送先アドレスに基づいて、前記パケットの転送元のメモリの領域の属性及び前記転送先のメモリの領域の属性を特定し、

前記パケットの転送コマンドと前記特定された領域の属性に基づいて、当該転送の許可を決定し、

前記転送が許可されると決定された場合に、パケットを転送することを特徴とするデータ転送制御方法。

【請求項 12】

前記ディスク制御装置は、さらに、他のディスク制御装置と接続されており、

前記データ転送制御方法は、前記ディスク制御装置間でパケットを転送する際に、前記転送されるパケットのヘッダ情報の整合性を検証することを特徴とする請求項 11 に記載のデータ転送制御方法。

【請求項 13】

前記ディスク制御装置は、さらに、プロセッサメモリを有するプロセッサ部を備え、

前記チャンネル部及び前記プロセッサ部の少なくとも一つは、前記パケット転送を起動する DMA コントローラを備え、

前記 DMA コントローラは、他の前記ディスク制御装置の前記各メモリにアクセスして、前記各メモリ間でデータを転送可能であって、

前記データ転送制御方法は、前記ディスク制御装置間でパケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送コマンドが、前記転送先ディスク制御装置に備わる DMA コントローラによって転送を起動するためのコマンドであるか否かを判定し、

前記転送コマンドが前記転送先ディスク制御装置に備わる DMA コントローラによって転送を起動するためのコマンドであると判定された場合に、当該転送を許可することを特徴とする請求項 12 に記載のデータ転送制御方法。

【請求項 14】

前記各メモリの記憶領域は、前記ホストコンピュータから送信されたデータが格納されるデータ領域と、前記ディスク制御装置内の動作を制御するためのデータが格納される制御領域と、に分割されており、

前記データ転送制御方法は、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送元のメモリの領域と前記転送先のメモリの領域との整合性を検証することを特徴とする請求項 11 に記載のデータ転送制御方法。

【請求項 15】

前記ディスク制御装置は、さらに、前記データの転送を制御するプロセッサを備え、

前記データ領域及び前記制御領域は、前記ホストコンピュータとの接続ポートによって使用される領域に分割され、

10

20

30

40

50

さらに、前記ポートによって使用される領域に分割された領域は、当該パケットの転送を制御するプロセッサによって使用される領域に分割されており、

前記データ転送制御方法は、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送元のメモリの領域と前記転送先のメモリの領域との整合性を検証することを特徴とする請求項 1 4 に記載のデータ転送制御方法。

【請求項 1 6】

前記パケットの転送コマンドと前記特定された転送元の領域の属性と前記特定された転送先の領域の属性とが正しい組み合わせであり、かつ、前記特定された転送元の領域の属性と前記特定された転送先の領域の属性とが一致する場合に、前記転送を許可することを特徴とする請求項 1 1 に記載のデータ転送制御方法。

10

【請求項 1 7】

前記ディスク制御装置は、前記転送元の領域の属性と、前記転送先の領域の属性と、前記パケット転送の転送コマンドとの関係によって、転送の可否を定めた転送条件を保持し、

前記データ転送制御方法は、前記転送条件を参照して、前記参照された転送条件によって許可されている場合には、転送を許可することを特徴とする請求項 1 1 に記載のデータ転送制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、ホストコンピュータとディスクドライブ装置との間のデータ転送を制御するディスク制御装置に関する。

【背景技術】

【0002】

近年、ストレージコンソリデーションによる TCO の削減及びデータの戦略的活用など、大規模ストレージの重要性は、ますます高まっている。コンソリデーションの進展に伴って、ストレージ装置には、ポート数増加、大容量化、高性能化及び高機能化など、一層の高スケーラブル化が必要となる。

【0003】

その一方で、市場のストレージハードウェア価格低減の要求は非常に強い。ストレージの容量単価は、毎年 - 20 % で減少しており、このトレンドを実現するためには、ストレージ装置のアーキテクチャも含めたシステム全般にわたるコスト低減が必須となっている。

30

【0004】

ストレージ装置の高スケーラブル化と、低コスト化を両立させる一つの解として、複数のディスク制御装置をクラスタ接続するクラスタ型ディスク制御装置が提案されている。クラスタ型ディスク制御装置では、複数のディスク制御装置を接続することによって、飛躍的にスケーラビリティを高めることができる。また、ユーザのニーズに見合った数のディスク制御装置を用意することによって、無駄なハードウェアリソースをなくすことができ、コストを低減することができる。従って、クラスタ型ディスク制御装置を用いることによって、スケーラビリティとコストを両立させることができる。

40

【0005】

前述した背景技術（クラスタ型ディスク制御装置）については、例えば、特許文献 1 に記載されている。

【0006】

クラスタ型ディスク制御装置のような大規模システムでは、複数のユーザから要求された多くのジョブが同時に実行される。これらのジョブは、システム内のハードウェア資源を部分的に共有、又は、専有することによって必要な処理を行う。特に、典型的なハードウェア資源であるメモリは、空間的・時間的に分割されて管理され、分割された領域が必要な処理に割り当てられる。従って、メモリ資源をいかに他のジョブと干渉しないように

50

管理するか、言い換えれば、メモリ領域をどのようにして保護するかが、重要なポイントとなる。

【 0 0 0 7 】

メモリに格納されたデータを保護するためにページテーブル仮想記憶方法が広く採用されている。ページテーブル仮想記憶方法では、論理的なメモリアドレス空間毎に、物理メモリアドレス空間とアクセス属性（アクセス可否、READ可否、WRITE可否等）を定義し、複数のジョブが同じ論理アドレス空間を共有していたとしても、物理的なハードウェア資源が重ならないようにする。さらに、アドレス空間毎にアクセス制限を設定することによって、不適切なアクセスを排除する。

【 0 0 0 8 】

ページテーブル方式では、プロセッサ（ジョブ）毎にページテーブルを設けて、アドレスを変換する。通常は、アドレスを高速に変換するためのキャッシュ機構（例えば、TLB）が設けられることが多い。ページテーブル方式によるメモリ保護の一例については、たとえば、特許文献2に記載されている。

【特許文献1】特開2005-228245号公報

【特許文献2】特開2003-242030号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

クラスタ方式による大規模ディスク制御装置は、キャッシュ部、チャネル部及びプロセッサ部等の複数の構成を備える。各構成には、それぞれ、キャッシュメモリ、チャネルメモリ及びプロセッサメモリが備わり、基本的なI/O処理を実行するために、これら複数のメモリ間でデータを転送する必要がある。たとえば、プロセッサがチャネル部を制御する場合は、プロセッサメモリとチャネルメモリとの間でデータが転送される。また、チャネル部からキャッシュ部にデータを取り込む際には、チャネルメモリからキャッシュメモリへデータが転送される。

【 0 0 1 0 】

従来のページテーブル方式は、特定のジョブ（特定のジョブを実行するプロセッサ）が特定の領域にアクセスできるかを規定するものであって、このように複数のメモリ領域の間のデータの転送に対してメモリを保護する仕組みを提供するものではない。つまり、従来技術では、ディスク制御装置における、複数メモリ領域間のデータ転送からメモリに格納されたデータを保護することができなかった。

【 0 0 1 1 】

また、クラスタ方式による大規模ディスク制御装置では、システム全体の可用性を高めるために、ディスク制御装置クラスタ間の独立性を高める必要がある。すなわち、クラスタ間をまたがるメモリ間のデータ転送においては、特にメモリに格納されたデータを確実に保護して、あるクラスタの障害が別のクラスタに波及することを防止する必要がある。

【 0 0 1 2 】

この点に関しても、従来技術は、クラスタ間でデータを転送する際に、メモリを保護する特別な仕組みを提供しておらず、クラスタ方式によるディスク制御装置のメモリに格納されたデータを保護することができなかった。

【 0 0 1 3 】

本発明の目的は、前述した従来技術の欠点を改善し、ディスク制御装置クラスタ内、及び、ディスク制御装置クラスタ間におけるメモリ間のデータ転送に対して、メモリ保護機構を提供し、ディスク制御装置の信頼性を向上させることにある。

【課題を解決するための手段】

【 0 0 1 4 】

本発明の代表的な一例を示せば以下の通りである。すなわち、ホストコンピュータとディスクドライブとの間のデータ転送を制御するディスク制御装置であって、チャネルメモリを有するチャネル部と、第1メモリを有するキャッシュ部と、を備え、前記チャネルメ

10

20

30

40

50

メモリと前記第1メモリとの間で、パケットによってデータが転送され、前記パケットが転送される際に、前記転送されるパケットのヘッダ情報の整合性を検証することによって当該転送の許否を決定する制御部を備え、前記制御部は、前記パケットの転送元アドレス及び転送先アドレスに基づいて、前記パケットの転送元のメモリの領域の属性及び前記転送先のメモリの領域の属性を特定し、前記パケットの転送コマンドと前記特定された領域の属性に基づいて、当該転送の許否を決定することを特徴とするディスク制御装置である。

【発明の効果】

【0015】

本発明のディスク制御装置によれば、ディスク制御装置内部でパケットを転送するとき、パケットヘッダ情報の整合性を検証し、整合性の確認されたパケットのみを転送することによって、不適切な転送を防止することができる。

10

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面を参照して説明する。

【0017】

<実施形態1>

図1は、第1の実施の形態のディスク制御装置（1クラスタ）の構成を示す。

【0018】

ディスク制御装置クラスタ10は、ホストコンピュータ接続ポート140を有するフロントエンド部（FE PK）100、ディスクドライブ接続ポート240を有するバック

20

【0019】

フロントエンド部100は、チャンネルプロトコルを制御するプロトコル制御チップ（PCV）130、プロトコル制御チップ130によって使用されるデータ等を格納するチャンネルメモリ（HM）120、他のパッケージと通信するためのハブ（LR）110、及び、チャンネルメモリ120からのデータ転送を制御するDMAコントローラ（DMAC）115を備える。フロントエンド部100は、例えば、図12に示すように、ホストコンピュータ30に接続される。

【0020】

30

バックエンド部200は、チャンネルプロトコルを制御するプロトコル制御チップ（PCV）230、プロトコル制御チップ230によって使用されるデータ等を格納するチャンネルメモリ（HM）220、他のパッケージと通信するためのハブ（LR）210、及び、チャンネルメモリ220からのデータ転送を制御するDMAコントローラ（DMAC）215を備える。バックエンド部200は、例えば、図12に示すように、ディスクドライブ20に接続される。

【0021】

プロセッサ部300は、プロセッサ（MP）330、プロセッサ330によって使用されるデータ等を格納するプロセッサメモリ（LM）320、他のパッケージと通信するためのメモリコントローラ（MC）310、及び、プロセッサメモリ320からのデータ転送を制御するDMAコントローラ（DMAC）315を備える。キャッシュ部400は、キャッシュメモリ（CM）420、及び、他のパッケージと通信するためのメモリコントローラ（CMC）410を備える。

40

【0022】

スイッチ部500は、フロントエンド部100、バックエンド部200、プロセッサ部300及びキャッシュ部400を接続するスイッチ（SW）510を備える。また、スイッチ510は、他のクラスタを接続するためのクラスタ間接続ポート540を備える。さらに、スイッチ510は、メモリ間のデータ転送を保護するスイッチアクセス制御機構550を備える。

【0023】

50

ディスク制御装置クラスタ 10 内には、フロントエンド部 100、バックエンド部 200、プロセッサ部 300 及びキャッシュ部 400 を接続する内部ネットワークが、スイッチ 510 によって構成される。内部ネットワークによって、これらの構成、及び、各部に備わるメモリがスイッチ 510 を介して接続される。内部ネットワークにおいてメモリ空間を一意に特定するために、各部のメモリアドレス空間が内部ネットワークアドレス空間にマッピングされる。図 2 は、マッピングされたメモリのアドレスを示す。複数のチャネルメモリ 120、プロセッサメモリ 320、キャッシュメモリ 420 に、内部ネットワークの一意のアドレスが割り当てられる。従って、内部ネットワークのアドレスを指定することによって、その対象が属するクラスタ内で、他の構成部分を含めて一意にメモリ領域を指定することが可能となる。

10

【0024】

図 3 は、第 1 の実施の形態の内部ネットワークの転送において使用されるパケットの構成を示す。

【0025】

パケット 600 は、ヘッダ 601 とペイロード 602 とを含む。ヘッダ 601 は、コマンド 610、転送元アドレス 611、第一の転送先アドレス 612、第二の転送先アドレス 613、データ長 614、パケットシーケンス管理情報 615 及びヘッダチェックコード 616 を含む。ペイロードには、データ 620、データチェックコード 621 が含まれる。

【0026】

ディスク制御装置の I/O 処理動作の中で、前述した内部ネットワークパケットを用いて、チャネルメモリ 120、プロセッサメモリ 320 及びキャッシュメモリ 420 間でデータが転送される。例えば、ホストコンピュータからの WRITE データは、フロントエンド部 100 のチャネルメモリ 120 に一時的に記憶（バッファリング）された後に、キャッシュメモリ 420 に転送される。さらに、適当なタイミングで、キャッシュメモリ 420 からバックエンド部 200 のチャネルメモリ 220 に転送された後、転送されたデータはディスクドライブ 20 に書き込まれる。また、プロセッサ 330 は、フロントエンド部 100 及びバックエンド部 200 のチャネルを制御するために、チャネルメモリ 120、220 とプロセッサメモリ 320 との間でデータを転送する。

20

【0027】

本実施形態のディスク制御装置では、これらメモリ間のデータ転送の際に、内部ネットワークパケットのコマンド 610、転送元アドレス 611 及び転送先アドレス 612、613 を用いて、当該データ転送を実行してよいかチェックする。データ転送が許可されている場合のみ転送が実行され、許可されていない場合は、エラーとして転送を中断する。

30

【0028】

次に、第 1 の実施の形態のスイッチアクセス制御機構 550 による、メモリ間データ転送保護の動作を図 4 及び図 5 を参照して説明する。

【0029】

図 4 は、第 1 の実施の形態においてチャネルメモリ（HM）から二つキャッシュメモリ（CM1、CM2）に、メモリ間でデータを転送する場合の、スイッチ 510 によるデータ転送保護のシーケンス図である。

40

【0030】

プロセッサ（MP）330 からフロントエンド部 100 に対して DMA 転送を起動すると（1401）、チャネルメモリ（HM）120 からスイッチ（SW）510 を介して、二つのキャッシュメモリ（CM1、CM2）420 に対してパケットが転送される（1402）。なお、図示は省略するが、DMA 転送の起動（1401）の前に、DMA 転送に必要とされる DMA 転送用パラメータがプロセッサメモリ 320 上に作成され、作成されたパラメータがプロセッサメモリ 320 からチャネルメモリ 120 に転送される（図 14 の 1201、1202 参照）。

【0031】

50

キャッシュメモリ 420 に対するパケット転送の際、スイッチ 510 において、パケットのヘッダ 601 を解析し、転送コマンド、転送元メモリアドレス及び転送先メモリアドレスを取得する。そして、取得した転送元メモリアドレス及び転送先メモリアドレスから転送元メモリアドレスの領域属性及び転送先メモリアドレスの領域属性を取得する。図 4 に示す例では、転送コマンドはキャッシュ 2 重 W R I T E である。

【0032】

そして、スイッチアクセス制御機構 550 は、転送コマンド、転送元アドレス及び転送先アドレスが正しい組み合わせか否かを判定して、転送 1404、1405 を実行するか否かを決定する(1403)。すなわち、転送元アドレスがキャッシュ 2 重 W R I T E コマンドによるデータ転送が許可されている領域に含まれるか、及び、転送先アドレスが

10

【0033】

なお、この転送処理において、スイッチ 510 で転送されるべきデータがコピーされていることに注意すべきである。そのために、スイッチ 510 では、1 回だけアクセスチェックを実行すればよい。

【0034】

図 5 は、第 1 の実施の形態においてキャッシュメモリ (C M 1) から別のキャッシュメモリ (C M 2) に、メモリ間でデータを転送する場合の、スイッチ 510 によるデータ転送保護のシーケンス図である。

20

【0035】

プロセッサ (M P) 330 からフロントエンド部 100 に対して D M A 転送を起動すると(1601)、キャッシュ部 400 に対してコピーコマンドを送信することによって、データ転送を開始するように制御がされる(1602、1603)。なお、図示は省略するが、D M A 転送の起動(1401)の前に、D M A 転送に必要とされる D M A 転送用パラメータがプロセッサメモリ 320 上に作成され、作成されたパラメータがプロセッサメモリ 320 からチャネルメモリ 120 に転送される(図 14 の 1201、1202 参照)。

【0036】

キャッシュメモリ (C M 1) がコピーコマンドを受信すると、C M 1 と C M 2 の間で、スイッチ (S W) 510 を介して、メモリ間のデータ転送が開始される(1604)。この際、メモリ転送の経路上にあるスイッチ 510 において、前述と同様に、パケットヘッダ 601 を解析し、転送コマンド (キャッシュ間 C O P Y) と、転送元メモリアドレス (C M 1) の領域属性と、転送先メモリアドレス (C M 2) の領域属性を取得する。そして、スイッチアクセス制御機構 550 は、転送コマンド、転送元アドレス及び転送先アドレスが正しい組み合わせか否かを判定して、転送 1606 を実行するか否かを決定する(1605)。すなわち、転送元アドレスがキャッシュ間 C O P Y コマンドによるデータ転送が許可されている領域に含まれるか、及び、転送先アドレスがキャッシュ間 C O P Y コマンドによるデータ転送が許可されている領域に含まれるか否かを判定する。

30

【0037】

図 6 は、第 1 の実施の形態の スイッチアクセス制御機構 550 の構成を示す。

40

【0038】

スイッチアクセス制御機構 550 は、アドレスを解析するアドレスデコード回路 700 (A D D R E S S D E C O D E)、メモリのアドレスと領域の属性との関係を保持するアドレス領域テーブル 710 (R E G I O N T A B L E)、コマンドを解析するコマンドデコード回路 720 (C M D D E C O D E)、及び、コマンド及びアドレスの整合性を検証する整合性チェック回路 730 (C O N S I S T E N C Y C H E C K) を備える。

【0039】

アドレスデコード回路 700 は、転送元アドレス 611、第 1 の転送先アドレス 612 及び第 2 の転送先アドレス 613 を解析し、アドレス領域テーブル 710 を参照すること

50

によって、これらのアドレスが属する領域を特定し、各領域の属性（REGION#）を特定する。整合性チェック回路730は、特定された領域の属性間の整合性を検証し、アドレスの整合性の結果を出力する。例えば、前記転送元の領域の属性と前記転送先の領域の属性が一致する場合に、両者は整合していると判定し、データ転送が許可される。

【0040】

また、コマンドデコード回路720は、転送コマンド610を解析する。整合性チェック回路730は、アドレスデコード回路700によって特定された各領域の属性とコマンドとの整合性を検証し、コマンドの整合性の結果を出力する。

【0041】

なお、整合性チェック回路730を、コマンド整合性チェック回路とアドレス整合性チェック回路とに分けて構成してもよい。この場合、コマンド整合性チェック回路は、コマンドとアドレスとの整合性をチェックし、アドレス整合性チェック回路は、転送元アドレスと転送先アドレスの整合性をチェックする。このようにすると、整合性チェック処理を分散処理することができ、処理を高速化することができる。

【0042】

なお、本実施の形態では、スイッチアクセス制御機構550は、ハードウェアで実装されるが、プロセッサで実行されるソフトウェアで実装されてもよい。

【0043】

図7は、第1の実施の形態の転送制約条件の定義例を示す。この転送制約条件は、整合性チェック回路730に保持されているが、整合性チェック回路730によって参照可能であれば、その保持されている場所は限定されない。

【0044】

図7に示す転送制約条件の定義例では、クラスタ内のチャネルメモリからプロセッサメモリへのデータ転送では、制御領域間におけるデータ転送のみが許可される。また、クラスタ内のキャッシュメモリからキャッシュメモリへの転送では、データ領域間におけるデータ転送のみが許可される。このように、転送制約条件を設けることによって、不正な転送を防止して、メモリに格納されたデータを保護することが可能となり、ディスク制御装置を高信頼化することができる。

【0045】

また、図7には、クラスタ間転送の転送制約条件も示されているが、クラスタ間の転送制約条件は第3の実施の形態で後述する。

【0046】

図8は、第1の実施の形態のスイッチアクセス制御機構550の動作のフローチャートである。

【0047】

スイッチアクセス制御機構550は、コマンドデコード回路720によって転送コマンドをデコードし、アドレスデコード回路700によって転送元アドレス及び転送先アドレスをデコードする。そして、転送元アドレス及び転送先アドレスで指定される各領域の属性を特定する（810）。その後、整合性チェック回路730によって、転送元領域の属性と転送先領域の属性が一致するか否かを判定する（820）。両領域の属性が一致しない場合はエラーとする。

【0048】

一方、両領域の属性が一致する場合は、整合性チェック回路730によって、クラスタ内転送かクラスタ間転送かを判定する（850）。この判定は、コマンドがクラスタ内転送コマンドかクラスタ間転送コマンドかによって判定する。

【0049】

その結果、クラスタ内転送であれば、クラスタ内転送制約条件を満たすか否かを判定する（830）。クラスタ内転送制約条件を満たさない場合はエラーとし、クラスタ内転送制約条件を満たす場合はデータ転送を許可する。一方、クラスタ間転送であれば、クラスタ間転送制約条件を満たすか否かを判定する（840）。クラスタ間転送制約条件を満た

さない場合はエラーとし、クラスタ間転送制約条件を満たす場合はデータ転送を許可する。

【 0 0 5 0 】

以上説明したように、第 1 の実施の形態のディスク制御装置によると、アクセス制御機構によって、内部ネットワークを介してパケットが転送される際に、パケットヘッダ情報の整合性を検証し、整合性の確認されたパケットのみを転送することによって、不適切な転送を防止することが可能となり、ディスク制御装置を高信頼化することができる。特に、スイッチ 5 1 0 にスイッチアクセス制御機構 5 5 0を設けることによって、パケットヘッダ情報の整合性をスイッチ部で検証することができる。すなわち、アクセス制御をスイッチ部のみで実行することから、集中的にメモリ間のデータ転送を検証することができ、ディスク制御装置のコストを低減することができる。

10

【 0 0 5 1 】

また、第 1 の実施の形態のディスク制御装置によると、パケットの転送元アドレス及び転送先アドレスに基づいて、パケットの転送元の領域の属性及び転送先の領域の属性を特定する。そして、パケット転送コマンドと転送先及び転送元の領域の属性に基づいて転送の許可を決定することによって、転送されるパケットに含まれる情報のみでパケットを転送をしてよいか否かを判断することができる。

【 0 0 5 2 】

さらに、第 1 の実施の形態のディスク制御装置によると、転送元の領域属性と、転送先の領域属性と、パケット転送コマンドとの関係によって、転送の許可を規定した転送制約条件を保持する・そして、転送制約条件を参照して、許可された転送のみを実行することによって、より細かなメモリ保護機構を実現することができる。

20

【 0 0 5 3 】

< 実施形態 2 >

図 9 は、第 2 の実施の形態のディスク制御装置（ 1 クラスタ ）の構成を示す。

【 0 0 5 4 】

図 9 に示した第 2 の実施の形態のディスク制御装置クラスタ 1 0 では、キャッシュメモリコントローラ 4 1 0 がキャッシュメモリアクセス制御機構 4 5 0 を備える。同様に、ハブ 1 1 0 及び 2 1 0 が、各々、チャンネルメモリアクセス制御機構 1 5 0 及び 2 5 0 を備え、プロセッサメモリコントローラ 3 1 0 がプロセッサメモリアクセス制御機構 3 5 0 を備える。

30

【 0 0 5 5 】

次に、第 2 の実施の形態のキャッシュメモリアクセス制御機構 4 5 0 による、メモリ間データ転送保護の動作を図 1 0 及び図 1 1 を参照して説明する。

【 0 0 5 6 】

図 1 0 は、第 2 の実施の形態においてチャンネルメモリ（ H M ）から二つキャッシュメモリ（ C M 1 、 C M 2 ）に、メモリ間でデータを転送する場合の、キャッシュメモリアクセス制御機構 4 5 0 によるデータ転送保護のシーケンス図である。

【 0 0 5 7 】

プロセッサ（ M P ） 3 3 0 からフロントエンド部 1 0 0 に対して D M A 転送を起動すると（ 1 5 0 1 ）、チャンネルメモリ（ H M ） 1 2 0 からスイッチ（ S W ） 5 1 0 を介して、二つのキャッシュメモリ（ C M 1 、 C M 2 ）に対してパケットが転送される（ 1 5 0 2 ）。なお、図示は省略するが、 D M A 転送の起動（ 1 5 0 1 ）の前に、 D M A 転送に必要とされる D M A 転送用パラメータがプロセッサメモリ 3 2 0 上に作成され、作成されたパラメータがプロセッサメモリ 3 2 0 からチャンネルメモリ 1 2 0 に転送される（図 1 4 の 1 2 0 1 、 1 2 0 2 参照）。

40

【 0 0 5 8 】

キャッシュメモリ 4 2 0 に対するパケット転送の際、各キャッシュメモリにおいて、パケットのヘッダ 6 0 1 を解析し、転送コマンド、転送元メモリアドレス及び転送先メモリアドレス（ C M 1 又は C M 2 ）を取得する。そして、取得した転送元メモリアドレス及び

50

転送先メモリアドレスから転送元メモリアドレスの領域属性及び転送先メモリアドレスの領域属性を取得する。図 10 に示す例では、転送コマンドはキャッシュ 2 重 W R I T E である。

【 0 0 5 9 】

そして、C M 1 のキャッシュメモリアクセス制御機構 4 5 0 は、転送コマンド、転送元アドレス及び転送先アドレスが正しい組み合わせか否かを判定して、転送 1 5 0 3 を実行するか否かを決定する (1 5 0 4)。すなわち、転送元アドレスがキャッシュ 2 重 W R I T E コマンドによるデータ転送が許可されている領域に含まれるか、及び、転送先アドレスがキャッシュ 2 重 W R I T E コマンドによるデータ転送が許可されている領域に含まれるか否かを判定する。

10

【 0 0 6 0 】

その結果、転送が許可されると判断されると、メモリコントローラ 4 1 0 は、スイッチ 5 1 0 から転送されたデータ (1 5 0 3) をキャッシュメモリ 4 2 0 に書き込む。一方、転送が許可されないと判断されると、スイッチ 5 1 0 から転送されたデータ (1 5 0 3) をキャッシュメモリ 4 2 0 に書き込むことなく破棄する。

【 0 0 6 1 】

同様に、C M 2 のキャッシュメモリアクセス制御機構 4 5 0 は、転送コマンド、転送元アドレス及び転送先アドレスが正しい組み合わせか否かを判定して、転送 1 5 0 5 を実行するか否かを決定する (1 5 0 6)。

【 0 0 6 2 】

20

その結果、転送が許可されると判断されると、メモリコントローラ 4 1 0 は、スイッチ 5 1 0 から転送されたデータ (1 5 0 5) をキャッシュメモリ 4 2 0 に書き込む。一方、転送が許可されないと判断されると、スイッチ 5 1 0 から転送されたデータ (1 5 0 5) をキャッシュメモリ 4 2 0 に書き込むことなく破棄する。

【 0 0 6 3 】

なお、一方のキャッシュメモリアクセス制御機構 4 5 0 によって、転送が許可されないと判断されると、キャッシュメモリ (C M 1) 4 2 0 及びキャッシュメモリ (C M 2) 4 2 0 に書き込むことなく破棄してもよい。すなわち、双方のキャッシュメモリアクセス制御機構 4 5 0 によって、転送が許可された場合に、キャッシュメモリ (C M 1) 4 2 0 及びキャッシュメモリ (C M 2) 4 2 0 に対する 2 重 W R I T E が実行される。

30

【 0 0 6 4 】

図 1 1 は、第 2 の実施の形態においてキャッシュメモリ (C M 1) から別のキャッシュメモリ (C M 2) に、メモリ間でデータを転送する場合の、キャッシュメモリアクセス制御機構 4 5 0 によるデータ転送保護のシーケンス図である。

【 0 0 6 5 】

プロセッサ (M P) 3 3 0 からフロントエンド部 1 0 0 に対して D M A 転送を起動すると (1 7 0 1)、キャッシュ部 4 0 0 に対してコピーコマンドを送信することによって、データ転送を開始するように制御がなされる (1 7 0 2、1 7 0 3)。なお、図示は省略するが、D M A 転送の起動 (1 7 0 1) の前に、D M A 転送に必要とされる D M A 転送用パラメータがプロセッサメモリ 3 2 0 上に作成され、作成されたパラメータがプロセッサメモリ 3 2 0 からチャネルメモリ 1 2 0 に転送される (図 1 4 の 1 2 0 1、1 2 0 2 参照)。

40

【 0 0 6 6 】

キャッシュメモリ (C M 1) がコピーコマンドを受信すると、C M 1 と C M 2 の間で、スイッチ (S W) 5 1 0 を介して、メモリ間のデータ転送が開始される (1 7 0 3)。この際、宛先キャッシュメモリ (C M 2) のキャッシュメモリアクセス制御機構 4 5 0 において、前述と同様に、パケットヘッダ 6 0 1 を解析し、転送コマンド (キャッシュ間 C O P Y) と、転送元メモリアドレス (C M 1) の領域属性と、転送先メモリアドレス (C M 2) の領域属性を取得する。そして、スイッチアクセス制御機構 5 5 0 は、転送コマンド、転送元アドレス及び転送先アドレスが正しい組み合わせか否かを判定して、転送 1 6 6

50

0を実行するか否かを決定する(1704、1705)。すなわち、転送元アドレスがキャッシュ間COPYコマンドによるデータ転送が許可されている領域に含まれるか、及び、転送先アドレスがキャッシュ間COPYコマンドによるデータ転送が許可されている領域に含まれるか否かを判定する。

【0067】

その結果、転送が許可されると判断されると、メモリコントローラ410は、スイッチ510から転送されたデータ(1705)をキャッシュメモリ420に書き込む。一方、転送が許可されないと判断されると、スイッチ510から転送されたデータ(1705)をキャッシュメモリ420に書き込むことなく破棄する。

【0068】

以上説明したように、第2の実施の形態のディスク制御装置によると、メモリ間のデータ転送においてメモリを保護することができる。また、転送先メモリのメモリアクセス制御機構(例えば、キャッシュメモリコントローラ410のキャッシュメモリアクセス制御機構450)を設ける。これによって、チャンネル部、キャッシュ部及びプロセッサ部のいずれかで、パケットヘッダ情報の整合性を検証することによって、分散してメモリ間のデータ転送を保護することができる。特に、データが書き込まれるメモリのメモリアクセス制御機構によって転送が許可されるか否かをチェックするので、メモリ書き込み直前のチェックが可能となり、より高信頼化を実現することができる。

【0069】

なお、第2の実施の形態のディスク制御装置では、転送先のメモリに備わるメモリアクセス制御機構において、データ転送の整合性を検証したが、転送元のメモリに備わるメモリアクセス制御機構において、データ転送の整合性を検証してもよい。この場合、高い信頼性が必要なデータ転送時には、転送先のメモリアクセス制御機構においてデータ転送の整合性を検証し、通常の信頼性で足りるデータ転送時には、転送元のメモリアクセス制御機構においてデータ転送の整合性を検証するとよい。

【0070】

また、前述した第1の実施の形態と第2の実施の形態とを混在させて実装することも可能である。すなわち、スイッチ部500がスイッチアクセス制御機構550を備え、キャッシュ部400がキャッシュメモリアクセス制御機構450を備え、フロントエンド部100がチャンネルメモリアクセス制御機構150を備え、バックエンド部200がチャンネルメモリアクセス制御機構250を備え、プロセッサ部300がプロセッサメモリアクセス制御機構350を備える。なお、各メモリアクセス制御機構は一つ又は複数備えればよい。

【0071】

そして、スイッチアクセス制御機構550及びデータ転送先のメモリのメモリアクセス制御機構の両方によって転送の許否をチェックしてもよい。

【0072】

また、コマンドの種類及び/又はデータの転送先に従って、スイッチアクセス制御機構550及びデータ転送先のメモリのメモリアクセス制御機構のいずれかによって転送の許否をチェックしてもよい。例えば、キャッシュ部へのデータ転送の場合は、キャッシュメモリアクセス制御機構450で転送の許否をチェックし、その他へのデータ転送の場合は、スイッチアクセス制御機構550で転送の許否をチェックしてもよい。

【0073】

<実施形態3>

図12は、第3の実施の形態の複数クラスタを含むディスク制御装置の構成を示す。

【0074】

ディスク制御装置クラスタ10は、ホストコンピュータ(HOST)30と接続されたフロントエンド部(FEPK)100と、ディスクドライブ装置20と接続されたバックエンド部(BEPK)200と、プロセッサ部(MPPK)300と、キャッシュ部(CMPK)400と、スイッチ部(SWPK)500と、を備える。ディスク制御装置

10

20

30

40

50

クラスタ 1 0、1 1の間は、お互いのスイッチ部 5 0 0 によって接続されている。スイッチ部 5 0 0 は、スイッチアクセス制御機構 5 5 0を備える。

【 0 0 7 5 】

第 3 の実施の形態のディスク制御装置は、図 1 3 に示すように、メモリ間（チャンネルメモリ 1 2 1、1 2 2 からキャッシュメモリ 3 2 1、3 2 2 等）で、データを転送するための DMA コントローラ 1 1 5、1 1 6、3 1 5、3 1 6 が設けられている。

【 0 0 7 6 】

第 3 の実施の形態のディスク制御装置では、スイッチアクセス制御機構 5 5 0 が、メモリ間でデータを転送してよいかをチェックする。データ転送が許可されている場合のみ転送が実行され、許可されていない場合は、エラーとして転送を中断する。従って、クラスタ間のデータ転送時にも、メモリに格納されたデータを保護することができる。

10

【 0 0 7 7 】

図 1 4 は、第 3 の実施の形態の DMA を用いたクラスタ内のデータ転送処理のシーケンス図である。

【 0 0 7 8 】

チャンネルメモリ用 DMA コントローラ 1 1 5 を起動するためには、当該 DMA コントローラ 1 1 5 に DMA パラメータを通知する必要がある。このため、プロセッサ 3 3 0 は、プロセッサメモリ 3 2 0 上に DMA 転送用パラメータを作成し、プロセッサメモリ用 DMA コントローラ 3 1 5 を起動する（1 2 0 1）。そして、プロセッサメモリ用 DMA コントローラ 3 1 5 は、プロセッサメモリ 3 2 0 に格納された DMA 転送用パラメータを、スイッチ 5 1 0 を介して、チャンネルメモリ 1 2 0 に転送する（1 2 0 2）。

20

【 0 0 7 9 】

その後、プロセッサ 3 3 0 は、チャンネルメモリ用 DMA コントローラ 1 1 5 を起動する（1 2 0 4）。そして、チャンネルメモリ用 DMA コントローラ 1 1 5 は、転送済みの DMA パラメータリストを用いて、チャンネルメモリ 1 2 0 に格納されたデータを、スイッチ 5 1 0 を介して、キャッシュメモリ 4 2 0 に転送する（1 2 0 5）。

【 0 0 8 0 】

従って、プロセッサメモリ 3 2 0 からチャンネルメモリ 1 2 0 に対するパラメータの転送（1 2 0 2）と、チャンネルメモリ 1 2 0 からキャッシュメモリ 4 2 0 に対するデータの転送（1 2 0 5）と、の二つの DMA 転送が実行される。いずれのデータ転送においても、スイッチ 5 1 0 のスイッチアクセス制御機構 5 5 0によって、当該データ転送の妥当性が検証されるため（1 2 0 3、1 2 0 6）、データ転送時にメモリに格納されたデータを保護することができる。

30

【 0 0 8 1 】

図 1 5 は、第 3 の実施の形態の DMA を用いたクラスタ間のデータ転送処理のシーケンス図である。図 1 5 は、クラスタ 1 のキャッシュメモリ（CM1）4 2 1 からクラスタ 2 のプロセッサメモリ（LM2）3 2 3 にデータを転送した場合の動作フローを示す。なお、クラスタ間のデータ転送は、READ モードのみが許可される。

【 0 0 8 2 】

まず、クラスタ 1 のプロセッサ（MP1）3 3 0 は、データの DMA 転送を起動するために、クラスタ 2 のプロセッサ（MP2）3 3 1 に対して、クラスタ 1 のキャッシュメモリ（CM1）4 2 1 からの READ 転送をするように要求する。このため、プロセッサ 3 3 0 は、プロセッサメモリ 3 2 1 上に制御情報を作成し、プロセッサメモリ用 DMA コントローラ 3 1 5 を起動する（1 3 0 1）。そして、プロセッサメモリ用 DMA コントローラ 3 1 5 は、プロセッサメモリ（LM1）3 2 1 に格納された制御情報を、スイッチ（SW1）5 1 0 及びスイッチ（SW2）5 1 1 を介して、プロセッサメモリ（LM2）3 2 3 に転送する（1 3 0 2、1 3 0 3、1 3 0 4）。さらに、プロセッサ（MP1）3 3 0 は、プロセッサ間通知によって、転送された制御情報を処理するように、プロセッサ（MP2）3 3 1 に依頼する。

40

【 0 0 8 3 】

50

そこで、プロセッサ(MP2)331は、プロセッサメモリ用DMAコントローラ316を起動する(1306)。そして、プロセッサメモリ用DMAコントローラ316は、プロセッサメモリ(LM2)323に格納された制御情報に含まれるDMA転送用パラメータをチャンネルメモリ120に転送する(1307)。

【0084】

その後、プロセッサ(MP2)331は、チャンネルメモリ用DMAコントローラ116を起動する(1308)。そして、チャンネルメモリ用DMAコントローラ116は、転送済みのDMAパラメータリストを用いて、クラスタ1のキャッシュメモリ(CM1)421にREADコマンドを送信して(1309)、クラスタ1のキャッシュメモリ421に格納されたデータを、スイッチ(SW1)510及びスイッチ(SW2)511を介して、プロセッサメモリ323に転送する(1310)。

10

【0085】

いずれのデータ転送においても、スイッチ510、511のスイッチアクセス制御機構550、551によって、当該データ転送の妥当性が検証されるため(1311、1312、1313)、データ転送時にメモリに格納されたデータを保護することができる。

【0086】

データ転送先であるクラスタ2からみると、自クラスタのDMAコントローラが他クラスタのデータを持ってくるという処理になることから、READモードと呼ばれる。READモードによってクラスタ間のデータを転送することによって、他クラスタのメモリ領域にはデータが書き込まれない。従って、他クラスタのメモリへデータを書き込むことがなく、メモリに格納されたデータを保護することができる。

20

【0087】

次に、第3の実施の形態のデータ転送制約条件について説明する。

【0088】

図7には、クラスタ間転送の転送制約条件も示されている。この定義例では、クラスタ間転送については、プロセッサメモリ間の転送、キャッシュメモリからチャンネルメモリの転送、及びキャッシュメモリからプロセッサメモリへのデータ転送のみが許可されている。さらに、キャッシュメモリからのデータ転送については、READモードのみが許可される。

【0089】

30

以上説明したように、第3の実施の形態のディスク制御装置によると、スイッチアクセス制御機構550が、クラスタ間のデータ転送を実行してよいか否かを検証し、整合性の確認されたパケットのみを転送するので、不適切な転送を防止することが可能となる。よって、クラスタ間を含めたメモリ間のデータ転送時のデータが保護され、メモリに格納されたデータを保護することができ、ディスク制御装置を高信頼化することができる。

【0090】

また、第3の実施の形態のディスク制御装置によると、ディスク制御装置クラスタ間のパケット転送において、転送先クラスタに属するDMAコントローラが転送を起動した場合のみ、当該転送の実行を許可することによって、他のクラスタのメモリ領域にはデータが書き込まれない。従って、他クラスタのメモリに格納されたデータを保護することができ、モジュール間の独立性を高めることができ、クラスタ構成のディスク制御装置を高信頼性化することができる。

40

【0091】

<実施形態4>

次に、本発明の第4の実施の形態について、前述した図13を用いて説明する。

【0092】

図13に示したディスク制御装置では、クラスタ1のチャンネルメモリ120が、チャンネルメモリデータ領域121とチャンネルメモリ制御領域122とに分割されている。また、クラスタ1のプロセッサメモリ320が、プロセッサメモリデータ領域321とプロセッサメモリ制御領域322とに分割されている。また、クラスタ1のキャッシュメモリ42

50

0 が、キャッシュメモリデータ領域 4 2 1 とキャッシュメモリ制御領域 4 2 2 とに分割されている。同様に、クラスタ 2 のチャンネルメモリが、チャンネルメモリデータ領域 1 2 3 とチャンネルメモリ制御領域 1 2 4 とに分割されている。また、クラスタ 2 のプロセッサメモリが、プロセッサメモリデータ領域 3 2 3 とプロセッサメモリ制御領域 3 2 4 とに分割されている。また、クラスタ 1 のキャッシュメモリが、キャッシュメモリデータ領域 4 2 3 とキャッシュメモリ制御領域 4 2 4 とに分割されている。

【 0 0 9 3 】

図 1 6 A ~ C は、更に詳細に分割されたメモリ領域を示す。

【 0 0 9 4 】

図 1 6 A に示すように、チャンネルメモリは、データ領域と制御領域とに分割され、さらに、分割された各領域が、接続ポート毎に分割されている。また、すべての接続ポートが共有して使用することができる領域として共有領域が設けられている。

【 0 0 9 5 】

同様に、図 1 6 B に示すように、プロセッサメモリは、データ領域と制御領域とに分割され、さらに、分割された各領域が、処理を担当するプロセッサ毎に分割されている。また、同じプロセッサ部に備わる全てのプロセッサが共有して使用することができる領域として、プロセッサ部共有領域が設けられている。

【 0 0 9 6 】

同様に、図 1 6 C に示すように、キャッシュメモリは、データ領域と制御領域とに分割される。

【 0 0 9 7 】

これらの領域には、全てのモジュールの全てのメモリ領域で重複することのない一意の内部ネットワークアドレス空間が付与される。従って、内部ネットワークアドレスを識別することによって、そのアドレスが含まれる領域を特定することができる。これによって、アクセス制御機構は、メモリ間のデータ転送の妥当性を検証して、メモリに格納されたデータを保護することが可能となり、ディスク制御装置を高信頼化することができる。

【 0 0 9 8 】

図 1 7 A ~ C は、メモリ領域が更に詳細に分割された変形例を示す。

【 0 0 9 9 】

図 1 7 A に示すように、チャンネルメモリは、データ領域と制御領域とに分割され、さらに、分割された各領域が、接続ポート毎かつ処理を担当するプロセッサ毎に分割されている。また、すべての接続ポートが共有して使用することができる領域として、パッケージ共有領域が設けられており、パッケージ共有領域も処理担当プロセッサ毎に分割されている。

【 0 1 0 0 】

図 1 7 B に示すように、プロセッサメモリは、データ領域と制御領域とに分割され、さらに、分割された各領域が、処理を担当するプロセッサ毎かつ接続ポート毎に分割されている。また、同じプロセッサ部に備わる全てのプロセッサが共有して使用することができる領域としてプロセッサ部共有領域が設けられており、プロセッサ部共有領域も接続ポート毎に分割されている。

【 0 1 0 1 】

図 1 7 C に示すように、キャッシュメモリは、データ領域と制御領域とに分割される、さらに、分割された各領域が、処理を担当するプロセッサ毎に分割されている。

【 0 1 0 2 】

以上説明したように、第 4 の実施の形態のディスク制御装置によると、全ての構成部分の全てのメモリ領域で重複することのない一意の内部ネットワークアドレスが付与される。従って、このようにメモリ領域を細分化することによって、内部ネットワークアドレスが含まれる領域の属性をより詳細に特定することができる。従って、アクセス制御機構は、より詳細にメモリの領域の属性を特定することによって、メモリに格納されたデータをより確実に保護することができ、ディスク制御装置を高信頼化することができる。

10

20

30

40

50

【 0 1 0 3 】

特に、メモリの領域を、ホストコンピュータからのデータを格納するためのデータ領域と、ディスク制御装置内の動作を制御するためのデータを格納する制御領域とに分割することによって、障害からユーザデータをより確実に保護することができる。

【 0 1 0 4 】

さらに、前記データ領域と前記制御領域とを、ホストコンピュータとの接続ポート及び当該パケット転送を制御するプロセッサによって分割することで、ユーザデータをより確実に保護することができる。

【図面の簡単な説明】

【 0 1 0 5 】

10

【図 1】第 1 の実施の形態のディスク制御装置の構成を示すブロック図である。

【図 2】第 1 の実施の形態のディスク制御装置の内部ネットワークアドレス空間を示す図である。

【図 3】第 1 の実施の形態のディスク制御装置において使用される、内部ネットワークパケットの構成を示す図である。

【図 4】第 1 の実施の形態のディスク制御装置のメモリ間のデータ転送を示すシーケンス図である。

【図 5】第 1 の実施の形態のディスク制御装置のメモリ間のデータ転送を示すシーケンス図である。

【図 6】第 1 の実施の形態のアクセス制御機構の構成を示すブロック図である。

20

【図 7】第 1 の実施の形態のディスク制御装置の転送制約条件の定義例を示す図である。

【図 8】第 1 の実施の形態のアクセス制御機構の動作を示すフローチャートである。

【図 9】第 2 の実施の形態のディスク制御装置の構成を示すブロック図である。

【図 10】第 2 の実施の形態のディスク制御装置のメモリ間のデータ転送を示すシーケンス図である。

【図 11】第 2 の実施の形態のディスク制御装置のメモリ間のデータ転送を示すシーケンス図である。

【図 12】第 3 の実施の形態のディスク制御装置の概略の構成を示すブロック図である。

【図 13】第 3 の実施の形態のディスク制御装置の詳細な構成を示すブロック図である。

【図 14】第 3 の実施の形態のクラスタ内のデータ転送処理のシーケンス図である。

30

【図 15】第 3 の実施の形態のクラスタ間のデータ転送処理のシーケンス図である。

【図 16 A】第 4 の実施の形態の分割されたメモリ領域を示す図である。

【図 16 B】第 4 の実施の形態の分割されたメモリ領域を示す図である。

【図 16 C】第 4 の実施の形態の分割されたメモリ領域を示す図である。

【図 17 A】第 4 の実施の形態の分割されたメモリ領域を示す図である。

【図 17 B】第 4 の実施の形態の分割されたメモリ領域を示す図である。

【図 17 C】第 4 の実施の形態の分割されたメモリ領域を示す図である。

【符号の説明】

【 0 1 0 6 】

1 0、1 1 ディスク制御装置クラスタ

40

2 0 ディスクドライブ

3 0 ホストコンピュータ

1 0 0、1 0 1 フロントエンド部 (F E P K)

1 1 0、1 1 1 ハブ (L R)

1 1 5、1 1 6 DMA コントローラ

1 2 0 チャネルメモリ (H M)

1 3 0、1 3 1 プロトコル制御チップ (P C V)

1 4 0 ホストコンピュータ接続ポート

1 5 0 チャンネルメモリアクセス制御機構

2 0 0 バックエンド・パッケージ (B E P K)

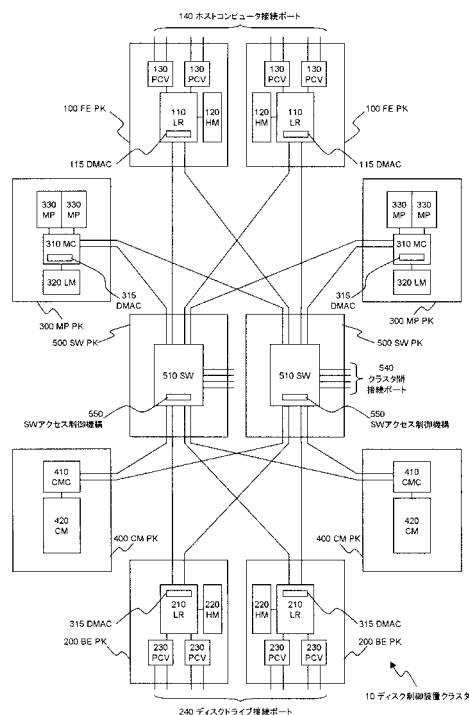
50

- 2 1 0 ハブ (L R)
 2 2 0 チャンネルメモリ (H M)
 2 3 0 プロトコル制御チップ (P C V)
 2 4 0 ディスクドライブ接続ポート
 2 5 0 チャンネルメモリアクセス制御機構
 3 0 0、3 0 1 プロセッサ部 (M P P K)
 3 1 0、3 1 1 メモリコントローラ (M C)
 3 1 5、3 1 6 D M Aコントローラ
 3 2 0 プロセッサメモリ (L M)
 3 3 0、3 3 1 マイクロプロセッサ (M P)
 3 5 0 プロセッサメモリアクセス制御機構
 4 0 0、4 0 1 キャッシュメモリ部 (C M P K)
 4 1 0、4 1 1 キャッシュメモリコントローラ (C M C)
 4 2 0 キャッシュメモリ (C M)
 4 5 0 キャッシュメモリアクセス制御機構
 5 0 0、5 0 1 スイッチ部 (S W P K)
 5 1 0、5 1 1 スイッチ (S W)
 5 4 0 クラスタ間接続ポート
 5 5 0、5 5 1 スイッチアクセス制御機構
 7 0 0 アドレスデコード回路 (A D D R E S S D E C O D E)
 7 1 0 アドレス領域テーブル (R E G I O N T A B L E)
 7 2 0 コマンドデコード回路 (C M D D E C O D E)
 7 3 0 整合性チェック回路 (C O N S I S T E N C Y C H E C K)

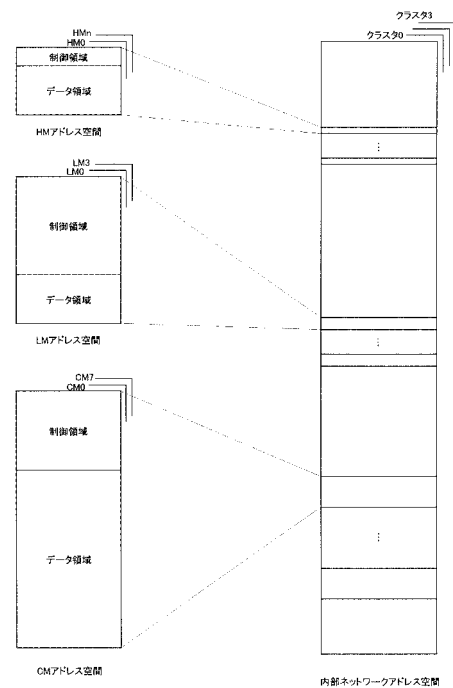
10

20

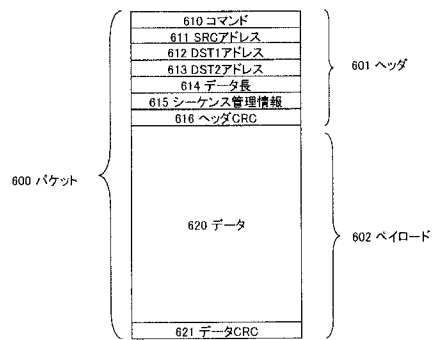
【図 1】



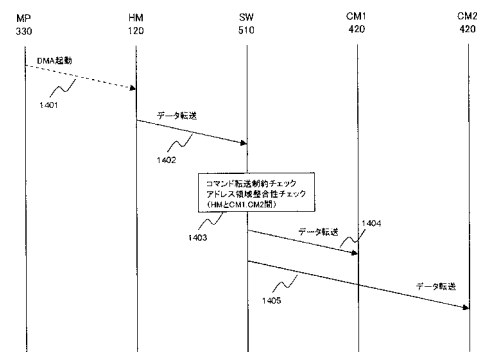
【図 2】



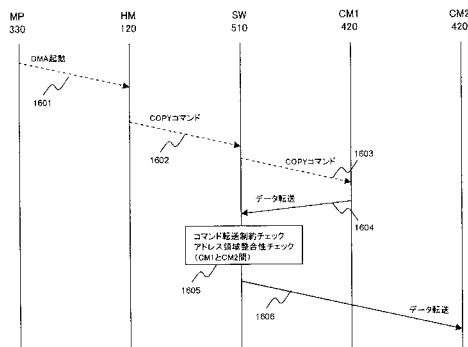
【図 3】



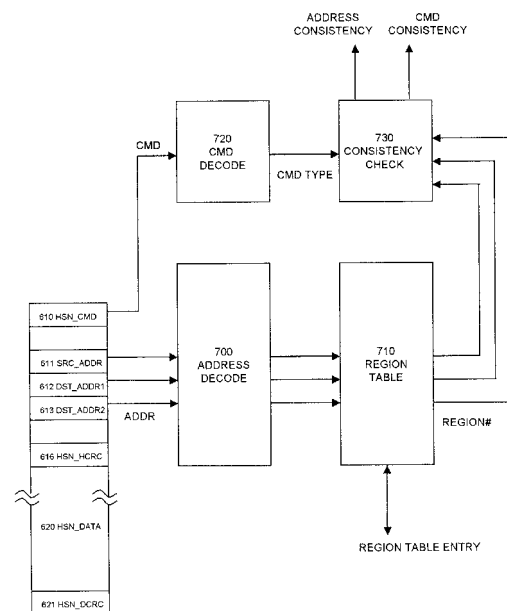
【図 4】



【図 5】



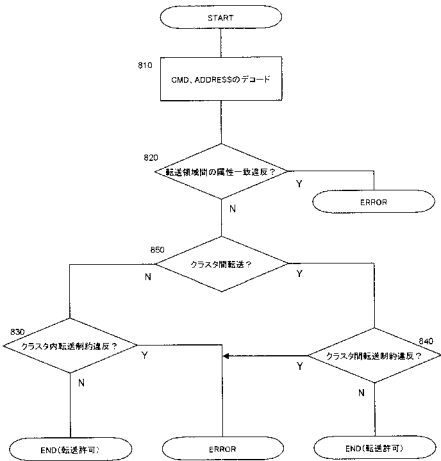
【図 6】



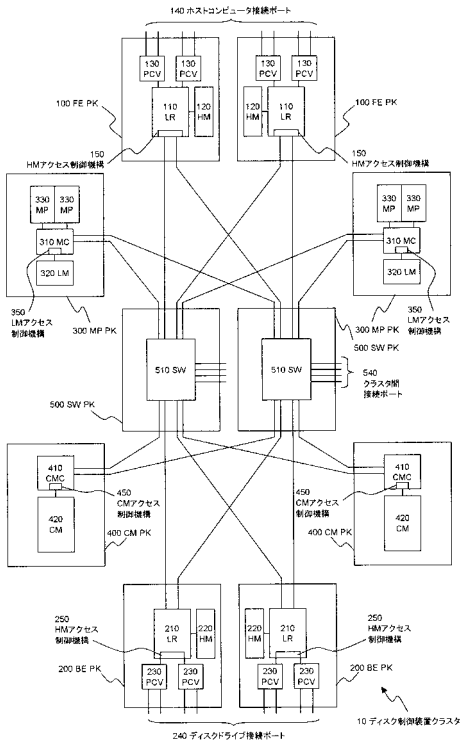
【図 7】

転送		クラス内転送制約	クラス間転送制約
SRC	DST		
HM	HM	×	×
	LM	制御のみ	×
	CM	データのみ	×
	CMx2	データのみ	×
LM	HM	制御のみ	×
	LM	制御のみ	×
	CM	○	×
	CMx2	×	×
CM	HM	データのみ	READのみ
	LM	○	READのみ
	CM	データのみ	×
	CMx2	×	×

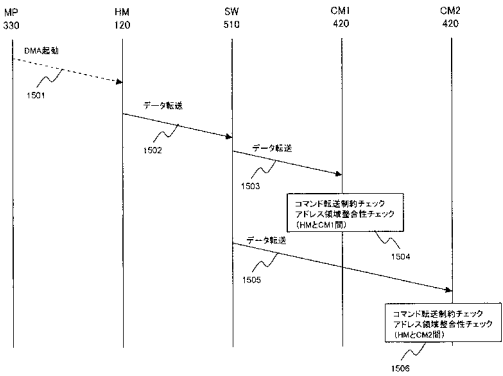
【図 8】



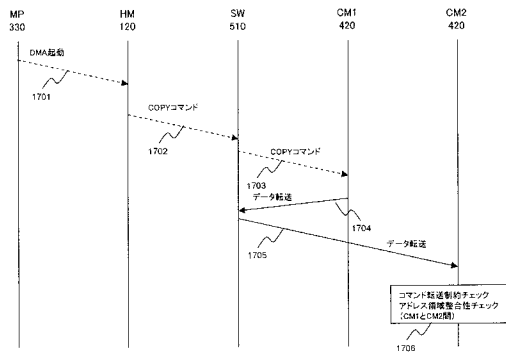
【図 9】



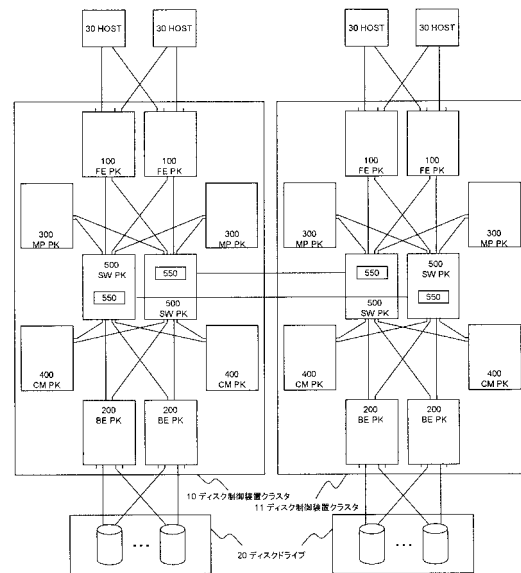
【図 10】



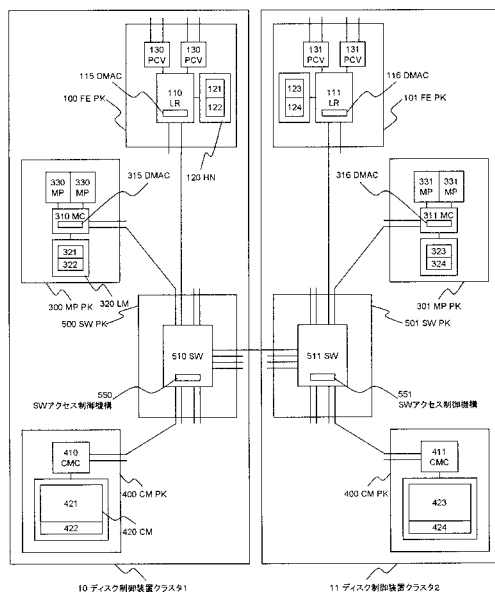
【図 11】



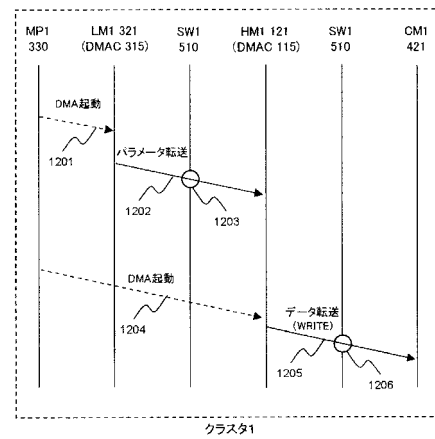
【図 12】



【図 13】



【図 14】



フロントページの続き

(56)参考文献 特開 2 0 0 4 - 2 1 3 1 2 5 (J P , A)
特開 2 0 0 5 - 2 5 0 5 5 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 1 3 / 1 0
G 0 6 F 3 / 0 6
G 0 6 F 1 2 / 0 8