

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3701037号  
(P3701037)

(45) 発行日 平成17年9月28日(2005.9.28)

(24) 登録日 平成17年7月22日(2005.7.22)

(51) Int. Cl.<sup>7</sup>

G11C 27/02  
H03M 1/12

F I

G11C 27/02 601N  
G11C 27/02 602D  
H03M 1/12 A

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願平6-1235 (22) 出願日 平成6年1月11日(1994.1.11) (65) 公開番号 特開平7-211095 (43) 公開日 平成7年8月11日(1995.8.11) 審査請求日 平成12年4月20日(2000.4.20)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 (74) 代理人 100077517 弁理士 石田 敬 (74) 代理人 100100871 弁理士 土屋 繁 (74) 代理人 100088269 弁理士 戸田 利雄 (74) 代理人 100082898 弁理士 西山 雅也 (72) 発明者 土屋 主税 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 サンプル・ホールド回路

(57) 【特許請求の範囲】

【請求項1】

任意のアナログ信号(V<sub>i</sub>)の所定の時刻における信号レベルをオン/オフ切替動作により捕らえるためのスイッチ回路部(1)と、該スイッチ回路部(1)により捕らえられた信号レベルを保持するためのホールド用容量素子(2)と、該ホールド用容量素子(2)により保持された信号レベルを所定のサンプル・ホールド信号(V<sub>o</sub>)として取り出すためのホールド電圧増幅回路部(3)とを有するサンプル・ホールド回路において、該サンプル・ホールド回路と他の回路とを分離する目的で前記スイッチ回路部(1)の入力側に入力バッファ回路部(4)を付加する場合、

前記ホールド電圧増幅回路部(3)の出力側と入力側との間に、前記入力バッファ回路部(4)と同等の特性を有し、かつ、該ホールド電圧増幅回路部(3)の出力側から該入力側へ前記サンプル・ホールド信号(V<sub>o</sub>)を負帰還する帰還回路部(5)を設け、前記ホールド電圧増幅回路部(3)の出力側から前記サンプル・ホールド信号(V<sub>o</sub>)を取り出すときに、前記帰還回路部(5)により、前記入力バッファ回路部(4)が有しているオフセット電圧を相殺することを特徴とするサンプル・ホールド回路。

【請求項2】

前記帰還回路部(5)と同等の特性を有する電圧源回路部を前記ホールド用容量素子(2)に対し直列に配置すると共に、該電圧源回路部の出力側を該ホールド用容量素子(2)に接続し、

前記スイッチ回路部(1)がオフ状態になって前記ホールド用容量素子(2)が前記信号

10

20

レベルを保持するホールドモードになったときに、前記電圧源回路部により、前記帰還回路部(5)の温度変動により生ずるオフセット電圧を相殺する請求項1記載のサンプル・ホールド回路。

【請求項3】

前記入力バッファ回路部(4)および前記帰還回路部(5)の各々が、第1の極性のバイポーラトランジスタのベースを入力側の端子とし、該第1の極性のバイポーラトランジスタのエミッタを、該第1の極性のバイポーラトランジスタと反対の極性を有するような第2の極性のバイポーラトランジスタのベースおよび第1の定電流源に接続し、該第2の極性のバイポーラトランジスタのエミッタを出力側の端子および第2の定電流源に接続し、該第1および第2の極性のバイポーラトランジスタのコレクタを、それぞれ、アース端子および所定の電源端子に接続してなるエミッタ・ホロア形回路から構成される請求項1記載のサンプル・ホールド回路。

10

【請求項4】

前記電圧源回路部が、第1の極性のバイポーラトランジスタのベースを入力側の端子とし、該第1の極性のバイポーラトランジスタのエミッタを、該第1の極性のバイポーラトランジスタと反対の極性を有するような第2の極性のバイポーラトランジスタのベースおよび第1の定電流源に接続し、該第2の極性のバイポーラトランジスタのエミッタを出力側の端子および第2の定電流源に接続し、該第1および第2の極性のバイポーラトランジスタのコレクタを、それぞれ、アース端子および所定の電源端子に接続してなるエミッタ・ホロア形回路から構成される請求項2記載のサンプル・ホールド回路。

20

【請求項5】

前記入力バッファ回路部(4)および前記帰還回路部(5)の各々が、第1の極性のMOSトランジスタのゲートを入力側の端子とし、該第1の極性のMOSトランジスタのソースを、該第1の極性のMOSトランジスタと反対の極性を有するような第2の極性のMOSトランジスタのゲートおよび第1の定電流源に接続し、該第2の極性のMOSトランジスタのソースを出力側の端子および第2の定電流源に接続し、該第1および第2の極性のMOSトランジスタのドレインを、それぞれ、アース端子および所定の電源端子に接続してなるソース・ホロア形回路から構成される請求項1記載のサンプル・ホールド回路。

30

【請求項6】

前記電圧源回路部が、第1の極性のMOSトランジスタのゲートを入力側の端子とし、該第1の極性のMOSトランジスタのソースを、該第1の極性のMOSトランジスタと反対の極性を有するような第2の極性のMOSトランジスタのゲートおよび第1の定電流源に接続し、該第2の極性のMOSトランジスタのソースを出力側の端子および第2の定電流源に接続し、該第1および第2の極性のMOSトランジスタのドレインを、それぞれ、アース端子および所定の電源端子に接続してなるソース・ホロア形回路から構成される請求項2記載のサンプル・ホールド回路。

【発明の詳細な説明】

40

【0001】

【産業上の利用分野】

本発明は、逐次変化するアナログ信号の所定の時刻におけるアナログ信号レベルをサンプル動作により抜き出して取り出すためのサンプル・ホールド回路に関する。特に、本発明は、温度に対し比較的安定で製造の容易な半導体集積回路を用いて実現されるサンプル・ホールド回路に関するものである。

【0002】

サンプル・ホールド回路は、逐次変化する信号のうちで必要な信号が乗っている時間内の信号レベルをサンプル動作モード時に捕らえ、次のホールドモード時にこの信号レベルを保持する機能を有しており、現在種々の分野に適用が考えられている。例えば、磁気ディ

50

スク装置等において、データ読み出し動作時に読み取り信号を出力したり、データ書き込み動作時に書き込み信号を入力したりする際に、これらの動作を安定に行うために、サンプル・ホールド回路を利用してサーボ信号を頻繁に取り込むことが不可欠である。

【0003】

また、一般的に、常にある一定値に保持された基準電圧レベルを適切な値に設定しなおす必要がある場合等にも、サンプル・ホールド回路がよく用いられる。上記のように、磁気ディスク装置等のデータ読み出し動作およびデータ書き込み動作や、基準電圧レベルの再設定動作に対しサンプル・ホールド回路を適用する場合、このサンプル・ホールド回路に対し、ホールド電圧の電圧レベルの精度が高いこと、および、サンプル・ホールド回路の温度による変動が極力少ないことが要求される。

10

【0004】

本発明は、ホールド電圧の電圧レベルの精度が高く、かつ、温度変動に対して安定な特性を有するサンプル・ホールド回路を集積回路上で比較的容易に実現するための一方策について言及するものである。

【0005】

【従来の技術】

図6は従来のサンプル・ホールド回路を示すブロック図である。ここでは、サンプル・ホールド回路の主要部を代表的に図示し、増幅回路の電源端子等の細かい部分は省略することとする。

図6においては、ドライブ回路等の他の回路100から送出されるアナログ信号 $V_i$ のうち必要な信号が乗っている時間内の所定の時刻における信号レベルをオン/オフ切替動作により捕らえるためのスイッチ回路部101が設けられている。このスイッチ回路部101は、通常、アナログスイッチにより構成されており、外部の制御信号 $V_s$ により、スイッチのオン/オフ切替動作が行われる。この場合、アナログスイッチがオン状態になった時刻に、サンプル・ホールド回路がサンプル動作モードになってアナログ信号 $V_i$ が捕らえられる。さらに、上記スイッチ回路部101には、ホールド用コンデンサ等からなるホールド用容量素子102が接続されている。このホールド用容量素子102は、アナログスイッチがオフ状態になった時刻、すなわち、サンプル・ホールド回路がホールドモードになったときに、アナログスイッチにより捕らえられたアナログ信号 $V_i$ の信号レベルを一定の時間だけ保持するものである。

20

30

【0006】

このようにして保持されたホールド電圧は、ホールドアンプ等からなるホールド電圧増幅回路部103に入力される。このホールド電圧増幅回路部103は、上記ホールド電圧を適度に増幅してサンプル・ホールド信号 $V_o$ を出力すると共に、出力側に接続される論理回路等に対するバッファとして機能する。

上記サンプル・ホールド回路では、アナログスイッチのスイッチのオン/オフ切替動作を一定の周期で繰り返し行うことにより、各種のACのアナログ信号 $V_i$ が、DCレベルのサンプル・ホールド信号 $V_o$ に変換される。また、グランドを含む安定な基準電圧 $V_r$ を生成する基準電圧源をホールド用コンデンサに対し直列に接続することは、安定なホールド信号を出力するため必要である。

40

【0007】

このようなサンプル・ホールド回路におけるスイッチ回路部101の入力側の端子に対しドライブ回路等を直接接続した場合、特にアナログスイッチがオン状態のときには、スイッチ回路部101の入力インピーダンスが低くなってドライブ回路等にかかる負荷が大きくなる。さらに、アナログスイッチのオン/オフ切替動作を一定の周期で行う場合、このアナログスイッチがオン状態からオフ状態へ移行するタイミング、および、オフ状態からオン状態へ移行するタイミングにおいて大きなノイズが発生する。これらのノイズは、スイッチ回路部101の入力側からドライブ回路等の他の回路100に入り込んで悪影響を及ぼすおそれがある。

【0008】

50

このような不都合を回避して回路系全体を安定に動作させるために、通常、サンプル・ホールド回路のスイッチ回路部 101 と他の回路 100 との間に、入力バッファアンプ等からなる入力バッファ回路部 104 が付加される。

【0009】

【発明が解決しようとする課題】

しかしながら、上記のように、サンプル・ホールド回路に入力バッファアンプ等を付加した場合、この入力バッファアンプ等が元々有しているオフセット電圧による誤差が、ホールドアンプ等により増幅された後に、サンプル・ホールド信号 $V_0$ に対し余計な出力電圧として重畳される。このように入力バッファアンプ等に起因する出力電圧によって、サンプル・ホールド回路内のホールド電圧の電圧レベルの精度が低下するという問題が生じてくる。

10

【0010】

本発明は上記問題点に鑑みてなされたものであり、ホールド電圧の電圧レベルの精度が高く、かつ、温度変動に対して安定であって、しかも、入力バッファアンプ等の入力バッファ回路部を付加してもオフセット電圧分の誤差が増加することのないサンプル・ホールド回路を簡単な回路構成により提供することを目的とするものである。

【0011】

【課題を解決するための手段】

図1は、本発明の原理構成を示すブロック図である。ただし、ここでは、サンプル・ホールド回路の主要部のみを図示することとする。

20

図1に示すように、本発明のサンプル・ホールド回路は、任意のアナログ信号 $V_i$ の所定の時刻における信号レベルをオン/オフ切替動作により捕らえるためのスイッチ回路部1と、このスイッチ回路部1により捕らえられた信号レベルを保持するためのホールド用容量素子2と、このホールド用容量素子2により保持された信号レベルを所定のサンプル・ホールド信号 $V_0$ として取り出すためのホールド電圧増幅回路部3と、上記スイッチ回路部1と他の回路とを分離する目的でこのスイッチ回路部1の入力側に付加される入力バッファ回路部4とを備えている。

【0012】

さらに、ホールド電圧増幅回路部3の出力側と入力側との間に、上記入力バッファ回路部4と同等の特性を有する帰還回路部5を設けている。この帰還回路部5は、ホールド電圧増幅回路部3の出力側から入力側へホールド電圧増幅回路部3の出力信号(サンプル・ホールド信号 $V_0$ )を負帰還するものである。

30

さらに、好ましくは、上記帰還回路部5と同等の特性を有する電圧源回路部をホールド用容量素子2に対し直列に配置すると共に、この電圧源回路部の出力側をホールド用容量素子2に接続するような構成がなされる。

【0013】

さらに、好ましくは、上記入力バッファ回路部4、帰還回路部5および電圧源回路部の各々は、極性の異なる2種類のバイポーラトランジスタを含むエミッタ・ホロア形回路により構成される。

さらに、好ましくは、上記入力バッファ回路部4、帰還回路部5および電圧源回路部の各々は、極性の異なる2種類のMOSトランジスタを含むソース・ホロア形回路により構成される。

40

【0014】

【作用】

本発明のサンプル・ホールド回路においては、入力バッファ回路部4と同等の回路構成、または、同等の伝達特性およびオフセット電圧を有する帰還回路部5を、ホールド電圧増幅回路部3の出力端子と反転入力端子との間に接続している。すなわち、ホールド電圧増幅回路部3からの出力信号が、帰還回路部5を介してホールド電圧増幅回路部3の入力側に負帰還されるような回路構成になっている。

【0015】

50

この場合、帰還回路部 5 により、入力バッファ回路部 4 と同じレベルのオフセット電圧がホールド電圧増幅回路部 3 の反転入力端子に入力されるので、ホールド電圧増幅回路部 3 の非反転入力端子に入り込む入力バッファ回路部 4 のオフセット電圧が相殺され、最終的に、オフセット電圧による誤差が生じないような高精度のサンプル・ホールド信号  $V_o$  を取り出すことが可能となる。

#### 【 0 0 1 6 】

さらに、本発明の実施態様では、帰還回路部 5 と同等の回路構成、または、同等の温度特性のオフセット電圧を有する電圧源回路部を、例えば、基準電圧  $V_r$  生成用の基準電圧源 6 とホールド用容量素子 2 との間に挿入する形でホールド用容量素子 2 と直列に接続している。

10

この場合、ホールド電圧増幅回路部 3 の反転入力端子に帰還回路部 5 が接続されると共に、このホールド電圧増幅回路部 3 の非反転入力端子に同じ温度特性の電圧源回路部が接続されることになる。したがって、特に、スイッチ回路部 1 がオフ状態になってホールド用容量素子 2 がアナログ信号  $V_i$  の信号レベルを保持するホールドモードになったときに、帰還回路部 5 の温度変動により生ずるオフセット電圧の誤差分が、電圧源回路部により相殺される。

#### 【 0 0 1 7 】

かくして、本発明では、入力バッファ回路部と同等の特性を有する簡単な回路を付加するのみで、温度変動も考慮したオフセット電圧分の誤差を零にすることができるので、ホールド電圧の電圧レベルの精度が高く、かつ、温度変動に対して安定なサンプル・ホールド回路を簡単な回路構成により提供することが可能となる。

20

#### 【 0 0 1 8 】

##### 【実施例】

以下、図 2 ~ 図 6 の添付図面を用いて本発明の実施例を詳細に説明する。

図 2 は、本発明の第 1 の実施例を示すブロック図である。なお、これ以降、前述した構成要素と同一のものについては、同様の参照番号を付して表すこととする。

#### 【 0 0 1 9 】

図 2 において、前述のスイッチ回路部 1 ( 図 1 ) は、スイッチングトランジスタ等の半導体のスイッチ素子を含むアナログスイッチ 1 1 により構成される。このアナログスイッチ 1 1 は、外部の制御信号  $V_s$  により、スイッチのオン/オフ切替動作が行われる。さらに、ホールド用容量素子 2 ( 図 1 ) は、ホールドコンデンサ 1 2 からなる。このホールドコンデンサ 1 2 は、好ましくは、アナログスイッチ 1 1 の出力端子と基準電圧源 6 との間に接続される。なお、この基準電圧源 6 は、グランド端子 ( アース端子 ) を含む安定なレベルを保持する基準電圧源であり、安定なホールド電圧を保つために必要なものである。さらに、入力バッファ回路部 4 ( 図 1 ) は、サンプル・ホールド回路と他の回路 1 0 とが分離できる程度に充分高い入力インピーダンスを有するような半導体集積回路の入力バッファアンプ 1 4 により構成される。

30

#### 【 0 0 2 0 】

さらに、図 2 において、ホールド電圧増幅回路部 3 ( 図 1 ) は、非反転形オペアンプからなる半導体集積回路のホールドアンプ 1 3 により構成される。このホールドアンプ 1 3 の非反転入力端子 ( + ) に対し、アナログスイッチ 1 1 の出力端子とホールドコンデンサ 1 2 の一方の端子が接続される。さらに、帰還回路部 5 ( 図 1 ) は、入力バッファアンプ 1 4 と同等の回路構成、または、同等の伝達特性およびオフセット電圧を有する半導体集積回路のオフセット補償用アンプ 1 5 により構成される。このオフセット補償用アンプ 1 5 は、好ましくは、ホールドアンプ 1 3 の出力端子と反転入力端子 ( - ) との間に接続される。この場合、オフセット補償用アンプ 1 5 の利得がほぼ 1 なので、ホールドアンプ 1 3 の利得もほぼ 1 となる。上記のような回路構成にすれば、入力バッファアンプ 1 4 自体のオフセット電圧がホールドアンプ 1 3 の非反転入力端子に入力されると共に、上記入力バッファアンプ 1 4 と同じレベルのオフセット電圧がホールドアンプ 1 3 の反転入力端子に差動分として負帰還されるので、入力バッファ回路部 4 のオフセット電圧が相殺され、最

40

50

終的に、オフセット電圧補償がなされた高精度のサンプル・ホールド信号 $V_o$ を取り出すことができる。

【0021】

ついで、図2のオフセット補償用アンプ15の作用により入力バッファアンプ14のオフセット電圧が相殺される様子を具体的な計算式により説明する。

ここで、入力バッファアンプ14が元々有している入出力間オフセット電圧を $V_{io1}$ 、ホールドアンプ13の入力電圧を $V_{in}$ 、同ホールドアンプ13の入力オフセット電圧を $V_{ioA}$ とすると、従来のサンプル・ホールド回路(例えば、図6)におけるサンプル動作モードでのサンプル・ホールド信号 $V_o$ に相当する出力電圧 $V_o$ は、ホールドアンプ13の利得を1とすれば、下記の式(1)のように表される。

【0022】

$$V_o = V_{in} + V_{io1} + V_{ioA} \quad (1)$$

また一方で、図2の本発明の第1の実施例においては、オフセット補償用アンプ15の入力間オフセット電圧を $V_{io2}$ とすると、ホールドアンプ13の非反転入力端子の入力電圧は、前述の式(1)と同じく $V_{in} + V_{io1} + V_{ioA}$ であるから、ホールドアンプ13の出力電圧 $V_o$ は、下記の式(2)のように表される。

【0023】

$$V_o = V_{in} + V_{io1} + V_{ioA} - V_{io2} \quad (2)$$

もし、 $V_{io1} = V_{io2}$ になるように、すなわち、入力バッファアンプ14およびオフセット補償用アンプ15が互いに同等の回路構成、または、同等のオフセット電圧を有するように予め設定すれば、結局、ホールドアンプ13の出力電圧 $V_o$ は $V_{in} + V_{ioA}$ となり、入力バッファアンプ14のオフセット電圧による誤差を零にすることができる。したがって、図2の実施例では、入力バッファアンプ14のオフセット電圧が比較的大きい場合でも、このオフセット電圧の影響をなくすことが可能となる。

【0024】

図2の実施例のサンプル・ホールド回路は、従来のサンプル・ホールド回路(図6)に比較してオフセット補償用アンプ15が付加されているが、このオフセット補償用アンプ15は、サンプル・ホールド回路内の入力バッファアンプ14やホールドアンプ13と一緒に半導体集積回路により作製することができる。したがって、図2の実施例においては、回路の製造工程および製造コストは実質的に増加しない。さらに、入力バッファアンプ14およびオフセット補償用アンプ15の回路構成は、全く同等にすればよいので、異なる種類の回路素子を作製する場合よりも、製造工程がはるかに簡単になる。

【0025】

図3は、本発明の第2の実施例を示すブロック図である。

図3においては、前述の第1の実施例のサンプル・ホールド回路(図2)に対し、電圧源回路部である温度補償用アンプ16を付加している。この温度補償用アンプ16は、オフセット補償用アンプ15等と同じように半導体集積回路により実現される。さらに、温度補償用アンプ16は、ホールドアンプ13のホールドコンデンサ12の他方の端子と基準電圧源6との間に挿入される形でホールドアンプ13の非反転入力端子の側に接続される。

【0026】

さらに詳しく説明すると、図3の第2の実施例では、ホールドアンプ13の反転入力端子に対しオフセット補償用アンプ15が接続されると共に、上記ホールドアンプ13の非反転入力端子に対し、オフセット補償用アンプ15と同じ温度特性のオフセット電圧を有する温度補償用アンプ16が接続されることになる。前述の第1の実施例(図3)において、アナログスイッチ11がオン状態でサンプル・ホールド回路がサンプル動作モードになっているときは、サンプル・ホールド回路内に温度変動が生じて、この温度変動による入力バッファアンプ14のオフセット電圧のドリフト分をオフセット補償用アンプ15により相殺することができる。しかしながら、アナログスイッチ11がオフ状態になってホールドコンデンサ12がアナログ信号 $V_i$ の信号レベルを保持するホールドモードになった

10

20

30

40

50

ときは、入力バッファアンプ 14 がホールドアンプ 13 から切り離され、オフセット補償用アンプ 15 のみがホールドアンプ 13 に接続されることになる。このため、オフセット補償用アンプ 15 の温度変動によるオフセット電圧のドリフト分が、ホールドアンプ 13 の出力端子に直接現れてしまう。

【 0 0 2 7 】

図 3 の第 2 の実施例は、この温度変動によるオフセット電圧のドリフト分が生ずるのを防止するために、ホールドアンプ 13 の入力バッファアンプ 14 側の非反転入力端子に対し、オフセット補償用アンプ 15 と同じ温度特性のオフセット電圧を有する温度補償用アンプ 16 を接続するものである。このような回路構成にすれば、オフセット補償用アンプ 15 の温度変動によるオフセット電圧のドリフト分が、温度補償用アンプ 16 により相殺されるので、温度変動も考慮したオフセット電圧分の誤差を零にすることができ、最終的に、温度補償がなされた高精度のサンプル・ホールド信号  $V_o$  を取り出すことができる。

10

【 0 0 2 8 】

さらに、図 3 の温度補償用アンプ 16 の作用によって、オフセット補償用アンプ 15 の温度変動によるオフセット電圧のドリフト分が相殺される様子を具体的な計算式により説明する。

ここで、入力バッファアンプ 14、オフセット補償用アンプ 15、温度補償用アンプ 16 およびホールドアンプ 13 の温度変動によるオフセット電圧のドリフト量を、それぞれ、 $V_{io1}$ 、 $V_{io2}$ 、 $V_{io3}$  および  $V_{ioA}$  とすると、サンプル動作モード時の温度変動による出力電圧の変動量は、下記の式 (3) のように表される。

20

【 0 0 2 9 】

$$V_o = V_{io1} + V_{ioA} - V_{io2} \quad (3)$$

もし、 $V_{io1} = V_{io2}$  になるように予め設定すれば、出力電圧の変動量は  $V_o = V_{ioA}$  となり、入力バッファアンプ 14 の影響をなくすることができる。

しかしながら、ホールドモード時の温度変動による出力電圧の変動量は、温度補償用アンプ 16 が付加されていないとした場合には  $V_{ioA} - V_{io2}$  となり、オフセット補償用アンプ 15 の影響が現れてしまう。

【 0 0 3 0 】

ここで、図 3 に示すように、温度補償用アンプ 16 をホールドアンプ 13 に接続した場合、ホールドモード時の温度変動による出力電圧の変動量は、下記の式 (4) のように表される。

30

$$V_o = V_{ioA} - V_{io2} + V_{io3} \quad (4)$$

もし、 $V_{io2} = V_{io3}$  になるように、すなわち、オフセット補償用アンプ 15 および温度補償用アンプ 16 が互いに同等の回路構成、または、同等の温度特性のオフセット電圧を有するように予め設定すれば、結局、ホールドアンプ 13 の出力電圧の変動量  $V_o$  は  $V_{ioA}$  のみとなる。したがって、図 3 の実施例では、オフセット補償用アンプ 15 の温度変動によるオフセット電圧のドリフト分が相殺され、温度変動に起因する出力電圧の変動幅を最小限に抑えることが可能となる。

【 0 0 3 1 】

図 3 の実施例のサンプル・ホールド回路は、従来のサンプル・ホールド回路 (図 6) に比較してオフセット補償用アンプ 15 および温度補償用アンプ 16 が付加されているが、これらの 2 種類のアンプは、サンプル・ホールド回路内の入力バッファアンプ 14 やホールドアンプ 13 と一緒に半導体集積回路により作製することができる。したがって、図 3 の実施例においても、回路の製造工程および製造コストは実質的に増加しない。さらに、この場合には、入力バッファアンプ 14、オフセット補償用アンプ 15 および温度補償用アンプ 16 の回路構成は、すべて同等にすればよいので、入力バッファアンプ 14 と特性の異なる 2 種類のアンプを付加する場合よりも、製造工程がはるかに簡単になる。

40

【 0 0 3 2 】

なお、オフセット補償用アンプ 15 の温度変動によるオフセット電圧のドリフト量が無視できる場合には、サンプル・ホールド回路の温度変動が大きいときでも、温度補償用アンプ

50

ブ16を省略した図2のサンプル・ホールド回路を使用することが可能である。

図4は、本発明の第2の実施例をバイポーラトランジスタにより構成した場合の具体例を示す回路図である。

【0033】

図4においては、入力バッファアンプ14、オフセット補償用アンプ15および温度補償用アンプ16(いずれも図3)の各々は、極性の異なる2種類のバイポーラトランジスタ(PNPトランジスタおよびNPNトランジスタ)を含み、かつ、充分高い入力インピーダンスを有するエミッタ・ホロア形回路により構成される。

【0034】

さらに詳しく説明すると、エミッタ・ホロア形回路からなる入力バッファアンプ14では、第1の極性のバイポーラトランジスタ、例えばPNPトランジスタ42のベースを入力側の端子とし、このPNPトランジスタ42のエミッタを、第1の極性のバイポーラトランジスタと反対の極性を有するような第2の極性のバイポーラトランジスタ、例えばNPNトランジスタ44のベースおよび第1の定電流源41に接続している。さらに、このNPNトランジスタ44のエミッタを出力側(アナログスイッチ11の入力側)の端子および第2の定電流源43に接続し、かつ、PNPトランジスタ42のコレクタをアース端子に接続すると共に、NPNトランジスタ44のコレクタをコレクタ電圧 $V_c$ 供給用の電源端子に接続している。

10

【0035】

同様に、エミッタ・ホロア形回路からなるオフセット補償用アンプ15は、PNPトランジスタ52のベースを入力側(ホールドアンプ13の出力側)の端子とし、このPNPトランジスタ52のエミッタを、NPNトランジスタ54のベースおよび第1の定電流源51に接続している。さらに、このNPNトランジスタ54のエミッタを出力側(ホールドアンプ13の反転入力側)の端子および第2の定電流源53に接続し、かつ、PNPトランジスタ52のコレクタをアース端子に接続すると共に、NPNトランジスタ54のコレクタをコレクタ電圧 $V_c$ 供給用の電源端子に接続している。

20

【0036】

同様に、エミッタ・ホロア形回路からなる温度補償用アンプ16は、PNPトランジスタ62のベースを入力側(基準電圧源6側)の端子とし、このPNPトランジスタ62のエミッタを、NPNトランジスタ64のベースおよび第1の定電流源61に接続している。さらに、このNPNトランジスタ64のエミッタを出力側(ホールドアンプ13の非反転入力側)の端子および第2の定電流源63に接続し、かつ、PNPトランジスタ62のコレクタをアース端子に接続すると共に、NPNトランジスタ64のコレクタをコレクタ電圧 $V_c$ 供給用の電源端子に接続している。

30

【0037】

図4から明らかのように、これらのオフセット補償用アンプ15、入力バッファアンプ14および温度補償用アンプ16は、それぞれ、同等のバイポーラトランジスタ素子および電流源素子から構成される半導体集積回路により容易に実現することができる。

図5は、本発明の第2の実施例をMOSトランジスタにより構成した場合の具体例を示す回路図である。

40

【0038】

図5においては、入力バッファアンプ14、オフセット補償用アンプ15および温度補償用アンプ16(いずれも図3)の各々は、極性の異なる2種類のMOSトランジスタ(Pチャンネル形MOSトランジスタおよびNチャンネル形MOSトランジスタ)を含み、かつ、前述のエミッタ・ホロア形回路と同じように充分高い入力インピーダンスを有するソース・ホロア形回路により構成される。

【0039】

さらに詳しく説明すると、ソース・ホロア形回路からなる入力バッファアンプ14では、第1の極性のMOSトランジスタ、例えばPチャンネル形MOSトランジスタ72のゲートを入力側の端子とし、このPチャンネル形MOSトランジスタ72のソースを、第1の極性

50

のMOSトランジスタと反対の極性を有するような第2の極性のMOSトランジスタ、例えばNチャネル形MOSトランジスタ74のゲートおよび第1の定電流源71に接続している。さらに、このNチャネル形MOSトランジスタ74のソースを出力側の端子および第2の定電流源73に接続し、かつ、Pチャネル形MOSトランジスタ72のドレインをアース端子に接続すると共に、Nチャネル形MOSトランジスタ74のドレインをドレイン電圧 $V_D$ 供給用の電源端子に接続している。

【0040】

同様に、ソース・ホロア形回路からなるオフセット補償用アンプ15は、Pチャネル形MOSトランジスタ82のゲートを入力側の端子とし、このPチャネル形MOSトランジスタ82のソースを、Nチャネル形MOSトランジスタ84のゲートおよび第1の定電流源81に接続している。さらに、このNチャネル形MOSトランジスタ84のソースを出力側の端子および第2の定電流源83に接続し、かつ、Pチャネル形MOSトランジスタ82のドレインをアース端子に接続すると共に、Nチャネル形MOSトランジスタ84のドレインをドレイン電圧 $V_D$ 供給用の電源端子に接続している。

10

【0041】

同様に、ソース・ホロア形回路からなる温度補償用アンプ16は、Pチャネル形MOSトランジスタ92のゲートを入力側の端子とし、このPチャネル形MOSトランジスタ92のソースを、Nチャネル形MOSトランジスタ94のゲートおよび第1の定電流源91に接続している。さらに、このNチャネル形MOSトランジスタ94のソースを出力側の端子および第2の定電流源93に接続し、かつ、Pチャネル形MOSトランジスタ92のドレインをアース端子に接続すると共に、Nチャネル形MOSトランジスタ94のドレインをドレイン電圧 $V_D$ 供給用の電源端子に接続している。

20

【0042】

これらのオフセット補償用アンプ15、入力バッファアンプ14および温度補償用アンプ16は、前述のバイポーラトランジスタの場合と同じように、それぞれ、同等のMOSトランジスタ素子および電流源素子から構成される半導体集積回路により容易に実現することができる。

【0043】

【発明の効果】

以上説明したように、本発明によれば、入力バッファアンプ等の入力バッファ回路部が付加されたサンプル・ホールド回路に対し、この入力バッファ回路部と同等のオフセット電圧を有する帰還回路部を設けることにより、入力バッファ回路部のオフセット電圧を相殺することができる。さらに、この帰還回路部と同等の温度特性のオフセット電圧を有する電圧源回路部を設けることにより、ホールドモード時のオフセット電圧の温度変動に起因するドリフト分を最小限に抑えることができる。

30

【0044】

この結果、ホールド電圧の電圧レベルの精度が高く、かつ、温度変動に対して安定なサンプル・ホールド回路を簡単な回路構成により実現することが可能になる。

【図面の簡単な説明】

【図1】本発明の原理構成を示すブロック図である。

40

【図2】本発明の第1の実施例を示すブロック図である。

【図3】本発明の第2の実施例を示すブロック図である。

【図4】本発明の第2の実施例をバイポーラトランジスタにより構成した場合の具体例を示す回路図である。

【図5】本発明の第2の実施例をMOSトランジスタにより構成した場合の具体例を示す回路図である。

【図6】従来のサンプル・ホールド回路を示すブロック図である。

【符号の説明】

1 ... スイッチ回路部

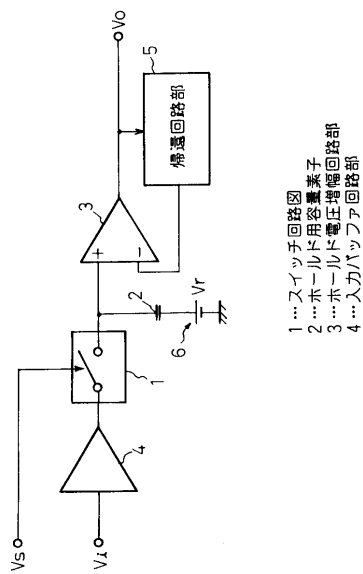
2 ... ホールド用容量素子

50

- 3 ... ホールド電圧増幅回路部
- 4 ... 入力バッファ回路部
- 5 ... 帰還回路部
- 1 4 ... 入力バッファアンプ
- 1 5 ... オフセット補償用アンプ
- 1 6 ... 温度補償用アンプ

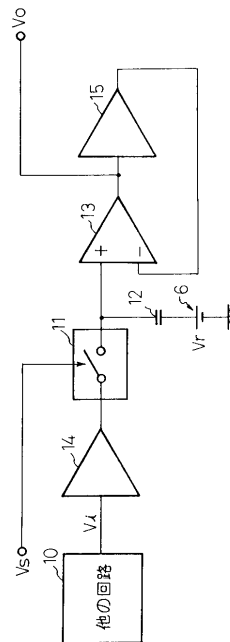
【 図 1 】

本発明の原理構成を示すブロック図



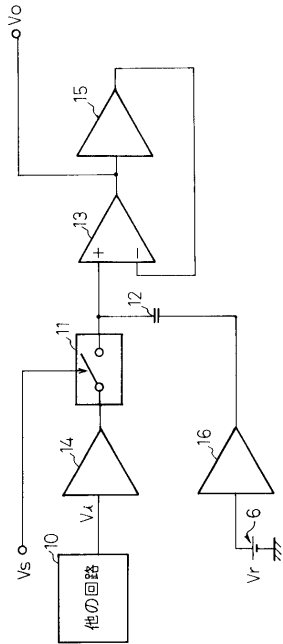
【 図 2 】

本発明の第1の実施例を示すブロック図



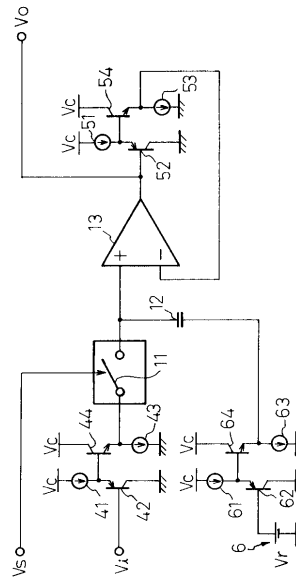
【 図 3 】

本発明の第2の実施例を示すブロック図



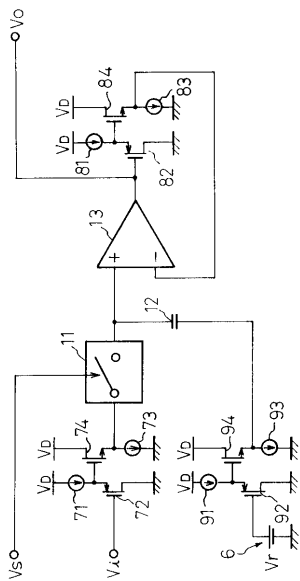
【 図 4 】

本発明の第2の実施例をバイポーラトランジスタにより構成した場合の具体例を示す回路図



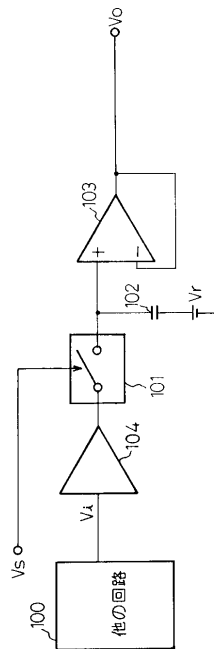
【 図 5 】

本発明の第2の実施例をMOSトランジスタにより構成した場合の具体例を示す回路図



【 図 6 】

従来のサンプル・ホールド回路を示すブロック図



---

フロントページの続き

(72)発明者 尾野 彰彦  
神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

審査官 堀田 和義

(56)参考文献 特開昭59-116996(JP,A)  
特開昭59-116997(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G11C27/02