



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0009529
(43) 공개일자 2020년01월30일

(51) 국제특허분류(Int. Cl.)
H01G 4/242 (2006.01) H01G 4/012 (2006.01)
H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 4/242 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2018-0084001
(22) 출원일자 2018년07월19일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
박홍길
경기도 수원시 영통구 매영로 150 (매탄동)
박세훈
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 9 항

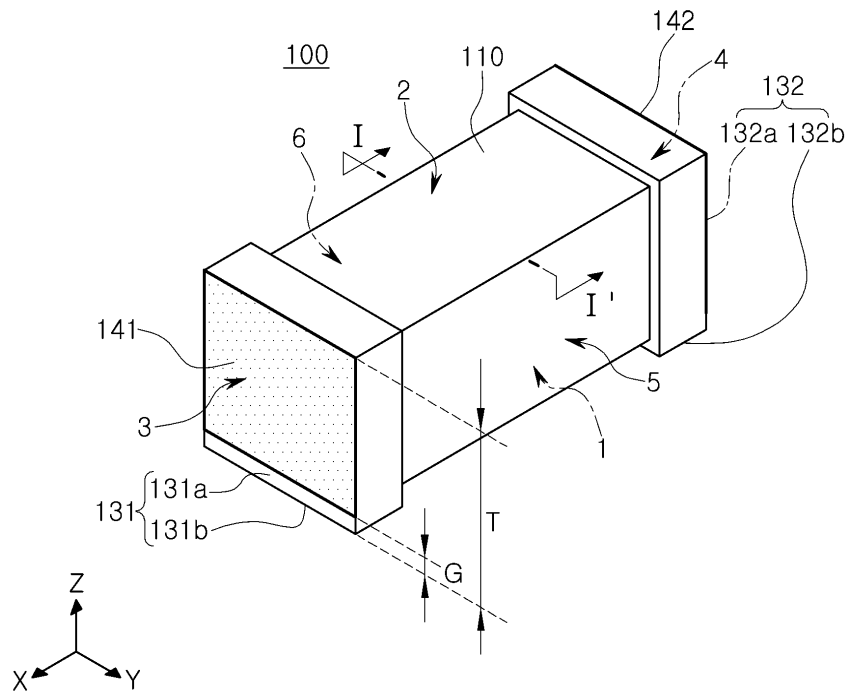
(54) 발명의 명칭 적층형 커패시터

(57) 요약

본 발명은, 복수의 유전체층과 상기 유전체층을 사이에 두고 번갈아 배치되는 복수의 제1 및 제2 내부 전극을 포함하고, 서로 대향하는 제1 및 제2 면, 제1 및 제2 면과 연결되고 서로 대향하는 제3 및 제4 면, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되고 서로 대향하는 제5 및 제6 면을 포함하며, 상기 제1 및 제2 내부 전극의

(뒷면에 계속)

대표도 - 도1



일단이 제3 및 제4 면을 통해 각각 노출되는 커패시터 바디; 상기 커패시터 바디의 제3 및 제4 면에 각각 배치되는 제1 및 제2 접속부와, 상기 제1 및 제2 접속부에서 상기 커패시터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 각각 연장되는 제1 및 제2 밴드부를 각각 포함하는 제1 및 제2 외부 전극; 및 상기 제1 및 제2 접속부에 각각 배치되는 절연층; 을 포함하고, 상기 제1 및 제2 접속부는 하단에 절연층이 형성되지 않는 부분(G)이 마련되고, 상기 제1 및 제2 외부 전극의 높이를 T로 하고 폭을 W로 할 때, $T \leq 0.6\text{mm}$, $W \leq 0.3\text{mm}$ 이고, $0 < G \leq T/2$ 를 만족하는 적층형 커패시터를 제공한다.

(52) CPC특허분류

H01G 4/30 (2013.01)

(72) 발명자

김태훈

경기도 수원시 영통구 매영로 150 (매탄동)

안영규

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

복수의 유전체층과 상기 유전체층을 사이에 두고 번갈아 배치되는 복수의 제1 및 제2 내부 전극을 포함하고, 서로 대향하는 제1 및 제2 면, 제1 및 제2 면과 연결되고 서로 대향하는 제3 및 제4 면, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되고 서로 대향하는 제5 및 제6 면을 포함하며, 상기 제1 및 제2 내부 전극의 일단이 제3 및 제4 면을 통해 각각 노출되는 커패시터 바디;

상기 커패시터 바디의 제3 및 제4 면에 각각 배치되는 제1 및 제2 접속부와, 상기 제1 및 제2 접속부에서 상기 커패시터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 각각 연장되는 제1 및 제2 밴드부를 각각 포함하는 제1 및 제2 외부 전극; 및

상기 제1 및 제2 접속부에 각각 배치되는 절연층; 을 포함하고,

상기 제1 및 제2 접속부는 하단에 절연층이 형성되지 않는 부분(G)이 마련되고, 상기 제1 및 제2 외부 전극의 높이를 T로 하고 폭을 W로 할 때, $T \leq 0.6\text{mm}$, $W \leq 0.3\text{mm}$ 이고, $0 < G \leq T/2$ 를 만족하는 적층형 커패시터.

청구항 2

제1항에 있어서,

상기 제1 및 제2 접속부는 상단에 절연층이 형성되지 않는 부분이 더 마련되는 적층형 커패시터.

청구항 3

제1항에 있어서,

상기 절연층이 상기 제1 및 제2 밴드부에서 상기 커패시터 바디의 제5 및 제6 면에 형성된 부분까지 더 연장되어 형성되는 적층형 커패시터.

청구항 4

제3항에 있어서,

상기 제1 및 제2 밴드부는 상단 또는 하단에 절연층이 형성되지 않는 부분이 마련되는 적층형 커패시터.

청구항 5

제3항에 있어서,

상기 절연층이 상기 커패시터 바디의 제5 및 제6 면까지 더 연장되어 형성되는 적층형 커패시터.

청구항 6

제5항에 있어서,

상기 커패시터 바디의 상단 또는 하단에 절연층이 형성되지 않는 부분이 마련되는 적층형 커패시터.

청구항 7

제3항에 있어서,

상기 절연층이 상기 제1 및 제2 밴드부에서 상기 커패시터 바디의 제2 면에 형성된 부분까지 더 연장되어 형성되는 적층형 커패시터.

청구항 8

제7항에 있어서,

상기 절연층이 상기 커패시터 바디의 제2 면까지 더 연장되어 형성되는 적층형 커패시터.

청구항 9

제1항에 있어서,

상기 커패시터 바디는 내부 전극을 갖지 않는 상부 커버를 포함하고, 상부 커버의 두께를 TC로 하고, 하부 커버의 두께를 BC로 할 때, $0 < TC < BC$ 를 만족하는 적층형 커패시터.

발명의 설명

기술 분야

[0001] 본 발명은 적층형 커패시터에 관한 것이다.

배경 기술

[0003] 적층형 전자 부품 중 하나로서 적층형 커패시터는 유전체 재료로 이루어지고, 이 유전체 재료는 압전성을 가지기 때문에 인가 전압에 동기화되어 변형될 수 있다.

[0004] 인가 전압의 주기가 가청 주파수 대역에 있을 때, 그 변위는 진동이 되어 솔더를 통해 기판에 전해지고, 이에 기판의 진동이 소리로 들리게 된다. 이러한 소리를 어쿠스틱 노이즈라고 한다.

[0006] 상기 어쿠스틱 노이즈는 기기의 동작 환경이 조용한 경우 사용자가 이상한 소리로 인지하여 기기의 고장이라고 느낄 수 있다. 또한, 음성 회로를 가지는 기기에서는 음성 출력에 어쿠스틱 노이즈가 중첩되면서 기기의 품질을 저하시킬 수 있다.

[0007] 또한, 사람의 귀가 인지하는 어쿠스틱 노이즈와 별개로, 적층형 커패시터의 압전 진동이 20kHz 이상의 고주파 영역에서 발생하는 경우, IT 및 산업/전장에서 사용되는 각종 센서류의 오작동을 발생시키는 원인이 될 수 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본공개특허 제2013-26392호

(특허문헌 0002) 한국공개특허 제2015-0018650호

발명의 내용

해결하려는 과제

- [0010] 본 발명의 목적은 어쿠스틱 노이즈 및 20kHz 이상의 고주파 진동을 저감시킬 수 있는 적층형 커패시터를 제공하는데 있다.

과제의 해결 수단

- [0012] 본 발명의 일 측면은, 복수의 유전체층과 상기 유전체층을 사이에 두고 번갈아 배치되는 복수의 제1 및 제2 내부 전극을 포함하고, 서로 대향하는 제1 및 제2 면, 제1 및 제2 면과 연결되고 서로 대향하는 제3 및 제4 면, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되고 서로 대향하는 제5 및 제6 면을 포함하며, 상기 제1 및 제2 내부 전극의 일단이 제3 및 제4 면을 통해 각각 노출되는 커패시터 바디; 상기 커패시터 바디의 제3 및 제4 면에 각각 배치되는 제1 및 제2 접속부와, 상기 제1 및 제2 접속부에서 상기 커패시터 바디의 제1, 제2, 제5 및 제6 면의 일부까지 각각 연장되는 제1 및 제2 밴드부를 각각 포함하는 제1 및 제2 외부 전극; 및 상기 제1 및 제2 접속부에 각각 배치되는 절연층; 을 포함하고, 상기 제1 및 제2 접속부는 하단에 절연층이 형성되지 않는 부분(G)이 마련되고, 상기 제1 및 제2 외부 전극의 높이를 T로 하고 폭을 W로 할 때, $T \leq 0.6\text{mm}$, $W \leq 0.3\text{mm}$ 이고, $0 < G \leq T/2$ 를 만족하는 적층형 커패시터를 제공한다.
- [0014] 본 발명의 일 실시 예에서, 상기 제1 및 제2 접속부는 상단에 절연층이 형성되지 않는 부분이 더 마련될 수 있다.
- [0015] 본 발명의 일 실시 예에서, 상기 절연층은 상기 제1 및 제2 밴드부에서 상기 커패시터 바디의 제5 및 제6 면에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0016] 본 발명의 일 실시 예에서, 상기 제1 및 제2 밴드부는 상단 또는 하단에 절연층이 형성되지 않는 부분이 마련될 수 있다.
- [0017] 본 발명의 일 실시 예에서, 상기 절연층은 상기 커패시터 바디의 제5 및 제6 면까지 더 연장되어 형성될 수 있다.
- [0018] 본 발명의 일 실시 예에서, 상기 커패시터 바디의 상단 또는 하단에 절연층이 형성되지 않는 부분이 마련될 수 있다.
- [0019] 본 발명의 일 실시 예에서, 상기 절연층은 상기 제1 및 제2 밴드부에서 상기 커패시터 바디의 제2 면에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0020] 본 발명의 일 실시 예에서, 상기 절연층은 상기 커패시터 바디의 제2 면까지 더 연장되어 형성될 수 있다.
- [0021] 본 발명의 일 실시 예에서, 상기 커패시터 바디는 내부 전극을 갖지 않는 상하 커버를 포함하고, 상부 커버의 두께를 TC로 하고, 하부 커버의 두께를 BC로 할 때, $0 < TC < BC$ 를 만족할 수 있다.

발명의 효과

- [0023] 본 발명의 일 실시 형태에 따르면, 외부 전극의 접속부에 절연층을 형성하되, 접속부의 하단에 절연층이 형성되지 않는 부분을 마련하고, 이 절연층이 형성되지 않는 부분의 높이와 외부 전극의 높이를 조절하여 적층형 커패시터의 어쿠스틱 노이즈를 개선하면서 어쿠스틱 노이즈의 편차 발생을 억제할 수 있는 효과가 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시 형태에 따른 적층형 커패시터의 사시도이다.

도 2는 도 1의 I-I' 선 단면도이다.

도 3(a) 및 도 3(b)는 도 1의 커패시터 바디에 포함되는 제1 및 제2 내부 전극의 구조를 나타낸 평면도이다.

도 4는 하부 커버가 상부 커버에 비해 두껍게 형성되는 커패시터 바디를 가지는 적층형 커패시터의 단면도이다.

도 5 및 도 10은 절연층의 다양한 변형 예를 각각 나타낸 사시도이다.

도 11은 도 2의 적층형 커패시터가 기판에 실장된 모습을 나타낸 단면도이다.

도 12는 절연층의 형태에 따른 어쿠스틱 노이즈의 변화를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0027] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0028] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0029] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0030] 또한, 각 실시 형태의 도면에서 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0032] 도 1은 본 발명의 일 실시 형태에 따른 적층형 커패시터의 사시도이고, 도 2는 도 1의 I-I'선 단면도이고, 도 3(a) 및 도 3(b)는 도 1의 커패시터 바디에 포함되는 제1 및 제2 내부 전극의 구조를 나타낸 평면도이다.
- [0034] 도 1 내지 도 3을 참조하면, 본 실시 형태에 따른 적층형 커패시터(100)는 커패시터 바디(110), 제1 및 제2 외부 전극(131, 132) 및 절연층(141, 142)을 포함한다.
- [0036] 이하, 본 발명의 실시 형태를 명확하게 설명하기 위해 커패시터 바디(110)의 방향을 정의하면, 도면에 표시된 X, Y 및 Z는 각각 커패시터 바디(110)의 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 또한, 본 실시 형태에서, Z 방향은 유전체층이 적층되는 적층 방향과 동일한 개념으로 사용될 수 있다.
- [0038] 또한, 커패시터 바디(110)는 육면체 형상을 가질 수 있다. 본 실시 형태에서 커패시터 바디(110)의 Z방향으로 서로 대향하는 양면을 제1 및 제2 면(1, 2)으로, 제1 및 제2 면(1, 2)과 연결되고 서로 대향하는 X방향의 양면을 제3 및 제4 면(3, 4)으로, 제1 및 제2 면과 연결되고 서로 대향하는 Y방향의 양면을 제5 및 제6 면(5, 6)으로 정의하기로 한다.
- [0040] 커패시터 바디(110)는 복수의 유전체층(111)을 Z방향으로 적층한 다음 소성한 것으로서, 이러한 커패시터 바디(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0041] 이때, 커패시터 바디(110)를 형성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)을 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0042] 또한, 유전체층(111)의 두께는 적층형 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있다.
- [0043] 또한, 유전체층(111)은 고유전율의 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨(BaTiO_3)계 또는 티탄산스트론튬(SrTiO_3)계 세라믹 분말 등을 포함할 수 있으나, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.
- [0044] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 필요시 전이금속 산화물 또는 탄화물, 희토류 원소, 마그네슘(Mg) 또는 알루미늄(Al) 등의 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.

- [0046] 이러한 커패시터 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브영역과, 상하 마진부로서 액티브영역의 상하부에 각각 형성되는 상부 및 하부 커버(112, 113)로 구성될 수 있다.
- [0048] 상기 액티브영역은 유전체층(111)을 사이에 두고 번갈아 배치되는 복수의 제1 및 제2 내부 전극(121, 122)을 포함하고, 제1 및 제2 내부 전극(121, 122)은 커패시터 바디(110)의 제3 및 제4 면(3, 4)을 통해 일단이 각각 노출될 수 있다.
- [0050] 상부 및 하부 커버(112, 113)는 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.
- [0051] 또한, 상부 및 하부 커버(112, 113)는 단일 유전체층 또는 2 개 이상의 유전체층을 액티브영역의 상하 면에 각각 Z 방향으로 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 제1 및 제2 내부 전극(121, 122)의 손상을 방지하는 역할을 수행할 수 있다.
- [0053] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 갖는 전극으로서, 유전체층(111)에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 형성하고, 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0054] 상기 도전성 금속은 예를 들어 은(Ag), 팔라듐(Pd), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 또는 이들의 합금 등으로 이루어진 것을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0055] 또한, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0056] 또한, 제1 및 제2 내부 전극(121, 122)은 커패시터 바디(110)의 제3 및 제4 면(3, 4)을 통해 번갈아 노출된 부분을 통해 제1 및 제2 외부 전극(131, 132)과 각각 전기적으로 연결될 수 있다.
- [0057] 따라서, 제1 및 제2 외부 전극(131, 132)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적되고, 이때 적층형 커패시터(100)의 정전 용량은 액티브영역에서 제1 및 제2 내부 전극(121, 122)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0059] 제1 및 제2 외부 전극(131, 132)은 서로 다른 극성의 전압이 제공되며, 제1 및 제2 내부 전극(121, 122)의 노출되는 부분과 각각 접속되어 전기적으로 연결될 수 있다.
- [0060] 이러한 제1 및 제2 외부 전극(131, 132)의 표면에는 필요시 도금층이 형성될 수 있다.
- [0061] 예컨대, 제1 및 제2 외부 전극(131, 132)은 제1 및 제2 도전층과, 상기 제1 및 제2 도전층 상에 형성되는 제1 및 제2 니켈(Ni) 도금층과, 상기 제1 및 제2 도금층 상에 형성되는 제1 및 제2 주석(Sn) 도금층을 각각 포함할 수 있다.
- [0063] 제1 외부 전극(131)은 제1 접속부(131a)와 제1 밴드부(131b)를 포함할 수 있다.
- [0064] 제1 접속부(131a)는 커패시터 바디(110)의 제3 면(3)에 형성되고 제1 내부 전극(121)과 접속되는 부분이고, 제1 밴드부(131b)는 제1 접속부(131a)에서 커패시터 바디(110)의 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일부까지 연장되는 부분이다.
- [0066] 제2 외부 전극(132)은 제2 접속부(132a)와 제2 밴드부(132b)를 포함할 수 있다.
- [0067] 제2 접속부(132a)는 커패시터 바디(110)의 제4 면(4)에 형성되고 제2 내부 전극(122)과 접속되는 부분이고, 제2

밴드부(132b)는 제2 접속부(132a)에서 커패시터 바디(110)의 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일부까지 연장되는 부분이다.

- [0069] 절연층(141, 142)은 제1 및 제2 접속부(131a, 132a)에 각각 배치되고 기판에 실장시 솔더 필렛의 형성 높이를 억제하여 어쿠스틱 노이즈를 개선하는 역할을 할 수 있다.
- [0070] 이러한 절연층(141, 142)은 에폭시 또는 세라믹 등을 외부 전극에 도포하여 박막층으로 이루어질 수 있다.
- [0071] 이때, 제1 및 제2 접속부(131a, 132a)는 하단에 절연층이 형성되지 않는 부분(G)이 마련된다.
- [0072] 본 실시 형태에서는, 제1 및 제2 외부 전극(131, 132)의 높이를 T로 하고 폭을 W로 할 때, $T \leq 0.6\text{mm}$, $W \leq 0.3\text{mm}$ 이고, $0 < G \leq T/2$ 를 만족할 수 있다.
- [0073] 이러한 수치범위를 만족할 때, 본 발명은 어쿠스틱 노이즈를 개선하면서 어쿠스틱 노이즈의 편차 발생을 억제할 수 있다. 만약, G가 T/2를 초과하는 경우 기판에 실장시 솔더 필렛의 높이가 너무 낮아 고착 강도에 문제가 발생할 수 있다.
- [0075] 또한, 도 4에서와 같이, 본 실시 형태에서는, 상부 커버(112)의 두께를 TC로 하고, 하부 커버(113)의 두께를 BC로 할 때, $0 < TC < BC$ 를 만족할 수 있다.
- [0076] 이에 적층형 커패시터(100)에서 최대 변위가 발생하는 지점이 커패시터 바디(110)의 Z 방향을 따라 상측으로 더 이동하게 되어 기판에 실장시 최대 변위 발생 지점과 솔더 필렛과의 이격 거리가 더 멀어지게 되므로 어쿠스틱 노이즈 저감 효과를 더 향상시킬 수 있다.
- [0077] 또한, 이와 같이 하부 커버(113)가 상부 커버(112)에 비해 상대적으로 더 두꺼운 구조의 경우, 외부 전극의 둘레 면에 형성되는 솔더의 부피를 낮출 수 있다.
- [0078] 따라서, 기판 상에 좁은 피치(pitch)로 복수의 적층형 커패시터를 실장 하더라도 각각의 적층형 커패시터를 연결하는 솔더 브릿지(solder bridge)가 생기지 않고, 이에 부품의 신뢰성을 향상시킬 수 있는 효과가 있다.
- [0080] 도 5 내지 도 10은 본 발명의 절연층의 다양한 변형 예를 각각 나타내는 사시도이다. 여기서, 커패시터 바디와 외부 전극의 구조는 앞서 설명한 일 실시 형태와 동일하므로 이에 대한 상세한 설명은 중복을 피하기 위하여 생략한다.
- [0081] 또한, 도면 상에 구체적으로 나타나지 않더라도, 제2 외부 전극에 형성된 절연층은 제1 외부 전극과 동일한 위치에 형성되는 것으로 간주하고, 절연층은 외부 전극과 커패시터 바디에서 Y방향으로 대칭이 되게 형성되는 것으로 간주한다.
- [0083] 도 5를 참조하면, 제1 및 제2 접속부(131a, 132a)는 상단에 절연층(141', 142')이 형성되지 않는 부분이 더 마련될 수 있다.
- [0084] 또한, 절연층(143, 144)은 제1 및 제2 밴드부(131b, 132b)에서 커패시터 바디(110)의 제5 및 제6 면(5, 6)에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0085] 이에 기판에 실장시 솔더 필렛의 높이를 더 낮추어 어쿠스틱 노이즈 저감 효과를 더 향상시킬 수 있다.
- [0086] 이때, 제1 및 제2 밴드부(131a, 132a)는 상단 및 하단에 절연층(143, 144)이 형성되지 않는 부분이 마련될 수 있다.
- [0087] 따라서, 적층형 커패시터가 상하 대칭 구조가 되므로, 적층형 커패시터를 기판에 실장할 때 상하 방향의 정렬이 잘못되어 발생하는 불량을 방지할 수 있다.
- [0089] 도 6을 참조하면, 제1 및 제2 접속부(131a, 132a)는 상단에 절연층(141', 142')이 형성되지 않는 부분이 더 마

련될 수 있다.

- [0090] 또한, 절연층(143', 144')은 제1 및 제2 밴드부(131b, 132b)에서 커패시터 바디(110)의 제5 및 제6 면(5, 6)에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0091] 이에 기판에 실장시 솔더 필렛의 높이를 더 낮추어 어쿠스틱 노이즈 저감 효과를 더 향상시킬 수 있다.
- [0092] 또한, 적층형 커패시터가 상하 대칭 구조가 되므로, 적층형 커패시터를 기판에 실장할 때 상하 방향의 정렬이 잘못되어 발생하는 불량을 방지할 수 있다.
- [0094] 도 7을 참조하면, 제1 및 제2 접속부(131a, 132a)는 상단에 절연층(141', 142')이 형성되지 않는 부분이 더 마련될 수 있다.
- [0095] 또한, 절연층(143, 144)은 제1 및 제2 밴드부(131b, 132b)에서 커패시터 바디(110)의 제5 및 제6 면(5, 6)에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0096] 이때, 제1 및 제2 밴드부(131a, 132a)는 상단 및 하단에 절연층(143, 144)이 형성되지 않는 부분이 마련될 수 있다.
- [0097] 또한, 절연층(145, 146)은 커패시터 바디(110)의 제5 및 제6 면(5, 6)까지 더 연장되어 형성될 수 있다.
- [0098] 이와 같이 커패시터 바디(110)의 양 측면을 절연층(145, 146)이 커버하면 제품의 신뢰성을 더 향상시킬 수 있다.
- [0099] 이때, 커패시터 바디(110)의 제5 및 제6 면(5, 6)은 상단 및 하단에 절연층(145, 146)이 형성되지 않는 부분이 마련될 수 있다.
- [0100] 본 실시 예에 따르면, 기판에 실장시 솔더 필렛의 높이를 더 낮추어 어쿠스틱 노이즈 저감 효과를 더 향상시킬 수 있다.
- [0101] 또한, 적층형 커패시터가 상하 대칭 구조가 되므로, 적층형 커패시터를 기판에 실장할 때 상하 방향의 정렬이 잘못되어 발생하는 불량을 방지할 수 있다.
- [0103] 도 8을 참조하면, 제1 및 제2 접속부(131a, 132a)는 상단에 절연층(141', 142')이 형성되지 않는 부분이 더 마련될 수 있다.
- [0104] 또한, 절연층(143', 144')은 제1 및 제2 밴드부(131b, 132b)에서 커패시터 바디(110)의 제5 및 제6 면(5, 6)에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0105] 또한, 절연층(145', 146')은 커패시터 바디(110)의 제5 및 제6 면(5, 6)까지 더 연장되어 형성될 수 있다.
- [0106] 이와 같이 커패시터 바디(110)의 양 측면을 절연층(145', 146')이 커버하면 제품의 신뢰성을 더 향상시킬 수 있다.
- [0107] 본 실시 예에 따르면, 기판에 실장시 솔더 필렛의 높이를 더 낮추어 어쿠스틱 노이즈 저감 효과를 더 향상시킬 수 있다.
- [0108] 또한, 적층형 커패시터가 상하 대칭 구조가 되므로, 적층형 커패시터를 기판에 실장할 때 상하 방향의 정렬이 잘못되어 발생하는 불량을 방지할 수 있다.
- [0110] 도 9를 참조하면, 절연층(143', 144')은 제1 및 제2 밴드부(131b, 132b)에서 커패시터 바디(110)의 제5 및 제6 면(5, 6)에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0111] 이에 기판에 실장시 솔더 필렛의 높이를 더 낮추어 어쿠스틱 노이즈 저감 효과를 더 향상시킬 수 있다.
- [0112] 또한, 절연층(147, 148)은 제1 및 제2 밴드부(131b, 132b)에서 커패시터 바디(110)의 제2 면(2)에 형성된 부분까지 더 연장되어 형성될 수 있다.

- [0114] 도 10을 참조하면, 절연층(143', 144')은 제1 및 제2 밴드부(131b, 132b)에서 커패시터 바디(110)의 제5 및 제6 면(5, 6)에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0115] 이에 기관에 실장시 솔더 필렛의 높이를 더 낮추어 어쿠스틱 노이즈 저감 효과를 더 향상시킬 수 있다.
- [0116] 또한, 절연층(147, 148)은 제1 및 제2 밴드부(131b, 132b)에서 커패시터 바디(110)의 제2 면(2)에 형성된 부분까지 더 연장되어 형성될 수 있다.
- [0117] 또한, 절연층(145', 146', 149)은 커패시터 바디(110)의 제5 면(5), 제6 면(6) 및 제2 면(2)까지 더 연장되어 형성될 수 있다.
- [0118] 이와 같이 커패시터 바디(110)의 양 측면과 상면을 절연층(145', 146', 149)으로 커버하면 제품의 신뢰성을 더 향상시킬 수 있다.
- [0120] 도 11은 도 2의 적층형 커패시터가 기관에 실장된 모습을 나타낸 단면도이다.
- [0121] 도 11을 참조하면, 본 실시 형태에 따른 적층형 커패시터(100)의 실장 기관은 적층형 커패시터(100)가 실장되는 기관(210)과, 기관(210)의 상면에 서로 이격되게 형성된 제1 및 제2 전극 패드(221, 222)를 포함한다.
- [0122] 적층형 커패시터(100)는 제1 및 제2 외부 전극(131, 132)의 제1 및 제2 밴드부(131b, 132b)가 제1 및 제2 전극 패드(221, 222) 상에 접촉되게 위치한 상태에서 솔더(231, 232)에 의해 기관(210)과 전기적으로 연결될 수 있다.
- [0123] 위와 같이 적층형 커패시터(100)가 기관(210)에 실장된 상태에서 전압을 인가하면 어쿠스틱 노이즈가 발생할 수 있다.
- [0124] 이때, 외부 전극에 형성된 절연층에 의해 솔더 필렛의 높이가 감소하게 되고, 이에 외부 전극 및 솔더를 통해 전달되는 압전 진동을 감소시켜 어쿠스틱 노이즈를 감소시킬 수 있다.
- [0126] 도 12는 절연층의 형태에 따른 어쿠스틱 노이즈의 변화를 나타낸 그래프이다.
- [0127] 여기서, #1은 도8의 적층형 커패시터가 실장된 기관에 대한 것이고, #2는 도 7의 적층형 커패시터가 실장된 기관에 대한 것이고, #3은 도 6의 적층형 커패시터가 실장된 기관에 대한 것이고, #4는 도 5의 적층형 커패시터가 실장된 기관에 대한 것이다. 여기서, 기관은 도 11에 도시된 것을 사용한다.
- [0128] 도 12를 참조하면, 적층형 커패시터에 형성되는 절연층의 면적이 늘어날수록 솔더 필렛의 높이가 줄어 들어 어쿠스틱 노이즈가 감소하는 것을 확인할 수 있다.
- [0130] 이상에서 본 발명의 실시 형태들에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고, 청구 범위에 기재된 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하다는 것은 당 기술 분야의 통상의 지식을 가진 자에게는 자명할 것이다.

부호의 설명

- [0132] 100: 적층형 커패시터
110: 커패시터 바디
111: 유전체층
121, 122: 제1 및 제2 내부 전극
131, 132: 제1 및 제2 외부 전극

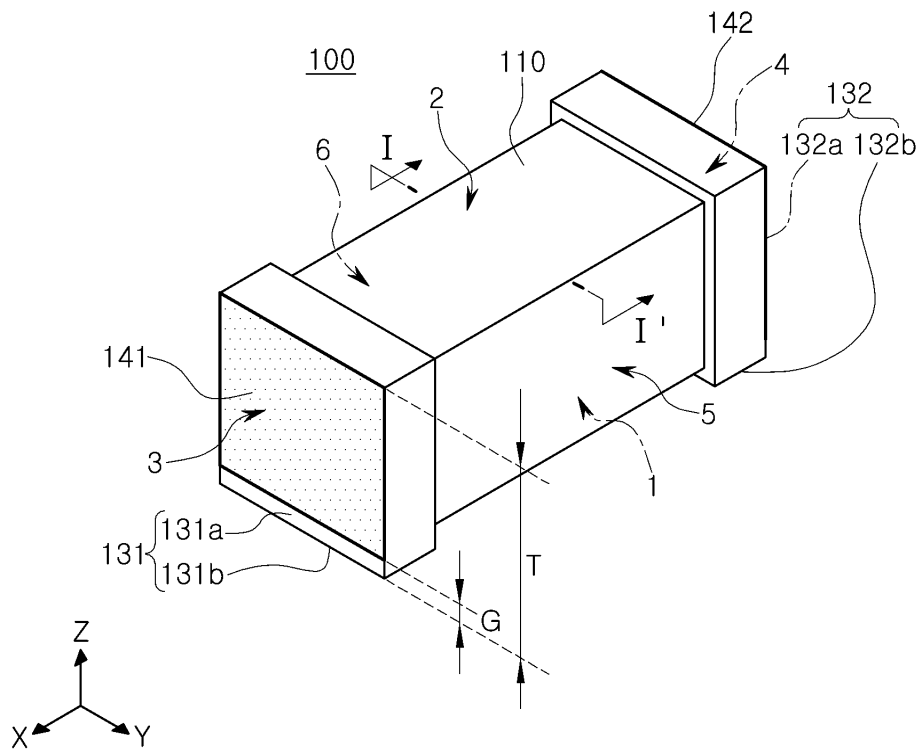
131a, 132a: 제1 및 제2 접속부

131b, 132b: 제1 및 제2 밴드부

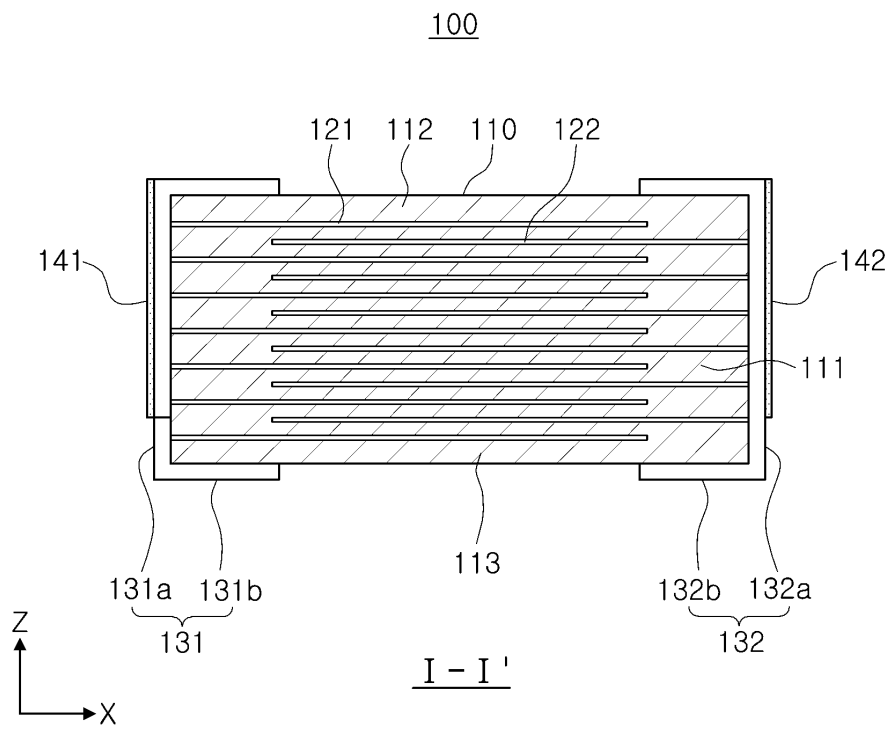
141-149: 절연층

도면

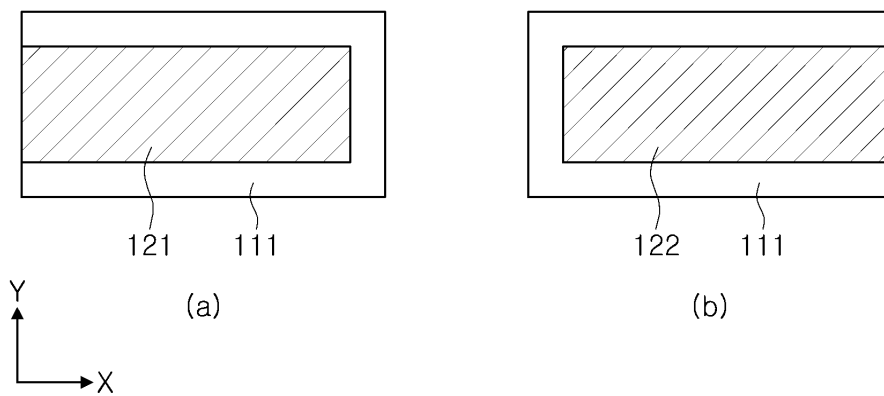
도면1



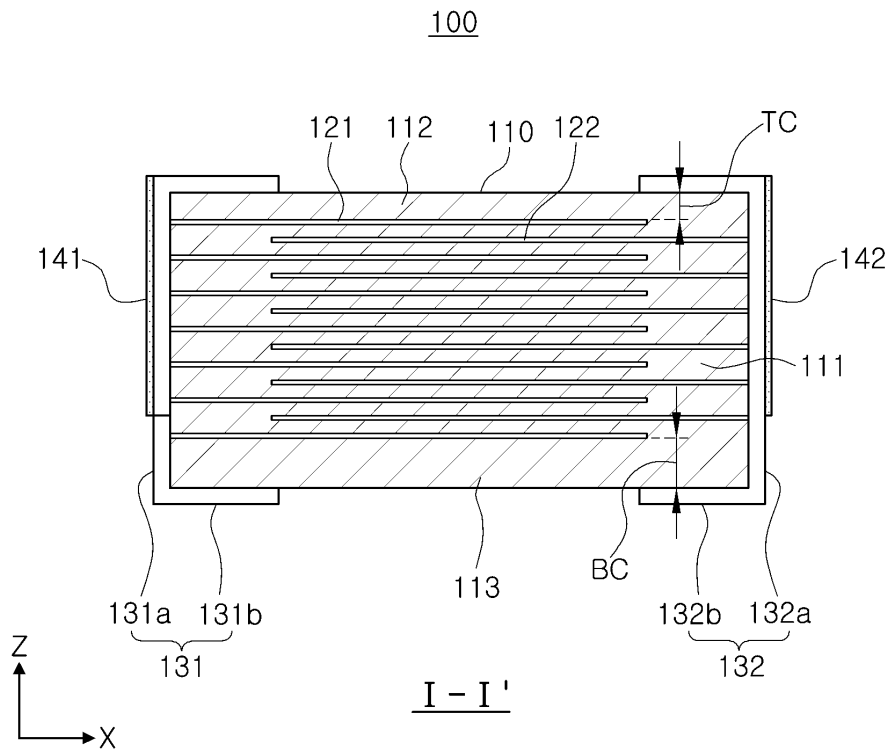
도면2



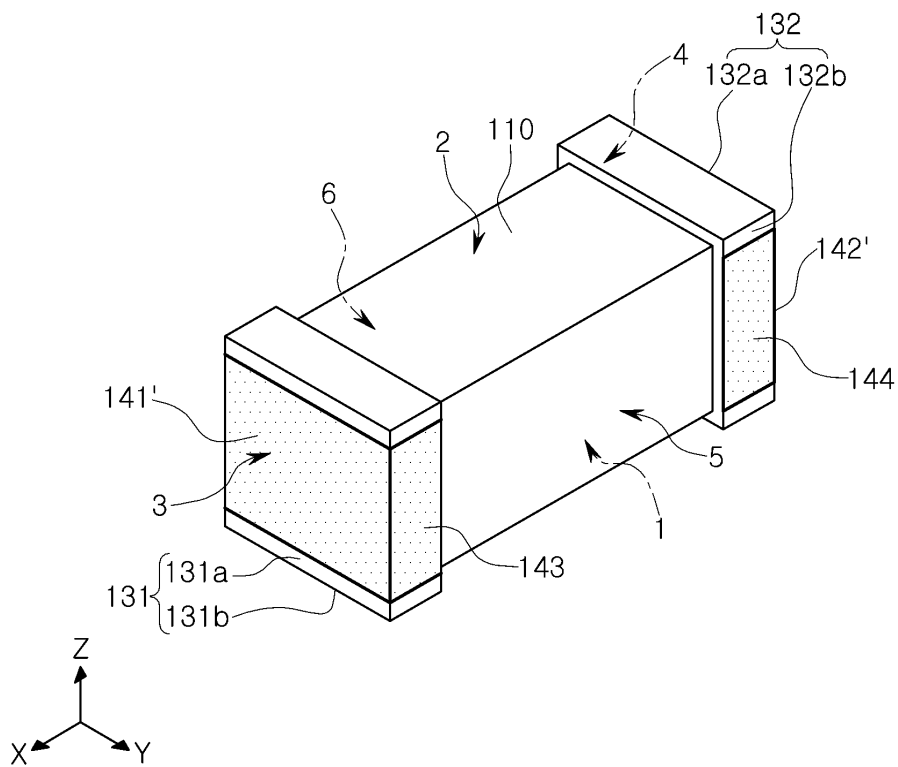
도면3



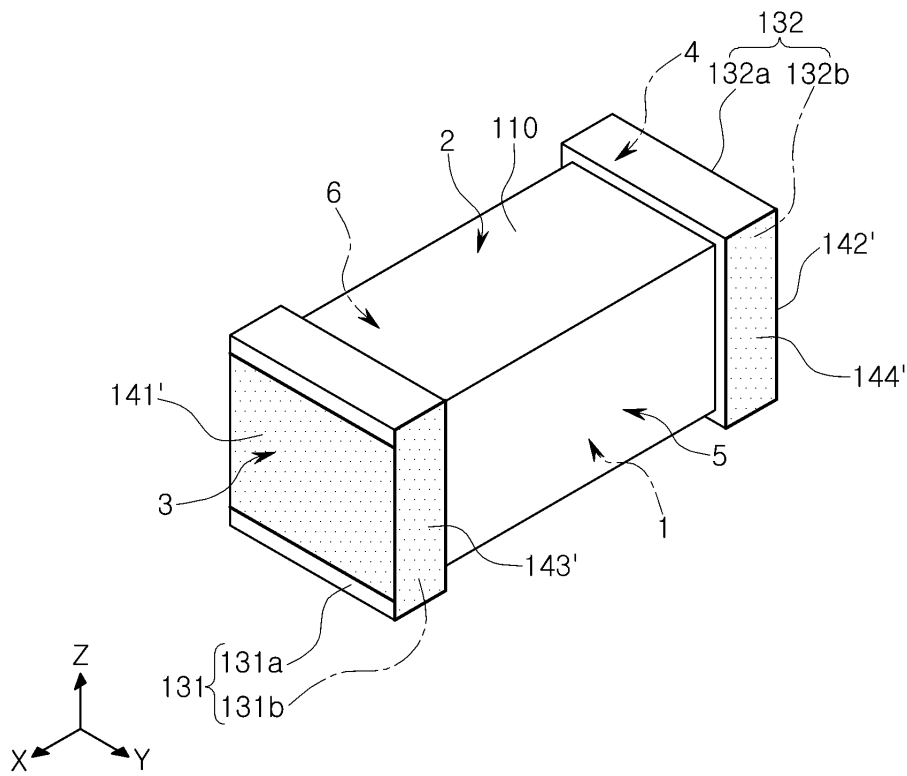
도면4



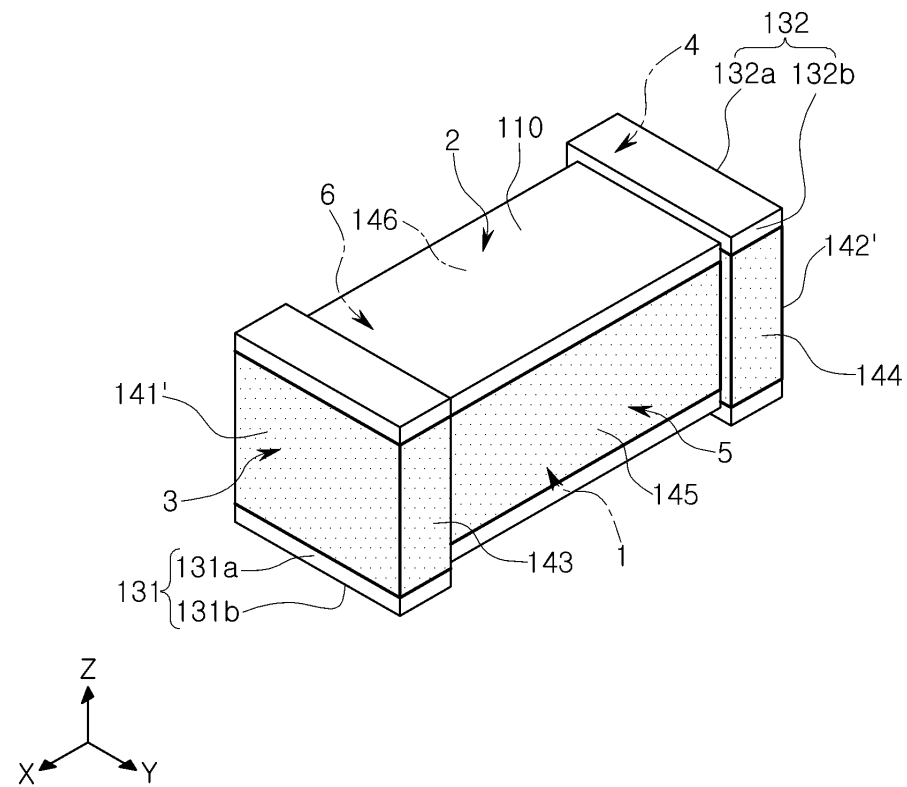
도면5



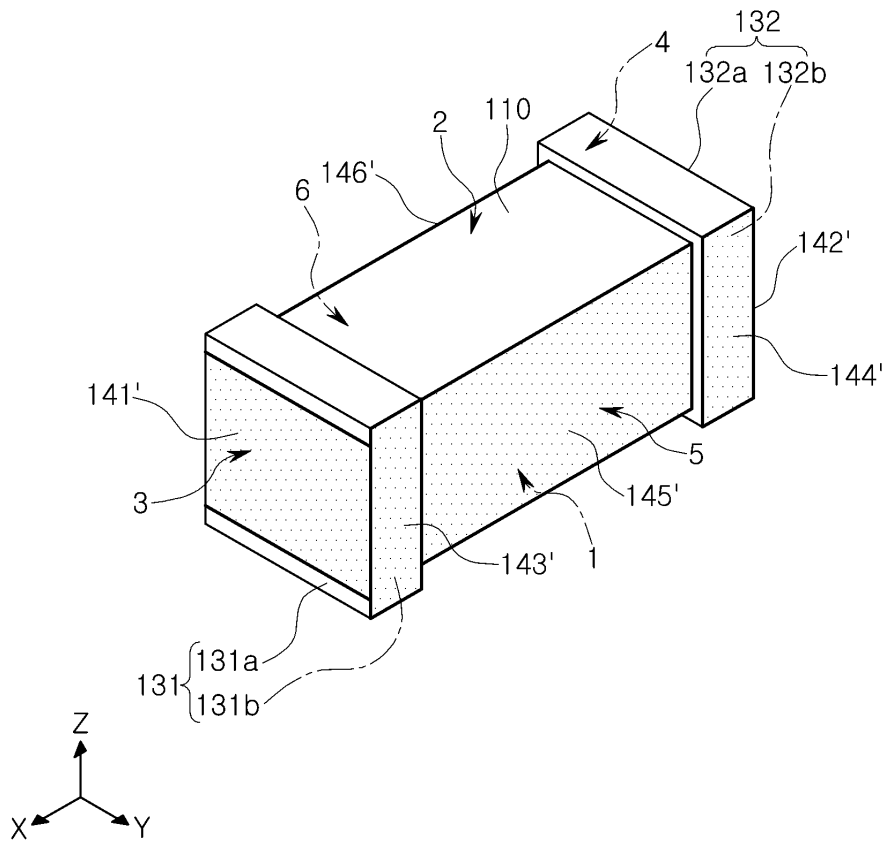
도면6



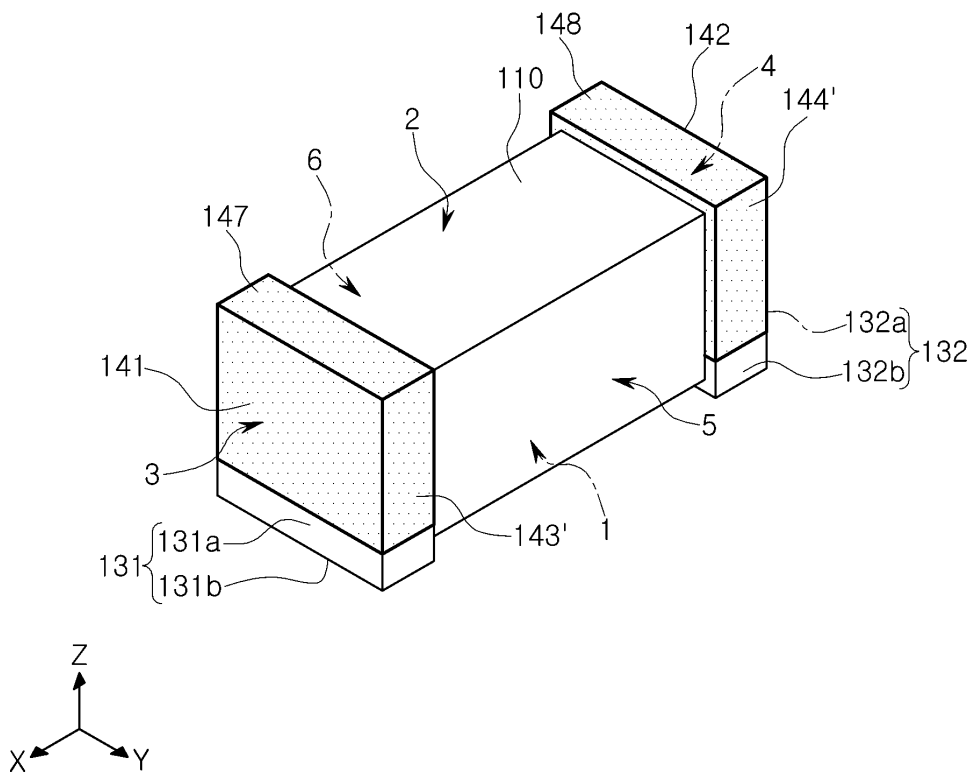
도면7



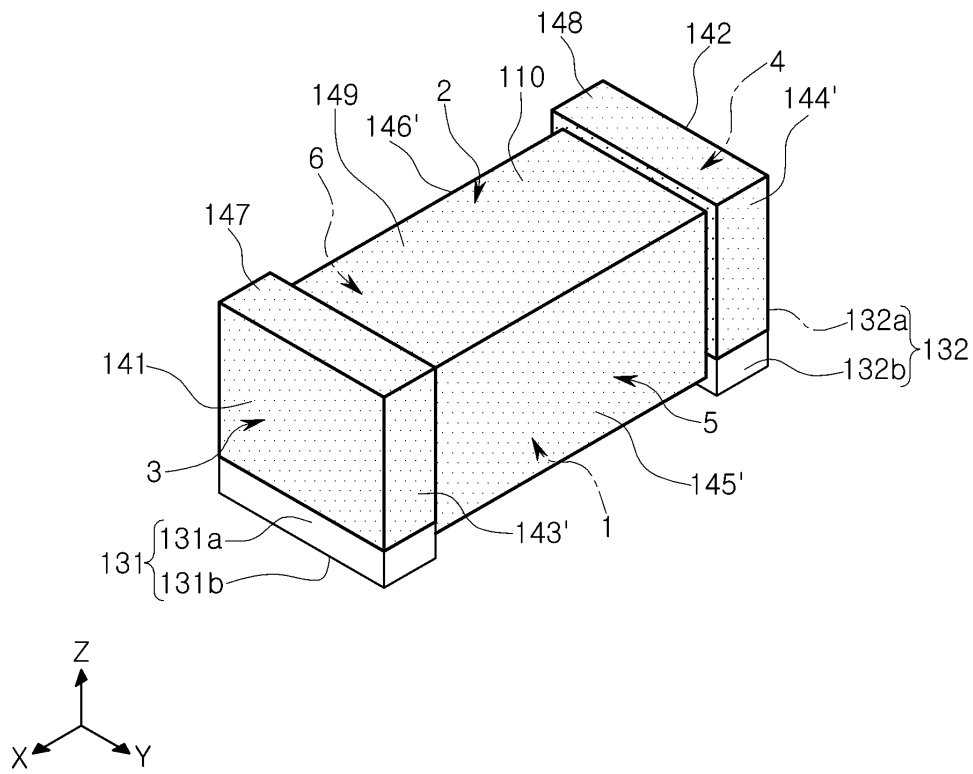
도면8



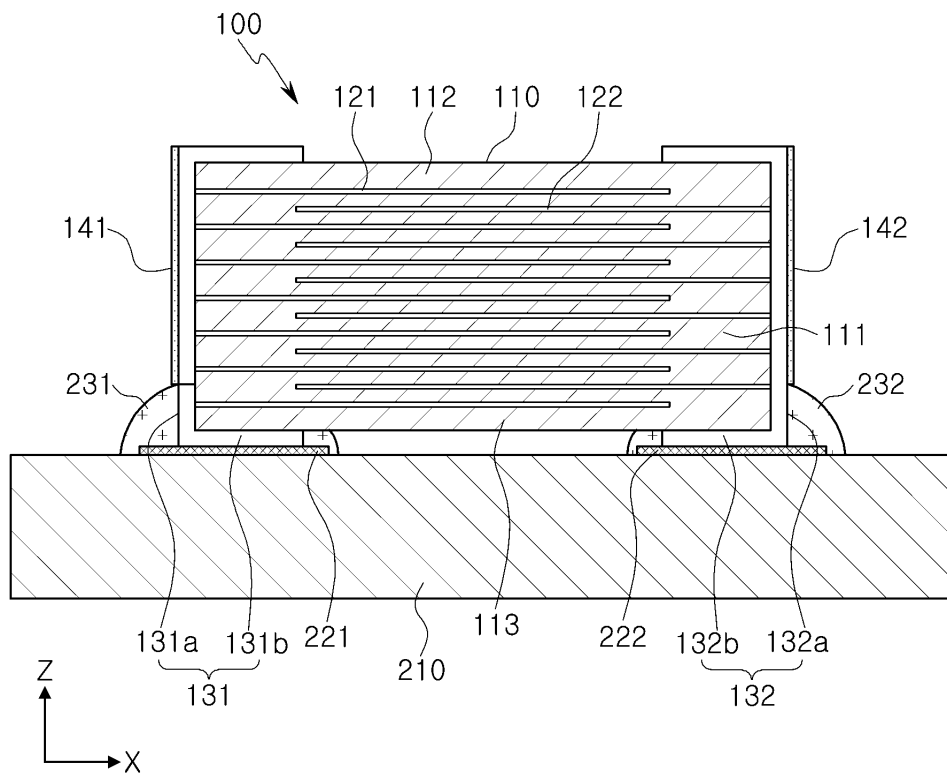
도면9



도면10



도면11



도면12

