



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0130670
(43) 공개일자 2017년11월29일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/78696 (2013.01)
H01L 29/66636 (2013.01)
(21) 출원번호 10-2016-0060942
(22) 출원일자 2016년05월18일
심사청구일자 2016년05월18일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
이가원
대전광역시 유성구 배울2로 42 503동 1603호 (관평동, 신동아파밀리에)
윤호진
대전광역시 서구 갈마로 262 107동 703호 (내동, 맑은아침아파트)
(74) 대리인
권혁수, 송윤호

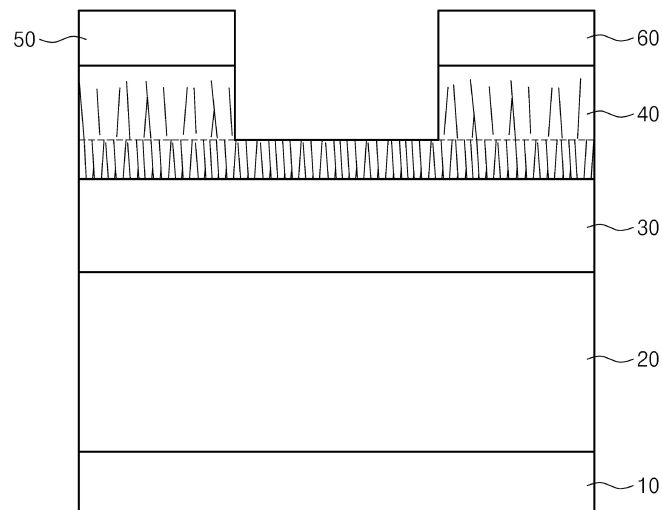
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 박막 트랜지스터 및 박막 트랜지스터 제조 방법

(57) 요약

본 발명은 박막 트랜지스터 및 이의 제조 방법에 관한 것으로, 본 발명의 일 실시 예에 따른 박막 트랜지스터는 채널 층, 채널 층 상의 소스 전극 및 드레인 전극 및 채널 층과 절연된 게이트 전극을 포함하고, 채널 층은 두께에 따라 상이한 결정 특성을 가지며, 상기 소스 전극 및 상기 드레인 전극의 아래 부분이 나머지 부분보다 더 두껍게 형성될 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78618 (2013.01)

H01L 29/7869 (2013.01)

H01L 2924/13069 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 G01201506010853

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 웨어러블 스마트 기기를 위한 컴퓨터비전 기반 UI/UX용 SoC 및 SW 플랫폼 연구

기 여 율 1/2

주관기관 충남대학교 산학협력단

연구기간 2014.06.01 ~ 2017.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 2015038752

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 이공분야기초연구-여성과학자

연구과제명 유연성 투명 전자소자 적용을 위한 산화물 기반 박막트랜지스터 연구

기 여 율 1/2

주관기관 충남대학교 산학협력단

연구기간 2014.11.01 ~ 2017.07.31

명세서

청구범위

청구항 1

채널 층;

상기 채널 층 상의 소스 전극 및 드레인 전극; 및

상기 채널 층과 절연된 게이트 전극을 포함하고,

상기 채널 층은,

두께에 따라 상이한 결정 특성을 가지며,

상기 소스 전극 및 상기 드레인 전극의 아래 부분이 나머지 부분보다 더 두껍게 형성된 박막 트랜지스터.

청구항 2

제1 항에 있어서,

상기 채널 층은,

제1 결정 특성을 갖는 제1 영역;

상기 제1 영역과 상기 소스 전극 사이의 제2 영역; 및

상기 제1 영역과 상기 드레인 전극 사이의 제3 영역을 포함하고,

상기 제2 영역과 상기 제3 영역은 상기 제1 결정 특성과 상이한 제2 결정 특성을 가지며,

상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은 동일한 조성을 갖는 박막 트랜지스터.

청구항 3

제2 항에 있어서,

상기 제2 영역 및 상기 제3 영역의 결정 크기가 상기 제1 영역의 결정 크기보다 큰 박막 트랜지스터.

청구항 4

제2 항에 있어서,

상기 제1 영역은 반도체 특성을 갖고,

상기 제2 영역 및 상기 제3 영역은 금속 특성을 갖는 박막 트랜지스터.

청구항 5

제2 항에 있어서,

상기 제1 영역의 비저항은 0.01 내지 10^6 $\Omega \cdot \text{cm}$ 이고,

상기 제2 영역 및 상기 제3 영역의 비저항은 0.001 $\Omega \cdot \text{cm}$ 이하인 박막 트랜지스터.

청구항 6

제2 항에 있어서,

상기 채널 층은 산화아연(ZnO)를 포함하는 박막 트랜지스터.

청구항 7

제6 항에 있어서,

상기 제1 영역의 두께는 0 초과, 40nm 이하이고,

상기 제2 영역 및 상기 제3 영역의 두께는 60nm 이상인 박막 트랜지스터.

청구항 8

제6 항에 있어서,

상기 제1 영역의 상부 표면에서의 결정 크기는 0 초과, 15nm 이하이고,

상기 제2 영역 및 상기 제3 영역의 상부 표면에서의 결정 크기는 20nm 이상인 박막 트랜지스터.

청구항 9

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 채널 층을 형성하는 단계; 및

상기 채널 층 상의 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고,

상기 채널 층을 형성하는 단계는,

상기 소스 전극 및 상기 드레인 전극의 아래 부분이 나머지 부분보다 더 두꺼워지도록 형성하는 단계를 포함하고,

상기 채널 층은 두께에 따라 상이한 결정 특성을 갖는 박막 트랜지스터 제조 방법.

청구항 10

제9 항에 있어서,

상기 채널 층을 형성하는 단계는,

상기 게이트 절연층 상에 제1 결정 특성을 갖는 제1 영역을 형성하는 단계; 및

상기 제1 영역 상의 상기 제1 결정 특성과 상이한 제2 결정 특성을 갖는 제2 영역 및 제3 영역을 형성하는 단계를 포함하고,

상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는,

상기 제2 영역 상의 소스 전극과 상기 제3 영역 상의 드레인 전극을 형성하며,

상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은 동일한 조성을 갖는 박막 트랜지스터 제조 방법.

청구항 11

제9 항에 있어서,

상기 채널 층을 형성하는 단계는,

상기 게이트 절연층 상에 두께에 따라 상이한 결정 특성을 갖는 물질 층을 증착하는 단계;

증착된 상기 두께에 따라 상이한 결정 특성을 갖는 물질 층 상의 상기 소스 전극 및 상기 드레인 전극이 형성될 영역 상에 마스크를 형성하는 단계; 및

상기 마스크를 이용하여 상기 두께에 따라 상이한 결정 특성을 갖는 물질 층 상의 상기 소스 전극 및 상기 드레인 전극이 형성될 영역 사이의 영역을 기설정된 두께만큼 식각(etching)하는 단계를 포함하는 박막 트랜지스터 제조 방법.

청구항 12

기관 상에 채널 층을 형성하는 단계;

상기 채널 층 상의 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 드레인 전극이 형성된 상기 채널 층 상의 게이트 절연층을 형성하는 단계; 및

상기 게이트 절연층 상의 게이트 전극을 형성하는 단계를 포함하고,

상기 기판 상에 채널 층을 형성하는 단계는,

상기 소스 전극 및 상기 드레인 전극의 아래 부분이 나머지 부분보다 더 두꺼워지도록 형성하는 단계를 포함하며,

상기 채널 층은 두께에 따라 상이한 결정 특성을 갖는 박막 트랜지스터 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 및 박막 트랜지스터 제조 방법에 관한 것이다.

배경 기술

[0002] 산화물 기반 박막트랜지스터는 실리콘 기반의 소자와 비교하여 낮은 공정 비용과 높은 소자 성능으로 인해 AMOLED나 AMOLED같은 평판 디스플레이 시장에서 많은 주목을 받고 있다.

[0003] 그러나, ZnO와 같이 결정성을 갖는 물질을 채널 층으로 사용할 경우, 채널 층의 상, 하부의 전기전도도 차이에 따른 백채널 효과 (back channel effect) 문제로 인하여 비 이상적인 험프(abnormal hump)이나, 문턱전압 이동 등의 현상이 발생한다.

[0004] 또한, 이와 같은 문제를 방지하기 위해, 채널 층을 얇게 형성하는 경우, 낮은 전기전도도로 인하여 소스 전극 및 드레인 전극과 채널 층 사이의 접촉 저항이 커지게 된다.

[0005] 이러한 문제점을 해결하기 위해 종래 기술에서는 채널 층 상부에 플로팅 금속 바디 접합을 이용하였으나, 이 경우 상온보다 높은 조건에서 동작하는 경우 열에 대한 안정성이 취약한 문제점이 있으며, 금속 바디 접합을 위해 추가적인 마스크 제작과 공정이 필요하고, 채널 층의 물질에 따라 금속의 일 함수를 고려하여 다른 금속이 적용되어야 하는 단점이 있었다.

[0006] 따라서, 결정성을 갖는 채널 층을 포함하는 박막 트랜지스터에 있어서, 상기와 같은 문제점을 해결할 수 있는 박막 트랜지스터 및 이의 제조 방법이 요구된다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 진술한 바와 같은 열화현상 및 백 채널 문제를 방지하고, 보다 간단한 공정에 의해 제조되며, 고온의 열처리에도 안정성이 보장되는 고성능의 박막 트랜지스터 및 박막 트랜지스터의 제조 방법을 제공하는 것을 목적으로 한다.

[0008] 본 발명이 해결하고자 하는 과제는 이상에서 언급된 과제로 제한되지 않는다. 언급되지 않은 다른 기술적 과제들은 이하의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따른 박막 트랜지스터는 채널 층; 상기 채널 층 상의 소스 전극 및 드레인 전극; 및 상기 채널 층과 절연된 게이트 전극을 포함하고, 상기 채널 층은, 두께에 따라 상이한 결정 특성을 가지며, 상기 소스 전극 및 상기 드레인 전극의 아래 부분이 나머지 부분보다 더 두껍게 형성될 수 있다.

[0010] 일 실시예에 있어서, 상기 채널 층은, 제1 결정 특성을 갖는 제1 영역; 상기 제1 영역과 상기 소스 전극 사이의 제2 영역; 및 상기 제1 영역과 상기 드레인 전극 사이의 제3 영역을 포함하고, 상기 제2 영역과 상기 제3 영역

은 상기 제1 결정 특성과 상이한 제2 결정 특성을 가지며, 상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은 동일한 조성을 가질 수 있다.

[0011] 일 실시예에 있어서, 상기 제2 영역 및 상기 제3 영역의 결정 크기가 상기 제1 영역의 결정 크기보다 클 수 있다.

[0012] 일 실시예에 있어서, 상기 제1 영역은 반도체 특성을 갖고, 상기 제2 영역 및 상기 제3 영역은 금속 특성을 가질 수 있다.

[0013] 일 실시예에 있어서, 상기 제1 영역의 비저항은 0.01 내지 $10^6 \Omega \cdot \text{cm}$ 이고, 상기 제2 영역 및 상기 제3 영역의 비저항은 $0.001 \Omega \cdot \text{cm}$ 이하일 수 있다.

[0014] 일 실시예에 있어서, 상기 채널 층은 산화아연(ZnO)를 포함할 수 있다.

[0015] 일 실시예에 있어서, 상기 제1 영역의 두께는 0 초과, 40nm 이하이고, 상기 제2 영역 및 상기 제3 영역의 두께는 60nm 이상일 수 있다.

[0016] 일 실시예에 있어서, 상기 제1 영역의 상부 표면에서의 결정 크기는 0 초과, 15nm 이하이고, 상기 제2 영역 및 상기 제3 영역의 상부 표면에서의 결정 크기는 20nm 이상일 수 있다.

[0017] 본 발명의 일 실시예에 따른 박막 트랜지스터 제조 방법은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 채널 층을 형성하는 단계; 및 상기 채널 층 상의 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고, 상기 채널 층을 형성하는 단계는, 상기 소스 전극 및 상기 드레인 전극의 아래 부분이 나머지 부분보다 더 두꺼워지도록 형성하는 단계를 포함하고, 상기 채널 층은 두께에 따라 상이한 결정 특성을 가질 수 있다.

[0018] 일 실시예에 있어서, 상기 채널 층을 형성하는 단계는, 상기 게이트 절연층 상에 제1 결정 특성을 갖는 제1 영역을 형성하는 단계; 및 상기 제1 영역 상의 상기 제1 결정 특성과 상이한 제2 결정 특성을 갖는 제2 영역 및 제3 영역을 형성하는 단계를 포함하고, 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는, 상기 제2 영역 상의 소스 전극과 상기 제3 영역 상의 드레인 전극을 형성하며, 상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은 동일한 조성을 가질 수 있다.

[0019] 일 실시예에 있어서, 상기 채널 층을 형성하는 단계는, 상기 게이트 절연층 상에 두께에 따라 상이한 결정 특성을 갖는 물질 층을 증착하는 단계; 증착된 상기 두께에 따라 상이한 결정 특성을 갖는 물질 층 상의 상기 소스 전극 및 상기 드레인 전극이 형성될 영역 상에 마스크를 형성하는 단계; 및 상기 마스크를 이용하여 상기 두께에 따라 상이한 결정 특성을 갖는 물질 층 상의 상기 소스 전극 및 상기 드레인 전극이 형성될 영역 사이의 영역을 기설정된 두께만큼 식각(etching)하는 단계를 포함할 수 있다.

[0020] 일 실시예에 있어서, 기판 상에 채널 층을 형성하는 단계; 상기 채널 층 상의 소스 전극 및 드레인 전극을 형성하는 단계; 상기 소스 전극 및 드레인 전극이 형성된 상기 채널 층 상의 게이트 절연층을 형성하는 단계; 및 상기 게이트 절연층 상의 게이트 전극을 형성하는 단계를 포함하고, 상기 기판 상에 채널 층을 형성하는 단계는, 상기 소스 전극 및 상기 드레인 전극의 아래 부분이 나머지 부분보다 더 두꺼워지도록 형성하는 단계를 포함하며, 상기 채널 층은 두께에 따라 상이한 결정 특성을 가질 수 있다.

발명의 효과

[0021] 본 발명의 일 실시예에 따르면, 결정성을 갖는 채널 층을 포함하는 박막 트랜지스터에 있어서, 보다 간단한 공정에 의해 전기적 특성이 우수하고 안정성이 높은 박막 트랜지스터를 제조할 수 있다.

[0022] 본 발명의 효과는 상술한 효과로 제한되지 않는다. 언급되지 않은 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 바텀 게이트 방식의 박막 트랜지스터의 단면도이다.

도 2는 본 발명의 일 실시예에 따른 탑 게이트 방식의 박막 트랜지스터의 단면도이다.

도 3은 본 발명의 일 실시예에 따른 박막 트랜지스터의 채널 층(40)을 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 박막 트랜지스터의 채널 층 제조 방법을 설명하기 위한 도면이다.

도 5는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 채널 층 제조 방법을 설명하기 위한 도면이다.

도 6 및 도 7은 비교예 1, 2에 따른 박막 트랜지스터의 구조를 나타내는 단면도이다.

도 8은 본 발명의 실시예에 따른 박막 트랜지스터의 전달 특성을 나타내는 그래프이다.

도 9 및 도 10은 비교예 1, 2에 따른 박막 트랜지스터의 전달 특성을 나타내는 그래프이다.

도 11은 본 발명의 실시예에 따른 박막 트랜지스터의 시간에 따른 문턱 전압의 변화량을 나타내는 그래프이다.

도 12 본 발명의 실시 예에 따른 박막 트랜지스터와 기존의 박막 트랜지스터의 열처리에 따른 문턱 전압의 변화량을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0025] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미가 있다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다. 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다.
- [0026] 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한 '구비한다', '갖는다' 등도 이와 동일하게 해석되어야 한다. 또한, 층, 막의 구성이 다른 구성 "상에" 있다고 함은 다른 구성의 바로 위에 있는 경우뿐만 아니라 그 중간에 다른 구성이 구비된 경우도 포함한다.
- [0027] 본 발명은 두께에 따라 상이한 결정 특성을 갖는 채널 층을 포함하는 박막 트랜지스터 및 박막 트랜지스터 제조 방법에 관한 것이다. 본 발명의 일 실시예에 따른 박막 트랜지스터는 채널 층, 채널 층 상의 소스 전극 및 드레인 전극 및 채널 층과 절연된 게이트 전극을 포함하고, 채널 층은 두께에 따라 상이한 결정 특성을 가지며, 상기 소스 전극 및 상기 드레인 전극의 아래 부분이 나머지 부분보다 더 두껍게 형성될 수 있다. 예로서, 본 발명의 일 실시예에 따른 박막 트랜지스터의 채널 층은 제1 결정 특성을 갖는 제1 영역, 제1 영역과 소스 전극 사이의 제2 영역 및 제1 영역과 드레인 전극 사이의 제3 영역을 포함하고, 제2 영역과 제3 영역은 제1 결정 특성과 상이한 제2 결정 특성을 가질 수 있다. 상기 결정 특성은 결정 크기를 의미할 수 있다. 상기 채널 층은 두께에 따라 상이한 결정 특성을 갖는 물질로 이루어질 수 있고, 예로서, 산화아연(ZnO)과 같은 산화물 반도체, 펜타센(pentacene)과 같은 유기물 반도체를 포함할 수 있으나, 이에 한정되지 않는다.
- [0028] 이와 같이, 소스 전극과 드레인 전극의 아래 부분을 더 두껍게 형성하고, 그 부분이 상이한 결정 특성을 갖게 함으로써, 간단한 공정에 의해 백 채널 현상이 발생하지 않고, 고온의 열처리에도 안정성이 보장되며, 향상된 전달 특성을 갖는 박막 트랜지스터를 제조할 수 있다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 바텀 게이트 방식의 박막 트랜지스터(100)의 단면도이고, 도 2는 본 발명의 일 실시예에 따른 탑 게이트 방식의 박막 트랜지스터(200)의 단면도이다.
- [0030] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 바텀 게이트 방식의 박막 트랜지스터(100)는, 기판(10) 상의 게이트 전극(20), 게이트 전극(20) 상의 게이트 절연층(30), 게이트 절연층(30) 상의 채널 층(40), 채널 층(40) 상의 소스 전극(50), 및 드레인 전극(60)을 포함할 수 있다. 또한, 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 탑 게이트 방식의 박막 트랜지스터(200), 기판(10) 상의 채널 층(40), 채널 층(40) 상의 소스

전극(50) 및 드레인 전극(60), 소스 전극(50) 및 드레인 전극(60)이 형성된 채널 층(40) 상의 게이트 절연층(30) 및 게이트 절연층(30) 상의 게이트 전극(20)을 포함할 수 있다.

[0031] 도 1에 도시된 바텀 게이트 방식의 박막 트랜지스터의 제조 방법은 기판(10) 상에 게이트 전극(20)을 형성하는 단계, 게이트 전극(20) 상에 게이트 절연층(30)을 형성하는 단계, 게이트 절연층(30) 상에 채널 층(40)을 형성하는 단계 및 채널 층(40) 상의 소스 전극(50) 및 드레인 전극(60)을 형성하는 단계를 포함하고, 채널 층(40)을 형성하는 단계는, 소스 전극(50) 및 드레인 전극(60)의 아래 부분이 나머지 부분보다 더 두꺼워지도록 형성하는 단계를 포함할 수 있다.

[0032] 또한, 도 2에 도시된 탑 게이트 방식의 박막 트랜지스터의 제조 방법은 기판(10) 상에 채널 층(40)을 형성하는 단계, 채널 층(40) 상의 소스 전극(50) 및 드레인 전극(60)을 형성하는 단계, 소스 전극(50) 및 드레인 전극(60)이 형성된 상기 채널 층(40) 상의 게이트 절연층(30)을 형성하는 단계 및 게이트 절연층(30) 상의 게이트 전극(20)을 형성하는 단계를 포함하고, 기판(10) 상에 채널 층(40)을 형성하는 단계는, 소스 전극(50) 및 드레인 전극(60)의 아래 부분이 나머지 부분보다 더 두꺼워지도록 형성하는 단계를 포함할 수 있다.

[0033] 도 1 및 도 2에 나타난 바와 같이, 채널 층(40)은 소스 전극(50) 및 드레인 전극(60)의 아래 부분이 더 두껍게 형성되고, 이에 따라, 채널 층(40)의 소스 전극(50)과 드레인 전극(60)의 아래 부분의 결정 특성은 그외의 부분의 결정 특성과 상이한 결정 특성을 가질 수 있다.

[0034] 도 3은 본 발명의 일 실시예에 따른 박막 트랜지스터의 채널 층(40)을 나타내는 도면이다.

[0035] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터의 채널 층(40)은 제1 결정 특성을 갖는 제1 영역(41), 제1 영역(41) 상의 제2 영역(42) 및 제3 영역(43)을 포함하고, 제2 영역(42) 및 제3 영역(43)은 제1 결정 특성과 상이한 제2 결정 특성을 가질 수 있다. 제1 영역(41), 제2 영역(42) 및 제3 영역(43)은 동일한 조성을 갖는 물질로 이루어질 수 있다. 예로서, 제2 영역(42) 및 제3 영역(43)의 결정 크기가 제1 영역(41)의 결정 크기보다 클 수 있다. 일 실시 예로서, 제1 영역(41)은 반도체 특성을 가질 수 있고, 제2 영역(42) 및 제3 영역(43)은 금속 특성을 가질 수 있다. 예로서, 제1 영역의 비저항은 $0.01 \text{ 내지 } 10^6 \Omega \cdot \text{cm}$ 일 수 있고, 제2 영역(42) 및 제3 영역(43)의 비저항은 $0.001 \Omega \cdot \text{cm}$ 이하일 수 있다.

[0036] 일 실시예에 있어서, 상기 채널 층(40)은 산화아연(ZnO)을 포함할 수 있다. 이 경우, 채널 층의 제1 영역(41)의 두께는 0 초과, 40nm 이하이고, 제2 영역(42) 및 제3 영역(43)의 두께는 60nm 이상일 수 있다. 더 바람직하게는, 제1 영역(41)은 20nm 내지 40nm이고, 제2 영역(42) 및 제3 영역(43)의 두께는 60nm 내지 600nm 일 수 있다. 가장 바람직하게는, 제1 영역(41)은 40nm이고, 제2 영역(42) 및 제3 영역(43)은 60nm 일 수 있으나, 이에 한정되는 것은 아니다. 또한, 제1 영역(41)의 상부 표면에서의 결정 크기는 0 초과, 15nm 이하이고, 상기 제2 영역(42) 및 상기 제3 영역(43)의 상부 표면에서의 결정 크기는 20nm 이상일 수 있다. 더 바람직하게는, 제1 영역(41)의 상부 표면에서의 결정 크기는 14nm 내지 15nm이고, 상기 제2 영역(42) 및 상기 제3 영역(43)의 상부 표면에서의 결정 크기는 20nm 내지 22nm일 수 있다.

[0037] 도 4는 본 발명의 일 실시예에 따른 박막 트랜지스터의 채널 층 제조 방법을 설명하기 위한 도면이다.

[0038] 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터의 채널 층(40) 제조 방법은, 제1 결정 특성을 갖는 제1 영역(41)을 형성하는 단계 및 제1 영역(41) 상의 상기 제1 결정 특성과 상이한 제2 결정 특성을 갖는 제2 영역(42) 및 제3 영역(43)을 형성하는 단계를 포함할 수 있다. 일 실시예로서, 도 4에 도시된 바와 같이, 제2 영역(42) 및 제3 영역(43)을 형성하는 단계는, 제1 영역(41) 상에 소스 전극(50) 및 드레인 전극(60)이 형성될 영역이 노출되도록 마스크(70)를 형성하고, 제1 영역(41) 상의 노출된 영역에 제2 영역(42) 및 제3 영역(43)을 형성할 수 있다. 또한, 상기 마스크(70)를 그대로 이용하여 소스 전극(50) 및 드레인 전극(60)을 형성한 후, 마스크(70)를 제거할 수 있다. 예로서, 마스크(70)는 마스크가 형성되지 않은 부분에 물질을 더 증착 형성하기 위해 사용될 수 있다.

[0039] 도 5는 본 발명의 다른 실시예에 따른 박막 트랜지스터의 채널 층 제조 방법을 설명하기 위한 도면이다.

[0040] 도 5에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 박막 트랜지스터의 채널 층(40) 제조 방법은, 두께에 따라 상이한 결정 특성을 갖는 물질 층(45)을 증착하는 단계; 증착된 상기 두께에 따라 상이한 결정 특성을 갖는 물질 층(45) 상의 소스 전극 및 드레인 전극이 형성될 영역 상에 마스크(80)를 형성하는 단계 및 마스크를 이용하여 상기 두께에 따라 상이한 결정 특성을 갖는 물질 층(45) 상의 상기 소스 전극 및 상기 드레인 전극이 형성될 영역 사이의 영역을 기설정된 두께만큼 식각(etching)하여 제1 영역(41), 제1 영역(41)과 소스 전극 사

이의 제2 영역(42), 제1 영역(41)과 드레인 전극 사이의 제3 영역(43)을 갖는 채널 층(40)을 형성할 수 있다. 예로서, 마스크(80)는 마스크가 형성되지 않은 부분을 식각(etching)하기 위한 용도로 사용될 수 있다.

<실시예>

n타입 도핑된 실리콘 웨이퍼 상의 SiO₂를 성장시켰다. 이후, ZnO 타겟을 이용하여 고주파 마그네트론 스퍼터링(RF magnetron sputtering)에 의해 40 nm 두께의 ZnO를 증착하였다. 그리고 나서, 소스 전극 및 드레인 전극 형성을 위해 사용될 쉐도우 마스크(shadow mask)를 이용하여 40nm 두께의 ZnO 상의 양측부, 즉 소스 전극 및 드레인 전극이 형성될 영역에 60nm의 ZnO를 고주파 마그네트론 스퍼터링 방법으로 더 증착하여 소스 전극과 드레인 전극의 아래 부분이 나머지 부분보다 더 두꺼운 채널 층을 형성하였다. 이후, 상기 쉐도우 마스크를 그대로 이용하여 채널 층 상에 고주파 마그네트론 스퍼터링(RF magnetron sputtering)으로 티타늄(Ti)을 더 증착하여 소스 전극 및 드레인 전극을 형성하였다.

<비교예 1>

상기 실시예와 나머지 과정은 동일하게 수행하되, 채널 층 형성에 있어서, 도 6에 도시된 바와 같이, 채널 층의 두께가 상이하지 않은 100 nm 두께의 ZnO 채널 층을 증착하였다.

<비교예 2>

상기 실시예와 나머지 과정은 동일하게 수행하되, 채널 층 형성에 있어서, 도 7에 도시된 바와 같이, 채널 층의 두께가 상이하지 않은 40 nm 두께의 ZnO 채널 층을 증착하였다.

표 1은 상기 실시예 및 비교예 1, 2에서의 채널 층 ZnO 두께에 따른 전자 농도, 이동도, 비저항을 측정한 결과이다.

표 1에 나타난 바와 같이, 박막 두께가 100nm인 경우, 즉, 소스 전극 및 드레인 전극의 아래 부분에서는 전자 농도 및 이동도가 높고, 비저항이 약 0.001로 100nm 이상일 때에 금속 특성을 갖고, 박막 두께가 40nm인 경우, 전자 농도가 낮고 이동도가 낮으며, 비저항이 반도체의 비저항 범위인 10⁻³ 초과, 10⁶미만의 범위에 있으므로, 반도체 특성을 갖는 것을 확인할 수 있다.

표 1

박막 두께 [nm]	전자 농도 [cm ⁻³]	이동도 [cm ² /V · s]	비저항 [Ω/cm]
40	2.57×10 ¹⁶	4.5	5.430
100	3.50×10 ¹⁸	144	0.001

즉, 본 발명의 실시예와 같이, 채널 층이 소스 전극 및 드레인 전극의 아래 부분의 두께가 100nm이고, 나머지 부분의 두께가 40nm인 경우, 반도체 특성과 금속 특성이 공존하는 채널 층을 형성할 수 있다. 즉, 소스 전극 및 드레인 전극의 하부의 채널 층에서는 금속 특성을 띄므로, 접촉 저항을 낮출 수 있고, 그 외의 부분의 채널층은 상하부 컨택턴스의 차이가 없도록, 반도체 특성만 갖는 정도의 두께로 형성함으로써, 전기적 특성 및 안정성을 향상시킬 수 있다.

표 2는 본 발명의 실시예에 따른 ZnO 채널 층에 대해 박막의 두께가 20nm, 40nm, 60nm, 80nm, 100nm일 때의 표면에서의 결정 크기를 측정한 결과이다. 즉, 본 발명의 채널 층의 두께가 40nm 이하인 제1 영역의 상부 표면에서의 결정 크기는 0초과, 15nm이하이고, 제1 영역 상에 형성되어 총 채널 층의 두께가 100nm 이상이 되게하는 제2 영역의 상부 표면에서의 두께는 20nm 이상일 수 있다.

표 2

박막 두께 [nm]	20	40	60	80	100
결정 크기 [nm]	13.3	14.6	17.5	19.6	21.0

[0055]

[0056]

[0057]

[0058]

[0059]

[0060]

[0061]

[0062]

[0063]

도 8은 본 발명의 실시예에 따른 박막 트랜지스터의 전달 특성을 나타내는 그래프이고, 도 9 및 도 10은 비교예 1, 2에 따른 박막 트랜지스터의 전달 특성을 나타내는 그래프이다.

도 8에 나타난 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터의 문턱 전압의 이동이 거의 없고, 온/오프 전류비가 크며, 문턱전압 이하에서의 기울기(Subthreshold Swing, S.S.)가 낮아 좋은 전달 특성을 갖는 것을 확인할 수 있다.

반면, 비교예 1의 경우, 도 9에 나타난 바와 같이, 채널 층의 상하부 컨택턴스의 차이로 기생 채널이 생겨 문턱 전압이 상당히 낮게 형성되고, 비이상적인 험프(hump) 현상(A)이 발생하며, 온/오프 전류비가 낮아 전달 특성이 좋지 않은 것을 확인할 수 있다. 또한, 비교예 2의 경우 역시 도 10에 나타난 바와 같이, 문턱전압 이하에서의 기울기가 상당히 크므로, 전달 특성이 좋지 않은 것을 확인할 수 있다.

도 11은 본 발명의 실시예에 따른 박막 트랜지스터의 시간에 따른 문턱 전압의 변화량을 나타내는 그래프이다.

도 11에 나타난 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터는 10000초가 경과한 후에도 0.18V 만큼만 이동하므로, 본 발명의 실시예에 따른 박막 트랜지스터는 안정성 측면에서도 우수함을 확인할 수 있다.

도 12 본 발명의 실시예에 따른 박막 트랜지스터와 기존의 박막 트랜지스터의 열처리에 따른 문턱 전압의 변화량을 나타내는 그래프이다.

도 12를 참조하면, 기존의 금(Au)이 접촉된 100nm의 산화아연(ZnO)으로 이루어진 채널 층을 포함하는 박막 트랜지스터와 본 발명의 실시예에 따른 박막 트랜지스터의 열처리에 따른 문턱 전압의 변화량을 보여준다. 도 12에 나타난 바와 같이, 150℃의 같은 열처리를 했을 때, 본 발명의 실시예에 따른 박막 트랜지스터의 문턱 전압 변화량은 1.73V이고, 기존의 금(Au)이 접촉된 박막 트랜지스터의 문턱 전압 변화량은 3.04V로, 본 발명의 실시예에 따른 박막 트랜지스터에 비해 약 2배 정도로 변화량이 크다. 즉, 기존의 박막 트랜지스터는 일 함수가 다른 금속을 접촉하여 백채널(back channel)효과를 방지하였지만, 도 12에 나타난 바와 같이 이러한 금속이 접촉된 박막 트랜지스터는 열처리에 약해 안정성이 떨어지는 단점이 있다. 즉, 본 발명의 일 실시예에 따르면, 기존 기술과 같이 추가적으로 금속을 접촉시키지 않고도, 보다 간단한 공정에 의해 전기적 성능 및 신뢰성이 향상된 박막 트랜지스터를 제조할 수 있고, 열처리에도 안정성이 향상된 박막 트랜지스터를 제조할 수 있다.

이상의 실시 예들은 본 발명의 이해를 돕기 위하여 제시된 것으로, 본 발명의 범위를 제한하지 않으며, 이로부터 다양한 변형 가능한 실시 예들도 본 발명의 범위에 속하는 것임을 이해하여야 한다. 본 발명의 기술적 보호 범위는 특허청구범위의 기술적 사상에 의해 정해져야 할 것이며, 본 발명의 기술적 보호범위는 특허청구범위의 문언적 기재 그 자체로 한정되는 것이 아니라 실질적으로는 기술적 가치가 균등한 범주의 발명에 대하여까지 미치는 것임을 이해하여야 한다.

부호의 설명

[0066]

10: 기판

20: 게이트 전극

30: 게이트 절연층

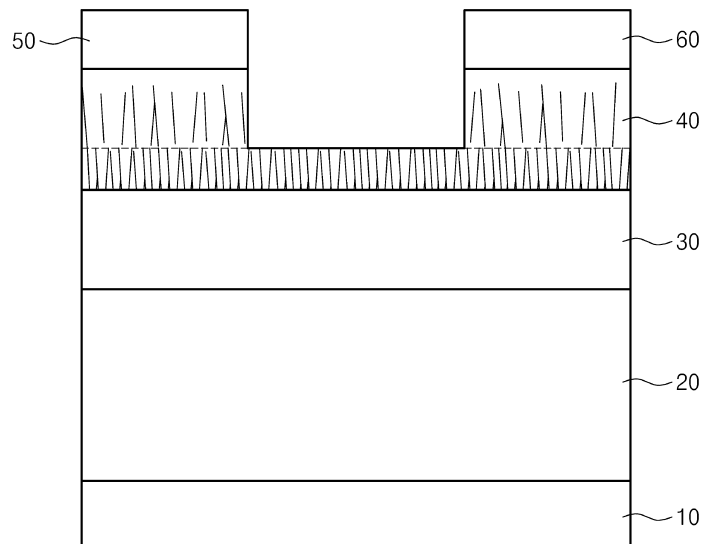
40: 채널 층

41: 제1 영역

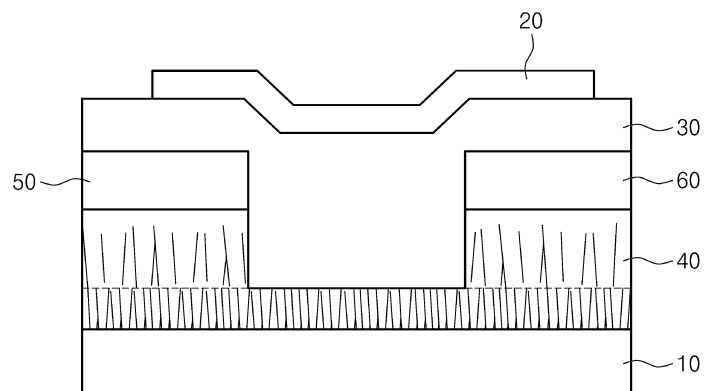
- 42: 제2 영역
- 43: 제3 영역
- 50: 소스 전극
- 60: 드레인 전극

도면

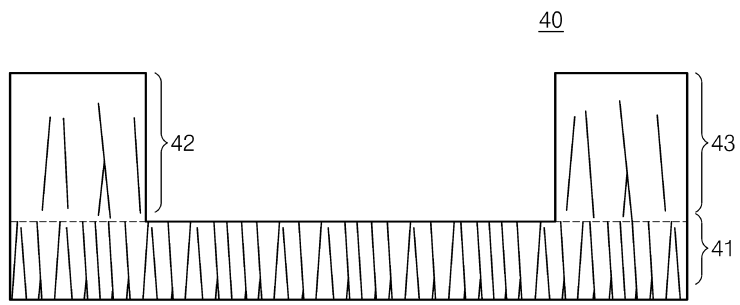
도면1



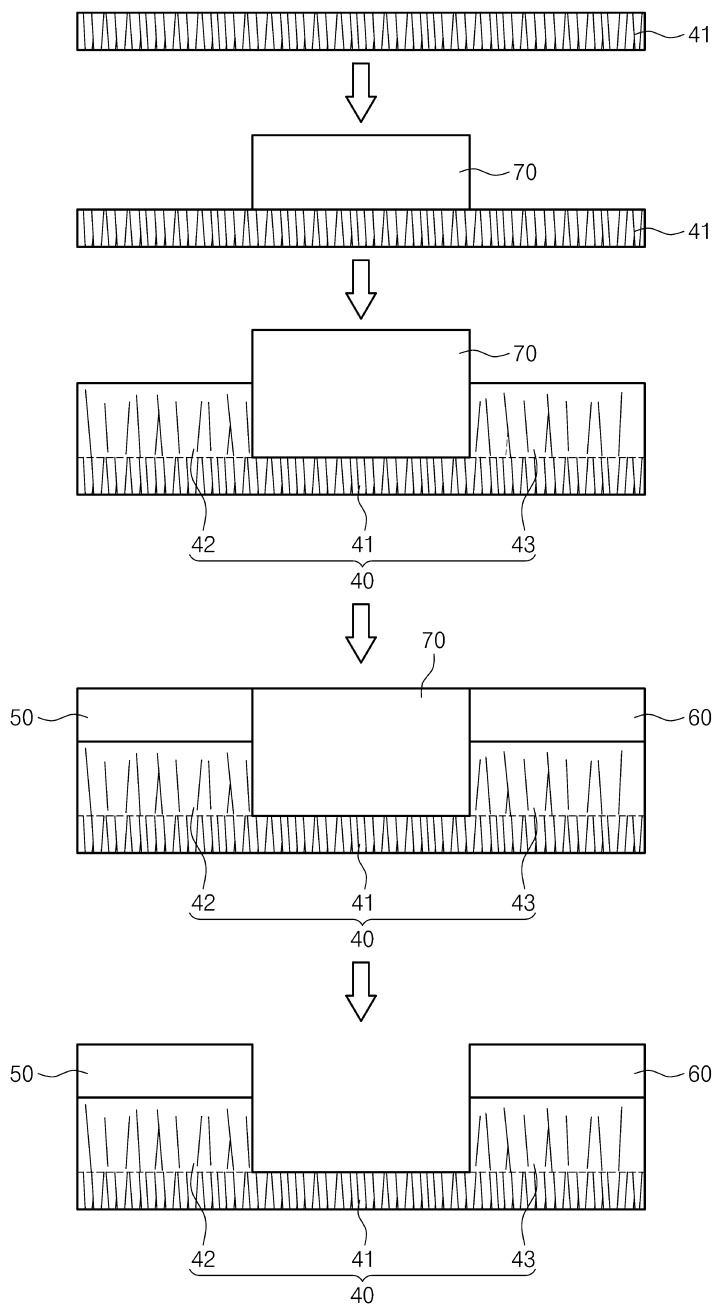
도면2



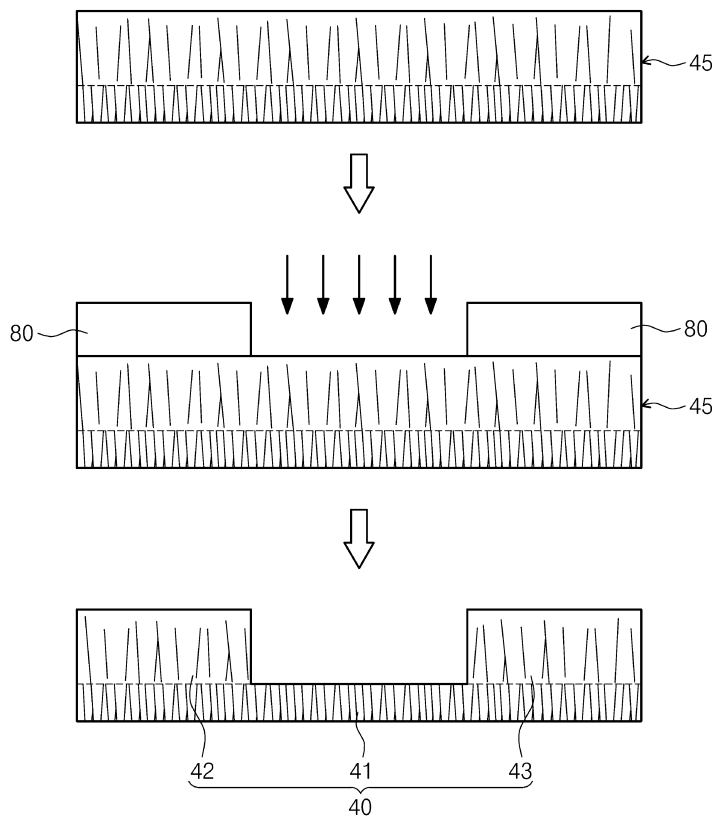
도면3



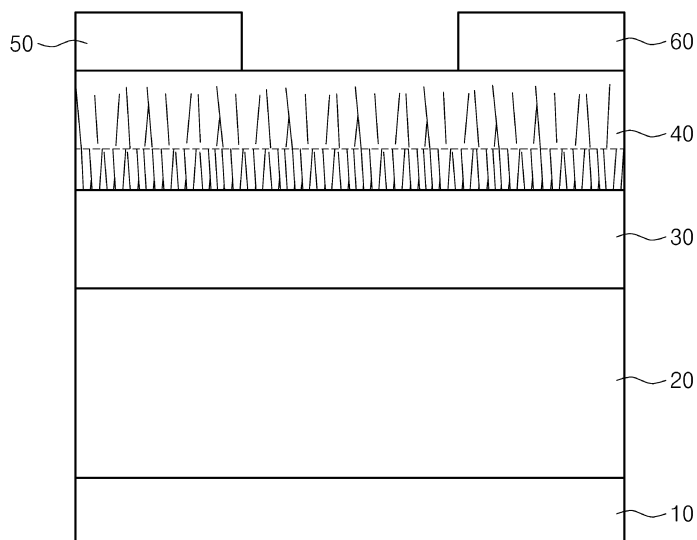
도면4



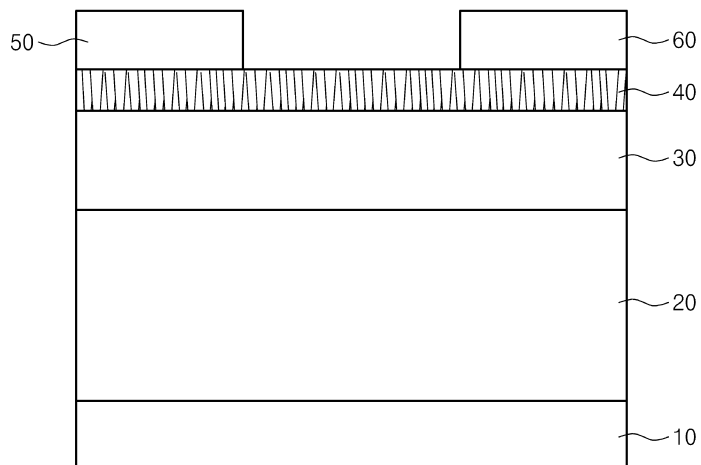
도면5



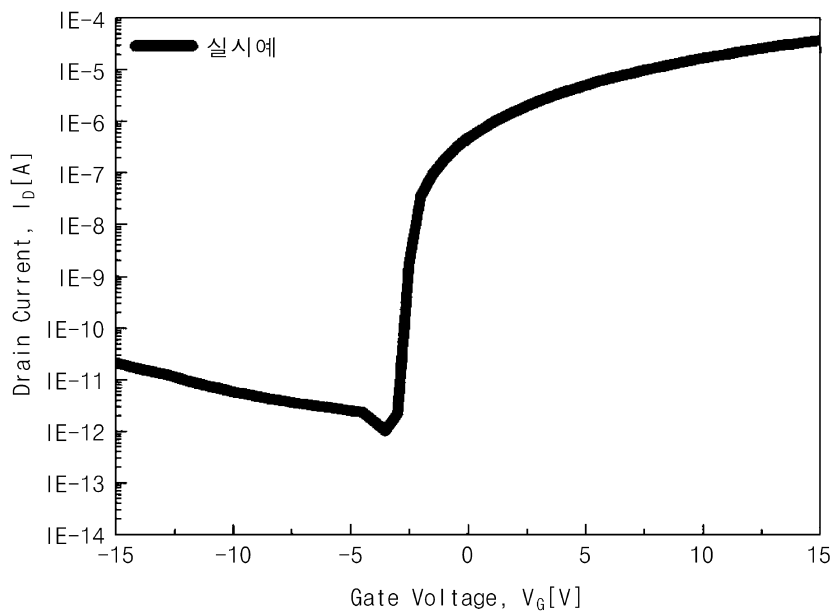
도면6



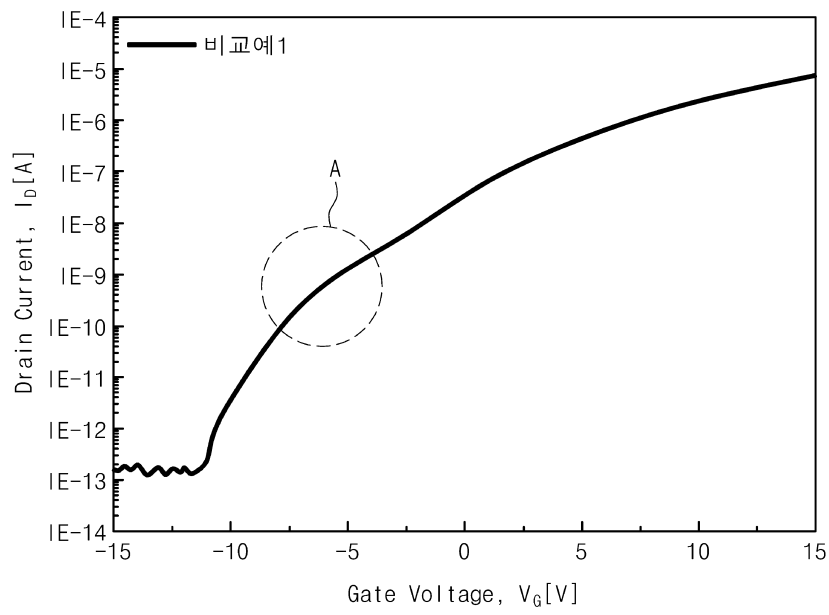
도면7



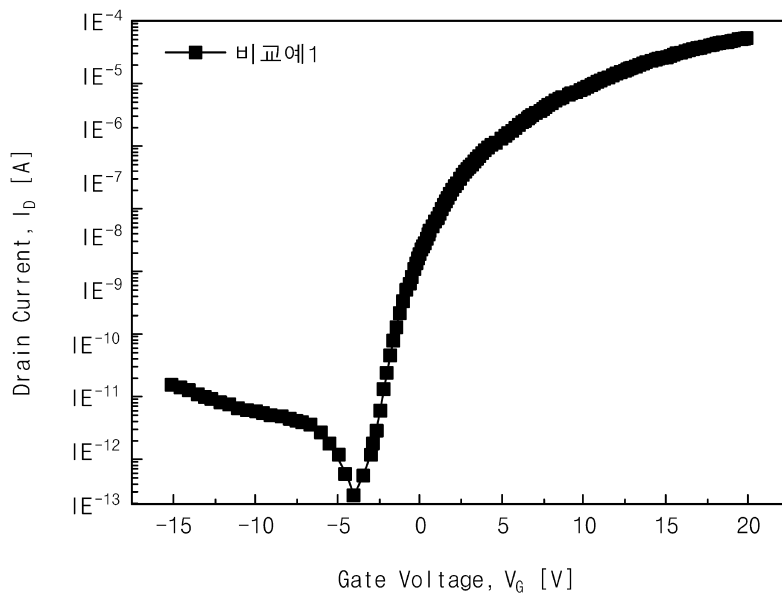
도면8



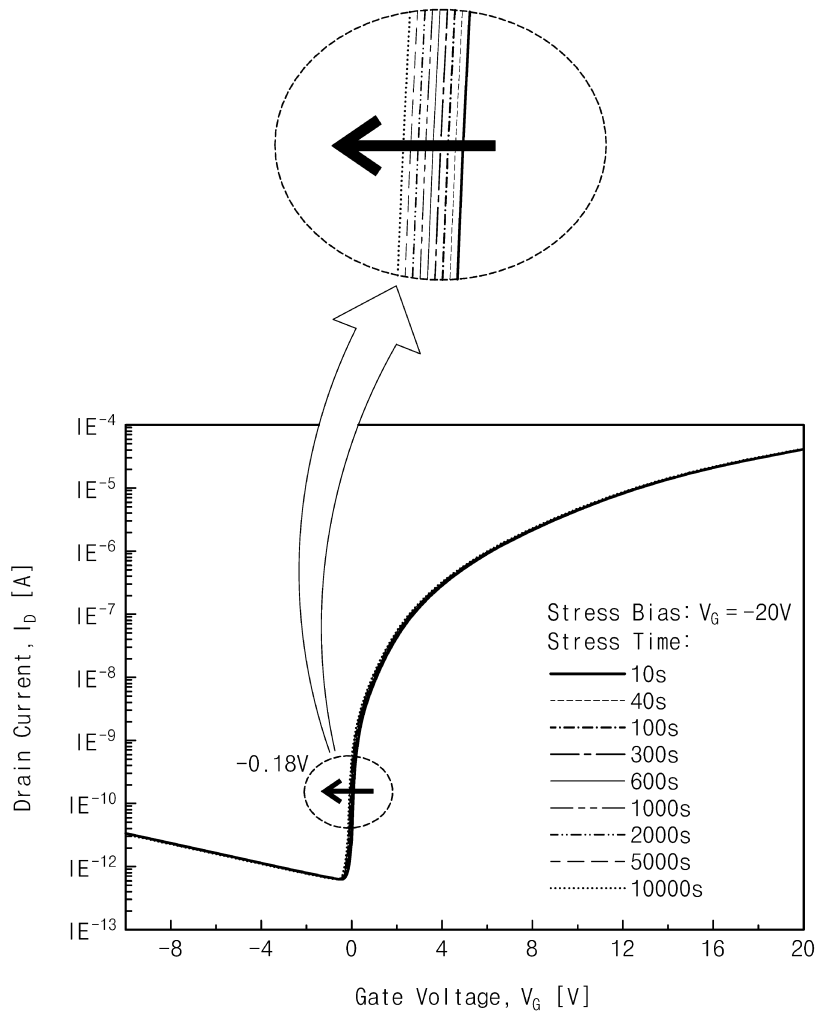
도면9



도면10



도면11



도면12

