



(12) 发明专利申请

(10) 申请公布号 CN 104798002 A

(43) 申请公布日 2015. 07. 22

(21) 申请号 201280076797. 2

代理人 张东梅

(22) 申请日 2012. 11. 30

(51) Int. Cl.

(85) PCT国际申请进入国家阶段日  
2015. 04. 30

G06F 1/26(2006. 01)

(86) PCT国际申请的申请数据  
PCT/US2012/067202 2012. 11. 30

(87) PCT国际申请的公布数据  
W02014/084842 EN 2014. 06. 05

(71) 申请人 英特尔公司  
地址 美国加利福尼亚州

(72) 发明人 A·万玛 K·西斯特拉  
M·T·罗兰德 B·J·格里非斯  
V·D·维克曼 J·R·道策特  
E·J·德哈默 V·加吉  
C·普艾里耶 J·J·谢拉  
A·N·阿南塔克里什南 S·H·冈瑟

(74) 专利代理机构 上海专利商标事务所有限公  
司 31100

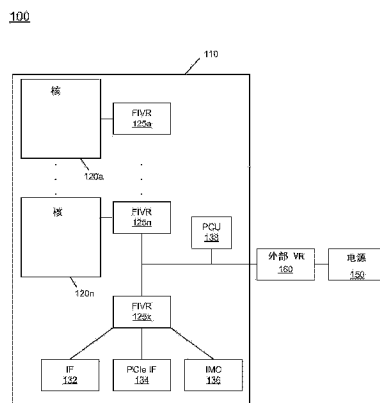
权利要求书2页 说明书8页 附图8页

(54) 发明名称

在处理器中实施功率消耗占空比

(57) 摘要

在一个实施例中, 处理器包括多个核, 每一个核都独立地执行指令, 多个图形引擎, 每一个图形引擎都独立地执行图形操作; 以及, 耦合到多个核以控制处理器的功率消耗的功率控制单元, 其中, 功率控制单元包括功率偏移控制逻辑, 用于在操作周期的多于一个占空比部分内限制处理器的功率消耗级别以免高于限定的功率极限。描述并要求保护其他实施例。



1. 一种处理器,包括:

多个核,每一个核都独立地执行指令;以及

耦合到所述多个核的功率控制单元(PCU),用于控制所述处理器的功率消耗,所述PCU包括功率偏移控制逻辑,用于在操作周期的多于一个占空比部分内限制所述处理器的功率消耗级别以免高于限定的功率极限。

2. 如权利要求1所述的处理器,其特征在于,所述功率偏移控制逻辑进一步用于在多于一个偏移持续时间内限制所述功率消耗级别以免高于所述限定的功率极限,所述偏移持续时间的值存储在所述处理器的第一配置存储器中。

3. 如权利要求2所述的处理器,其特征在于,所述限定的功率极限存储在所述处理器的第二配置存储器中,所述限定的功率极限可由包括所述处理器的系统的初始设备制造厂家(OEM)设置。

4. 如权利要求3所述的处理器,进一步包括用于存储最大偏移持续时间的第三配置存储器,所述最大偏移持续时间对应于所述处理器可以以最大功率偏移操作的最长持续时间,其中所述功率偏移控制逻辑将限制所述功率消耗级别以免处于所述最大功率偏移长于所述最大偏移持续时间。

5. 如权利要求1所述的处理器,其特征在于,所述功率偏移控制逻辑将从所述处理器的功率检测器获取所述功率消耗级别,并且当所述功率消耗级别大于所述限定的功率级别时,降低所述处理器将以其操作的频率极限。

6. 如权利要求5所述的处理器,其特征在于,当所述功率消耗级别大于所述限定的功率极限并且小于第二功率极限时,所述频率极限降低达一个步长值,当所述功率消耗级别处于所述第二功率极限时,所述频率极限降低达大于所述步长值的第一值,所述第二功率极限大于所述限定的功率极限。

7. 如权利要求5所述的处理器,其特征在于,当所述功率消耗级别大于所述限定的功率极限时,所述功率偏移控制逻辑将进一步更新所述频率极限将被维持的维持时间。

8. 如权利要求7所述的处理器,其特征在于,当所述功率消耗级别大于所述限定的功率极限时,所述功率偏移控制逻辑将增大所述维持时间,在每一个评估间隔期间,缩小所述维持时间。

9. 如权利要求8所述的处理器,其特征在于,在所述维持时间完成之后,所述功率偏移控制逻辑将提高所述频率极限。

10. 如权利要求5所述的处理器,其特征在于,当所述提高的性能级别的操作频率大于所述频率极限时,所述PCU将防止对提高的性能级别的软件请求被执行。

11. 一种方法,包括:

在处理器的功率控制单元(PCU)中,判断所述处理器的功率消耗级别是否大于所述处理器的限定的功率极限;以及

如果是,则实施占空比,以便所述功率消耗级别超出所述限定的功率极限的时间不超过所述占空比。

12. 如权利要求11所述的方法,其特征在于,实施所述占空比包括如果若干次连续判断所述功率消耗级别大于所述限定的功率极限,则将频率极限降低到第一值。

13. 如权利要求11所述的方法,其特征在于,实施所述占空比包括把频率极限降低一

个步长值。

14. 如权利要求 11 所述的方法,进一步包括将维持时间调整一个最小维持时间值。

15. 如权利要求 14 所述的方法,进一步包括反复缩小所述维持时间,直到所述维持时间完成。

16. 如权利要求 15 所述的方法,进一步包括此后允许所述功率消耗极限超出所述限定的功率极限。

17. 如权利要求 14 所述的方法,进一步包括反复增大所述维持时间,直到所述功率消耗极限小于所述限定的功率极限。

18. 一种系统,包括:

多核处理器,包括:

多个核,每一个核都独立地执行指令;

多个图形引擎,每一个图形引擎都独立地执行图形操作;以及

耦合到所述多个核的功率控制单元(PCU),用于控制所述多核处理器的功率消耗,所述PCU包括控制逻辑,用于允许在操作周期的一部分内所述多核处理器的功率消耗级别高于限定的功率极限,所述部分对应于存储在所述多核处理器的配置存储器中的占空比值;

耦合到所述多核处理器以向所述多核处理器提供被调节的电压的电源单元;以及

耦合到所述多核处理器的动态随机存取存储器(DRAM)。

19. 如权利要求 18 所述的系统,其特征在于,所述多核处理器包括存储器,用于存储对应于所述多核处理器的最大允许的操作频率的频率极限值,存储对应于所述多核处理器被允许高于所述限定的功率极限的第一持续时间的第一偏移值,以及存储对应于所述多核处理器被允许处于高于所述限定的功率极限的最大功率偏移的第二持续时间的第二偏移值,所述第二偏移值小于所述第一偏移值。

20. 如权利要求 19 所述的系统,其特征在于,所述PCU将防止所述多核处理器在大于所述频率极限值的操作频率操作,其中如果连续判断所述功率消耗级别大于所述限定的功率极限达阈值次数,则所述控制逻辑将通过将所述频率极限值降低到第一值,来实施所述占空比值。

21. 如权利要求 19 所述的系统,其特征在于,所述PCU将防止所述功率消耗级别超出所述限定的功率极限达长于所述第一偏移值的时间,并防止所述处理器在所述最大功率偏移操作达长于所述第二偏移值的时间。

22. 如权利要求 18 所述的系统,其特征在于,所述电源单元包括向所述多核处理器提供所述被调节的电压的电池。

23. 被配置为执行如权利要求 11 到 17 中任一项所述的方法的通信设备。

24. 至少一个机器可读介质,所述至少一个机器可读介质包括多个指令,响应于在计算设备上被执行,所述指令导致所述计算设备执行如权利要求 11 到 17 中任一项所述的方法。

25. 一种用于处理指令的设备,被配置成执行如权利要求 11 到 17 中任一权利要求所述的方法。

26. 一种设备,包括用于执行根据权利要求 11 到 17 中的任一项所述的方法的装置。

## 在处理器中实施功率消耗占空比

### [0001] 背景

[0002] 半导体加工和逻辑设计的发展已允许可存在于集成电路器件上的逻辑的量增加。因此,计算机系统配置已经从系统中的单个或多个集成电路进化至各个集成电路上的多个硬件线程、多个核、多个设备和 / 或完整的系统。此外,随着集成电路密度增长,计算系统(从嵌入式系统到服务器)的功率需求也逐步提高。此外,软件低效率及其对硬件的要求也已造成了计算设备能耗的提高。事实上,一些研究表明计算设备消耗了国家(诸如美国)的整个电力供应中的显著百分比。因此,存在对与集成电路相关联的能效和节能的关键需求。当服务器、桌面型计算机、笔记本、超级本、平板电脑、移动电话、处理器、嵌入式系统等变得甚至更为盛行(从包括在典型计算机、汽车和电视机中到包括在生物技术中),这些需要将增加。

[0003] 对于诸如处理器(用于服务器以及客户端系统中的)之类的集成电路的功率管理基于对当前处理器功率消耗的估计。处理器的各种组件可能具有它们的被调制成保持在指定的功率极限内的电压以及频率。这如此,因为计算机平台中的电源单元(PSU)对它们可以提供的峰值功率有非常具体的限制。这些 PSU 通常具有可以无限地 / 连续地维持的热可持续的功率级别,以及只能维持具体的持续时间和占空比的较高电可持续的功率级别。在热有效的时间段由电源提供的平均功率不会超出热可持续的级别。将电源尺寸设计得过大以应对最坏情况会增大尺寸、成本以及效率,而将电源尺寸设计得过小会导致灾难性的后果。

### [0004] 附图简述

[0005] 图 1 是根据本发明一个实施例的系统的框图。

[0006] 图 2 是根据本发明一实施例的方法的流程图。

[0007] 图 3 是根据本发明的一实施例的用于存储用于占空比控制的各种配置及其他值的存储器的框图。

[0008] 图 4 是根据本发明的一个实施例的占空比实施技术的图解说明。

[0009] 图 5 是根据本发明的一个实施例的占空比实施技术的另一个图解说明。

[0010] 图 6 是根据本发明一实施例的处理器的框图。

[0011] 图 7 是根据本发明的另一个实施例的多域处理器的框图。

[0012] 图 8 是根据本发明一实施例的系统的框图。

### 具体实施方式

[0013] 在各实施例中,提供了一种基于处理器的机制,用于以保证的方式对处理器的功率消耗实施约束,以便允许适当大小的额定峰值电源用于提供电能。为此,各实施例实施这样的约束,处理器的功率消耗和动态范围扩展到接近于,但是保证不超出电源的设计限制。

[0014] 如此,处理器被配置有它试图被调节到的限定的功率极限。防止高于此功率极限的最坏情况功率偏移具有高于限定的最大功率级别  $P_{\max}$  的大小。此外,还防止高于功率极限的此最坏情况功率偏移具有长于最坏情况持续时间  $T_1$  的峰值时间。此外,也没有高于限

定的功率极限的功率偏移可以具有长于持续时间 T2 的持续时间。以及,高于功率极限的任何偏移限于不高于 d% 的占空比 (高于极限的时间 / 总时间,  $\text{time\_above\_limit}/\text{total\_time}$ )。通过利用上面的约束操作处理器,额定峰值电源可以接近于其设计限制地操作,无需不必要防护带 (额外费用),或如果违反设计限制,不会产生电气故障 (额外的风险)。

[0015] 虽然本发明的范围在这方面不受限制,但是,如此处所描述的占空比控制可以通过固件、硬件、软件,以及其组合来实现,如此,对于高于限定的功率极限的所有偏移,实施固定的占空比和最长持续时间。

[0016] 现在参考图 1,所示是根据本发明的实施例的系统的一部分的框图。如图 1 所示,系统 100 可以包括各种组件,包括处理器 110,如图所示,该处理器 110 是多核处理器。处理器 110 可以通过外部电压调节器 160 耦合到电源 150,该调节器 160 可以执行第一电压转换,以向处理器 110 提供初步被调节的电压。

[0017] 可以看出,处理器 110 可以是包括多个核  $120_a-120_n$  的单管芯处理器。另外,每一个核还可以与单个电压调节器  $125_a-125_n$  相关联。相应地,可以提供完全集成的电压调节器 (FIVR) 实现,以允许对每一个单个核的电压进行细粒度的控制,因而对功率和性能进行细粒度的控制。如此,每一个核都可以在独立电压和频率下操作,允许大灵活性,并提供用于平衡功率消耗与性能的广泛的机会。

[0018] 仍参考图 1,额外的组件可以存在于处理器内,包括输入 / 输出接口 132、另一接口 134 以及集成的存储器控制器 136。可以看出,这些组件中的每一个都可以由另一集成的电压调节器  $125_x$  来供电。在一个实施例中,接口 132 可以符合 Intel® 快速路径互连 (QPI) 协议,该协议在高速缓存一致性协议中提供点对点 (PtP) 链路,该高速缓存一致性协议包括多个层,包括物理层、链路层以及协议层。接口 134 又可以符合外围组件互连快速 (PCIe™) 规范,例如,PCI Express™ 规范基础规范版本 2.0 (2007 年 1 月 17 日)。

[0019] 还示出了功率控制单元 (PCU) 138,该功率控制单元 (PCU) 138 可包括对于处理器 110 执行功率管理操作的硬件、软件和 / 或固件。在各实施例中,PCU 138 可包括根据本发明的一个实施例执行占空比控制,以将高于限定的功率极限的偏移限制到操作周期的一部分和有限的持续时间的逻辑。此外,PCU 138 还可以通过专用接口耦合到外部电压调节器 160。如此,PCU 138 可以指示电压调节器向处理器提供请求的被调节的电压。另外,电压调节器 160 可以向处理器提供关于其电流输送的信息。在不同的实现中,电压调节器 160 可以将此信息存储在 PCU 访问的电压调节器的寄存器中。或者,位于电压调节器 160 中的或者位于电压调节器 160 和 PCU 138 之间的路径上的电流传感器可以提供此信息。此电流信息和对应的功率消耗确定 (例如,通过 PCU 的功率检测器) 可以被占空比控制器 (诸如 PCU 138 的功率偏移逻辑) 用来基于处理器的功率消耗,限制高于限定的功率消耗级别的偏移。如此,基于电压调节器的电流传感器可以直接测量由电压调节器 160 向处理器供应的电流。当乘以供电电压时,这会提供处理器功率消耗测量值。

[0020] 尽管为便于说明未示出,但是,可以理解,额外的组件可以存在于处理器 100 内,诸如非核逻辑、及其他组件,诸如内部存储器,例如,一个或多个级别的缓存存储器层次结构等等。此外,尽管在图 1 的实现中是利用集成的电压调节器示出的,但是,各实施例不是限制性的。

[0021] 尽管下面的实施例是参照例如计算平台或处理器的特定集成电路中的节能和能

效来描述的,然而其它实施例适用于其它类型的集成电路和逻辑器件。在此描述的实施例的相似的技术和教导可适用于也可受益于更好能效和节能的其它类型的电路或半导体器件。例如,所披露的实施例不限于任何具体类型的计算机系统,并也可用于其它设备,例如手持设备、芯片上系统 (SoC) 以及嵌入式应用。手持设备的一些例子包括蜂窝电话、互联网协议设备、数字相机、个人数字助理 (PDA) 和手持 PC。嵌入式应用一般包括微控制器、数字信号处理器 (DSP)、网络计算机 (上网本)、机顶盒、网络集线器、广域网 (WAN) 交换机或能执行下面教导的功能和操作的任何其它系统。此外,本申请中描述的装置、方法和系统不限于物理计算设备,而是也涉及用于节能和能效的软件优化。如将在以下描述中变得显而易见的,本文描述的方法、装置和系统的实施例 (无论是关于硬件、固件、软件还是它们的组合) 对于“绿色技术”未来是至关重要的,诸如对于包含 US 经济大部分的产品的节能和能量效率。

[0022] 注意,此处所描述的功率控制可以独立于基于操作系统 (OS) 的机制,诸如高级配置和平台接口 (ACPI) 标准 (例如,2006 年 10 月 10 日发布的 Rev. 3.0b),并与其互补。根据 ACPI,处理器可以操作在各种性能状态或级别,即,从 P0 到 PN。一般而言,P1 性能状态可以对应于可以由 OS 请求的最高保证的性能状态。除此 P1 状态之外,OS 还可以请求较高性能状态,即, P0 状态。如此,此 P0 状态可以是机会性状态,其中,当有电能和 / 或热预算可用时,处理器硬件可以配置处理器或其至少一些部分,以便以高于保证的频率操作。在许多实现中,处理器可包括多个所谓的高于保证的最大频率 (也被称为 P1 频率) 的元频率 (bin frequency)。通过控制如此处所描述的某些处理器参数,OS 请求的性能级别可以不被允许发生,以实施功率输送系统约束。

[0023] 作为可以执行的占空比控制的一个示例,可以维持动态频率极限,该动态频率极限是处理器被允许在给定时间点运行的最高工作频率。各种功率 / 性能管理算法可能请求在最高为此极限的频率 (但不更高) 的性能。在每一个评估间隔 ( $T_p$ ) 内,可以测量处理器功率消耗,以判断它是否高于限定的功率极限。在不同的实施例中,此测量可以通过从电压调节器,或处理器中的内嵌的功率估计器直接测量。如果功率  $P$  高于限定的功率极限  $PL (P > PL)$ ,那么,频率极限可以被降低,例如,达一个步长。这是新频率极限,并维持最小维持时间,  $T_{min\_hold}$ 。由于处理器功率是处理器频率的强函数,因此,这会降低功率消耗。在一个实施例中,可以通过  $duty\_cycle = T_p / (T_p + T_{min\_hold})$ ,从所希望的占空比导出  $T_{min\_hold}$ 。如果在维持时间内,功率仍超出限定的极限 ( $P > PL$ ),则可以再次降低频率极限,例如,降低另一个步长,维持时间可以再次延长  $T_{min\_hold}$ 。

[0024] 给定可能的最坏情况功率偏移 ( $P_{max}$ ),可以计算将功率降低到极限 ( $PL$ ) 的频率阶跃的数量,导致最坏情况偏移持续时间:  $T_{max\_excursion} = max\_num\_steps * T_p$

[0025] 在某些实施例中,可以实现所谓的“第 N 次撞击”行为。即,偏移的最长持续时间取决于偏移的大小 ( $P_{max} - PL$ )、每一个频率阶跃的大小和  $T_p$ 。可以通过将功率消耗降低到一个已知功率状态来将持续时间限制到  $N * T_p$  的最大值,该已知功率状态保证在第 N 次频率阶跃时低于  $PL$ ,其中,  $N$  是预定的常数。

[0026] 在某些实施例中,可以实现的不同的功率控制机制是通过对电气设计点 (EDP) 预算的控制。跟踪此预算,以确保不会产生在电的方面不安全的状况。给定了各种管芯上的模块的频率或状态,此预算跟踪会消耗的最坏情况电流,以确保它不会超出给定瞬时电流

极限。代替降低频率极限,可以降低EDP预算(例如,降低几个步长值或降低到预定级别),而并非降低频率极限,因为处理器的不同的域可以以不同频率操作。

[0027] 现在参照图2,其中示出了根据本发明一实施例的方法的流程图。如图2所示,方法200可以通过PCU的逻辑来实现。更具体而言,方法200可以通过PCU的功率偏移控制逻辑来实现,该功率偏移控制逻辑可以接收并处理关于处理器的瞬时功率消耗的信息。可以看出,方法200从判断处理器的功率消耗级别是否大于限定的功率极限开始(菱形210)。注意,此判断可以定期作出,例如,在评估间隔内,作为PCU的功率控制逻辑的定期执行的一部分,诸如在PCU内或处理器的其他部分内执行的所谓的P代码或固件。此定期周期可以大致为每个毫秒(ms)。可以存储在配置寄存器中的此限定的功率极限,可以被固定,例如,在由初始设备制造厂家(OEM)的系统产品上。或,限定的功率极限可以是用户控制的,以允许用户确定可以限制功率偏移的功率级别。

[0028] 仍参考图2,接下来,在菱形220,可以判断连续的超过极限功率检测的次数是否大于阈值数量。即,如果多次迭代指出超过极限的情况,这意味着,处理器的当前功率消耗级别太高,且不以充分快的速率缩小。相应地,控制进入框240,在那里,处理器的频率极限可以被降低到预定值。在一个实施例中,此预定值可以对应于确保处理器的功率消耗降到限定的功率极限之下的级别。否则,如果在菱形220,判断是否定的,因为超过极限功率检测的数量小于此阈值,则控制进入框230,在那里,频率极限可以减小达一个步长值。作为示例,此步长值可以对应于元频率,在一个特定实现中,该元频率可以对应于基准时钟频率,例如,100兆赫(MHz)。

[0029] 注意,在任一种情况下,频率极限的降低又将导致处理器的至少某些部分的操作频率的缩小。例如,响应于频率极限的此降低,处理器的核域和图形域可以将它们的操作频率降低。在某些实现中,可以在更新频率极限时立即实行此改变。在其他实现中,对操作频率的这种调整可以在对操作频率的常规的分析过程中发生,例如,作为P代码的一部分。

[0030] 仍参考图2,控制从框230和240进入框250,在那里,可以将维持时间调整达最小维持时间值。此维持时间对应于在允许功率消耗的增大之前当前功率消耗级别(即,这里,降低的功率消耗级别)将被维持的持续时间。如此,此维持时间部分地允许维持给定占空比,因为处理器的功率消耗只在整个操作周期的一部分内被允许高于限定的功率极限。虽然本发明的范围在这方面不受限制,但是,此限定的功率极限可能取决于处理器的类型而不同,例如,在某些实施例中,对于嵌入式处理器,大致100毫瓦,对于服务器处理器,200瓦特。

[0031] 接下来,控制进入菱形260,在那里,可以判断维持时间是否完成。如果不,则可以在框270缩小维持时间。例如,维持时间可以缩小方法200的评估间隔的长度,例如,1毫秒。否则,如果判断维持时间完成以便可以再次实行潜在的功率消耗增大,控制进入框280,在那里,频率极限可以提高。虽然本发明的范围在这方面不受限制,但是,在一个实施例中,此提高可以是步长值。注意,频率极限的此增大可能不一定导致一个或多个处理器域的操作频率的相应的增大,因为如果系统软件不请求较高频率,则可以维持当前操作频率级别。尽管在图2的实施例以这样高级别地表示,然而要理解本发明的范围不限于此方面。

[0032] 如上文所讨论的,各种信息用于判断功率偏移的存在并相应地控制它们。现在参考图3,所示是用于存储用于这样的操作中的各种配置及其他值的存储器的框图。如图3所

示,存储器 300 可以是处理器内的寄存器组或其他存储器机制。作为示例,存储器 300 可以是处理器的功率控制单元内的配置和状态存储器的至少一部分。如此,图 3 所示出的各种元件中每一个都可以对应于存储一个或多个值的寄存器。代替寄存器,可以存在另一种类型的存储器,诸如包括多个条目的存储器,例如,高速缓存存储器,诸如静态随机存取存储器 (SRAM) 或其他类型的存储器。

[0033] 可以看出,存储器 300 包括存储动态频率极限的第一存储器 310。如此,此动态极限可以在方法 200 的执行过程中由 PCU 设置,以如此导致频率极限处于特定值。此后,PCU 可以在性能/功率管理操作过程中访问此值,以判断是否允许发生请求的性能级别。例如,假设对于所谓的 P0 性能级别(假设在 3.5 千兆赫 (GHz) 的频率极限发生)做出软件请求。如果存储器 310 包括 3.0GHz 的频率极限,则不实行对此 P0 性能级别的更改,处理器性能限于利用 3.0GHz 的操作频率可用的性能。

[0034] 存储器 300 还包括维持时间存储器 320,该维持时间存储器 320 可以在方法 200 的执行过程中被访问和更新,以判断是否将维持功率减小。接下来,存储器 300 还包括第一限定的功率极限存储器 330 和第二限定的功率极限存储器 340。这些值可以如上文所讨论的,即,分别存储短期和长期功率极限的配置值。可以使用占空比存储器 350 来存储占空比,在一个实施例中,占空比可以是配置值以如此标识极限,例如,对应于处理器操作可以超出限定的功率极限(例如,第一限定的功率极限)的总的操作时间的百分比的极限。

[0035] 仍参考图 3,存储器 300 还包括偏移持续时间存储器 360 和最大偏移持续时间存储器 370。这些存储器可以存储配置值,即,偏移持续时间,该偏移持续时间是功率消耗被允许高于限定的功率极限的时间量,以及最大偏移持续时间,该最大偏移持续时间对应于功率消耗被允许处于高于功率极限的最坏情况偏移的时间量。(注意,此持续时间被设置为比偏移持续时间较低的持续时间)。最后,存储器 300 包括连续的超过极限检测阈值存储器 380,该存储器 380 可以存储对应于被允许的连续的超过极限检测的阈值数量的配置值。如果达到此阈值(例如, $n = 5$ ),意味着,五个连续的功率消耗读数高于限定的功率极限,可以实行将频率极限立即降低到保证功率消耗低于限定的功率极限的频率。虽然是利用存储器 300 内的这些特定存储元件示出的,但是,可以理解,本发明的范围在这方面不受限制,可以在 PCU 内的这些及其他存储器或处理器的其他存储器中包括许多其他信息片段。

[0036] 现在参考图 4,所示是根据本发明的一个实施例的占空比实施技术的图解说明。如图 4 所示,假设处理器被配置成具有 100 瓦特 (W) 的限定的功率极限。也在此示例中,假设评估间隔 ( $T_p$ ) 对应于 1ms,最小维持时间 ( $T_{\min,hold}$ ) 是 3 毫秒,占空比被设置为 25%。如图 4 所示,处理器的功率消耗开始超出其限定的功率极限,上升到 120W 的级别。当此功率消耗级别超出限定的功率极限,进一步假设此级别不会超出较高的最坏情况功率极限。如此,在此功率消耗增大之后发生的评估间隔内,发生对超过极限的情况的检测。如此,可以降低频率极限,此外,还可以设置维持时间。结果,频率极限的降低导致功率消耗级别的降低,将功率消耗级别带到限定的功率极限。

[0037] 此外,还由于维持时间被设置为,例如,最小维持时间,注意,在此维持时间完成之前不会发生更大的功率消耗。然后,此时,可以再次提高频率极限,导致功率消耗的另一上升。假设图 4 所示出的图案在操作过程中持续,例如,25% 的配置的占空比被维持,以便处理器的功率消耗在大于此占空比量内不会超出限定的功率级别。如此,实施占空比,存在



电源约束被实施的保证。当然,应该理解控制维持时间的不同的方式是可以的,进一步可以提供两个以上的功率极限,还提供除降低操作频率以外的各种功率控制机制。

[0038] 现在参考图 5,所示是根据本发明的一个实施例的占空比实施技术的另一个图解说明。在此示例中,假设相同限定的功率极限 100W、相同评估间隔 1ms 以及最小维持时间 3ms,导致相同占空比 25%。在图 5 的示例中,注意,功率消耗随着较大的偏移而增大(例如,达到 160W 的  $P_{\max}$  最大准许的偏移级别)。如此,发生频率极限的多次降低(以及对应的操作频率降低),以允许处理器将其功率消耗级别降低回限定的功率极限。如此,维持时间成比例地延长。由于这里高于限定的功率极限的功率偏移的持续时间比较长,因此,在图 5 中示出了维持相同的占空比的实施的比较长的维持时间。虽然在图 4 和 5 的示图中是利用这些特定示例示出的,但是,可以理解,可以存在实施大于限定的功率极限的功率消耗的占空比的各种其他技术。给定可能的最坏情况功率偏移 ( $P_{\max}$ ),可以计算将功率降低到限定的功率极限的频率阶跃的数量,提供最坏情况偏移持续时间:  $T_{\max\_excursion} = \max\_num\_steps \times T_p$ 。

[0039] 在一个实施例中,热可持续的功率级别可以维持大致 5-10 秒的时间段,而电可持续的功率级别可以维持瞬时时间段,例如,几个微秒。在一个实施例中,此热可持续的功率级别可以处于或基本上大约处于第一功率级别(例如,PL1 级别),而电可持续的功率级别可以处于或基本上大约处于第二功率级别(例如,PL2 级别)。

[0040] 实施例可实现在用于多个市场的处理器中,包括服务器处理器、台式机处理器、移动处理器等等。现在参照图 6,其中示出了根据本发明一实施例的处理器框图。如图 6 所示,处理器 400 可以是多核心处理器,包括多个核心  $410_a-410_n$ 。在一个实施例中,每一个这样的核可以是独立功率域,并可以被配置成基于工作负荷,进入和退出活动状态和/或最大性能状态。各核可经由互连 415 耦合至系统代理或包含多个组件的非核 420。如所见那样,非核 420 可包括共享的高速缓存存储器 430,它可以是最末级高速缓存。另外,非核可包括集成的存储器控制器 440、各种接口 450 和功率控制单元 455。

[0041] 在各实施例中,根据本发明的一个实施例,功率控制单元 455 可包括功率偏移控制逻辑 459。如上文所描述的,此逻辑可以接收关于处理器正在操作所采用的功率级别以及处理器被允许执行所处的频率极限的信息。基于此信息,当功率消耗超出一个或多个这样的级别中的选择的功率级别时,逻辑 459 可以以特定方式导致功率消耗的降低,在给定持续时间和/或占空比内实施此降低。如此,处理器 400 可以被配置成在接近于其设计值时,使用额定峰值电源来进行操作,带有极小的保护带,无需关心电气故障。

[0042] 进一步参考图 6,处理器 400 可(诸如经由存储器总线)与系统存储器 460 进行通信。此外,通过接口 450,可连接到多种芯片外组件,诸如,外围设备、大容量存储器、等等。虽然在图 6 的实施例中示出具有该特定实现,但本发明的范围不限于此方面。

[0043] 现在参照图 7,其中示出了根据本发明另一实施例的多域处理器的框图。如图 7 的实施例所示,处理器 500 包括多个域。具体而言,核域 510 可以包括多个核  $510_0-510_n$ ,图形域 520 可以包括一个或多个图形引擎,并且还可以存在系统代理域 550。在某些实施例中,系统代理域 550 可以以不同于核域的独立频率执行,并可以在所有时间保持通电以应对功率控制事件和功率管理,以使这些域 510 和 520 可被控制以动态地进入和退出高功率以及低功率状态。每个域 510、520 可工作在不同电压和/或功率下。注意,尽管仅示出了三

个域,然而要理解本发明的范围不限于这个方面并且其它实施例中可存在附加的域。例如,可存在多核域,其每一个包括至少一个核。

[0044] 一般地说,除了各执行单元和附加的处理元件外,每个核 510 可进一步包括低级高速缓存。进而,各核可彼此耦合并耦合至由末级高速缓存 (LLC) 540<sub>0</sub> - 540<sub>n</sub> 的多个单元形成的共享高速缓存存储器。在各实施例中, LLC 540 可在核和图形引擎以及多种媒体处理电路之中共享。可以看出,环形互连 530 因此将各个核耦合在一起,并且提供各个核、图形域 520 和系统代理电路系统 550 之间的互连。在一个实施例中,互连 530 可以是核域的一部分。然而,在其它实施例中,环互连可以是其本身的域。

[0045] 如进一步所见那样,系统代理域 550 可包括显示器控制器 552,其可向相关联的显示器提供控制和接口。进一步可以看出,根据本发明的一个实施例,系统代理域 550 可以包括功率控制单元 555,该功率控制单元 555 可包括功率偏移控制逻辑 559,以动态地将处理器的功率消耗偏移限制到最长持续时间和 / 或占空比。在各实施例中,该逻辑可执行前面图 2 中描述的算法。

[0046] 如图 7 中进一步所见的,处理器 500 可进一步包括集成的存储器控制器 (IMC) 570,它可向例如动态随机存取存储器 (DRAM) 之类的系统存储器提供接口。可以存在多个接口 580<sub>0</sub> - 580<sub>n</sub> 以实现处理器与其他电路系统之间的互连。例如,在一个实施例中,可提供至少一个直接媒体接口 (DMI) 接口以及一个或多个高速外设组件互连 (PCI Express™ (PCIe™)) 接口。更进一步,为在诸如额外的处理器或其他电路之类的其他代理之间提供通信,也可以提供符合 Intel 快速路径互连 (QPI) 协议的一个或多个接口。尽管在图 7 的实施例以这样高级别地表示,然而要理解本发明的范围不限于此方面。

[0047] 实施例可在许多不同的系统类型中实现。现在参照图 8,其中示出了根据本发明一实施例的系统的框图。如图 8 所示,多处理器系统 600 是点对点互连系统,并包括通过点对点互连 650 而耦合的第一处理器 670 和第二处理器 680。如图 8 所示,处理器 670 和 680 中的每一个都可以是多核处理器,包括第一和第二处理器核 (即,处理器核 674a 和 674b 以及处理器核 684a 和 684b),虽然潜在地更多核可以存在于处理器中。处理器中的每一个都可包括执行功率消耗限制的 PCU 或其他逻辑,以及对应的操作频率和 / 或 EDP 控制,以保证功率输送系统约束被维持,如此处所描述的。

[0048] 仍参考图 8,第一处理器 670 还包括存储器控制器中枢 (MCH) 672 和点对点 (P-P) 接口 676 和 678。类似地,第二处理器 680 包括 MCH 682 和 P-P 接口 686 和 688。如图 8 所示,MCH 672 和 682 将处理器耦合到相应的存储器,即,存储器 632 和存储器 634,它们可以是本地连接到相应的处理器的系统存储器 (例如,DRAM) 的一部分。第一处理器 670 和第二处理器 680 可分别经由 P-P 互连 662 和 664 耦合至芯片组 690。如图 8 中所示,芯片组 690 包括 P-P 接口 694 和 698。

[0049] 此外,芯片组 690 包括用于通过 P-P 互连 639 将芯片组 690 与高性能图形引擎 638 进行耦合的接口 692。芯片集 690 又可以通过接口 696 耦合到第一总线 616。如图 8 所示,各种输入 / 输出 (I/O) 设备 614 以及总线桥接器 618 可以耦合到第一总线 616,总线桥接器 618 将第一总线 616 耦合到第二总线 620。在一个实施例中,各种设备可耦合到第二总线 620,包括例如键盘 / 鼠标 622、通信设备 626 以及数据存储单元 628,如可包括代码 630 的盘驱动器或其他大容量存储设备。此外,音频 I/O 624 可耦合至第二总线 620。各实施例可

以被合并到其他类型的系统中,包括诸如智能蜂窝电话、平板计算机、上网本、Ultrabook 等等之类的移动设备。

[0050] 如此,各实施例提供对功率供应约束的强制机制,以确保电源供应组件(例如,电压调节器、电源、电池等等)不会被击穿。如此,可以维持占空比强制机制,以便在不超过此占空比时间长度内,允许高于限定的功率极限的偏移。使用处理器的逻辑,实施这些约束,以便对上游功率输送组件而言存在这样的组件的最坏情况不被超出的保证。

[0051] 通过使用本发明的实施例,可以保证处理器在高于给定功率极限的所有偏移实施占空比。如此,处理器可以安全地与额定峰值电源一起使用,这可以支持高电力负荷,假设它们不超出指定的占空比。相应地,与设计可以在长时间内维持最大可能的功率的电源相比,可以降低平台成本。各实施例还降低欠设计电源的风险和在稀少的极端的状况下电气过载的风险。各实施例还可以防止通过触发非常高的瞬态功率消耗(通过综合工作负载的执行)试图导致系统危害的恶意攻击(功率病毒)。如果恶意高功率工作负荷在包括带有此处所描述的占空比控制的处理器的系统上运行,则实施对持续时间和占空比的准确的保证,以防止高功率消耗级别的扩展的操作。

[0052] 各实施例可在许多不同类型的系统中使用。例如,在一个实施例中,通信设备可以被安排为执行在此所述的各个方法和技术。当然,本发明的范围不限于通信设备,而是其他实施例可以针对用于处理指令的其他类型的装置或者包括指令的一个或多个机器可读介质,所述指令响应于在计算设备上被执行而致使该设备执行在此所述的方法和技术中一个或多个。

[0053] 实施例可以代码的形式实现,而且可存储在其上存储有可用于对系统编程以执行这些指令的非临时存储介质上。存储介质可包括但不限于:包括软盘、光盘、固态驱动器(SSD)、压缩盘只读存储器(CD-ROM)、可重写压缩盘(CD-RW)以及磁光盘的任何类型的磁盘;诸如只读存储器(ROM)、诸如动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)之类的随机存取存储器(RAM)、可擦写可编程只读存储器(EEPROM)、闪存、电可擦写可编程只读存储器(EEPROM)之类的半导体器件;磁卡或光卡,或适合于存储电子指令的任何其他类型的介质。

[0054] 虽然已经针对有限个实施例描述了本发明,但本领域技术人员将会理解从中得出的多种修改和变化。所附权利要求旨在覆盖落入本发明的真实精神和范围中的所有这些修改和变化。

100

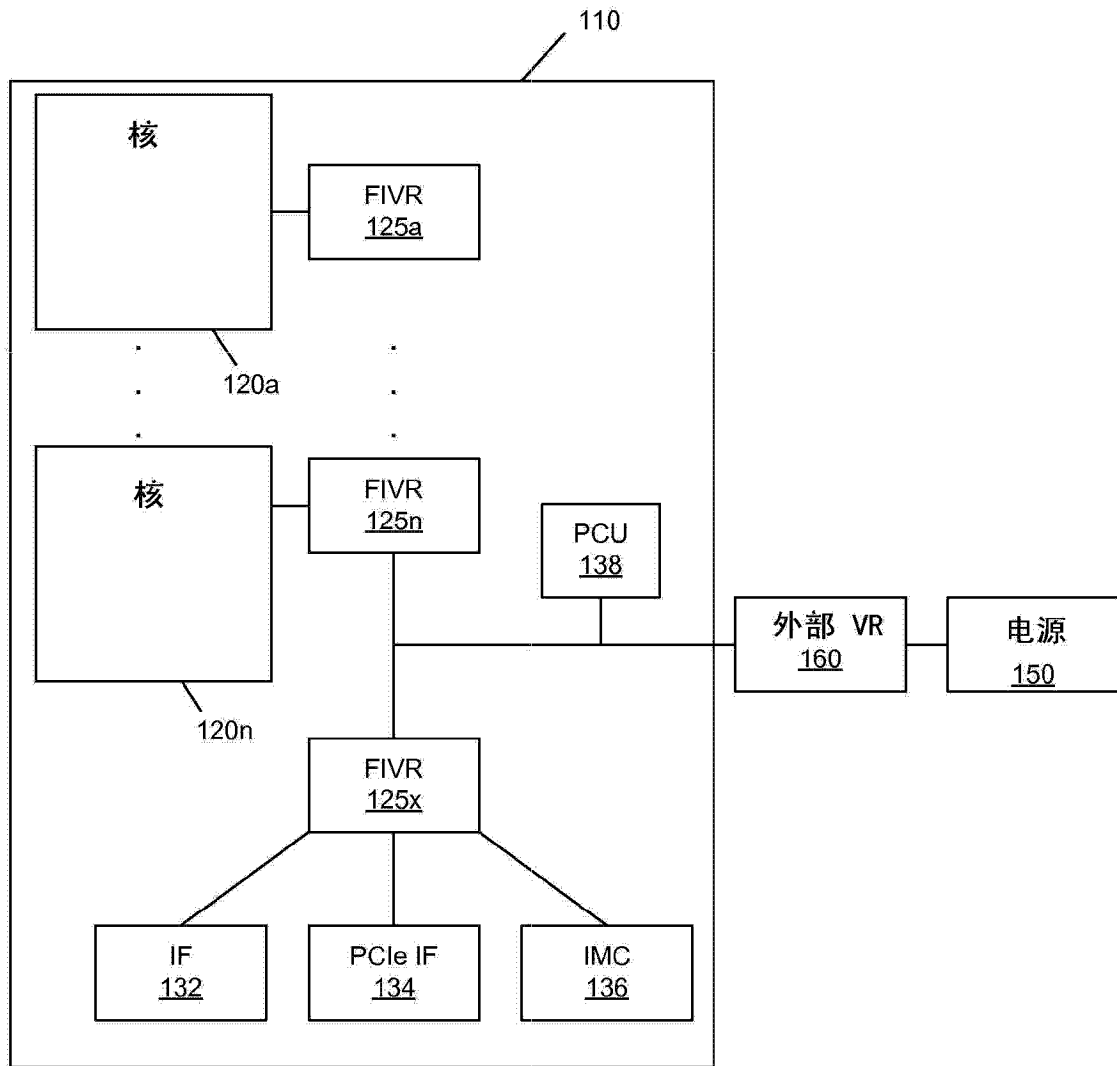


图 1

200

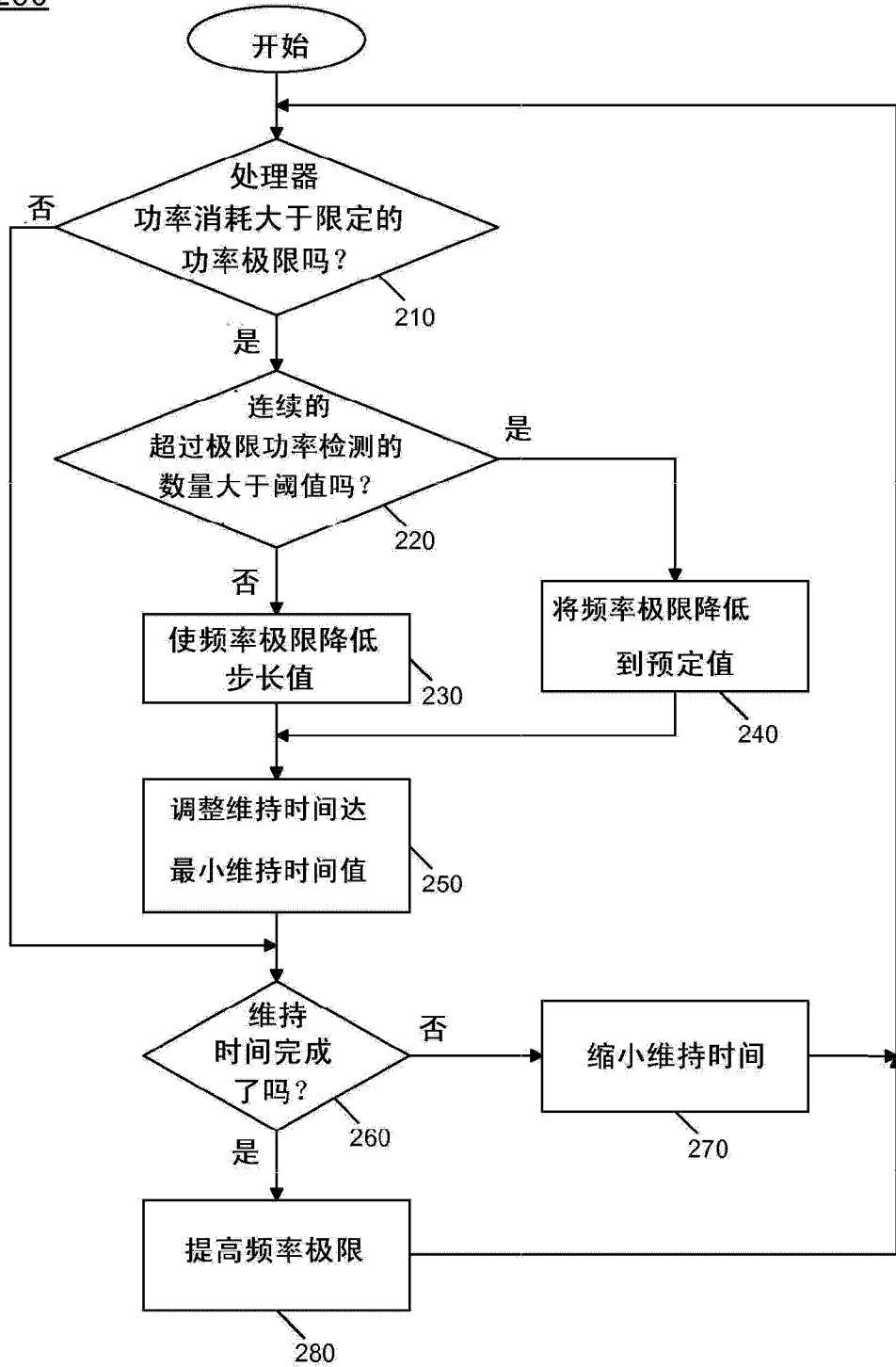


图 2

300

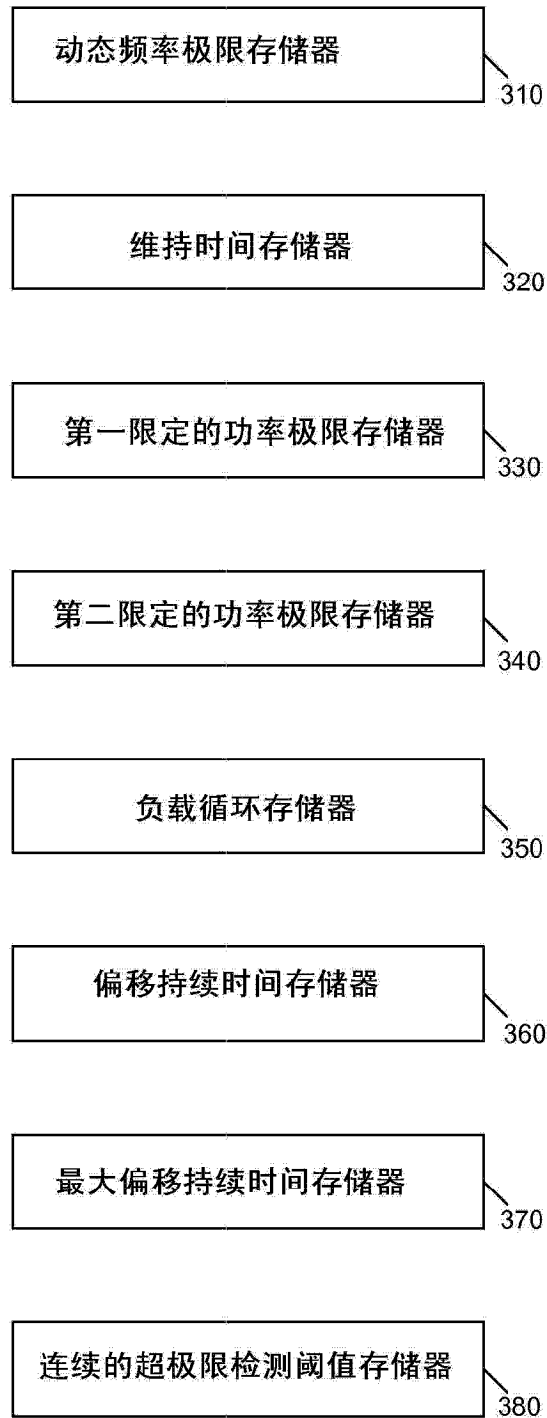


图 3

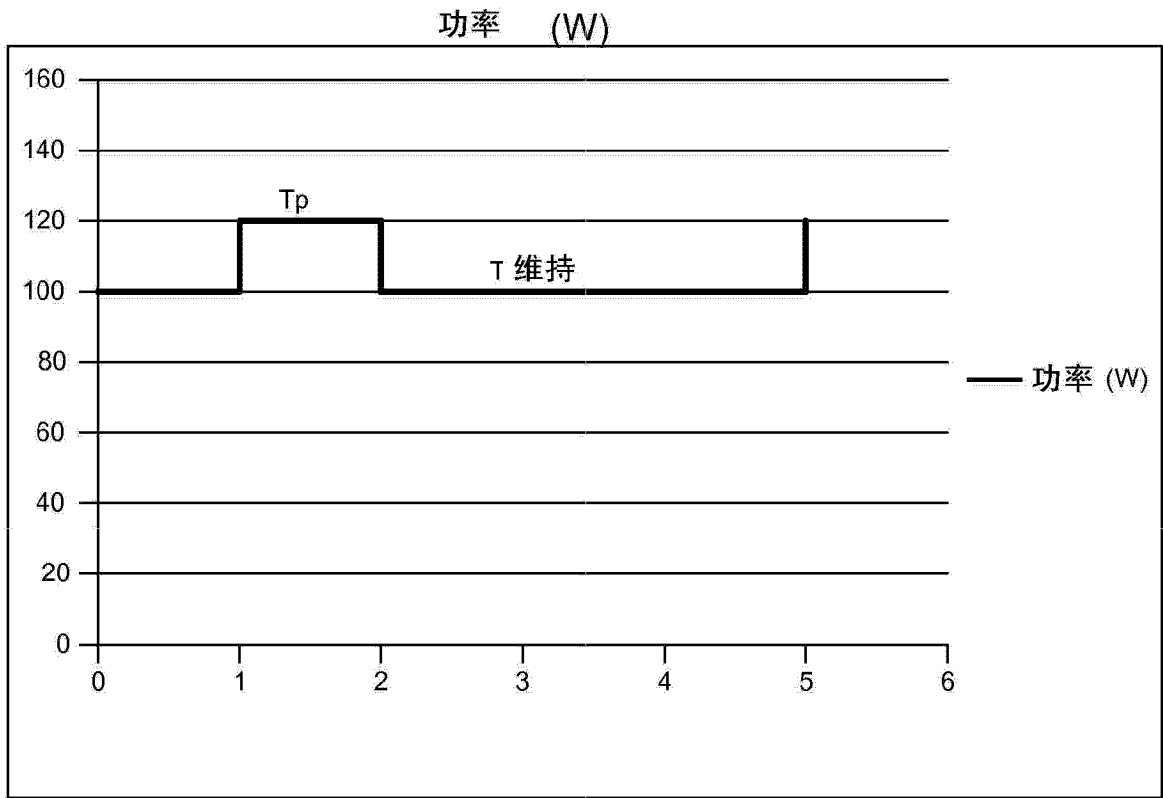


图 4

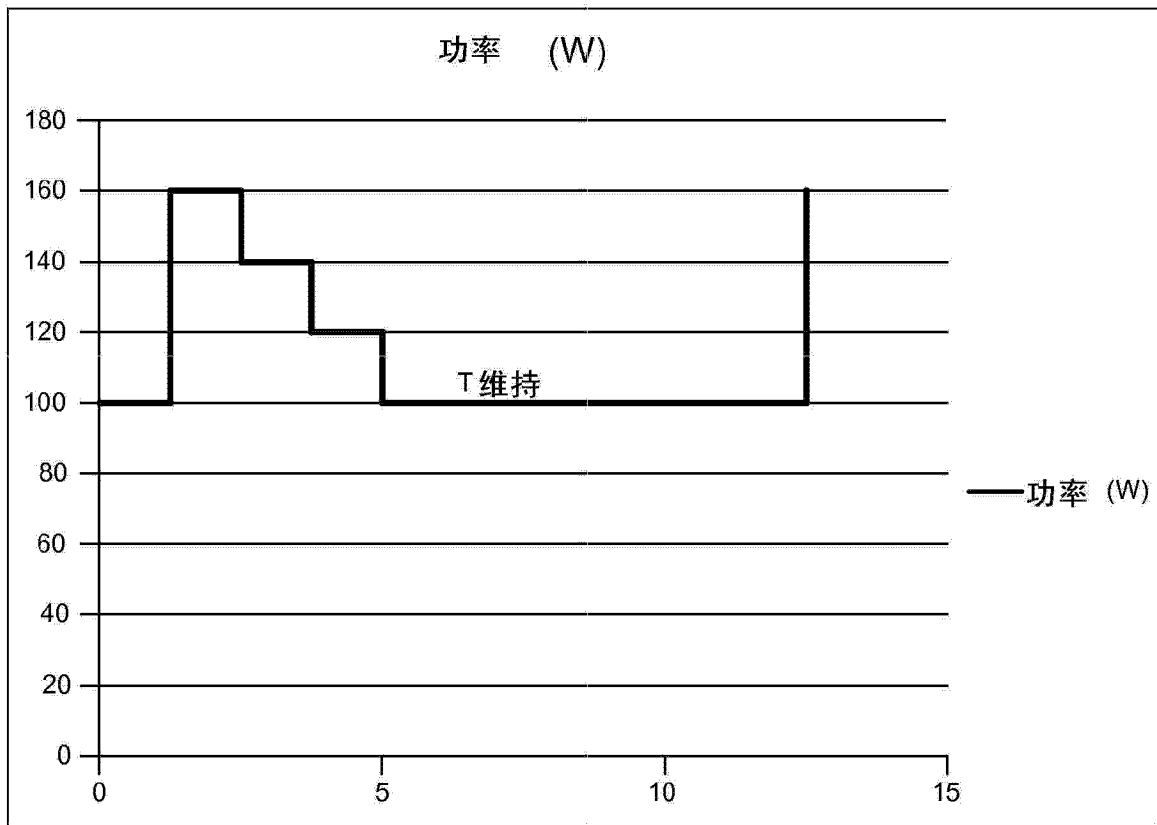


图 5



400

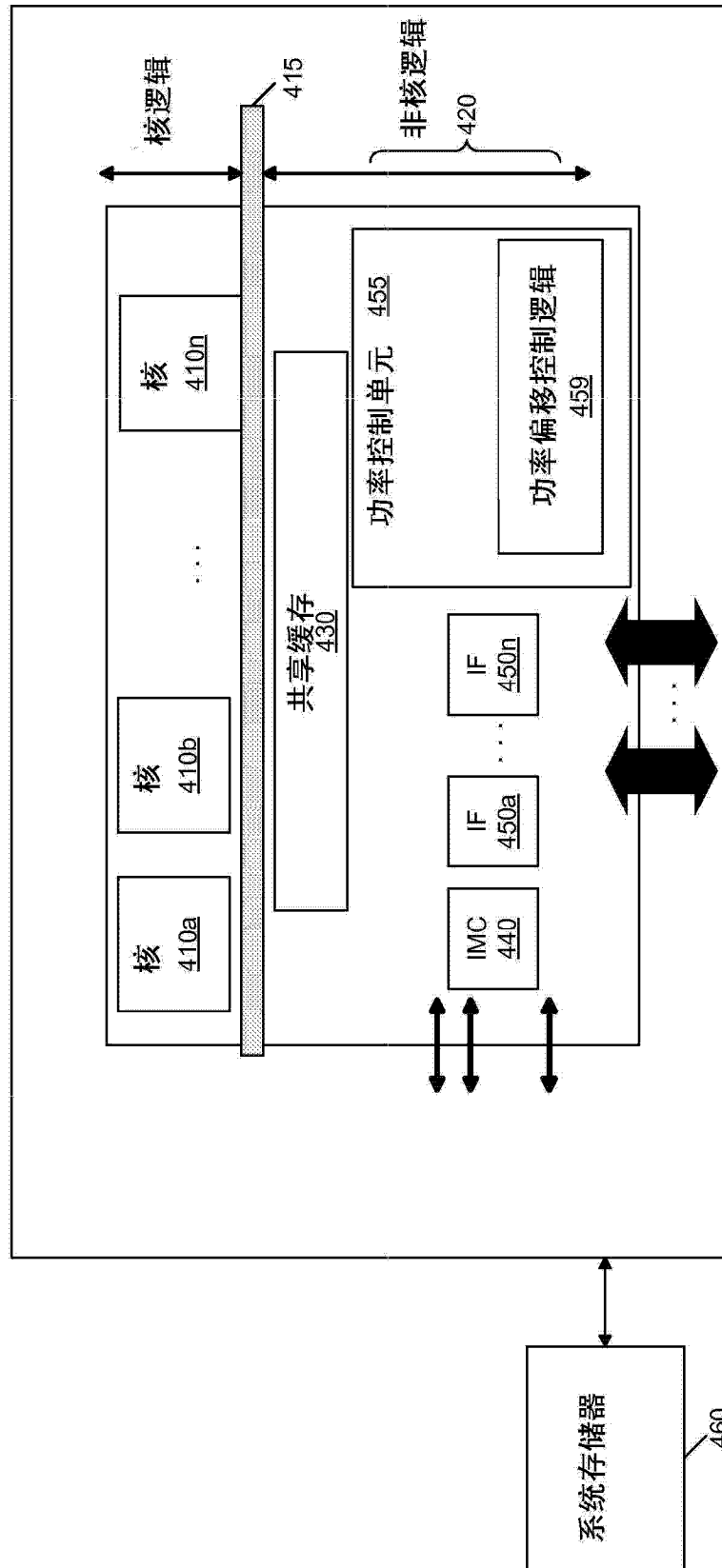


图 6

500

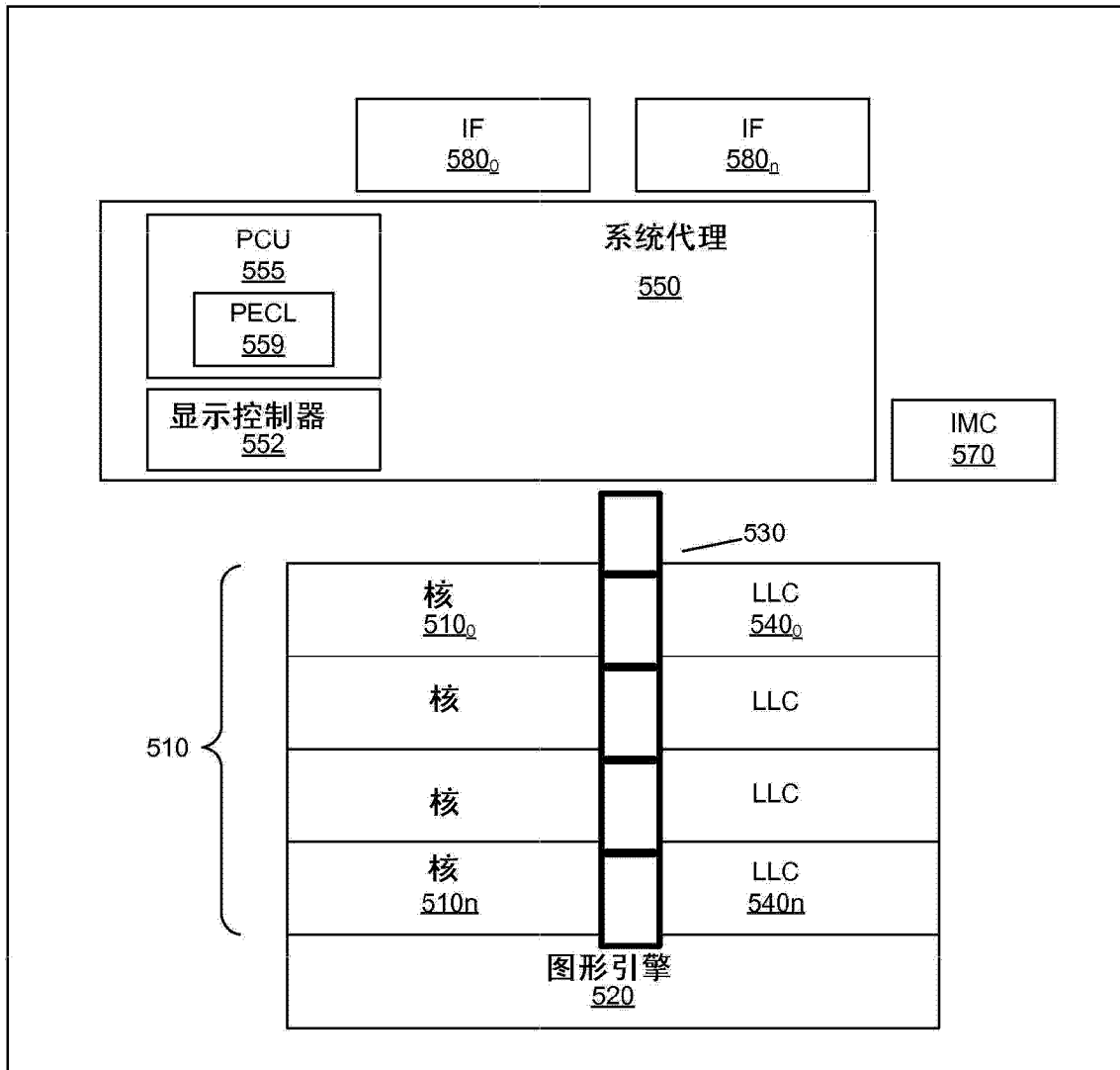


图 7

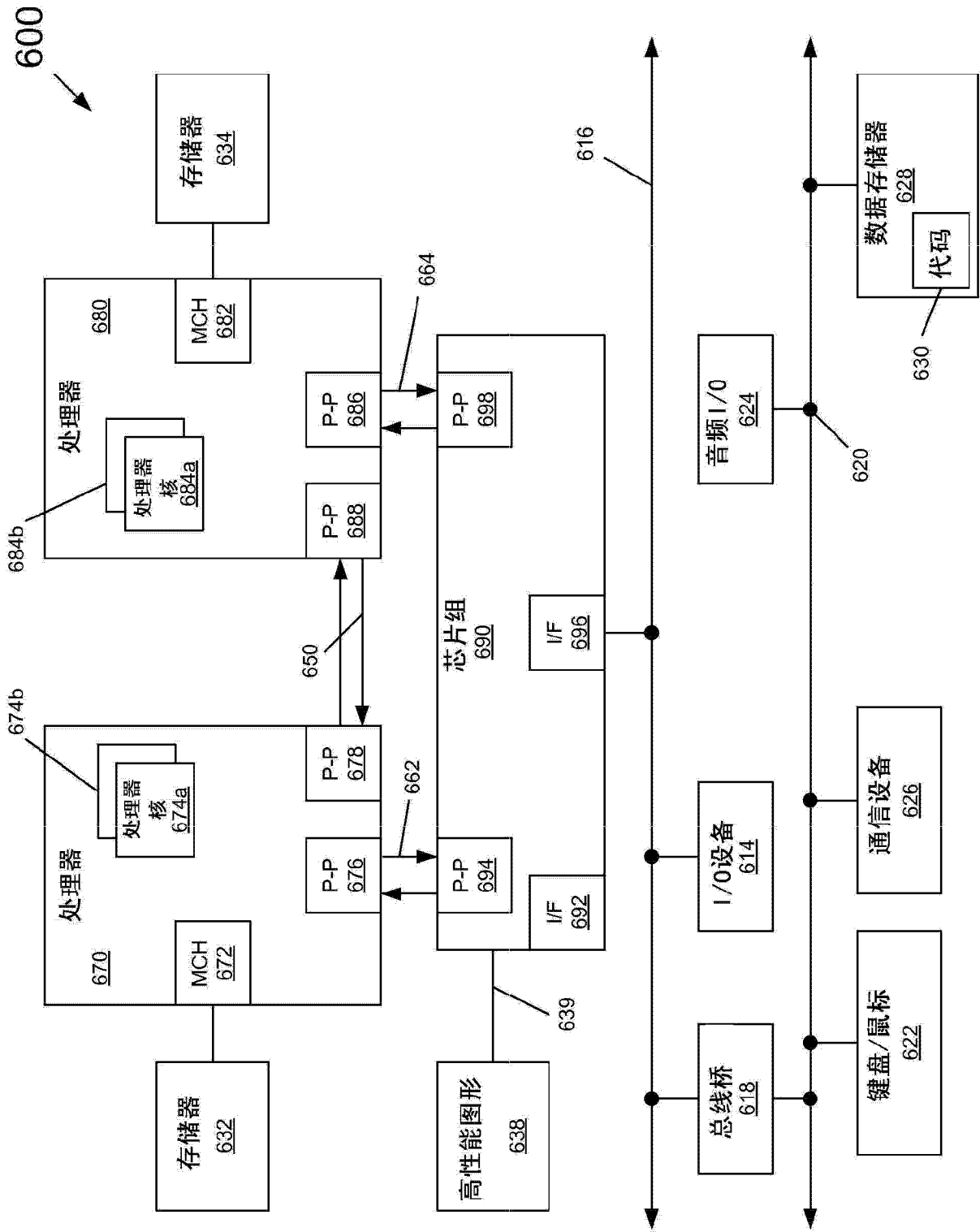


图 8