



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 199 43 174 B4 2008.11.06**

(12)

Patentschrift

(21) Aktenzeichen: **199 43 174.4**
 (22) Anmeldetag: **09.09.1999**
 (43) Offenlegungstag: **23.03.2000**
 (45) Veröffentlichungstag
 der Patenterteilung: **06.11.2008**

(51) Int Cl.⁸: **G06F 12/10 (2006.01)**
G11C 11/407 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
156984 18.09.1998 US

(72) Erfinder:
Wen, Sheung-Fan, Sunnyvale, Calif., US

(73) Patentinhaber:
National Semiconductor Corp. (n.d. Ges. d. Staates Delaware), Santa Clara, Calif., US

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 57 84 582 A
US 50 51 889 A

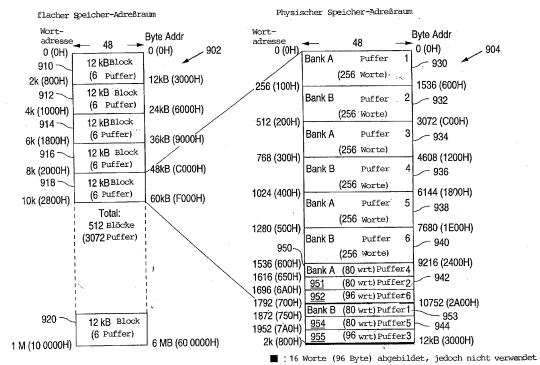
(74) Vertreter:
BOEHMERT & BOEHMERT, 80336 München

(54) Bezeichnung: **SDRAM-Adreßübersetzer**

(57) Hauptanspruch: Adreßübersetzungsschaltung zum Abbilden von Adreßinformationen von einem flachen Adreßraum in einen SDRAM-Adreßraum eines SDRAM (410), mit:

einer SDRAM-Schnittstellensteuerung (510) zum Empfangen von Adreßinformationen von einer Pufferverwaltungseinheit (426), wobei die Pufferverwaltungseinheit (426) den flachen Adreßraum in mehrere Pufferbereiche aufteilt, zu denen jeweils eine Startadresse (start_addr) und eine die Datenmenge in dem Pufferbereich beschreibende Burstgröße (burst_size) gehört; und einer Übersetzungsschaltung (520; 1000), die mit der SDRAM-Schnittstellensteuerung (510) betrieblich gekoppelt ist und die folgenden Merkmale aufweist:

- eine Übersetzungseinrichtung (1010), die unter Berücksichtigung der Startadresse (start_addr) und einer vorgegebenen Puffergröße eine Startadresse der ersten Seite (addr0_start) und eine Endadresse der ersten Seite (addr0_end) auf einer ersten Bank (A; B) erzeugt;
- einen Addierer (1012), der die Startadresse (start_addr) und die Burstgröße (burst_size) addiert, um eine Endadresse (end_addr) zu erzeugen; und
- eine weitere Übersetzungseinrichtung (1016, 1018), die eine Startadresse der zweiten Seite (addr1_start) und eine Endadresse der zweiten...



Beschreibung

[0001] Die Erfindung betrifft eine Adreßübersetzungsschaltung zur Abbildung von Datenpuffern, die zum Speichern von Ethernet-Datenpaketen konfiguriert sind, von einem flachen Adreßraum auf einen SDRAM-Adreßraum.

[0002] Synchrone dynamische Direktzugriffsspeicher (SDRAM; Synchronous Dynamic Random Access Memory) sind eine Speicherart, die in einer Vielzahl von Anwendungen verwendet wird. Ein SDRAM kann in mehrere Banken aufgeteilt werden. Jede Bank wird weiter in mehrere Seiten aufgeteilt. In einem üblichen SDRAM mit einem 48 Bit breiten Datenbus und einer 8 Bit breiten Spaltenadresse umfaßt eine Seite 1,5 KByte Speicher. Um auf eine Seite zuzugreifen, muß das SDRAM Vorlade- und Aktivierungsoperationen ausführen. Die Vorlade- und Aktivierungsoperationen bewirken eine gewisse Verzögerung beim Zugreifen auf eine Speicherstelle, nachfolgende Zugriffe auf dieselbe Seite erfordern jedoch keine weiteren Vorlade- und Aktivierungsoperationen mehr. Zum Zugreifen auf eine neue Seite muß das SDRAM jedoch die Vorlade- und Aktivierungsoperationen für die neue Seite ausführen. Diese Vorlade- und Aktivierungsoperationen verursachen auch eine gewisse Verzögerung beim Zugreifen auf die gewünschte Speicherstelle. Um den Zugriff auf in dem SDRAM gespeicherte Daten zu beschleunigen, werden Daten, auf die gemeinsam zugegriffen wird, auf derselben Seite gespeichert sein. Dies dient dazu, die Anzahl der Vorlade- und Aktivierungsverzögerungen zu minimieren.

[0003] Die US-Druckschrift US 6,205,511 A offenbart einen SDRAM-Adreßcontroller, der so konfiguriert ist, daß er mehreren Schnittstellenkomponenten den Zugriff auf den SDRAM-Baustein gewährt. Der SDRAM-Adreßcontroller bildet den Bereich aufeinanderfolgender Speicherstellen 8-Wort-weise abwechselnd auf die beiden Speicherbanken eines SDRAM-Bausteins ab.

[0004] Da jede Bank mehrere Seiten umfaßt, kann der Zugriff auf eine Speicherstelle in einer neuen Seite in derselben oder in einer anderen Bank erfolgen. Wenn der Zugriff auf eine Speicherstelle die Grenze einer Bank und somit auch die Grenze einer Seite überschreitet, kann die Vorladeoperation beginnen, bevor der vorhergehende Zugriff beendet ist. Wenn jedoch der Zugriff auf eine Speicherstelle über eine Seitengrenze hinweg, jedoch nicht über eine Bankgrenze hinweg erfolgt, kann die Vorladeoperation nicht beginnen, bis nicht der vorhergehende Zugriff beendet ist.

[0005] Bei einigen Anwendungen arbeitet die Speicherverwaltung (oder der Steuerprozeß), die Daten in dem SDRAM speichert, auf der Basis eines Takts (d. h. in einem ersten Taktbereich), und das SDRAM arbeitet auf der Basis eines anderen Takts (d. h. in einem zweiten Taktbereich).

[0006] Diese Takte können asynchron sein und mit verschiedenen Frequenzen arbeiten. Wenn die Speicherverwaltung versucht, auf das SDRAM zuzugreifen, müssen die Adreß- und die Dateninformationen die Taktbereichsgrenze überqueren. Mit anderen Worten, sowohl die Adreß- als auch die Dateninformation muß vom ersten Takt zum zweiten Takt synchronisiert werden. Die Synchronisierung der Adreß- und Dateninformation über die Taktbereichsgrenze hinweg verzögert den Speicherzugriff.

[0007] Eine Anwendung, die ein SDRAM in einem anderen Taktbereich einsetzt, verwendet Netzwerkschalter, die Datenpakete vorübergehend speichern. Netzwerkschalter werden z. B. häufig in Verbindung mit Ethernet-Netzen eingesetzt, um mehrere Unternetze zu verbinden. Ein Schalter empfängt Paketdaten von einem Unternetz und gibt diese Paketdaten an ein anderes Unternetz weiter. Bei Empfang eines Pakets kann der Netzwerkschalter die Paketdaten in mehrere Unterpakete oder Zellen aufteilen. Jede der Zellen umfaßt zusätzliche Kopfdaten. Wie im Stand der Technik bekannt ist, haben Ethernet-Paketdaten eine maximale Größe von ungefähr 1,5 kByte. Mit den zusätzlichen Kopfdaten, die den Zellen zugeordnet werden, hat ein Datenpaket eine maximale Größe unter 2 kByte.

[0008] Nach dem Aufteilen der Paketdaten in Zellen kann der Netzwerkschalter einen Speicherpuffer in dem SDRAM vorübergehend zuweisen, um ein Paket vor der Rückübertragung zu speichern. Die Adreß- und Paketdaten werden über die Taktbereichsgrenze zu dem SDRAM hinweg übersetzt. Dann werden die Paketdaten in dem Speicherpuffer gespeichert. Für die Rückübertragung greift der Schalter wieder auf das SDRAM zu, um die Paketdaten wiederzugewinnen. Sowohl die Speicherung als auch die Wiedergewinnung der Daten aus dem SDRAM bringt eine Zugriffsverzögerung mit sich.

[0009] Weiterhin ist bei einem 48 Bit breiten SDRAM mit einer 8 Bit breiten Spaltenadresse die Seitengröße gleich 1,5 kByte. Ein Ethernet-Paket von 2 kByte, das Kopfdaten der Zellen enthält, geht daher immer über eine Seitengrenze. Dadurch ergeben sich weitere Zugriffsverzögerungen. In stark frequentierten Hochge-

schwindigkeitsnetzen können solche Verzögerungen eine nachteilige Auswirkung auf die Netzleistung haben.

[0010] Es wird daher ein SDRAM benötigt, das als ein Puffer zum Speichern von Ethernet-Paketdaten konfiguriert werden kann. Das SDRAM kann in einem anderen Taktbereich arbeiten als ein Steuerprozeß. Gleichwohl sollte das SDRAM so arbeiten, daß es Zugriffsverzögerungen minimiert.

[0011] Die Aufgabe der vorliegenden Erfindung besteht darin, eine Adreßübersetzungsschaltung anzugeben, bei der der Speicherplatz unter Berücksichtigung eines schnellen Speicherzugriffs besser ausgenutzt wird.

[0012] Diese Aufgabe wird durch die erfindungsgemäße Adreßübersetzungsschaltung mit den Merkmalen des Anspruchs 1 gelöst.

[0013] Bei einer bevorzugten Ausführungsform umfaßt eine Adreßübersetzungsschaltung zum Abbilden von Adreßinformationen auf ein SDRAM eine SDRAM-Schnittstellensteuerung und eine Übersetzungsschaltung. Die SDRAM-Schnittstellensteuerung ist so konfiguriert, daß sie Adreßinformationen von einer Pufferverwaltungseinheit empfängt. Die Pufferverwaltungseinheit weist mehrere Puffer zu, die jeweils eine Startadresse und eine dazugehörige Endadresse aufweisen. Die Übersetzungsschaltung ist betrieblich mit der SDRAM-Schnittstellensteuerung gekoppelt. Die Übersetzungsschaltung bildet die Startadresse jedes der mehreren Puffer auf eine erste Bank ab, und sie bildet die dazugehörige Endadresse auf eine zweite Bank ab, die sich von der ersten Bank unterscheidet.

[0014] Die Erfindung ist im folgenden anhand bevorzugter Ausführungsformen mit Bezug auf die Zeichnung näher erläutert. In den Figuren zeigt:

[0015] [Fig. 1](#) ein Blockdiagramm eines Netzes mit einem Netzwerkschalter;

[0016] [Fig. 2](#) ein Blockdiagramm eines Pakets aus Netzwerkdaten;

[0017] [Fig. 3](#) ein Ablaufdiagramm des Betriebs des Netzwerkschalters der [Fig. 1](#), der Paketdaten empfängt und sendet;

[0018] [Fig. 4](#) ein Blockdiagramm einer bevorzugten Ausführungsform des Schalters der [Fig. 1](#) mit einem SDRAM, einer Speichersteuereinheit und einem Puffermanager;

[0019] [Fig. 5](#) ein Blockdiagramm des Schalters der [Fig. 4](#) mit weiteren Einzelheiten einer bevorzugten Ausführungsform der Speichersteuereinheit;

[0020] [Fig. 6](#) ein Flußdiagramm einer bevorzugten Schreiboperation unter Verwendung der Speichersteuereinheit der [Fig. 5](#);

[0021] [Fig. 7](#) ein Flußdiagramm einer bevorzugten Leseoperation unter Verwendung der Speichersteuereinheit der [Fig. 5](#);

[0022] [Fig. 8](#) eine Tabelle einer bevorzugten Adreßübersetzung aus einem flachen Speicheradreßraum in einen SDRAM-Adreßraum;

[0023] [Fig. 9](#) ein Blockdiagramm der Adreßübersetzung der [Fig. 8](#);

[0024] [Fig. 10](#) ein Blockdiagramm einer bevorzugten Ausführungsform einer SDRAM-Speicheradreßauswahlschaltung; und

[0025] [Fig. 11](#) ein Flußdiagramm eines bevorzugten Betriebsablaufs der Speichersteuereinheit der [Fig. 4](#) zur Übersetzung einer Adresse aus einem flachen Speicheradreßraum in einen SDRAM-Adreßraum.

[0026] Mit Bezug auf [Fig. 1](#) ist im folgenden ein Ethernet-Netz **100** beschrieben. Das Ethernet-Netz umfaßt einen Schalter **110** mit mehreren Kanälen oder Ports **120–125**. Der Schalter umfaßt auch eine Steuereinheit (Controller) **112** und einen Speicher **114**. Der Controller **112** leitet den Datenstrom zwischen den Kanälen **120–125**. Der Controller **112** verwendet den Speicher **114** als temporären Speicher, während Daten zwischen den Kanälen **120–125** übertragen werden.

[0027] Jeder der Kanäle **120–125** ist mit einem von mehreren Unternetzen **130–135** verbunden. Die Unternetze können mehrere Netzwerkeinrichtungen oder nur eine einzige Netzwerkeinrichtung, wie einen Rechner, umfassen. Das Ethernet-Netz erlaubt es jedem der Unternetze **130–135** mit jedem anderen Unternetz Daten auszutauschen.

[0028] Zum Beispiel kann das Unternetz **130** mit dem Unternetz **134** Daten austauschen, indem es ein Datenpaket **140a** sendet. Das Datenpaket **140a** wird über den Kanal **120** vom Schalter **110** empfangen. Der Controller **112** scant dann das Datenpaket **140a** und speichert es im Speicher **114**. Danach liest der Controller **112** das Datenpaket **140a** aus dem Speicher **114** und leitet es an den richtigen Kanal weiter. Wie gezeigt, hat der Schalter **110** ermittelt, daß das Datenpaket **140a** zu dem Netz **134** als Datenpaket **140b** weitergeleitet werden sollte. Der Controller **112** trifft diese Leitentscheidung (Routing) auf der Basis von Information, die in dem Datenpaket **140a** enthalten ist.

[0029] Mit Bezug auf [Fig. 2](#) ist im folgenden ein Blockdiagramm eines Datenpakets **140** beschrieben. Das Datenpaket **140** umfaßt einen Blockanfang-Begrenzer (SOF; Start of Frame) **210**. Der SOF **210** zeigt den Anfang eines Datenpakets an. Das Datenpaket **140** umfaßt auch einen Kopf (Header) **220**, der Informationen, wie eine Ursprungsadresse, eine Zieladresse und die Paketlänge **222** umfaßt. Das Datenpaket **240** enthält auch ein Datenfeld **230**. Dieses Feld wird zum Senden von Informationen zwischen Netzwerkeinrichtungen verwendet. Schließlich umfaßt das Datenpaket **140** ein Fehlerprüffeld **240**. Dieses Feld wird dazu verwendet, zu ermitteln, ob das Paket während der Übertragung über das Netz beschädigt wurde.

[0030] Mit Bezug auf [Fig. 3](#) ist im folgenden ein Flußdiagramm des Betriebs des Schalters **110** der [Fig. 1](#) beschrieben. Der Schalter **110** beginnt beim Schritt **310**, wo er ein Datenpaket über einen seiner Kanäle empfängt. Im Schritt **312** liest der Schalter **110** das Kopffeld, um die Länge und das Ziel der Pakete zu ermitteln. Im Schritt **314** speichert der Schalter **110** dann das Paket vorübergehend in einem Speicherpuffer. Im Schritt **316** verwendet der Schalter **110** die Zielinformation, um die richtige Weiterleitung des Pakets zu ermitteln. Insbesondere ermittelt der Schalter **110**, welche Kanäle eine Netzwerkeinrichtung aufweisen, deren Netzwerkidentifikation (ID) mit der Zieladresse des Pakets übereinstimmt. Der Netzwerkschalter ermittelt auch, ob das zugehörige Netzwerk ausreichend Bandbreite aufweist, um das Paket zu senden. Wenn ja, liest der Schalter **110** das Paket aus dem Speicherpuffer.

[0031] Im Schritt **318** sendet der Schalter das Paket erneut über den Kanal, der eine Netzwerkeinrichtung aufweist, deren Netzwerkidentifikation mit der der Zieladresse des Pakets übereinstimmt. Mehrfach gesendete und rundgesendete Pakete (Multicast- und Broadcast-Pakete) werden über mehrere Kanäle gesendet.

[0032] Mit Bezug auf [Fig. 4](#) ist im folgenden ein Blockdiagramm einer bevorzugten Ausführungsform des Schalters **110** der [Fig. 1](#) beschrieben. Der Schalter **110** umfaßt ein SDRAM **410**, eine Speichersteuereinheit **424** und einen Puffermanager **426**. Der Puffermanager **426** verwaltet den Strom der Datenpakete in das SDRAM **410**. Insbesondere weist der Puffermanager **426** den eingehenden Paketen Puffer zu und überwacht die Zuweisung der Puffer, während Daten in das SDRAM **410** geschrieben und aus diesem gelesen werden.

[0033] Das SDRAM **410** besteht aus drei SDRAM-Chips **412–416**, von denen jeder einen 16-Bit-Datenbus (nicht gezeigt) aufweist. Jeder SDRAM-Chip umfaßt zwei Banken, 2^{11} Zeilen und 2^8 Spalten. Zusammen sehen die SDRAM-Chips **412–416** 6 MByte Speicher vor. Auf die Speicherstellen wird über einen 20-Bit-Adreßbus zugegriffen.

[0034] Paketdaten und Adreßinformation werden von dem Puffermanager **426** zu der Speichersteuereinheit **424** weitergegeben. Die Speichersteuereinheit **424** verwendet die Adreßinformation zum Speichern der Paketdaten in dem SDRAM **410**.

[0035] Die Speichersteuereinheit **424** stellt auch eine Verbindung zu einer Registerzugriffseinheit **420**, einem Taktmultiplexer **422**, einer Abtaststeuereinrichtung (Scancontroller) **430** und einem Rücksetzblock **428** her. Die Registerzugriffseinheit **420** wird zum Speichern von Fehlerinformationen verwendet, die an den Schalter **110** übertragen worden sein kann. Der Taktmultiplexer **422** sieht ein Taktsignal (clk_s dram_out_c) für das SDRAM **410** und ein anderes Taktsignal (clk50cgm_c) für die anderen getakteten Schaltkreise, einschließlich des Puffermanagers **426**, vor. Diese beiden Taktsignale sind zueinander asynchron und können mit verschiedenen Frequenzen arbeiten. Die Speichersteuereinheit **424** dient also auch dazu, die Übertragung von Paketdaten und Adreßinformation zwischen diesen beiden Taktbereichen zu koordinieren.

[0036] Der Rücksetzblock **428** wird dazu verwendet, die Initialisierung des SDRAM **410** und der Speicher-

steuereinheit **424** zu koordinieren. Der Scancontroller **430** wird dazu verwendet, die Speichersteuereinheit **424** bei der Herstellung der integrierten Schaltung zu testen.

[0037] Die folgende Tabelle gibt eine kurze Beschreibung der Taktsignale clk50cgm_c und clk_sdram_out_c:

Speichersteuereinheit – Taktsignale

Signalname	Typ	Signal	Polarität	Signalbeschreibung
clk50cgm_c	I	Impuls	Positive Flanke	50 MHz Takt
clk_sdram_out_c	I	Impuls	Positive Flanke	50 MHz bis 100 MHz Takt

[0038] Die Typ-Spalte gibt an, daß die Signale in die Speichersteuereinheit **424** eingegeben (I) werden. Die Signal-Spalte gibt an, daß die Signale digitale Impulssignale (Impuls) sind. Die Polarität-Spalte gibt an, daß der Takt die Schaltkreiselemente bei einer positiven Flanke triggert. Die Signalbeschreibung gibt den annehmbaren Bereich der Taktsignalfrequenzen an.

[0039] Die folgende Tabelle gibt eine kurze Beschreibung der Signale zwischen der Registerzugriffseinheit **420**, dem Rücksetzblock **428**, dem Scancontroller **430** und der Speichersteuereinheit **424**:

Speichersteuereinheit – Schnittstellensignale

Signalname	I/F	Typ	Signalbeschreibung
Reset_done	RE-SET	I	CGM-Takt hat sich stabilisiert
mcu_bypass (nicht gezeigt)	RE-SET	I	Umgeht anfängliche Wartezeit von 200 µs auf das SDRAM beim Einschalten
reg_init_done	RE-SET	I	Register enthalten gültige Bits
cas_lat [1:0]	RAU	I	CAS-Latenz 00:4 01:1 10:2 (Voreinstellung) 11:3
start_post (nicht gezeigt)	RAU	I	SDRAM-Einschalt-Selbsttestoperation triggern
mcu_done	RE-SET	O	DRAM initialisiert und Selbsttest bestanden; MCU ist bereit für normalen Betrieb
Dram_err	RAU	O	DRAM hat Selbsttest nicht bestanden; jeder DRAM-Zugriff wird gesperrt
rbus_dram_err4 [15:0]	RAU	O	[15:7] reserviert [6:6] post_done: aktiviert, wenn Post beendet ist. [5:4] DRAM-Prüfmuster. [3:0] DRAM-Adresse (hohe Bits).
rbus_dram_err3 [15:0]	RAU	O	DRAM-Adresse (niedrige Bits)
rbus_dram_err2 [15:0]	RAU	O	Fehlerdaten (hohe Bits)
Reset_ios_enb (nicht gezeigt)	RE-SET	I	E/A-Zellenausgang darf aktiviert werden
scan_en	SCALA	I	Enabled SCALA-Kettenschieberegister
rbus_dram_err1 [15:0]	RAU	O	Fehlerdaten (mittlere Bits)
rbus_dram_err0 [15:0]	RAU	O	Fehlerdaten (niedrige Bits)

[0040] Die I/F-Spalte gibt den Ursprung oder das Ziel des Signals an. Die Registerzugriffseinheit **420** ist mit

RAU (register access unit) bezeichnet, der Rücksetzblock **428** ist mit RESET bezeichnet, und der Scancontroller **430** ist mit SCALA bezeichnet. Die Typ-Spalte gibt an, ob das Signal aus Sicht der Speichersteuereinheit **424** ein Eingangssignal (I; input) oder ein Ausgangssignal (O; output) ist. Die Spalte mit der Signalbeschreibung sieht eine kurze Beschreibung des Signals vor.

[0041] Eine kurze Beschreibung der Signale zwischen dem SDRAM **410** und der Speichersteuereinheit **424** ist in der folgenden Tabelle vorgesehen:

Speichersteuereinheit – SDRAM-Signale

Signalname	I/F	Typ	Signalbeschreibung
RAS	SDRAM	O	Zeilenadreß-Strobe, abgetastet bei steigender Flanke von CLK, definiert SDRAM-Operation
CAS	SDRAM	O	Spaltenadreß-Strobe, abgetastet bei steigender Flanke von CLK, definiert SDRAM-Operation
WE	SDRAM	O	Schreib-Enable, abgetastet bei steigender Flanke von CLK, definiert SDRAM-Operation
DQM	SDRAM	O	DQM hoch setzt DQ-Puffer des SDRAM in hohen Z-Zustand; deaktiviert Lesen aus SDRAM-Operation und blockiert Schreiben in SDRAM-Operation. DQM niedrig aktiviert solche Lese- und Schreiboperationen
A11	SDRAM	O	BS niedrig wählt Bank A; BS hoch wählt Bank B
A10–A0	SDRAM	O	Adreßauswahlsignale in Bank A und Bank B
DQ [47:0]	SDRAM	I/O	Daten von SDRAM

[0042] Die I/F-Spalte gibt den Ursprung oder das Ziel des Signals ein. Das SDRAM **410** ist mit SDRAM bezeichnet. Die Typ-Spalte gibt an, ob das Signal aus Sicht der Speichersteuereinheit **424** ein Eingangssignal (I) oder ein Ausgangssignal (O) ist. Die Signalbeschreibungsschaltung sieht eine kurze Beschreibung des Signals vor.

[0043] Zusätzlich zu der obigen Tabelle wird das Signal clk_sdram_out_c durch die Speichersteuereinheit **424** geleitet. Die Speichersteuereinheit **424** liefert dieses Signal an das SDRAM **410** als SDRAM_LOCK_OUT.

[0044] Während eines Bank-aktiv-Befehlszyklus definieren A0–A10 die Zeilenadressen (RA0–RA10), wenn mit der steigenden Flanke von SDRAM_CLK_OUT abgetastet wird. Während eines Lese- oder Schreib-Befehlszyklus definieren A0–A7 die Spaltenadressen (CA0–CA7), wenn mit der steigenden Flanke von SDRAM_CLK_OUT abgetastet wird. Ein hohes A10-Bit aktiviert (enabled) das automatische Vorladen der Bank, die von A11 ausgewählt wird. Ein niedriges A10-Bit deaktiviert (disabled) das automatische Vorladen. Während eines Vorlade-Befehlszyklus aktiviert ein hohes A10-Bit das Vorladen beider Banken A und B. Das niedrige A10-Bit aktiviert das Vorladen der Bank, die durch das Bit A11 ausgewählt ist. Bei einer bevorzugten Ausführungsform wird das automatische Vorladen nicht verwendet, weil es variable Burstgrößen (Größen der Signalfolgen) nicht berücksichtigen kann.

[0045] In der folgenden Tabelle ist eine kurze Beschreibung der Signale zwischen dem Puffermanager **426** und der Speichersteuereinheit **424** vorgesehen:

Speichersteuereinheit – Puffermanagersignale

Signalname	I/F	Typ	Signalbeschreibung
cmd_valid	BM	I	Ein gültiges Signal ist bei dram_wr, dram_rd vorhanden
start_addr [19:0]	BM	I	Die Adresse ist das erste Wort in einer Zelle
burst_size [5:0]	BM	I	Anzahl der Worte in der Zelle
no_info_wd	BM	I	Info-Wort vorhanden, wenn (\sim no_info_wd & bm_tag_req == 1) wahr ist
dram_wr	BM	I	Befehl ist ein Schreiben-auf-DRAN-Befehl
dram_rd	BM	I	Befehl ist ein Lesen-von-DRAN-Befehl
bm_tag_req [3:0]	BM	I	Eindeutige Marke (Tag) für diesen Schreib/Lese-Befehl
cmd_ack	BM	O	Lese/Schreib-Befehl und Tag werden quittiert; nur bis dahin sollten cmd_valid, start_addr, burst_size, dram_wr, dram_rd und BM_tag_req [3:0] deaktiviert sein; cmd_ack wird deaktiviert, wenn burst_wr oder burst_rd aktiviert werden (oder SM des BM abbricht)
bm_tag_res [3:0]	BM	O	Tag ist gleich BM_tag_req [3:0]; wird ausgegeben, wenn burst_wr oder burst_rd-Befehl aktiviert wird
burst_wr	BM	O	Wird am Anfang eines Zellen-Schreibbursts aktiviert und deaktiviert gleichzeitig cmd_ack, Daten können von BM bei nächsten Takt gesendet werden; wird beim Schreiben des Wortes in der Zelle in das MCU FIFO deaktiviert; dies ist ein Hüllsignal
send_wr_data	BM	O	Wortdaten sollten von BM bei nächstem einzelnen Takt gesendet werden und werden einen Takt später von MCU gehalten
burst_rd	BM	O	Wird am Anfang eines Zellen-Lesebursts aktiviert und deaktiviert gleichzeitig cmd_ack, Daten können bei demselben Takt zu BM gesendet werden; wird ein Takt nach dem Lesen des letzten Wortes in der Zelle aus dem MCU FIFO deaktiviert; dies ist ein Hüllsignal
data_valid	BM	O	Wortdaten werden bei demselben Takt zu BM gesendet und sollten bei dem nächsten Takt von BM gehalten werden
mcu_bm_data [47:0]	BM	O	Daten von MCU zu BM

[0046] Wiederum gibt die I/F-Spalte den Ursprung oder das Ziel des Signals an. Der Puffermanager **426** ist mit BM bezeichnet. Die Typ-Spalte gibt an, ob das Signal gesehen von der Speichersteuereinheit **424** ein Eingangssignal (I) oder ein Ausgangssignal (O) ist. Die rechte Spalte sieht eine kurze Beschreibung des Signals vor.

[0047] Mit Bezug auf [Fig. 5](#) ist im folgenden ein Blockdiagramm des Schalters **110** mit weiteren Einzelheiten einer bevorzugten Ausführungsform der Speichersteuereinheit **424** beschrieben. Die Speichersteuereinheit **424** ist in zwei Taktbereiche (Taktomänen) aufgeteilt: clk_sdram_out_c und clk50cgm_c. Die Signale in der Domäne clk_sdram_out_c sind nach einer positiven Flanke dieses Taktsignals gültig. Die Signale in der Domäne clk50cgm_c sind nach einer positiven Flanke dieses Taktsignals gültig.

[0048] Die Speichersteuereinheit **424** umfaßt eine SDRAM-Schnittstellensteuerung **510**, einen SDRAM-Befehlscontroller **522** und einen Puffermanager-Befehlscontroller **524**. Der SDRAM-Befehlscontroller **522** empfängt Befehlsinformation von der Pufferverwaltungseinheit **426** über den Puffermanager-Befehlscontroller **524**. Da der SDRAM-Befehlscontroller **522** und die Pufferverwaltungseinheit **426** in verschiedenen Taktbereichen arbeiten, dient der Puffermanager-Befehlscontroller **524** dazu, die Übertragung von Befehlsinformation über die Taktbereiche hinweg zu koordinieren. Abhängig von Befehlen von der Pufferverwaltungseinheit **426** liefert der SDRAM-Controller **522** Steuersignale an die SDRAM-Schnittstellensteuerung **510**. Zusätzlich zu diesen Signalen empfängt die SDRAM-Schnittstellensteuerung **510** Signale direkt von der Pufferverwaltungseinheit **426**, den Multiplexern **512** und **514** und dem DPRAM-Controller **526**. Abhängig von diesen Signalen liest und schreibt die SDRAM-Schnittstelle **510** Daten von dem und in das SDRAM **410**.

[0049] Spezieller empfängt die SDRAM-Schnittstellensteuerung **510** Start- und Endadresssignale von den Multiplexern **512** und **514**. Diese Adresssignale werden verwendet, um eine Start- und eine Endadresse in dem SDRAM **410** zu wählen und basieren auf Signalen, die vom Puffermanager **426** empfangen wurden. Insbesondere liefert der Puffermanager eine Startadresse und eine Paketgröße an einen Adreßwandler **520**. Abhängig von diesen Signalen wählt die Übersetzungsschaltung **520** eine Start- und eine Endadresse in dem SDRAM **510**. Die ausgewählten Adressen werden in Registern **516** und **518** gespeichert. Die Adreßumwandlung ist unten mit weiteren Einzelheiten beschrieben. Die Register **516** und **518** liefern ihrerseits die Adreßinformation an die Multiplexer **512** und **514**. Der Multiplexer **512** liefert die Startadresse an die SDRAM-Schnittstellensteuerung **510**; der Multiplexer **514** liefert die Endadresseinformation an die SDRAM-Schnittstellensteuerung **510**.

[0050] Obwohl die Adreßumwandlung hier in bezug auf spezifische Schaltkreiselemente beschrieben wurde, kann dieselbe Funktion auch mit anderen Konfigurationen erreicht werden. Diese Funktion kann z. B. mittels Software umgesetzt werden.

[0051] Die SDRAM-Schnittstellensteuerung **510** liest und schreibt Daten von dem und in das SDRAM **410**. Diese Daten werden über eine Synchronisierungsschaltung an die Pufferverwaltungseinheit **426** geliefert und von dieser empfangen. Die Synchronisierungsschaltung umfaßt DPRAM-Controller **526** und **536**, DRAMs **528** und **532** und Zeigercontroller **530** und **534**. Die Synchronisierung dient dazu, Daten über die Taktgrenze von `clk_sdram_out_c` nach `clk50cgm_c` zu übersetzen.

[0052] Insbesondere arbeitet das DPRAM **528** als ein FIFO. Von dem DPRAM-Controller **536** empfangene Paketdaten werden in das DPRAM **528** geschrieben, und diese Paketdaten werden nachfolgend von dem DPRAM-Controller **526** aus dem DPRAM **528** ausgelesen. Die Schreib- und Leseoperationen werden von dem Zeigercontroller **530** koordiniert. Der Zeigercontroller **530** überwacht das DPRAM **528**, damit nicht ungelesene Elemente überschrieben werden und damit die ältesten Paketdaten zuerst gelesen werden. Die DPRAM-Controller **536** und **526** überwachen jeweils einen Zeiger auf das DPRAM **528** zum Schreiben und Lesen von Daten in das und aus dem FIFO. Der Zeigercontroller **528** koordiniert diese Zeiger über die Taktbereiche hinweg.

[0053] Ähnlich arbeitet das DPRAM **532** wie ein FIFO, abgesehen davon, daß von dem DPRAM-Controller **526** empfangene Paketdaten in das DPRAM **532** geschrieben werden und diese Paketdaten nachfolgend von dem DPRAM-Controller **536** aus dem DPRAM **532** ausgelesen werden.

[0054] Ein Zweikanal-FIFO mit synchronisierten Lese- und Schreibzeigern ist mit weiteren Einzelheiten in der ebenfalls anhängigen deutschen Patentanmeldung "Zweikanal-FIFO mit synchronisierten Lese- und Schreibzeigern" vom 30.08.1999 derselben Anmelderin (Anwaltsaktenzeichen: NL 1699) beschrieben. Das Aktenzeichen der prioritätsbegründenden US-Ursprungsanmeldung ist 09/156,516. Auf diese Anmeldungen wird in ihrer Gesamtheit bezug genommen.

[0055] Mit Bezug auf [Fig. 6](#) ist im folgenden ein Ablaufdiagramm einer bevorzugten Schreiboperation unter Verwendung der Speichersteuereinheit der [Fig. 5](#) beschrieben. Beginnend beim Schritt **610** empfängt die Pufferverwaltungseinheit **426** ein Datenpaket. Im Schritt **612** weist die Pufferverwaltungseinheit **426** einen Puffer in dem SDRAM **410** zu. Die Pufferverwaltungseinheit **426** gibt eine Startadresse und eine Burstgröße an die Speichersteuereinheit **424** weiter. Wie oben erwähnt, kann das Datenpaket in Zellen aufgeteilt sein. Die Burstlänge wird daher dazu verwendet, die Länge der Zelle anzugeben. Durch Aufteilen des Datenpakets in Zellen können Daten in das SDRAM **410** geschrieben werden, bevor das gesamte Paket empfangen worden ist.

[0056] Im Schritt **614** liefert die Speichersteuereinheit **424** die Startadresse und die Burstgröße an die Übersetzungsschaltung **520**. Die Übersetzungsschaltung **520** konvertiert die Startadresse aus einem flachen Speicheradressraum in einen SDRAM-Speicherraum. Diese Umwandlung ist unten mit weiteren Einzelheiten beschrieben. Die Übersetzungsschaltung **520** bestimmt auch eine Endadresse, indem er die Burstgröße zu der Startadresse addiert.

[0057] Im Schritt **616** empfängt die Speichersteuereinheit **424** Daten von der Pufferverwaltungseinheit **426**. Diese Daten werden simultan mit der Adreßumwandlung über die Taktbereiche hinweg übersetzt. Im einzelnen werden die Daten auf einen FIFO-Stapel geschoben (push), und die FIFO-Zeiger werden über die Taktbereiche hinweg synchronisiert. Dies erlaubt es, die Daten in dem anderen Taktbereich aus dem FIFO-Stapel zu holen (pop).

[0058] Im Schritt **618** ist die Adresse übersetzt, und die Daten sind zu dem Takt des SDRAM synchronisiert.

Die Speichersteuereinheit **424** schreibt daher die synchronisierten Daten in das SDRAM **410**. Im Schritt **620** bestimmt die Speichersteuereinheit **424**, ob das letzte Datenwort in das SDRAM **410** geschrieben worden ist. Das SDRAM **410** schreibt Daten in aufeinanderfolgende Speicherstellen. Wenn das SDRAM die Endadresse erreicht, die im Schritt **614** berechnet wurde, geht das SDRAM zum Schritt **610** zurück, um auf weitere Paketdaten zu warten.

[0059] Mit Bezug auf [Fig. 7](#) ist ein Flußdiagramm einer bevorzugten Leseoperation unter Verwendung der Speichersteuereinheit der [Fig. 5](#) beschrieben. Beginnend beim Schritt **710** wählt die Pufferverwaltungseinheit **426** einen Puffer aus, der Paketdaten enthält, und gibt eine Startadresse und eine Burstgröße an die Speichersteuereinheit **424** weiter. Im Schritt **712** liefert die Speichersteuereinheit **424** die Startadresse und die Burstgröße an die Übersetzungsschaltung **520**. Die Übersetzungsschaltung **520** konvertiert die Startadresse aus einem flachen Speicheradreßraum in einen SDRAM-Speicherraum. Diese Umwandlung ist unten näher beschrieben. Die Übersetzungsschaltung **520** bestimmt auch eine Endadresse gestützt auf die Startadresse und die Burstgröße.

[0060] Im Schritt **714** gibt die Speichersteuereinheit **424** die Startadresse und die Endadresse an das SDRAM **410** weiter. Das SDRAM **410** beginnt seinerseits mit dem Lesen der Daten aus sequentiellen Adressen beginnend bei der Startadresse. Diese Daten werden über die Taktbereiche hinweg simultan mit der Adreßumwandlung übersetzt. Im einzelnen werden die Daten auf einen FIFO-Stapel geschoben (push), und die FIFO-Zeiger werden über die Taktbereiche hinweg synchronisiert. Dies erlaubt es, die Daten in dem anderen Taktbereich von dem FIFO-Stapel zu holen (pop).

[0061] Im Schritt **716** bestimmt das SDRAM, ob die Endadresse erreicht wurde. Wenn nein, geht das SDRAM **410** zum Schritt **714** zurück, um Daten aus der nächsten, folgenden Adresse zu lesen. Ansonsten ist das Lesen der Daten beendet.

[0062] Im Schritt **718** sendet daher der Puffermanager die Paketdaten an die richtige Netzwerkeinrichtung und kehrt zum Schritt **710** zurück, um den nächsten Puffer auszuwählen.

[0063] [Fig. 8](#) zeigt eine Tabelle einer bevorzugten Adreßübersetzung aus einem flachen Speicheradreßraum in einen SDRAM-Adreßraum. Diese Adreßübersetzung wird in der Übersetzungsschaltung **520** der [Fig. 5](#) ausgeführt. Der flache Speicheradreßraum ist in sechs Puffer (1–6) aufgeteilt, wie durch die erste Spalte angezeigt wird, die mit „relativer“ Puffernummer überschrieben ist. Jedem der Puffer wird ein Bereich von Speicherstellen in dem flachen Speicheradreßraum zugewiesen. Diese Zuweisung wird durch die Spalte angezeigt, die mit „von flacher Adresse“ überschrieben ist. Dem Puffer Nr. 1 wird z. B. der flache Speicheradreßraum 000-14F in hexadezimaler Schreibweise (aufgelistet als 000-0FF und 100-14F) zugewiesen. Die anderen Puffer entsprechen ähnlich zugewiesenem Speicher in dem flachen Speicheradreßraum.

[0064] Da jeder der Puffer größer als eine Seite ist, wird jeder Puffer auf zwei Banken abgebildet. Ein Teil des Puffers Nr. 1 wird z. B. auf die Bank Nr. 1 abgebildet, und ein Teil des Puffers Nr. 1 wird auf die Bank Nr. 2 abgebildet. Spezieller werden die flachen Speicherstellen 000-0FF auf die Bank Nr. 1 abgebildet, und die flachen Speicherstellen 100-14F werden auf die Bank Nr. 2 abgebildet. Die physischen Speicherstellen in den Banken werden durch die mit „zur physischen Adresse“ bezeichnete Spalte angegeben.

[0065] Die mit „Bedingungen“ bezeichnete Spalte gibt die Abbildungsbedingung an. Der erste Eintrag „ $0 \leq [10:4] < 10$ “ gibt z. B. an, daß dann, wenn der Wert der Adreßbits Nr. 10 bis 4 größer als oder gleich 0 und kleiner als 10 ist, die Adreßstellen auf die physischen Adreßstellen im Bereich von 000-0FF in der Bank Nr. 1 abgebildet werden. Da die flachen Speicheradreßstellen mit den physischen Speicheradreßstellen übereinstimmen, muß mit diesen Adressen keine Operation ausgeführt werden.

[0066] Wenn bei dem zweiten Eintrag die Bits Nr. 10 bis 4 die Bedingung $15 \leq [1:4] < 25$ erfüllen, wird der zweite physische Adreßraum ausgewählt. Die flachen Speicheradreßstellen 150-24F werden daher auf die physischen Speicheradreßstellen 100-1FF abgebildet. Diese Übersetzung wird abhängig von sowohl der mit „Operation“ bezeichneten Spalte als auch von der mit „zusätzliche Operation“ bezeichneten Spalte ausgeführt. Die mit „Operation“ bezeichnete Spalte gibt insbesondere an, daß die Bits Nr. 10 bis 8 („[10:8]“) in binärer Notation auf 001 abgebildet werden. Die „zusätzliche Operation“ gibt an, daß die Bits Nr. 7 bis 4 („[7:4]“) um 5 reduziert werden. Diese beiden Operationen werden mit jeder flachen Speicheradreßstelle ausgeführt, um die entsprechende physische Speicheradreßstelle zu erzeugen.

[0067] Die anderen Einträge funktionieren auf ähnliche Weise, so daß jede flache Speicheradreßstelle auf

eine physische Speicheradresse abgeleitet wird. Die mit "Bedingung" bezeichnete Spalte wird auf die flache Speicheradresse bezogen. Wenn die flache Speicheradresse in dem ausgewählten Bereich liegt, werden die entsprechenden Operationen aus den mit "Operation" und "zusätzliche Operation" bezeichneten Spalten auf die flache Speicheradresse angewendet. Diese Operationen erzeugen die physische Speicheradresse.

[0068] Mit Bezug auf [Fig. 9](#) ist ein Blockdiagramm der Adreßübersetzung der [Fig. 8](#) beschrieben. Der flache Speicheradressraum **902** ist in Blöcke **910–920** aufgeteilt. Die Blöcke **910–920** werden von der Übersetzungsschaltung **520** (die in [Fig. 5](#) gezeigt ist) jeweils auf den physischen Speicheradressraum abgebildet. Die Abbildung des Speicherblocks **918** ist im einzelnen dargestellt. Die anderen Speicherblöcke werden ähnlich abgebildet.

[0069] Im einzelnen ist der Block **918** in sechs Puffer unterteilt. Diese Puffer belegen die Seiten **930–944** des SDRAM **410**. Die Seiten **930**, **934**, **938** und **942** liegen in der Bank A des SDRAM **410**. Die Seiten **932**, **936**, **940** und **944** liegen in der Bank B des SDRAM **410**. Die Seite **942** ist in einen ersten Teil **950**, einen zweiten Teil **951** und einen dritten Teil **952** unterteilt. Die Seite **944** ist in einen ersten Teil **953**, einen zweiten Teil **954** und einen dritten Teil **955** unterteilt.

[0070] Der Puffer Nr. 1 belegt die Seite **930** und den ersten Teil **953** der Seite **944**. Der Puffer Nr. 2 belegt die Seite **932** und den zweiten Teil **951** der Seite **942**. Der Puffer Nr. 3 belegt die Seite **934** und den dritten Teil **955** der Seite **944**. Der Puffer Nr. 4 belegt die Seite **936** und den ersten Teil **950** der Seite **942**. Der Puffer Nr. 5 belegt die Seite **938** und den zweiten Teil **954** der Seite **944**. Der Puffer Nr. 6 belegt die Seite **940** und den dritten Teil **952** der Seite **942**.

[0071] Wenn Paketdaten in einen Puffer geschrieben werden, greift die Speichersteuereinheit **424** zuerst auf die Seiten **930–940** zu. Diese Seiten werden daher als Hauptseiten bezeichnet. Wenn eine Hauptseite kein gesamtes Paket fassen kann, greift die Speichersteuereinheit **424** auf einen Teil der Seiten **942–944** zu. Diese Seiten werden daher als Zusatzseiten bezeichnet.

[0072] Die Speichersteuereinheit **424** kann z. B. versuchen, ein Datenpaket von 2 kByte in dem Puffer Nr. 1 zu speichern. Zunächst werden Daten in die Seite **930** geschrieben, diese Seite kann jedoch nur 1,5 kByte Daten fassen. Die verbleibenden Paketdaten werden daher in den ersten Teil **953** der Seite **944** geschrieben. Da die Seite **930** in der Bank A und die Seite **944** in der Bank B liegt, kann die Vorladeoperation der Seite **944** beginnen, bevor das Schreiben auf die Seite **930** abgeschlossen ist.

[0073] Mit Bezug auf [Fig. 10](#) ist im folgenden ein Blockdiagramm einer bevorzugten Ausführungsform einer SDRAM-Speicheradress-Auswahlschaltung **1000** beschrieben. Die SDRAM-Speicheradress-Auswahlschaltung umfaßt Flach/SDRAM-Adreßübersetzungseinrichtungen **1010** und **1018** sowie eine Startadreß-Übersetzungseinrichtung **1016**. Zusammen empfangen diese Übersetzungseinrichtungen Information über die Startadresse und die Burstgröße von einem Puffermanager und erzeugen Adreßstart- und Adreßend-Signale für ein SDRAM. Die SDRAM-Speicheradress-Auswahlschaltung **1000** ermöglicht es dem Puffermanager, das SDRAM wie einen Speicher mit flacher Adressierung (flat memory) zu adressieren. Dies vereinfacht die Realisierung des Puffermanagers.

[0074] Die Startadreßinformation wird von dem Signal `start_addr` vorgesehen, und die Burstgrößeninformation wird von dem Signal `burst_size` vorgesehen. Ein Addierer **1012** addiert das Signal `start_addr` zu dem Signal `burst_size`. Das Ausgangssignal des Addierers **1012** wird an einen Subtrahierer **1014** übergeben, der dieses Ausgangssignal um 1 dekrementiert. Das Ausgangssignal des Subtrahierers **1014** ist die Endadresse und wird als das Signal `end_addr` vorgesehen.

[0075] Das Signal `start_addr` wird auch an die Flach/SDRAM-Adreßübersetzungseinrichtung **1010** übergeben. Das Signal `start_addr` ist ein 20 Bit breites Signal. Die elf niedrigwertigen Bits des Signals `start_addr` (d. h. [10:0]) werden gemäß der in [Fig. 8](#) gezeigten Tabelle konvertiert. Die neun höchstwertigen Bits werden von der Flach/SDRAM-Adreßübersetzungseinrichtung **1010** nicht verändert.

[0076] Die elf niedrigwertigen Bits sind ausreichend, um einen Puffer auf eine Hauptseite in einer Bank und eine Zusatzseite in einer anderen Bank abzubilden. Die Verwendung der neun höchstwertigen Bits würde zusätzliche Übersetzungsschaltungen und daher zusätzliche Logikgatter erfordern. Dies würde wiederum die Adreßwandlung verzögern.

[0077] Die elf niedrigstwertigen Bits, die gemäß der in [Fig. 8](#) gezeigten Tabelle konvertiert wurden, werden mit den neun höchstwertigen Bits des Signals `start_addr` kombiniert, um das Signal `addr0_start` vorzusehen. Dieses Signal ist die Startadresse in dem SDRAM.

[0078] Zusätzlich sieht die Flach/SDRAM-Adreßübersetzungseinrichtung **1010** ein Hauptseitensignal (`main_page`) und ein Hauptseitenendeadreß-Signal (`addr0_end`) vor. Das Signal `main_page` gibt an, ob die übersetzte Startadresse auf eine Hauptseite abgebildet wird. Wenn ja, wird das Signal `main_page` aktiviert. Anderenfalls wird das Signal `main_page` deaktiviert. Das Signal `addr0_end` gibt die letzte verfügbare Adreßstelle auf der Hauptseite an. Wieder in [Fig. 9](#) ist die letzte verfügbare Adresse auf der Hauptseite **930** gleich 255 (0FFh).

[0079] Die Startadreßübersetzungseinrichtung **1016** empfängt das Signal `end_addr` und das Signal `main_page`. Die Startadreßübersetzungseinrichtung **1016** gibt die erste verfügbare Adreßstelle in einer Zusatzseite an. Wieder in [Fig. 9](#) ist die erste verfügbare Adreßstelle in der Zusatzseite **944** für den Puffer Nr. 1 gleich 1792 (700h).

[0080] Für Daten, die keine Paketdaten sind, kann von einer Zusatzseite auf einer Hauptseite gelesen und auf sie geschrieben werden. Dem Signal `addr0_start` kann z. B. 700 h zugewiesen werden. Das Signal `main_page` wird daher deaktiviert, und dem Signal `addr1_start` würde 100 h zugewiesen werden (d. h. der Anfang des Puffers Nr. 2).

[0081] Das Signal `end_addr` wird auch an die Flach/SDRAM-Adreßübersetzungseinrichtung **1018** übergeben. Das Signal `end_addr` ist ein 20 Bit breites Signal. Die elf niedrigstwertigen Bits des Signal `end_addr` (d. h. [10:0]) werden gemäß der in [Fig. 8](#) gezeigten Tabelle konvertiert. Die neun höchstwertigen Bits werden von der Flach/SDRAM-Adreßübersetzungseinrichtung **1018** nicht verändert.

[0082] Die elf niedrigstwertigen Bits, die gemäß der in [Fig. 8](#) gezeigten Tabelle konvertiert wurden, werden mit den neun höchstwertigen Bits des Signals `end_addr` kombiniert, um das Signal `addr1_end` vorzusehen. Dieses Signal ist die Endadresse in der Zusatzseite des SDRAM.

[0083] Um die Adreßübersetzungen zu beschleunigen, werden alle vier Adressen, nämlich `addr0_start`, `addr0_end`, `addr1_start` und `addr1_end` gleichzeitig erzeugt. Diese Adreßsignale werden üblicherweise abhängig davon, ob die betreffende Zelle in einer Seite enthalten ist, unterschiedlich verwendet.

[0084] Wenn eine Zelle in einer Seite enthalten ist, zeigt `addr0_start` auf die tatsächliche Startadresse des SDRAM, `addr0_end` zeigt auf die letzte Adresse auf derselben SDRAM-Seite, `addr1_start` zeigt auf die erste Adresse der nächsten SDRAM-Seite in Folge und `addr1_end` zeigt auf die tatsächliche Endadresse auf derselben SDRAM-Seite wie `addr1_start`. In diesem Fall werden daher nur `addr0_start` und `addr1_end` von dem SDRAM-Controller verwendet. Insbesondere verwendet der SDRAM-Controller `addr0_start` als die Startadresse und `addr1_end` als die Endadresse. Da alle Daten auf eine Seite geschrieben werden, kann der SDRAM-Controller die Grenzen der Seiten ignorieren.

[0085] Wenn eine Zelle in zwei SDRAM-Seiten enthalten ist, zeigt `addr0_start` auf die tatsächliche Startadresse des SDRAM, `addr0_end` zeigt auf die letzte Adresse auf derselben SDRAM-Seite, `addr1_start` zeigt auf die erste Adresse der nächsten SDRAM-Seite in Folge, und `addr1_end` zeigt auf die tatsächliche Endadresse auf derselben SDRAM-Seite wie `addr1_start`. In diesem Fall werden von dem SDRAM-Controller alle vier Adressen verwendet. Insbesondere verwendet der SDRAM-Controller zunächst `addr0_start` und `addr0_end`, um Daten auf der ersten Seite zu schreiben (oder zu lesen). Dann verwendet der SDRAM-Controller `addr1_start` und `addr1_end`, um Daten auf der zweiten Seite zu schreiben (oder zu lesen).

[0086] Mit Bezug auf [Fig. 11](#) ist ein Ablaufdiagramm einer bevorzugten Operation der Speichersteuereinheit der [Fig. 4](#) beschrieben, mit der eine Adresse aus einem flachen Speicheradreßraum in einen SDRAM-Adreßraum übersetzt wird. Im Schritt **1110** empfängt die Speichersteuereinheit ein flaches Speicheradreßsignal und eine Burstgröße. Im Schritt **1112** übersetzt die Speichersteuereinheit das flache Speicheradreßsignal in ein SDRAM-Adreßsignal. Die Übersetzung erfolgt gemäß der in [Fig. 8](#) dargestellten Tabelle. Im Schritt **1114** adiert die Speichersteuereinheit die Burstgröße zu dem flachen Speicheradreßsignal, um ein flaches Speicher-Endadreßsignal vorzusehen. Im Schritt **1116** übersetzt die Speichersteuereinheit das flache Speicher-Endadreßsignal in ein SDRAM-Endadreßsignal.

[0087] Im Schritt **1118** ermittelt die Speichersteuereinheit, ob das SDRAM-Startadreßsignal auf einer Haupt-

seite liegt. Wenn nein, ist die Übersetzung abgeschlossen. Anderenfalls ermittelt die Speichersteuereinheit im Schritt **1120**, ob das SDRAM-Endadresssignal auf einer Hauptseite liegt. Wenn ja, ist die Übersetzung abgeschlossen. Anderenfalls überqueren die Daten eine Seitengrenze. Im Schritt **1122** erzeugt die Speichersteuereinheit daher ein Seitengrenzen-Adresssignal. Die Seitengrenzen-Adresssignale zeigen die letzte verfügbare Speicherstelle auf der Hauptseite und die erste verfügbare Speicherstelle auf der Zusatzseite an. Damit ist die Übersetzung beendet.

[0088] Die oben beschriebene Abbildung dient zum Beschleunigen des Datenzugriffs. Insbesondere ordnet diese Abbildung Paketdaten an, auf die gemeinsam zugegriffen wird, die jedoch nicht auf derselben Seite in verschiedenen Banken gespeichert werden können. Dies ermöglicht, daß die Vorlade- und Aktivierungsoperationen beginnen, bevor der vorhergehende Zugriff beendet ist, und somit die Datenzugriffszeit weiter reduziert wird.

[0089] Während des normalen Betriebs wird ferner auf den Puffer Nr. 1 als erstes zugegriffen. Wie in [Fig. 9](#) gezeigt, liegt ein erster Teil des Puffers Nr. 1 (d. h. der Block **930**) an der Bank A, und ein zweiter Teil des Puffers Nr. 1 (d. h. der Block **950**) liegt in der Bank B. Üblicherweise belegt ein Datenpaket nicht eine gesamte Speicherseite. Es wird daher nur auf den Block **930** zugegriffen. Auf den Puffer Nr. 2 wird danach zugegriffen. Da der erste Teil dieses Puffers in der Bank B liegt (d. h. Seite **932**), kann diese Seite vorgeladen und aktiviert werden, während noch Daten in die Bank A geschrieben werden. Die Hauptseiten der anderen, nachfolgenden Puffer werden ebenfalls in verschiedenen Banken angeordnet. Diese Anordnung dient dazu, den Datenzugriff zu beschleunigen.

[0090] Obwohl die hier beschriebenen Ausführungsformen eine Adreßübersetzung realisieren, die Start- und Längen-Adreßinformation erhält, kann die Übersetzung auch mit Start- und End-Adreßinformationen arbeiten. Dieselbe Übersetzung kann auf diese Adreßinformation angewendet werden. Zusätzlich kann die Adreßübersetzung abhängig von den Anforderungen des SDRAM Informationen über Start, Länge oder Burstgröße erzeugen.

[0091] Insbesondere werden, wie oben beschrieben, `start_addr` und `burst_size` von einem Puffermanager vorgesehen und in `addr0_start`, `addr0_end`, `addr1_start` und `addr1_end` im SDRAM-Adreßraum konvertiert. Ebenso können `start_addr` und `burst_size` in die Signale `addr0_start`, `addr0_size`, `addr1_start` und `addr1_size` konvertiert werden. Mit anderen Worten ist es funktional äquivalent, anstatt die Start- und Endadressen zu erzeugen, die Startadressen und die Größen der Bursts (Signalfolgen) für diese Startadressen zu erzeugen.

Patentansprüche

1. Adreßübersetzungsschaltung zum Abbilden von Adreßinformationen von einem flachen Adreßraum in einen SDRAM-Adreßraum eines SDRAM (**410**), mit:

einer SDRAM-Schnittstellensteuerung (**510**) zum Empfangen von Adreßinformationen von einer Pufferverwaltungseinheit (**426**), wobei die Pufferverwaltungseinheit (**426**) den flachen Adreßraum in mehrere Pufferbereiche aufteilt, zu denen jeweils eine Startadresse (`start_addr`) und eine die Datenmenge in dem Pufferbereich beschreibende Burstgröße (`burst_size`) gehört; und einer Übersetzungsschaltung (**520; 1000**), die mit der SDRAM-Schnittstellensteuerung (**510**) betrieblich gekoppelt ist und die folgenden Merkmale aufweist:

a) eine Übersetzungseinrichtung (**1010**), die unter Berücksichtigung der Startadresse (`start_addr`) und einer vorgegebenen Puffergröße eine Startadresse der ersten Seite (`addr0_start`) und eine Endadresse der ersten Seite (`addr0_end`) auf einer ersten Bank (A; B) erzeugt;

b) einen Addierer (**1012**), der die Startadresse (`start_addr`) und die Burstgröße (`burst_size`) addiert, um eine Endadresse (`end_addr`) zu erzeugen; und

c) eine weitere Übersetzungseinrichtung (**1016, 1018**), die eine Startadresse der zweiten Seite (`addr1_start`) und eine Endadresse der zweiten Seite (`addr1_end`) auf einer zweiten Bank (A; B) erzeugt, wenn die Burstgröße (`burst_size`) eine vorbestimmte Seitengröße übersteigt; wobei ein jeweiliger Teil von Daten der mehreren Puffer in einem der Bänke (A; B) und ein zugehöriger weiterer Teil der Daten der mehreren Puffer in dem anderen der Bänke (B; A) in jeweiligen Teilbereichen (**950, 951, 952; 953, 954, 955**) gespeichert werden.

2. Schaltung nach Anspruch 1 mit zusätzlich:

– einem Datenbus, der Daten empfängt;

– einem SDRAM-Controller (**424**), der mit dem Datenbus und der Übersetzungsschaltung (**520; 1000**) betreibbar verbunden ist; und

– einem SDRAM (**410**), welcher mit dem SDRAM-Controller (**424**) betreibbar verbunden ist, wobei der

SDRAM-Controller (**424**) Daten auf die erste Seite schreibt und gleichzeitig eine Vorladungsoperation auf die zweite Seite ausführt.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

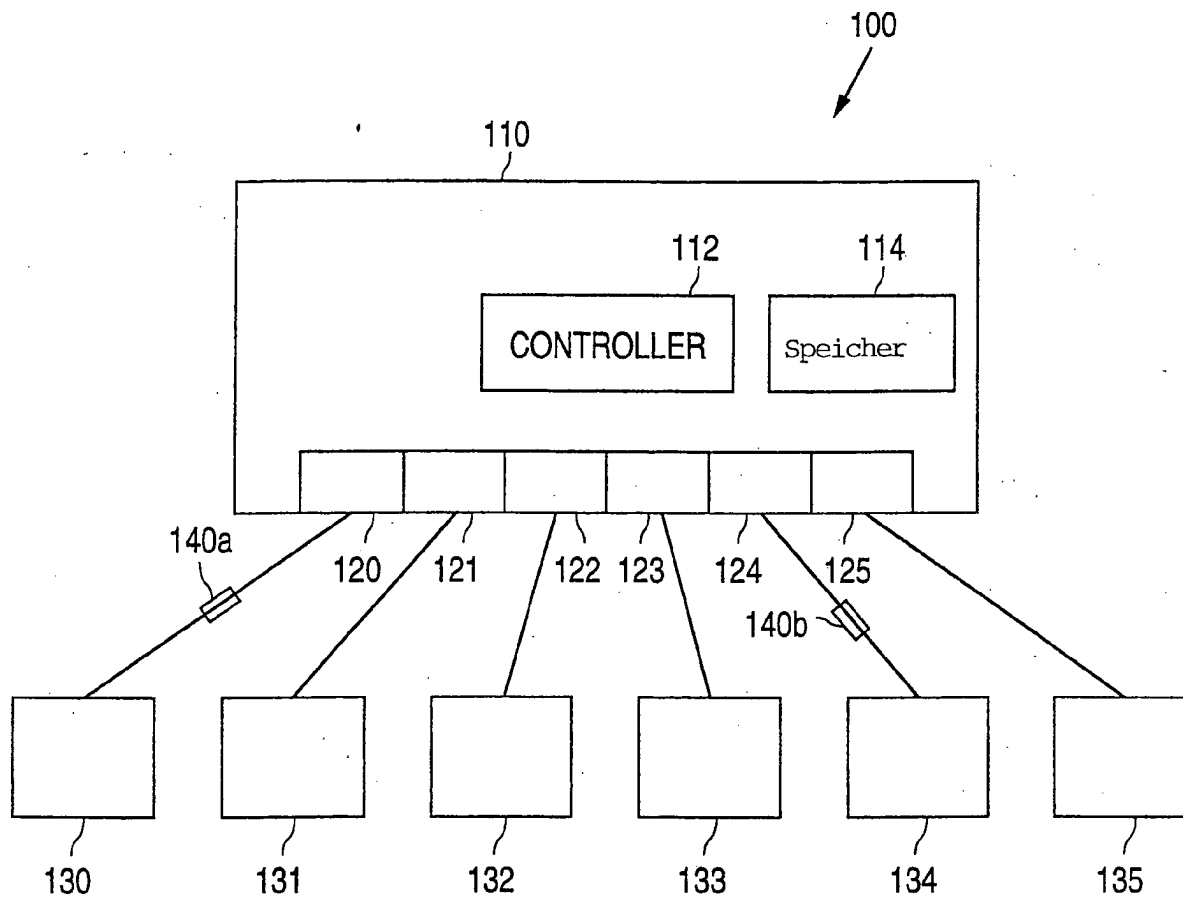


FIG. 1

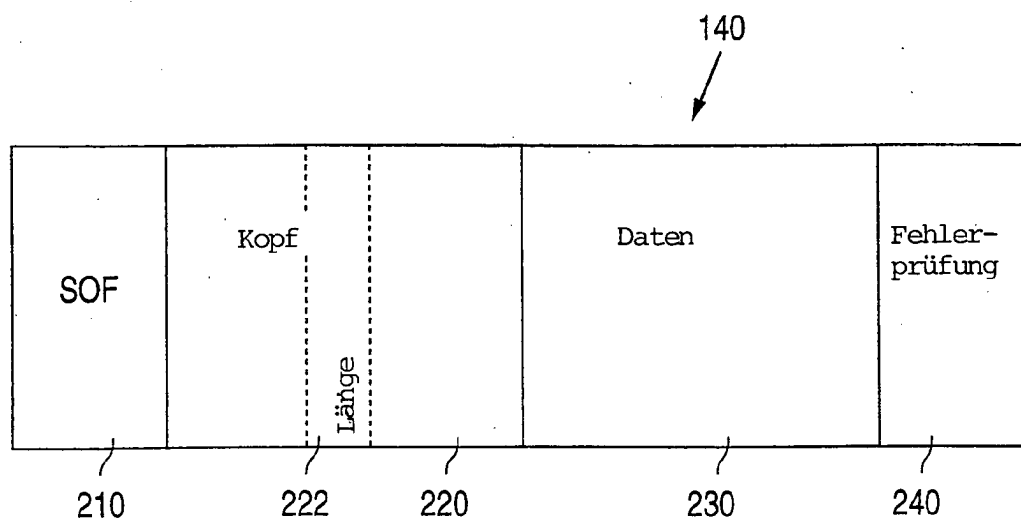


FIG. 2
(Stand der Technik)

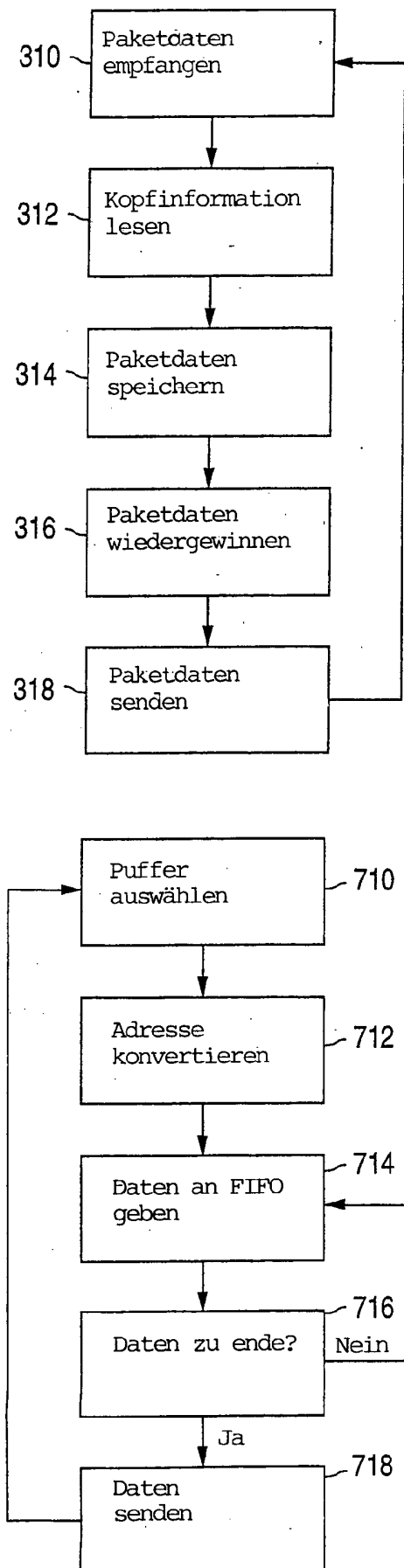


FIG. 3

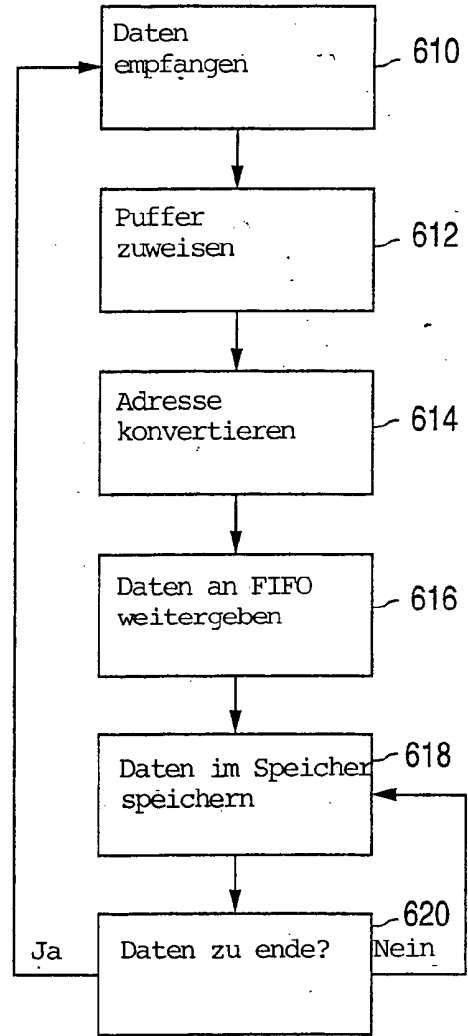


FIG. 6

FIG. 7

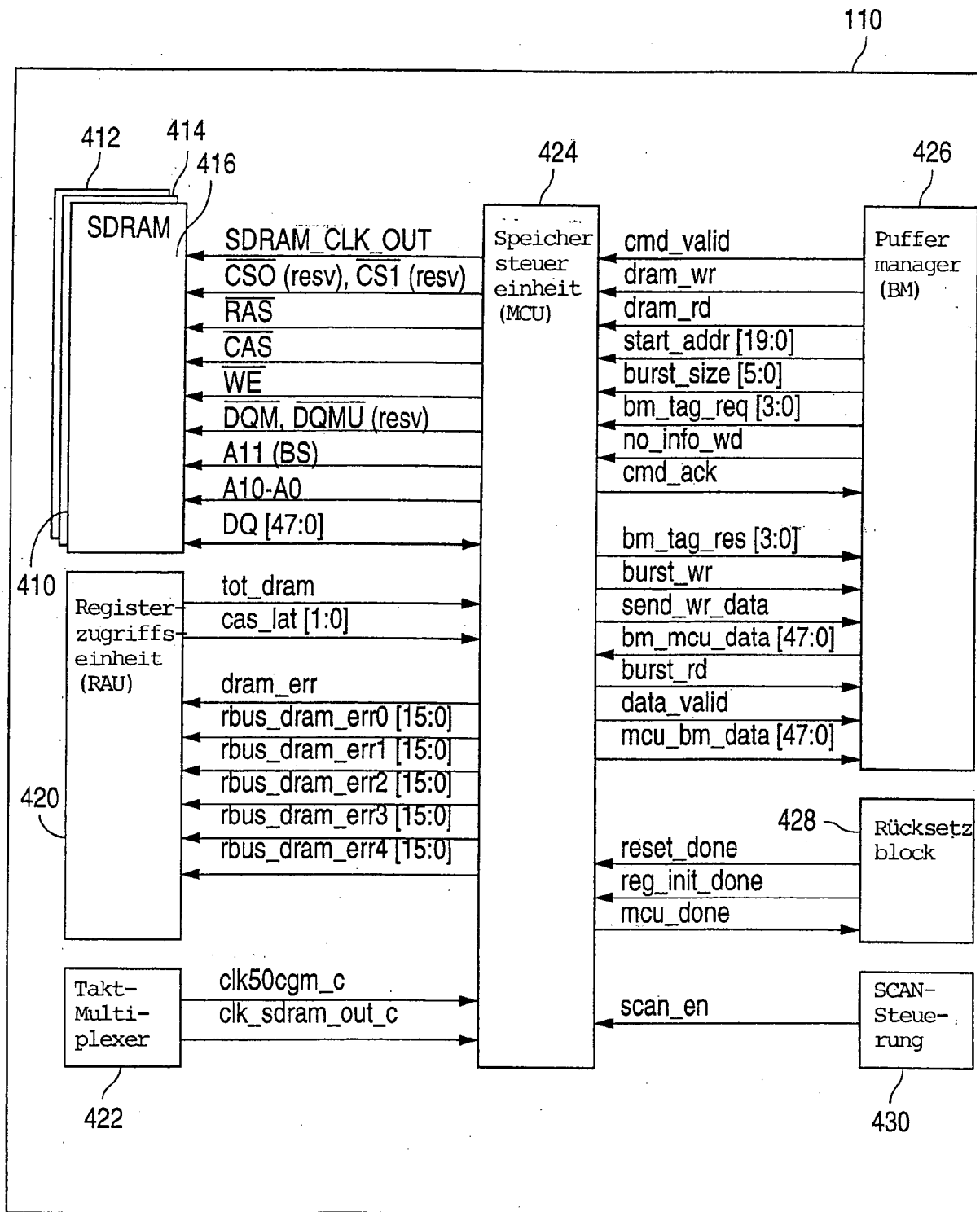


FIG. 4

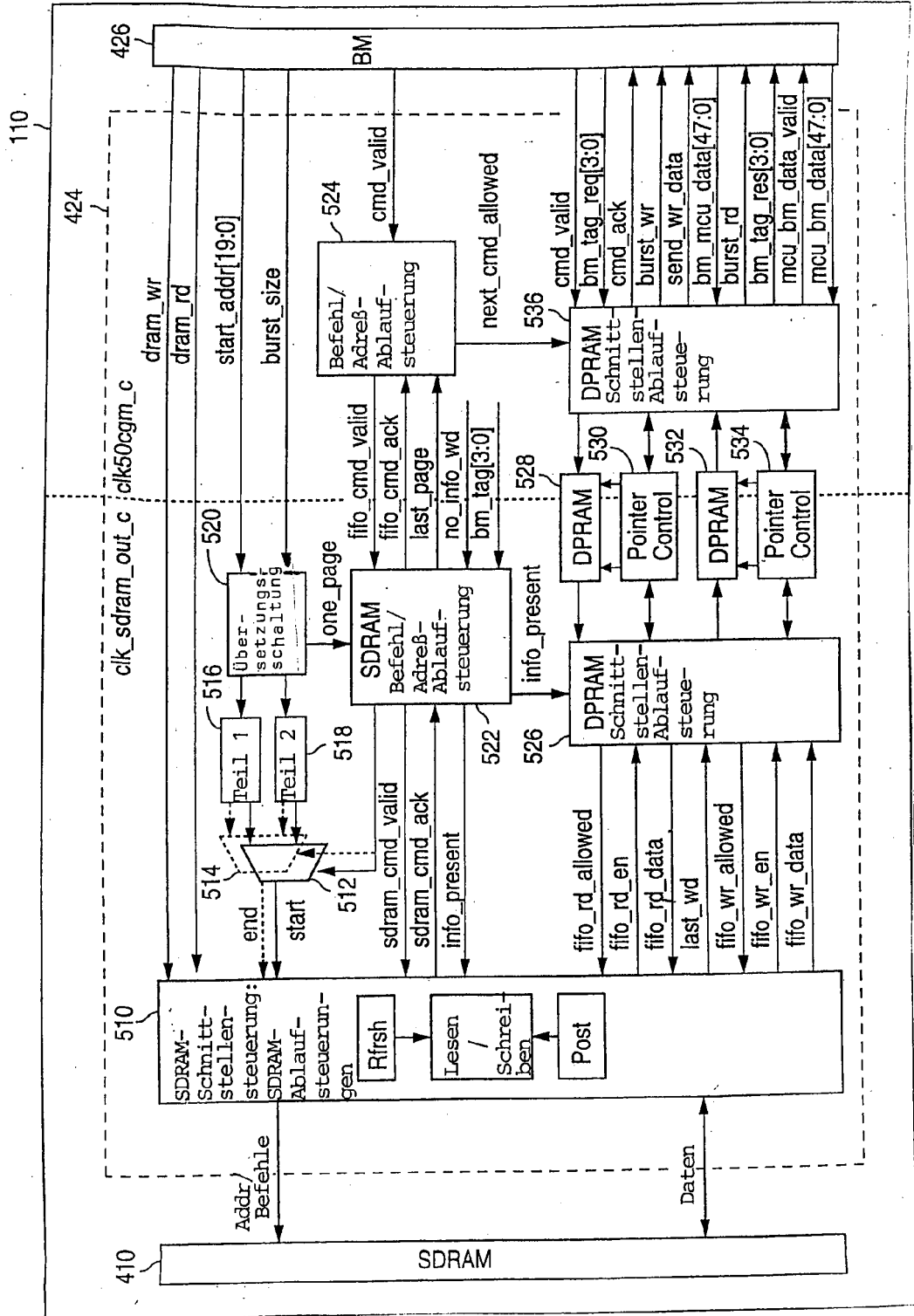


FIG. 5

Relative Puffer Nr.	Bank Nr. [8:8]	Von flacher Adresse [10:0]	Zu physischer Adresse [10:0]	Bedingung	Operation	Zusätzliche Operation
1	1	000-0FF	000-0FF	$0 \leq [10:4] < 10$	no operation	
2	2	150-24F	100-1FF	$15 \leq [10:4] < 25$	$[10:8]=001$	$[7:4]-5$
3	1	2A0-39F	200-2FF	$2A \leq [10:4] < 3A$	$[10:8]=010$	$[7:4]+6$
4	2	400-4FF	300-3FF	$40 \leq [10:4] < 50$	$[10:8]=011$	
5	1	550-64F	400-4FF	$55 \leq [10:4] < 65$	$[10:8]=100$	$[7:4]-5$
6	2	6A0-79F	500-5FF	$6A \leq [10:4] < 4A$	$[10:8]=101$	$[7:4]+6$
1	2	100-14F	700-74F	$10 \leq [10:4] < 15$	$[10:8]=111$	
2	1	250-29F	650-69F	$25 \leq [10:4] < 2A$	$[10:8]=110$	
3	2	3A0-3FF	7A0-7FF	$3A \leq [10:4] < 40$	$[10:8]=111$	
4	1	500-54F	600-64F	$50 \leq [10:4] < 55$	$[10:8]=110$	
5	2	650-69F	750-79F	$65 \leq [10:4] < 6A$	$[10:8]=111$	
6	1	7A0-7FF	6A0-6FF	else	$[10:8]=110$	

FIG. 8

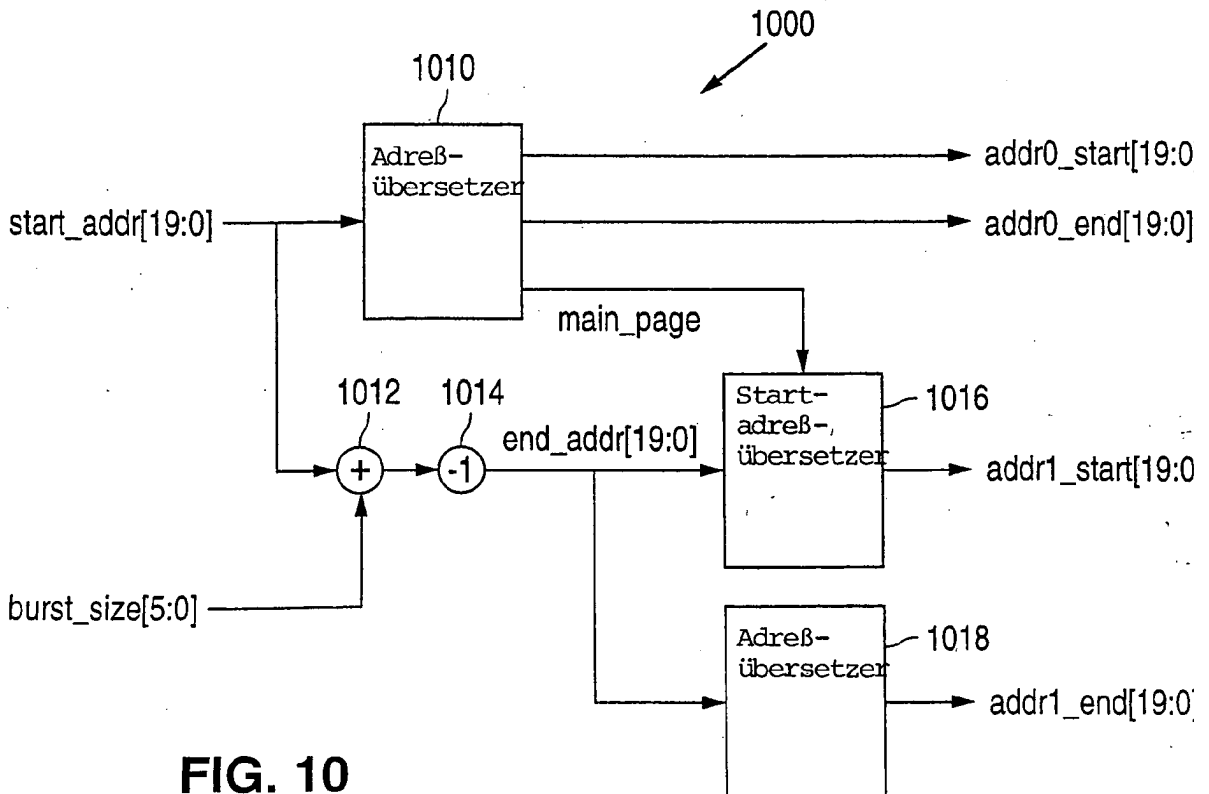


FIG. 10

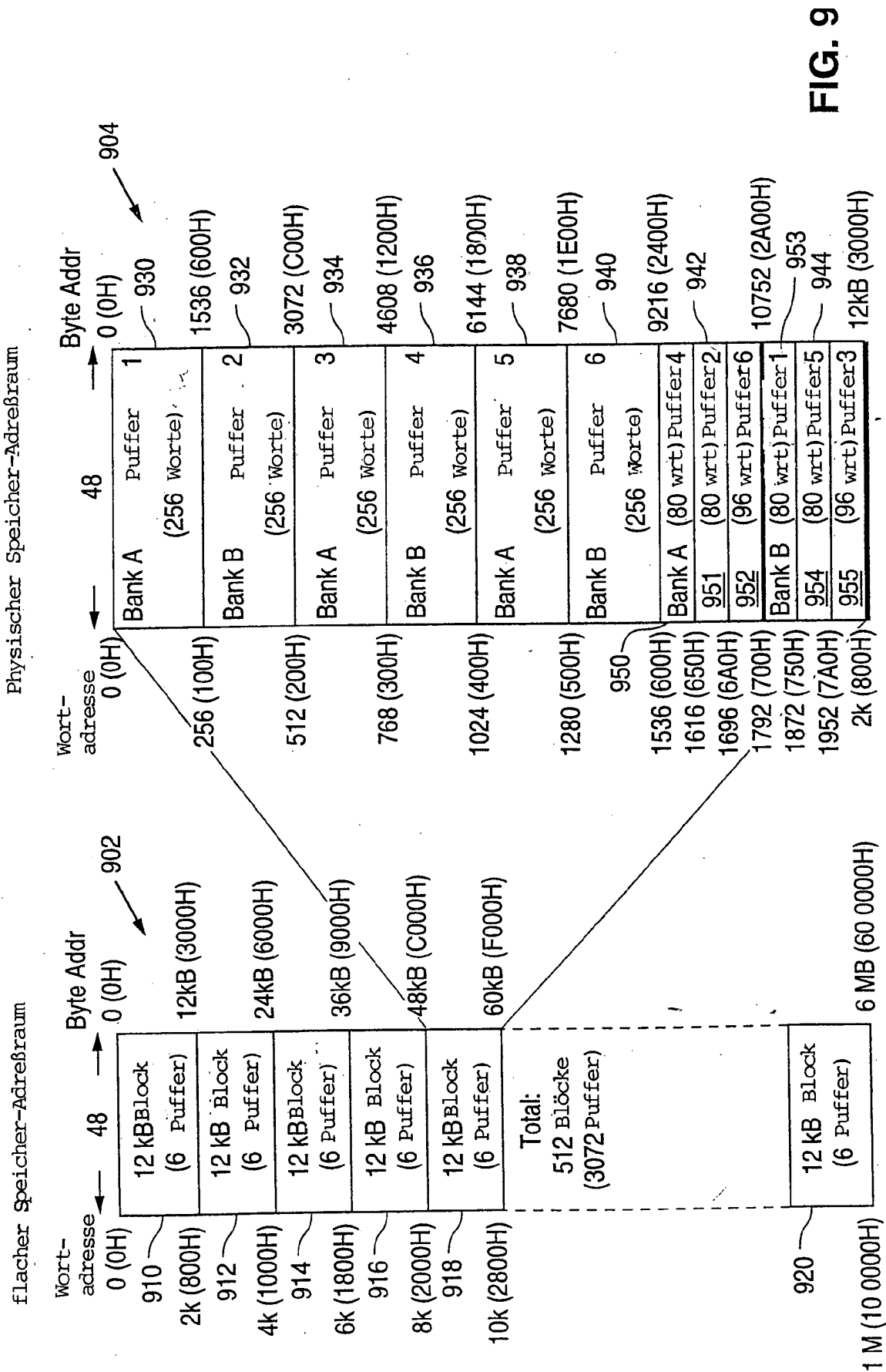


FIG. 9

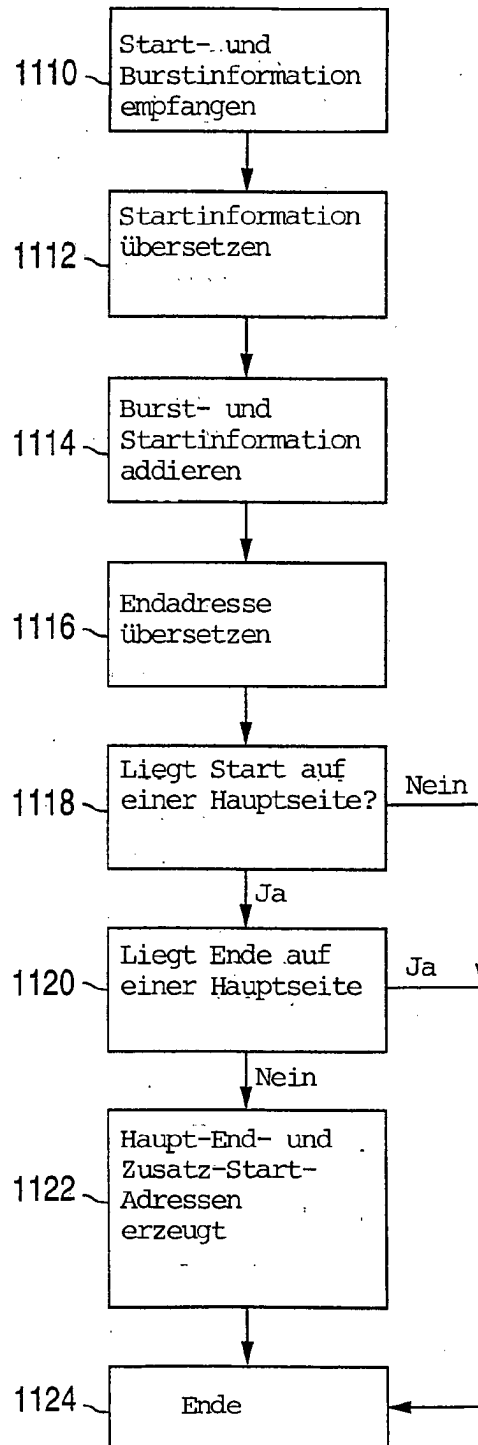


FIG. 11