(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G01R 31/28

(45) 공고일자 1999년04월01일
(11) 등록번호 특0181349
(24) 등록일자 1998년12월07일

(21) 출원번호 특1996-004674
(22) 출원일자 1996년02월26일
(65) 공개번호 특1996-032018
(43) 공개일자 1996년09월17일
(30) 우선권주장 95-038474 1995년02월27일 일본(JP)

(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3
(72) 발명자 마에노 히데시
일본국 효고겐 이따미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 시스템 엘에스아이 카이하쯔 켄큐쇼 나이
(74) 대리인 이화익

심사관 : 권호영

(54) 반도체 집적회로장치

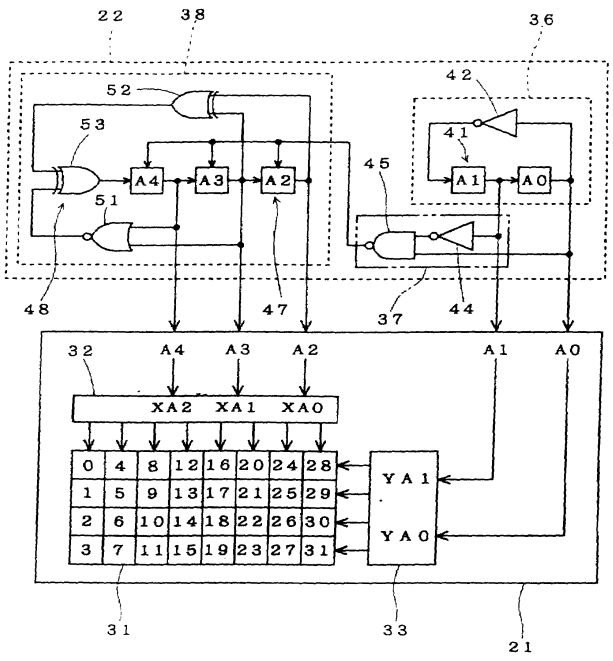
요약

고장이 X디코더에 기인하는 것인지 Y디코더에 기인하는 것인지를 용이하게 구별한다.

메모리 회로 21의 X디코더 32 및 Y디코더 33에 각각 대응하는 별개의 전주기계열 발생회로 36, 38을 설치하고, 한편의 제1의 전주기계열 발생회로 36의 특정의 어드레스 상태를 특정상태 검출회로 37로 검출하는 것으로, 한편의 어드레스가 대강 변화한 후에 처음으로 다른편의 어드레스를 변화시킨다.

어느 타이밍으로 고장이 발생하였는지가 판명되면, X, Y디코더의 어느 것에 의한 고장인지가 즉시 판명된다.

대표도



명세서

[발명의 명칭]

반도체 집적회로장치(SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE)

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예의 메모리 테스트 회로를 표시하는 도면.

제2도는 본 발명의 제1실시예의 메모리 테스트 회로의 각 레지스터의 처리 변화를 표시하는 도면.
제3도는 본 발명의 제2실시예의 메모리 테스트 회로를 표시하는 도면.
제4도는 본 발명의 제2실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제5도는 본 발명의 제3실시예의 메모리 테스트 회로의 전체적인 배선구성을 표시하는 도면.
제6도는 본 발명의 실시예의 메모리 테스트 회로를 표시하는 도면.
제7도는 본 발명의 제3실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제8도는 본 발명의 제4실시예의 메모리 테스트 회로를 표시하는 도면.
제9도는 본 발명의 제4실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제10도는 본 발명의 제5실시예의 메모리 테스트 회로를 표시하는 도면.
제11도는 본 발명의 제5실시예의 메모리 테스트 회로를 표시하는 도면.
제12도는 본 발명의 제5실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제13도는 본 발명의 제6실시예의 메모리 테스트 회로를 표시하는 도면.
제14도는 본 발명의 제6실시예의 메모리 테스트 회로를 표시하는 도면.
제15도는 본 발명의 제6실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제16도는 본 발명의 제6실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제17도는 본 발명의 제7실시예의 메모리 테스트 회로를 표시하는 도면.
제18도는 본 발명의 제7실시예의 메모리 테스트 회로를 표시하는 도면.
제19도는 본 발명의 제8실시예의 메모리 테스트 회로를 표시하는 도면.
제20도는 본 발명의 제8메모리 테스트 회로를 표시하는 도면.
제21도는 본 발명의 제8메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제22도는 본 발명의 제8실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제23도는 본 발명의 제9실시예의 메모리 테스트 회로를 표시하는 도면.
제24도는 본 발명의 제9실시예의 메모리 테스트 회로를 표시하는 도면.
제25도는 본 발명의 제10실시예의 메모리 테스트 회로를 표시하는 도면.
제26도는 본 발명의 제10실시예의 메모리 테스트 회로를 표시하는 도면.
제27도는 본 발명의 제10실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제28도는 본 발명의 제10실시예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.
제29도는 본 발명의 제11실시예의 메모리 테스트 회로를 표시하는 도면.
제30도는 본 발명의 제11실시예의 메모리 테스트 회로를 표시하는 도면.
제31도는 본 발명의 제12실시예의 메모리 테스트 회로를 표시하는 도면.
제32도는 본 발명의 제12실시예의 메모리 테스트 회로를 표시하는 도면.
제33도는 본 발명의 제13실시예의 메모리 테스트 회로를 표시하는 도면.
제34도는 본 발명의 제13실시예의 메모리 테스트 회로를 표시하는 도면.
제35도는 본 발명의 제14실시예의 메모리 테스트 회로를 표시하는 도면.
제36도는 본 발명의 제14실시예의 메모리 테스트 회로를 표시하는 도면.
제37도는 제1종래예의 메모리 테스트 회로를 표시하는 도면.
제38도는 제2종래예의 메모리 테스트 회로를 표시하는 도면.
제39도는 제3종래예의 메모리 테스트 회로를 표시하는 도면.
제40도는 제3종래예의 메모리 테스트 회로의 각 레지스터의 값의 변화를 표시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

21, 21A, 21B, 21C, 21D, 21E, 21F, 21G, 21H, 21I, 21J, 21K, 21L, 21M, 21N, 21O, 21P : 메모리 회로
22, 61, 81, 81A, 81B, 81C, 81D, 81E, 81F, 81G, 81H : 어드레스 발생회로
31, 31A : 메모리 셀 32 : X디코더
33, 33A : Y디코더
36, 62, 62A, 95A : 제1전주기 시퀀스 발생회로

37, 63, 63A, 63B, 63C : 특정상태 검출회로

38, 64, 64A, 96A, 96B : 제2전주기 시퀀스 발생회로

41, 47, 66, 76, 101, 102 : 쉬프트 레지스터

42, 48, 67, 67A, 67B, 77, 77A, 77B, 128 : 피드백 회로

82 : 제1쉬프트 레지스터 회로 83 : 제2쉬프트 레지스터 회로

86, 111, 112, 113, 113A, 132, 145, 146 : 실렉터 회로

87, 87A, 116, 117 : 게이트 회로

95 : 제1쌍방향 전주기 시퀀스 발생회로

96 : 제2쌍방향 전주기 시퀀스 발생회로

114 : 제1쌍방향 쉬프트 레지스터 회로

115 : 제2쌍방향 쉬프트 레지스터 회로

131 : 1비트 쉬프트 레지스터 회로

141, 142 : AND 회로

[발명의 상세한 설명]

본 발명은 반도체 메모리 회로를 시험하기 위한 메모리 테스트 회로 등의 반도체 집적회로 장치에 관한 것이다.

[제1종래예]

제1종래예의 반도체 집적회로 장치로서의 메모리 테스트 회로의 기술은 특개소 63-204325 호에 기술되어 있다. 제37도는 제1종래예에 있어서, 단방향의 의사난수(pseudo random number) 발생회로이고 반도체 메모리 회로에 대하여 의사랜덤한 순서로 어드레스 신호를 발생시킨다(이하, 이러한 종류의 의사난수 발생회로를 전주기 시퀀스 발생회로라 칭함). 제37도의 부호 1은 n단의 쉬프트 레지스터이고, 2와 2a는 배타적 논리합 회로이며, 4는 쉬프트 클록단자이고, 5는 출력단자이며, 6은 초기화 단자이고, 7a는 '0'검출회로이다.

[제2종래예]

제38도는 제2종래예에 있어서, 쌍방향의 의사난수 발생회로이고, 반도체 메모리 회로에 대하여 의사랜덤한 순서 또는 완전히 역의 의사랜덤한 순서로 어드레스 신호를 발생한다(이하, 이러한 종류의 의사난수 발생회로는 쌍방향 전주기 시퀀스 발생회로라 칭함). 제38도의 부호 2와 2a와 2b는 배타적 논리합 회로이고, 4a는 순방향 쉬프트 클록단자이고, 4b는 역방향 쉬프트 클록단자이며, 6은 초기화 단자이고, 7a, 7b는 '0' 검출회로이고, 10은 쌍방향 쉬프트 가능한 쌍방향 직렬 쉬프트 레지스터이다.

[제3종래예]

제39도는 제3종래예의 어드레스 발생회로(11)로서의 전주기 시퀀스 발생회로(12)와 메모리 회로(13)를 포함하는 반도체 집적회로 장치(메모리 테스트 회로)의 회로도이다. 제39도에는 설명의 편의를 위해 메모리 회로(13) 내의 X디코더(14), Y디코더(15) 및 메모리 셀(16)을 명시하고 있다. 또한, 설명의 편의를 위해 메모리 셀에 번호(0~31)를 붙이고 있다. 역시, 메모리 회로(13)로서는 RAM 및 ROM이 대상으로 되어 있다.

전주기 시퀀스 발생회로(12)는 쉬프트 레지스터 회로(17)와 피드백 회로(18)로 구성되어 있고, 피드백 회로(18)는 NOR 회로(18a, 18b) 및 배타적 논리합(eXclusive OR : 이하, XOR라고 약칭함) 회로(18C)로 구성되어 있다.

제40도는 제39도의 회로의 동작을 표시한다. 제40도에는 시각 T = 0에 있어서 어드레스 신호가 A0 = A1 = A2 = A3 = A4 = 0으로 설정되어 있다고 가정하고 있다. 이것은 전주기 시퀀스 발생회로(12)에 리세트 수단(도시되지 않음)을 부가하는 것으로 실현된다. 시각 T가 진행됨에 따라 전주기 시퀀스 발생회로(12) 내의 쉬프트 레지스터 회로(17)가 동작하고 어드레스의 컬럼에 표시하도록 어드레스가 변화된다. 0~31(2^5-1)의 어드레스 신호의 모든 값이 발생되므로, 메모리 셀(16)의 전체 워드를 액서스하는 것이 가능하다. 제40도는 메모리 회로(13)의 X어드레스와 Y어드레스를 나누어 표시하고 있다. 1개의 쉬프트 레지스터(17)로 어드레스를 발생하고 있으므로, 기본적으로는 X어드레스와 Y어드레스가 동시에 변화한다(희소한 경우에 X어드레스와 Y어드레스 중의 하나가 변하지 않음).

메모리 회로가 X디코더와 Y디코더의 양 디코더를 가질 때에 제1종래예 또는 제2종래예에 따른 회로가 X어드레스와 Y어드레스에 대하여 설치되면, 제1, 2종래예에 따른 회로는 제어신호 등의 제어 하에서 데이터를 쉬프트하여야 하며, 이는 시스템이 복잡한 제어신호 등을 생성하게 한다. 따라서, 복잡한 외부제어 회로가 필요하다. 이를 피하기 위하여, 메모리 X어드레스와 Y어드레스 양자를 생성하면서 메모리 테스트 회로의 내부에서 어드레스를 규칙적이고 자발적으로 변화시킬 필요가 있다.

회로의 고장을 테스트할 때에, 고장이 X디코더(14)에 기인하는 것인지 Y디코더(15)에 기인하는 것인지를 효율적으로 알아낼 필요가 있을 수도 있다. 테스트 효율성의 관점에서, 메모리 회로 테스트에서 X 또는 Y의 한편의 어드레스를 완전히 변화시킨 후에 다른 편의 어드레스를 갱신하는 것이 바람직하다. 그렇지만 상술한 제3종래예에 따른 메모리 회로 내에서 X어드레스와 Y어드레스가 동시에 변화하기 때문에, X또는 Y의 한편의 어드레스를 완전히 변화시킨 후에 다른 편의 어드레스가 갱신되는 메모리 회로 테스트를 수행할 수 없다. 따라서, 고장이 X디코더(14)에 기인하는 것인지 Y디코더(15)에 기인하는 것인지를 알아내는

것은 시간을 소모하는 처리이다.

더욱이, X어드레스와 Y어드레스가 불규칙으로 변한다. X어드레스와 Y어드레스 양편 또는 한편이 변한다. 비트선 또는 워드선의 어드레스가 변화하지 않은 경우에는 이전에 액서스된 비트선 또는 이전에 액서스된 워드선이 액티브 상태로 남지만, 워드선의 다음 비트의 액서스 동안, 다시 액서스된다. 따라서, 액서스 스피드가 매우 빠르다. 한편, 비트선과 워드선의 양편의 어드레스가 변화하는 경우, 이전에 액서스된 비트선과 워드선이 액티브되는 데에 시간이 걸리며, 액서스 스피드는 늦어진다. 그러므로 , 액서스 스피드는 조건에 따라 변하므로, 정확하게 액서스 스피드를 측정할 수 없다.

본 발명의 제1관점에 따른 반도체 집적회로 장치는, 복수의 메모리 셀과, 상기 메모리 셀의 X어드레스를 지정하는 X디코더와, 상기 메모리 셀의 Y어드레스를 지정하는 Y디코더를 구비하는 메모리 회로와, 상기 X디코더와 상기 Y디코더의 양 어드레스를 생성하는 어드레스 발생회로를 구비하고 있으며, 상기 어드레스 발생회로는, 상기 X디코더와 상기 Y디코더 중의 하나의 디코더의 어드레스의 모든 값을 순차적으로, 주기적으로, 그리고, 규칙적으로 변화시키면서 상기 어드레스의 값들을 생성하는 제1전주기 시퀀스 발생회로와, 상기 X디코더와 상기 Y디코더 중의 다른 하나의 디코더의 어드레스의 모든 값을 순차적으로, 주기적으로, 그리고, 규칙적으로 변화시키면서 상기 어드레스의 값들을 생성하는 제2전주기 시퀀스 발생회로와, 상기 제1전주기 시퀀스 발생회로 내의 특정의 어드레스 상태를 검출하고, 상기 제2전주기 시퀀스 발생회로가 상기 특정의 어드레스 상태 이외의 상태인 경우에는 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키는 특정상태 검출회로를 구비하고 있다.

그리고, 본 발명의 제1관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제2관점에 따르면, 상기 제1전주기 시퀀스 발생회로는, 생성될 어드레스의 비트 수에 대응하는 제1쉬프트 레지스터부와, 상기 제1전주기 시퀀스 발생회로 내에 저장되어 있는 어드레스 데이터를 피드백으로서 반환하여, 상기 제1전주기 시퀀스 발생회로 내에 저장되어 있는 상기 어드레스 데이터가 규칙적으로 변화하도록 하는 제1피드백 회로를 구비하고 있다. 상기 제2전주기 시퀀스 발생회로는, 생성될 어드레스의 비트 수에 대응하는 제2쉬프트 레지스터부와, 상기 제1전주기 시퀀스 발생회로 내에 저장되어 있는 어드레스 데이터를 피드백으로서 반환하여, 상기 제2전주기 시퀀스 발생회로 내에 저장되어 있는 상기 어드레스 데이터가 규칙적으로 변화하도록 하는 제2피드백 회로를 구비하고 있다. 상기 메모리 셀 회로는, 상기 제1전주기 시퀀스 발생회로의 상기 제1쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 하나의 디코더에 접속되고, 상기 제1전주기 시퀀스 발생회로의 상기 제1피드백 회로로부터 공급되는 출력신호에 응답하여 상기 제1쉬프트 레지스터부와 유사하게 동작하는 제1쉬프트 레지스터 회로와, 상기 제2전주기 시퀀스 발생회로의 상기 제2쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 다른 하나의 디코더에 접속되고, 상기 제2전주기 시퀀스 발생회로의 상기 제2피드백 회로로부터 공급되는 출력신호에 응답하여 상기 제2쉬프트 레지스터부와 유사하게 동작하는 제2쉬프트 레지스터 회로를 구비하고 있다.

그리고, 본 발명의 제2관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제3관점에 따르면, 상기 어드레스 발생회로는, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하는 실렉터 회로를 더 구비하고 있다. 상기 어드레스 발생회로는, 상기 제2전주기 시퀀스 발생회로가 동작정지상태에 있으면, 상기 제1전주기 시퀀스 발생회로로부터 공급되는 출력을 선택하지만, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있으면, 상기 제2전주기 시퀀스 발생회로로부터 공급되는 출력을 선택한다. 상기 메모리 회로는, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 제2전주기 시퀀스 발생회로가 동작정지상태에 있으면 상기 실렉터 회로의 출력을 상기 제1쉬프트 레지스터 회로에 전송하고, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있으면 고정 데이터를 상기 제1쉬프트 레지스터 회로에 전송하는 게이트 회로를 더 구비하고 있다. 상기 메모리 회로의 상기 제2쉬프트 레지스터 회로의 입력단자는 상기 실렉터 회로에 접속되고, 상기 제2쉬프트 레지스터 회로는 상기 특정상태 검출회로의 제어 하에 쉬프트 동작을 수행한다.

본 발명의 제1관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제4관점에 따르면 상기 제1, 2전주기 시퀀스 발생회로는, 데이터를 두 방향으로 쉬프트시키는 쌍방향 전주기 시퀀스 발생회로를 각각 구비하고 있다. 상기 제1전주기 시퀀스 발생회로는, 생성될 어드레스의 비트 수에 대응하는 제1쌍방향 쉬프트 레지스터부와, 상기 제1쌍방향 쉬프트 레지스터부 내에 저장되어 있는 어드레스 데이터 피드백으로서 반환하여, 상기 제1쌍방향 쉬프트 레지스터부 내에 저장되어 있는 상기 어드레스 데이터가 규칙적으로 변화하도록 한다. 상기 제2전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 제2쌍방향 쉬프트 레지스터부와, 상기 제2쌍방향 쉬프트 레지스터부 내에 저장되어 있는 어드레스 데이터를 피드백으로서 반환하여, 상기 제2쌍방향 쉬프트 레지스터부 내에 저장되어 있는 상기 어드레스 데이터가 규칙적으로 변화하도록 하는 제2쌍방향 피드백 회로를 구비하고 있다. 상기 특정상태 검출회로는, 상기 제1전주기 시퀀스 발생회로의 순방향 동작 모드 동안에 제1전주기 시퀀스 발생회로가 소정의 제1상태 이외의 상태에 있으면, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키고, 상기 제1전주기 시퀀스 발생회로의 역방향 동작 모드 동안에 상기 제1전주기 시퀀스 발생회로가 소정의 제2상태 이외의 상태에 있으면, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시킨다.

본 발명의 제4관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제5관점에 따르면, 상기 어드레스 발생회로는, 외부로부터 공급되는 제1동작모드 스위칭 신호에 따라 상기 제1전주기 시퀀스 발생회로로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 제1실렉터 회로와, 외부로부터 공급되는 제2동작모드 스위칭 신호에 따라 상기 제2전주기 시퀀스 발생회로로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 제2실렉터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하고, 제2전주기 시퀀스 발생회로가 동작정지상태에 있을 때에는 상기 제1실렉터 회로로부터 공급되는 출력을 선택하지만, 제2전주기 시퀀스 발생회로가 동작상태에 있을 때 에는 상기 제2실렉터 회로로부터 공급되는 출력을 선택하는 제3실렉터 회로를 더 구비하고 있다. 상기 메모리 셀 회로는, 상기 제1전주기 시퀀스 발생회로의 상기 제1쌍방향 쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 하나의 디코더에 접속되고, 상기 제1쌍방향 쉬프트 레지스터부처럼 자신의 동작방향이 상기 제1동작모드 스위칭 신호에 따라 전환되는 제1쌍방향 쉬프트 레지스터회로와, 상기 제2전주기 시퀀스 발생회로의 상기 제2쌍방향 쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 다른 하나의 디코더에 접속되고, 상기 제2쌍방

향 쉬프트 레지스터부처럼 자신의 동작방향이 상기 제2동작모드 스위칭 신호에 따라 전환되는 제2쌍방향 쉬프트 레지스터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하여, 상기 제2전주기 시퀀스 발생회로가 동작정지상태에 있으면 상기 제3실렉터 회로로부터의 출력을 상기 제1쌍방향 쉬프트 레지스터 회로의 순방향 입력으로 전송하지만, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있으면 소정의 고정 데이터를 상기 제1쌍방향 쉬프트 레지스터 회로의 상기 순방향 입력으로 전송하는 제1게이트 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하여, 상기 제2전주기 시퀀스 발생회로가 동작정지상태에 있으면 상기 제3실렉터 회로로부터의 출력을 상기 제1쌍방향 쉬프트 레지스터 회로의 역방향 입력으로 전송하지만, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있으면 소정의 고정 데이터 상기 제1쌍방향 쉬프트 레지스터 회로의 상기 역방향 입력으로 전송하는 제2게이트 회로를 더 구비하고 있다. 상기 제3실렉터 회로로부터의 상기 출력신호는, 상기 제2전주기 시퀀스 발생회로의 두 방향에 해당하는 입력단자에 공급된다.

본 발명의 제1관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제6관점에 따르면, 상기 제1전주기 시퀀스 발생회로는 데이터를 두 방향으로 쉬프트시키는 쌍방향 전주기 시퀀스 발생회로이다. 상기 제2전주기 시퀀스 발생회로는 1비트 전주기 시퀀스 발생회로이다. 상기 제1전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 쌍방향 쉬프트 레지스터부와, 상기 쌍방향 쉬프트 레지스터부 내에 저장되어 있는 어드레스 데이터를 피드백으로서 반환하여, 상기 쌍방향 쉬프트 레지스터부 내에 저장되어 있는 상기 어드레스 데이터가 변화하도록 하는 쌍방향 피드백 회로를 구비하고 있다. 상기 특정상태 검출회로는, 상기 제1전주기 시퀀스 발생회로의 순방향 동작 모드 동안에 상기 제1전주기 시퀀스 발생회로가 소정의 제1상태 이외의 상태에 있으면, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키고, 상기 제1전주기 시퀀스 발생회로의 역방향 동작 모드 동안에 상기 제1전주기 시퀀스 발생회로가 소정의 제2상태 이외의 상태에 있으면, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시킨다.

본 발명의 제6관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제7관점에 따르면, 상기 어드레스 발생회로는, 외부로부터 공급되는 제1동작모드 스위칭 신호에 따라 상기 제1전주기 시퀀스 발생신호로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 제1실렉터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하고, 제2전주기 시퀀스 발생회로가 동작정지상태에 있을 때에는 상기 제1실렉터 회로로부터의 출력을 선택하지만, 제2전주기 시퀀스 발생회로가 동작상태에 있을 때에는 상기 제2실렉터 회로로부터의 출력을 선택하는 제2실렉터 회로를 구비하고 있다. 상기 메모리 셀 회로는, 상기 제1전주기 시퀀스 발생회로의 상기 쌍방향 쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 하나의 디코더에 접속되고, 상기 제1전주기 시퀀스 발생회로의 상기 쌍방향 쉬프트 레지스터부처럼 자신의 동작방향이 상기 제1동작모드 스위칭 신호에 따라 전환되는 제1쌍방향 쉬프트 레지스터 회로와, 상기 X디코더와 상기 Y디코더 중의 다른 하나의 디코더에 접속되어, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 동작하는 1비트 쉬프트 레지스터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 1비트 쉬프트 레지스터 회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하여, 상기 1비트 쉬프트 레지스터 회로가 동작정지상태에 있으면 상기 제2실렉터 회로로부터의 출력을 상기 쌍방향 쉬프트 레지스터 회로의 순방향 입력으로 전송하지만, 상기 1비트 쉬프트 레지스터 회로가 동작상태에 있으면 소정의 고정 데이터를 상기 쌍방향 쉬프트 레지스터 회로의 상기 순방향 입력으로 전송하는 제1게이트 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 1비트 쉬프트 레지스터 회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하여, 상기 1비트 쉬프트 레지스터 회로가 동작정지상태에 있으면 상기 제2실렉터 회로로부터의 출력을 상기 쌍방향 쉬프트 레지스터 회로의 역방향 입력으로 전송하지만, 상기 1비트 쉬프트 레지스터 회로가 동작상태에 있으면 소정의 고정 데이터를 상기 쌍방향 쉬프트 레지스터 회로의 상기 역방향 입력으로 전송하는 제2게이트 회로를 더 구비하고 있다. 상기 1비트 쉬프트 레지스터 회로의 입력단자는 상기 제2실렉터 회로에 접속된다.

본 발명의 제1관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제8관점에 따르면, 상기 제1전주기 시퀀스 발생회로는 1비트 전주기 시퀀스 발생회로이다. 상기 제2전주기 시퀀스 발생회로는, 외부로부터 공급되는 제1동작모드 스위칭 신호에 따라 쉬프트시키는 데이터의 쉬프트 방향으로서 두 방향 중의 하나를 선택하는 쌍방향 전주기 시퀀스 발생회로이다. 상기 제2전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 쌍방향 쉬프트 레지스터부와, 상기 쌍방향 쉬프트 레지스터부 내에 저장되어 있는 어드레스 데이터를 피드백으로서 두 방향으로 반환하여, 상기 쌍방향 쉬프트 레지스터부 내에 저장되어 있는 상기 어드레스 데이터가 변화하도록 하는 쌍방향 피드백 회로를 구비하고 있다. 상기 특정상태 검출회로는, 상기 제1전주기 시퀀스 발생회로로부터의 출력과 외부로부터 공급되는 제2동작모드 스위칭 신호를 받아들이는 배타적 논리합 회로를 구비하고 있다. 상기 특정상태 검출회로는, 상기 제2동작모드 스위칭 신호가 1비트의 상기 제1전주기 시퀀스 발생회로의 어드레스 상태와 일치하거나 불일치할 때에만, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시킨다.

본 발명의 제8관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제9관점에 따르면, 상기 어드레스 발생회로는, 상기 제1동작모드 스위칭 신호에 따라 상기 제2전주기 시퀀스 발생회로로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 제1실렉터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하고, 제2전주기 시퀀스 발생회로가 동작정지상태에 있을 때에는 상기 제1실렉터 회로로부터의 출력을
선택하지만, 제2전주기 시퀀스 발생회로가 동작상태에 있을 때에는 상기 제1실렉터 회로로부터의 출력을 선택하는 제2실렉터 회로를 구비하고 있다. 상기 메모리 셀 회로는, 상기 제2전주기 시퀀스 발생회로의 상기 쌍방향 쉬프트 레지스터부와 유사하게 구성되어 상기 X디코더와 상기 Y디코더 중의 상기 다른 하나의 디코더에 접속되고, 자신의 순방향 입력과 역방향 입력에서 상기 제2실렉터 회로의 출력신호의 출력신호를 받아들이고, 상기 제2전주기 시퀀스 발생회로처럼 상기 특정상태 검출회로로부터 공급되는 출력신호에 따라 동작정지되고, 자신의 동작방향이 상기 제1동작모드 스위칭 신호에 따라 스위칭되는 쌍방향 쉬프트 레지스터 회로와, 상기 제2전주기 시퀀스 발생회로와 상기 쌍방향 쉬프트 레지스터 회로가 동작상태에 있는지 동작정지상태에 있는지를 상기 특정상태 검출회로로부터 공급되는 신호에 따라 검출하고, 상기 제2전주기 시퀀스 발생회로와 상기 쌍방향 쉬프트 레지스터 회로가 동작정지상태에 있을 때에는 상기 제2실

렉터 회로로부터 공급되는 출력을 선택하지만, 상기 제2전주기 시퀀스 발생회로와 상기 쌍방향 쉬프트 레지스터 회로가 동작상태에 있을 때에는 상기 제2동작모드 스위칭 신호를 선택하는 제3실렉터 회로와, 상기 X디코더와 상기 Y디코더 중의 상기 하나의 디코더에 접속되어, 상기 제3실렉터 회로로부터의 출력신호를 받아들이는 1비트 쉬프트 레지스터 회로를 더 구비하고 있다.

본 발명의 제8관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제10관점에 따르면, 상기 어드레스 발생회로는, 상기 제1동작모드 스위칭 신호에 따라, 상기 제2전주기 시퀀스 발생회로로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 실렉터 회로를 더 구비하고 있다. 상기 메모리 셀 회로는, 상기 X디코더와 상기 Y디코더 중의 상기 다른 하나의 디코더에 접속되어 상기 제1실렉터 회로로부터의 출력신호를 받아들이는 1비트 쉬프트 레지스터 회로와, 상기 제2전주기 시퀀스 발생회로의 상기 쌍방향 쉬프트 레지스터부에 유사하게 구성되어 상기 X디코더와 상기 Y디코더 중의 상기 다른 하나의 디코더에 접속되고, 자신의 순방향 입력과 역방향 입력에서 상기 실렉터 회로로부터의 출력신호를 받아들이고, 자신의 동작방향이 상기 제1동작모드 스위칭 신호에 따라 스위칭되는 쌍방향 쉬프트 레지스터 회로를 더 구비하고 있다.

본 발명의 제1관점에 따른 반도체 집적회로 장치에 있어서, 본 발명의 제11관점에 따르면, 상기 어드레스 발생회로는, 상기 제2전주기 시퀀스 발생회로에서 특정의 어드레스 상태를 검출하고, 상기 제2전주기 시퀀스 발생회로가 상기 특정의 어드레스 상태 이외의 상태이면 상기 제1전주기 시퀀스 발생회로의 동작을 정지시키는 보조 특정상태 검출회로와, 상기 특정상태 검출회로와 상기 보조 특정상태 검출회로 중의 하나의 검출회로를, 동작시킬 회로로서 선택하는 선택수단을 구비하고 있다.

본 발명의 제1관점에 따르면 반도체 집적회로 장치에 있어서, 본 발명의 제12관점에 따르면, 상기 어드레스 발생회로는, 서로 직렬로 접속되어 있는 상기 제1, 2전주기 시퀀스 발생회로가 스캔경로를 형성하거나 아니면 상기 제1전주기 시퀀스 발생회로를 상기 제2전주기 시퀀스 발생회로로부터 분리시키도록 하는 스캔경로 선택수단을 더 구비하고 있다.

상술한 바와 같이 본 발명의 제1관점의 반도체 집적회로 장치에서는, 제1전주기 시퀀스 발생회로가 X디코더와 Y디코더 중의 한 편의 어드레스의 모든 값을 주기적으로 그리고 순차적으로 완전히 변화시키고 나서 제2전주기 시퀀스 발생회로가 X디코더와 Y디코더 중의 다른 편의 어드레스를 갱신한다. 이것에 의해 고장이 X디코더에 기인하는 것인지 Y디코더에 기인하는 것인지를 용이하게 알아낼 수 있다. 또한, 메모리 회로의 동일 비트선이나 동일 워드선의 연속적인 액서스를 수반하기 때문에 액서스 타임 테스트를 정확하게 행하는 것이 가능하다.

본 발명의 제2관점에 따르면 반도체 집적회로 장치에서는 어드레스 발생회로의 제1전주기 시퀀스 발생회로 내의 제1쉬프트 레지스터부는 각각의 메모리 회로 내의 제1쉬프트 레지스터 회로와 유사하게(즉, 동기를 맞추어 또는 소정의 비트수만큼 지연되어) 동작한다. 어드레스 발생회로의 제2전주기 시퀀스 발생회로 내의 제2쉬프트 레지스터부는 각각 메모리 회로 내의 제2쉬프트 레지스터 회로와 유사하게(즉, 동기를 맞추어 또는 소정의 비트수만큼 지연되어) 동작한다., 이와 같은 구성에 있어서, 제1, 2쉬프트 레지스터부의 모든 비트(레지스터)가 X디코더와 Y디코더의 모든 자릿수(단자)에 직접 접속되는 부분을 비교하면, 어드레스 발생회로와 메모리 회로를 접속할 필요가 있는 배선수는 줄어든다.

본 발명의 제3관점에 따른 반도체 집적회로 장치는 실렉터 회로와 게이트 회로를 이용한다. 이는 어드레스 발생회로로부터 신호를 제1쉬프트 레지스터 회로 또는 제2쉬프트 레지스터 회로에 선택적으로 공급할 수 있게 한다. 그러므로, 데이터가 하나의 데이터 전송선만을 경유하여 쉬프트 레지스터 회로로 전송됨으로써 어드레스 발생회로와 메모리 회로의 접속 배선수를 비약적으로 경감하는 것이 가능하다.

데이터의 인크리멘트(increment)와 디크리멘트(decrement)를 용이하게 전환하는 쌍방향 전주기 시퀀스 발생회로가 어드레스를 지정하는 데에 사용되는 본 발명의 제4관점에 관련하는 반도체 집적회로 장치에서는, 제1전주기 시퀀스 발생회로는 X디코더와 Y디코더 중의 한 편의 어드레스의 모든 값을 주기적으로 그리고 순차적으로 완전히 변화시키고 나서, 제2전주기 시퀀스 발생회로가 X디코더와 Y디코더 중의 다른 편의 어드레스를 갱신한다. 이는 고장이 X디코더에 기인하는 것인지 Y디코더에 기인하는 것인지를 용이하게 알아낼 수 있게 한다. 또한, 메모리 회로의 동일 비트선이나 동일 워드선이 연속적으로 액서스되므로, 액서스 타임 테스트가 정확하게 수행된다.

본 발명의 제5관점에 따른 반도체 집적회로 장치에서는, 어드레스 발생회로의 제1전주기 시퀀스 발생회로의 제1쌍방향 쉬프트 레지스터부는, 각각의 메모리 회로의 제1쌍방향 쉬프트 레지스터 회로와 유사하게(즉, 동기를 맞추어 또는 소정의 비트수만큼 지연하여) 동작한다. 어드레스 발생회로의 제2전주기 시퀀스 발생회로의 제2쌍방향 쉬프트 레지스터부는, 각 메모리 회로 내의 제2쌍방향 쉬프트 레지스터 회로와 유사하게(즉, 동기를 맞추어 또는 소정의 비트수만큼 지연하여) 동작한다. 이와 같은 구성에서, 제1, 2쌍방향 쉬프트 레지스터부의 모든 비트(레지스터)는, X디코더와 Y디코더의 모든 자릿수(단자)에 직접 접속되는 곳을 비교하면, 어드레스 발생회로와 메모리 회로를 접속하는 데에 필요한 배선수를 경감된다.

본 발명의 제6관점에 따르면 반도체 집적회로 장치에서는, 데이터의 인크리멘트와 디크리멘트를 용이하게 전환할 수 있는 쌍방향 전주기 시퀀스 발생회로가 제1전주기 시퀀스 발생회로로 사용되고, 1비트 전주기 시퀀스 발생회로가 제2전주기 시퀀스 발생회로로 사용되는 경우에, 제1전주기 시퀀스 발생회로가 X디코더와 Y디코더 중의 한 편의 어드레스의 모든 값을 주기적으로 그리고 순차적으로 완전히 변화시키고 나서, 제2전주기 시퀀스 발생회로가 X디코더와 Y디코더 중의 다른 편의 어드레스를 갱신한다. 이는 고장이 X디코더에 기인하는 것인지 Y디코더에 기인하는 것인지를 용이하게 알아낼 수 있게 한다. 또한, 메모리 회로의 동일 비트선이나 동일 워드선이 연속적으로 액서스되기 때문에, 액서스 타임 테스트가 정확하게 수행된다.

본 발명에 따른 제7관점에 따른 반도체 집적회로 장치에서는, 어드레스 발생회로의 제1전주기 시퀀스 발생회로의 제1쌍방향 쉬프트 레지스터부는, 각각의 메모리 회로의 제1쌍방향 쉬프트 레지스터 회로와 유사하게(즉, 동기를 맞추어 또는 소정의 비트수만큼 지연하여) 동작한다. 어드레스 발생회로의 1비트의 제2전주기 시퀀스 발생회로는, 각 메모리 회로의 1비트 쉬프트 레지스터 회로와 유사하게(즉, 동기를 맞추어 또는 소정의 비트수만큼 지연하여) 동작한다. 이와 같은 구성에서, 쌍방향 쉬프트 레지스터부와 제1전주

기 시퀀스 발생회로의 모든 비트(레지스터)는, X디코더와 Y디코더의 모든 자리수(단자)에 직접 접속되는 곳을 비교하면, 어드레스 발생회로와 메모리 회로를 접속하는 데에 필요한 배선수를 경감된다. 특히, 복수의 실렉터 회로와 게이트 회로의 사용은 어드레스 발생회로로부터 신호를 쌍방향 쉬프트 레지스터 회로와 1비트 쉬프트 레지스터 회로에 선택적으로 공급하고 하나의 데이터 전송선만을 경유하여 데이터를 쉬프트 레지스터 회로에 전송하는 것이 가능하게 한다. 따라서, 어드레스 발생회로와 메모리 회로를 접속하는 데에 필요한 배선수는 비약적으로 경감된다.

본 발명의 제8관점에 따른 반도체 집적회로 장치에서는, 1비트 전주기 시퀀스 발생회로는 제1전주기 시퀀스 발생회로로 사용되고, 데이터의 인크리멘트와 데이터의 디크리멘트를 용이하게 전환할 수 있는 쌍방향 전주기 시퀀스 발생회로는 제2전주기 시퀀스 발생회로로 사용되는 경우에, 제1전주기 시퀀스 발생회로는 X디코더와 Y디코더 중의 한 편의 어드레스의 모든 값(2진수의 값)을 주기적으로 그리고 순차적으로 완전히 변화시키고 나서, 제2전주기 시퀀스 발생회로는 X디코더와 Y디코더 중의 다른 편의 어드레스를 갱신한다. 이는 고장이 X디코더에 기인하는 것인지 Y디코더에 기인하는 것인지를 용이하게 알아낼 수 있다. 또한 메모리 회로의 동일 비트선이나 동일 워드선의 연속적인 액서스를 수반하므로, 액서스 타임 테스트가 정확하게 수행된다.

또한, 배타적 논리합 회로가 특정상태 검출회로로 사용되므로, 특정상태 검출회로는 극히 간단하게 구성되어 회로 면적이 크게 줄어든다.

본 발명 제9, 10관점에 따른 반도체 집적회로 장치에서는, 어드레스 발생회로의 1비트의 제1전주기 시퀀스 발생회로는, 각 메모리 회로 내의 1비트 쉬프트 레지스터 회로와 유사하게(즉, 동기를 맞추어 또는 소정의 비트수만큼 지연하여) 동작한다. 또한, 어드레스 발생회로의 제2전주기 시퀀스 발생회로의 쌍방향 쉬프트 레지스터부는 각 메모리 회로의 쌍방향 쉬프트 레지스터 회로와 유사하게(즉, 동기를 맞추어 또는 소정의 비트수만큼 지연하여) 동작한다. 이와 같은 구성에서는, 제1전주기 시퀀스 발생회로와 쌍방향 쉬프트 레지스터부의 모든 비트(레지스터)가 X디코더와 Y디코더의 모든 자릿수(단자)를 직접 접속하는 곳을 비교하면, 어드레스 발생회로와 메모리 회로를 접속하는 데에 필요한 배선수가 경감된다.

특히, 본 발명의 제9관점의 반도체 집적회로 장치에서는, 실렉터 회로의 사용은, 어드레스 발생회로로부터 신호를 쌍방향 쉬프트 레지스터부와 1비트 쉬프트 레지스터회로 선택적으로 공급하고 하나의 데이터 전송선만을 경유하여 데이터를 쉬프트 레지스터 회로에 전송할 수 있게 한다. 따라서, 어드레스 발생회로와 메모리 회로를 접속하는 데에 필요한 배선수가 비약적으로 경감된다.

본 발명의 제11관점에 따른 반도체 집적회로 장치에서는, 제1, 2전주기 시퀀스 발생회로 중의 어느 것이 먼저 동작하느냐를 자유롭게 결정할 수 있게 한다. 제1, 2전주기 시퀀스 발생회로 중의 하나는 X디코더와 Y디코더 중의 한 편의 어드레스의 모든 값을 주기적으로 그리고 순차적으로 완전히 변화시키고 나서, 제1, 2전주기 시퀀스 발생회로 중의 다른 편이 X디코더와 Y디코더 중의 다른 편의 어드레스를 갱신한다. 이는 고장이 X디코더에 기인하는 것인지 Y디코더에 기인하는 것인지를 용이하게 알아낼 수 있게 한다. 또한, 메모리 회로의 동일 비트선이나 동일 워드선이 연속적으로 액서스되므로 액서스 타임 테스트가 정확하게 수행된다.

본 발명에 따른 제12관점에 따른 반도체 집적회로 장치에서는 스캔패스 선택수단이 어드레스 발생회로를 스캔패스로서 사용할지를 자유롭게 결정한다. 따라서, 제12관점에 따른 반도체 집적회로 장치는 넓은 영역에 적용될 수 있다.

따라서, 본 발명은 고장이 X디코더에 기인하는 것인지 Y디코더에 기인하는 것인지를 용이하게 알아낼 수 있고 동일 비트선이나 동일 워드선에의 연속적인 액서스를 테스트하는 액서스 타임 테스트에 유리한 메모리 테스트 회로와 같은 반도체 집적회로 장치의 제공을 목적으로 한다.

[제1실시예]

[구성]

제1도는 본 발명의 제1실시예의 반도체 집적회로 장치로서의 메모리 테스트 회로를 표시하는 도면이다. 제1실시예의 메모리 테스트 회로는 Y어드레스를 완전히 변화시킨 후에 X어드레스를 갱신하는 메모리 회로 테스트를 수행한다. 제1실시예의 메모리 테스트 회로는 제1도에 나타난 바와 같이 어드레스 발생회로(22)를 테스트되는 메모리 회로(21)에 접속됨으로써 형성된다.

메모리 회로(21)는 '0'～'31'의 32워드의 메모리 영역을 가지는 메모리 셀(31)와, 해당 메모리 셀(31)의 3자릿수(XA2, XA1, XA0)의 X어드레스를 지정하는 X디코더(32)와, 메모리 셀(31)의 2자리수(YA1, YA0)의 Y어드레스를 지정하는 Y디코더(33)로 구성되는 전형적인 메모리 회로이다. 어드레스 발생회로(22)는, Y디코더(33)에 의해 액서스되어야 하는 Y어드레스를 발생하는 제1전주기 시퀀스 발생회로(36)와, 제1전주기 시퀀스 발생회로(36)가 특정의 Y어드레스(구체적으로는 2진 표시로 '01')를 발생한 것을 검출하는 특정상태 검출회로(37)와, 제1전주기 시퀀스 발생회로(36)가 특정의 Y어드레스('01')를 발생한 것을 특정상태 검출회로(37)가 검출할 때만 동작하는 제2전주기 시퀀스 발생회로(38)로 구성된다.

제1전주기 시퀀스 발생회로(36)는 2비트의 전주기 시퀀스 발생회로이다. 제1전주기 시퀀스 발생회로(36)의 구조는 단순하여, 2비트(A1,A0)의 쉬프트 레지스터(41)와, 해당 쉬프트 레지스터(41)에 데이터를 피드백하는 인버터 회로(42)만을 구비하고 있다.

특정상태 검출회로(37)는, 제1전주기 시퀀스 발생회로(36)의 쉬프트 레지스터(41)의 큰 자릿수 측의 레지스터(A1)에 접속된 인버터 회로(44)와, 한 편의 입력단자가 상기 인버터 회로(44)에 접속되고 다른 편의 입력단자가 제1전주기 시퀀스 발생회로(36)의 쉬프트 레지스터(41)의 작은 자리수측의 레지스터(A0)에 접속되어 있는 NAND회로(45)로 구성되어 있다. 특정상태 검출회로(37)는, 쉬프트 레지스터(41)의 큰 자리수측의 레지스터(A1)가 '0'이고 쉬프트 레지스터(41)의 작은 자리수측의 레지스터(A0)가 '1'일 때에만(즉, 제1전주기 시퀀스 발생회로(36)가 2진 표시로 '01'일 때에만), 제2전주기 시퀀스 발생회로(38)에 신호 '0'를 공급하여 제2전주기 시퀀스 발생회로(38)를 동작시킨다. 다른 경우에는 특정상태 검출회로(37)는, 제2전주기 시퀀스 발생회로(38)에 신호 '1'을 공급하여 제2전주기 시퀀스 발생회로(38)의 동작을 정지시

킨다.

제2전주기 시퀀스 발생회로(38)는, 3비트 전주기 시퀀스 발생회로이다. 3비트(A4, A3, A2)의 쉬프트 레지스터(47)와, 쉬프트 레지스터(47)에 데이터를 피드백하는 피드백 회로(48)를 구비한 것이다. 피드백 회로(48)는 1개의 NOR회로(51)와 2개의 XOR 회로(52, 53)로 구성되어 있다. NOR 회로(51)의 한 편의 입력단자는 쉬프트 레지스터(47)의 최대 자리수의 레지스터(A4)에 접속되고 NOR 회로(51)의 다른 편의 입력단자는 쉬프트 레지스터(47)의 중간 자리수의 레지스터(A3)에 접속되어 있다. XOR 회로(52)의 한 편의 입력단자는 쉬프트 레지스터(47)의 중간 자리수의 레지스터(A3)에 접속되고 XOR회로(52)의 다른 편의 입력단자는 쉬프트 레지스터(47)의 최소 자리수의 레지스터(A2)에 접속되어 있다. XOR 회로(53)의 한 편의 입력단자는 NOR 회로(51)에 접속되고 XOR 회로(53)의 다른 편의 입력단자는 XOR 회로(52)에 접속되어 있다. XOR 회로(53)의 출력단자는 쉬프트 레지스터(47)의 최대 자리수의 레지스터(A4)에 접속되어 있다.

역시, 제1전주기 시퀀스 발생회로(36)의 쉬프트 레지스터(41)의 레지스터(A1, A0)는 메모리 회로(21)의 Y디코더(33)의 YA1과 YA0에 해당한다. 제2전주기 시퀀스 발생회로(38)의 쉬프트 레지스터(47)의 레지스터(A4, A3, A2)는 메모리 회로의 (21)의 X디코더(32)의 XA2, XA1, XA0에 해당한다.

[동작]

제1도의 회로의 동작을 제2도에 표시한다. 제2도는 시각 T = 0에서, 어드레스 신호가 A0 = A1 = A2 = A3 = A4 = 0에 설정되어 있다고 가정하고 있다. 시각 T가 진행됨에 따라, 테이블의 어드레스의 컬럼에 나타난 바와 같이 어드레스가 변화한다. 0~31(2^5-1)의 어드레스의 모든 값이 발생되므로 메모리 셀의 모든 워드에 액서스할 수 있다. 테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼은, Y어드레스가 0, 2, 3, 1, 0, 2, 3, 1, …의 순서로 변하고 Y어드레스가 1에서 0으로 변화할 때만 X어드레스가 변화한다는 것을 나타낸다.

Y어드레스를 완전히 변화시킨 후에 X어드레스가 갱신되므로, 메모리 회로 테스트는 고속으로 수행된다. 그리고 고장이 검출되어 그 고장이 X디코더에 기인한 것인지 Y디코더에 기인하는 것인지가 결정되어야 할 때에, 제2도에서 시각 T가 4~7인 동안 고장이 연속적으로 검출되면, X디코더의 어드레스 '4'는 고장이 난 것이다. 시각 T가 2, 6, 10, 14, 18, 22, 26, 30일 때에 고장이 발견되면, Y디코더의 어드레스 '3'은 고장이 난 것이다. 따라서, 고장이 연속적으로 발견될 때에는 X디코더가 고장이 난 것이고, 고장이 불연속적으로 발견될 때에는 Y디코더가 고장이 난 것이다. 어느 디코더가 고장이 났는지 순식간에 알아내므로, 고장의 검출이 극히 빠르다.

더욱이, 동일 비트선이나 동일 워드선의 연속적으로 액서스되므로, Y어드레스만을 변화하는 지정된 조건하에서 액서스 타임 테스트를 측정할 수 있다. 이는 다는 어드레스의 변화의 다른 경우를 배제하므로, 동일조건 하에서 정확한 측정을 가능하게 한다.

[제2실시예]

[구성]

제3도는 본 발명의 제2실시예의 메모리 테스트 회로를 표시하는 도면이다. 제3도에서는 제1실시예와 유사한 기능을 수행하는 요소는 동일 참조부호로 표기되어 있다. 제2실시예에 따른 메모리 테스트 회로는, X어드레스를 완전히 변화시킨 후에 Y어드레스가 갱신되는 메모리 회로 테스트 동작을 수행한다. 제2실시예에 따른 메모리 테스트 회로는, 제3도에 나타난 바와 같이, 어드레스 발생회로(61)를 테스트되는 메모리 회로(21)에 접속함으로써 이루어진다. 메모리 회로(21)는, 제1실시예에 관련하여 상술한 바와 같고, 다시 설명하지는 않겠다.

어드레스 발생회로(61)는, 메모리 회로(21)의 X디코더(32)에 의해 액서스되어야 하는 X어드레스를 발생하는 제1전주기 시퀀스 발생회로(62)와, 제1전주기 시퀀스 발생회로(62)가 특정의 X어드레스(구체적으로는, 2진 표시로 '001')를 발생한 것을 검출하는 특정상태 검출회로(63)와, 제1전주기 시퀀스 발생회로(62)가 특정의 Y어드레스('01')를 발생한 것을 특정상태 검출회로(63)가 검출할 때만 동작하는 제2전주기 시퀀스 발생회로(64)로 구성되어 있다.

제1전주기 시퀀스 발생회로(62)는, 3비트(A4, A3, A2)의 쉬프트 레지스터(66)와 데이터를 쉬프트 레지스터(66)에 피드백하는 피드백 회로(67)를 구비한 3비트의 전주기 시퀀스 발생회로이다. 피드백 회로(67)는 1개의 NOR 회로(71)와 2개의 XOR 회로(72, 73)로 구성되어 있다. NOR 회로(71)의 한 편의 입력단자는 쉬프트 레지스터(66)의 최대 자리수의 레지스터(A4)에 접속되고 NOR 회로(71)의 다른 편의 입력단자는 쉬프트 레지스터(66)의 중간 자리수의 레지스터(A3)에 접속되어 있다. XOR 회로(72)의 한 편의 입력단자는 쉬프트 레지스터(66)의 최소 자리수의 레지스터(A2)에 접속되어 있다. XOR 회로(73)의 한 편의 입력단자는 NOR 회로(71)에 접속되고 XOR 회로(73)의 다른 편의 입력단자는 XOR 회로(72)에 접속되어 있다. XOR 회로(73)의 출력단자는 쉬프트 레지스터(66)의 최대 자리수의 레지스터(A4)에 접속되어 있다.

특정상태 검출회로(63)는, 제1전주기 시퀀스 발생회로(62) 내의 NOR 회로(71)와, 한 편의 단자가 NOR 회로(71)에 접속되고 다른 편의 단자가 쉬프트 레지스터(66)의 최소 자리수의 레지스터(A2)에 접속된 NAND 회로(74)로 구성되어 있다. NOR 회로(71)는 제1전주기 시퀀스 발생회로(62) 내의 NOR 회로로서도 기능한다. 이러한 구성에서, 쉬프트 레지스터(66)의 상태가 A4 = 0, A3 = 0, A2 = 1인 때에는 NAND 회로(74)는 0을 출력하고, 제2전주기 시퀀스 발생회로(64)를 동작시킨다. 그 이외인 때는 NAND 회로(74)는 1을 출력하고 제2전주기 시퀀스 발생회로(64)의 동작을 정지시킨다.

제2전주기 시퀀스 발생회로(64)는, 제3도와 같이 2비트(A1, A0)의 쉬프트 레지스터(76)와 데이터를 쉬프트 레지스터(76)에 피드백하는 피드백 회로(77)를 구비하는 2비트의 전주기 시퀀스 발생회로이다.

제1전주기 시퀀스 발생회로(62)의 쉬프트 레지스터(66)의 레지스터(A4, A3, A2)는 메모리 회로(21)의 X디코더(32)의 XA2, XA1, XA0에 해당한다. 제2전주기 시퀀스 발생회로(64)의 쉬프트 트랜지스터(76)의 레지스터(A1, A0)는 메모리 회로(21)의 X디코더(32)의 YA1, YA0에 해당한다. 다른 경우에는 회로의 구성이 제

1실시예와 동일하여 설명은 생략한다.

[동작]

제4도는 제3도의 회로의 동작을 표시한다. 제4도는 시각 T = 0에서 어드레스 신호가 A0 = A1 = A2 = A3 = A4 = 0으로 설정되어 있는 것을 가정하고 있다.

시각 T가 진행됨에 따라, 어드레스는, 테이블의 어드레스의 컬럼에 나타난 바와 같이 변화한다. 0~31(2^5-1)의 어드레스 신호의 모든 값이 발생되므로 메모리 셀의 모든 워드를 액서스할 수 있다.

테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼은 X어드레스가 0, 4, 2, 5, 6, 7, 3, 1, 0, 4, 2, 5, 6, 7, 3, 1, …의 순서로 변화하고 X어드레스가 1에서 0으로 변화할 때에만 Y어드레스가 변화한다는 것을 나타낸다.

[제3실시예]

[구성]

제5, 6도는 본 발명의 제3실시예의 메모리 테스트 회로를 표시하는 도면이다. 제6도에서는 제2실시예와 동일한 기능을 수행하는 요소가 같은 부호로 표시된다. 제5도에 나타난 바와 같이, 제3실시예의 메모리 테스트 회로는 복수의 메모리 회로(21A, 21B, 21C)가 제3도에 표시한 제2실시예의 어드레스 발생회로(61)와 유사한 1개의 어드레스 발생회로(81)에 접속되어 있다.

제6도와 같이, 메모리 회로(21A, 21B, 21C) 각각은, 제1쉬프트 레지스터 회로(82)와 제2쉬프트 레지스터 회로(83)를 더 포함하도록 수정되면, 제1, 2실시예의 메모리 회로(21)와 유사하다., 제1쉬프트 레지스터 회로(82)는 X디코더(32)에 접속되고, 제1전주기 시퀀스 발생회로(82) 내의 쉬프트 레지스터(66)의 시리얼 입력단자는 제1쉬프트 레지스터 회로(82)의 시리얼 입력단자에 접속되어 있다. 따라서, 제1전주기 시퀀스 발생회로(62) 내의 쉬프트 레지스터(66)와 제1쉬프트 레지스터 회로(82)가 동일한 초기치를 가지면, 쉬프트 레지스터(66)와 제1쉬프트 레지스터 회로(82)는 동일한 데이터를 유지하고 똑같은 동작을 행한다. 제2쉬프트 레지스터 회로(83)는 Y디코더(33)에 접속되고 제2전주기 시퀀스 발생회로(64)내의 쉬프트 레지스터(76)의 시리얼 입력단자는 제2쉬프트 레지스터 회로(83)의 시리얼 입력단자에 접속되어 있다. 따라서, 제2전주기 시퀀스 발생회로(64) 내의 쉬프트 레지스터(76)와 제2쉬프트 레지스터 회로(83)가 동일한 초기치를 가지면, 쉬프트 레지스터(76)와 제2쉬프트 레지스터 회로(83)의 동일 데이터를 유지하고 똑같은 동작을 행한다. 다른 경우에는 회로의 구성이 제2실시예와 동일하여 설명은 생략한다.

[동작]

제7도는 제6도의 회로의 동작을 표시한다. 제7도에는 시각 T = 0에서 어드레스 신호가 A0 = A1 = A2 = A3 = A4 = 0에 설정되어 있다고 가정하고 있다. 전주기 시퀀스 발생회로(62, 64) 내의 쉬프트 레지스터(66, 76)도 둘 다 0으로 클리어 되어 있다고 가정하고 있다. 이 조건하에는 제7도는 제4도와 동일하다. 요컨대, 시각 T가 진행됨에 따라 테이블의 어드레스의 컬럼에서 나타난 바와 같이 어드레스가 변화한다. 0~31(2^5-1)의 어드레스 신호의 모든 값이 발생되므로 메모리 셀의 모든 워드를 액서스하는 것이 가능하다. 테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼은 X어드레스가 0, 4, 2, 5, 6, 7, 3, 1, 0, 4, 2, 5, 6, 7, 3, 1, …의 순서로 변화하고 X어드레스가 1에서 0으로 변화할 때에만 Y어드레스가 변화한다는 것을 나타낸다.

제6도의 회로에서, 제1, 2쉬프트 레지스터 회로는 각각의 메모리 회로내에 서로 인접하여 설치되고, 메모리 회로(21A, 21B, 21C)는 어드레스 발생회로(81)를 공유한다.

어드레스 발생회로(81)는 3개의 신호선만으로 제1, 2쉬프트 레지스터 회로(82, 83)에 접속되어 있다. 어드레스 발생회로(81)가 하나 이상의 메모리 즉, 메모리 회로(21A, 21B, 21C)에 접속되지만, 이는 각 메모리 회로에 대한 배선수를 증가시키지 않으며, 이는 또한 차례로 복잡한 배선구조를 방지한다.

[제4실시예]

[구성]

제8도는 본 발명의 제4실시예의 메모리 테스트 회로를 표시하는 도면이다. 제8도에서는, 제3실시예와 유사한 기능을 수행하는 요소에 동일 부호를 붙이고 있다. 제4실시예에 따른 메모리 테스트 회로는, 실렉터 회로(86)를 더 구비하도록 변형되면 6도에 표시한 제3실시예의 어드레스 발생회로(81)와 같은 어드레스 발생회로(81A)와, 게이트 회로로 기능하는 AND 회로(87)를 각각 더 포함하도록 변형되면 제3실시예의 메모리 회로(21A, 21B, 21C)와 동일한 메모리 회로(21D, 21E, 21F)로 구성된다.

실렉터 회로(86)는, 제2전주기 시퀀스 발생회로(64)에 공급되는 동작정지 신호와 동일한 신호의 제어하에 있다. 실렉터 회로(86)의 입력은 제1, 2전주기 시퀀스 발생회로(62, 64)의 출력에 접속되어 있다. 제2전주기 시퀀스 발생회로(64)가 동작상태에 있을 때에 실렉터 회로(86)는 제2전주기 시퀀스 발생회로(64)의 출력을 선택한다.

제2전주기 시퀀스 발생회로(64)가 동작상태에 있을 때에는 AND 회로(87)는 제1쉬프트 레지스터 회로(82)에 '0'을 강제적으로 공급한다. 반대로, 제2전주기 시퀀스 발생회로(64)가 동작정지상태에 있을 때에는 실렉터 회로(86)로부터의 출력신호는 제1쉬프트 레지스터 회로(82)에 전파된다. 실렉터 회로(86)의 출력은 제2쉬프트 레지스터 회로(83)에 결합되어 제2전주기 시퀀스 발생회로(64)가 동작상태에 있을 때에는 전송되는 데이터는 제2쉬프트 레지스터 회로(83)에 공급된다. 제8도에서, 21D, 21E, 21F로 표시된 것들은, 제5도중의 메모리 회로(21A, 21B, 21C)와 같이 1개의 어드레스 발생회로(81A)에 병렬로 접속되는 메모리 회로이다. 다른 경우에는 회로의 구성이 제3실시예와 동일하여 설명은 생략한다.

[동작]

제9도는 제8도의 회로의 동작을 표시한다. 제9도에는 시각 T = 0에서, 어드레스 신호가 A0 = A1 = A2 =

A3 = A4 = 0으로 설정되어 가정하고 있다.

전주기 시퀀스 발생회로(62,64)의 쉬프트 레지스터(66, 76)도 둘 다 0으로 클리어되었다고 가정하고 있다. 제9도는 이 조건하에 있는 제7도와 동일하다. 요컨대, 시각 T가 진행됨에 따라 테이블의 어드레스의 컬럼에서 표시한 바와 같이 어드레스가 변화한다.

0~31(2^5-1)의 어드레스 신호의 모든 값이 발생되므로, 메모리 셀의 모든 워드를 액서스할 수 있다.

테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼은 X어드레스가 0, 4, 2, 5, 6, 7, 3, 1, 0, 4, 2, 5, 6, 7, 3, 1, …의 순서로 변화하고 X어드레스가 1에서 0으로 변화할 때만 Y어드레스가 변화한다.

제8도의 회로에서, 제1, 2쉬프트 레지스터 회로와 게이트 회로(AND)는 각각의 메모리 회로 내에 서로 인접하여 설치되고, 메모리 회로(21D, 21E, 21F)는 어드레스 발생회로(81A)를 공유한다.

어드레스 발생회로(81A)는 제1, 2쉬프트 레지스터(82, 83)에 2개의 신호선만으로 접속된다. 이는, 제6도의 제3실시예의 회로보다 덜 복잡한 배선구조를 가지게 한다.

[제5실시예]

[구성]

제10, 11도는 본 발명의 제5실시예의 메모리 테스트 회로를 표시하는 도면이다. 점선 A-A에서 서로 결합하면, 제10, 11도는 하나의 완전히 도면이 된다. 제10, 11도에는 제4실시예와 동일한 기능을 가지는 요소에 관하여는 동일부호를 붙이고 있다. 제5실시예에 따른 메모리 테스트 회로의 특정상태 검출회로(63A)는 제4실시예의 어드레스 발생회로(81A)의 특정상태 검출회로(63)와 유사하지만, 제10, 11도에 나타난 바와 같이 인버터 회로(88)를 더 구비하고 있다. 즉, 해당 인버터 회로(88), NOR 회로(71) 및 NAND 회로(74)는 특정상태 검출회로(63A)를 구성한다. 특정상태 검출회로(63A)가 제1전주기 시퀀스 발생회로(62) 내의 쉬프트 레지스터(66)의 모든 디지트가 0이 될 때에 제2전주기 시퀀스 발생회로(64)와 제2쉬프트 레지스터 회로(83)가 동작한다. 제8도의 제4실시예에서는 게이트 회로가 1개의 AND 회로(87)로 구성되어 있지만, 제5실시예에서는 게이트 회로(87A)가 인버터 회로(91) 및 OR 회로(92)로 구성되어 있다. 제2전주기 시퀀스 발생회로(64)가 동작상태에 있을 때에만 게이트 회로(87A)는 강제적으로 '0'을 제1쉬프트 레지스터 회로(82)에 공급한다. 역으로, 제2전주기 시퀀스 발생회로(64)가 동작정지상태에 있을 때에는 실렉터 회로(86)로부터의 출력은 제1쉬프트 레지스터 회로(82)에 전파된다. 실렉터 회로(86)로부터의 출력은 제2쉬프트 레지스터 회로(83)에도 결합되어, 제2전주기 시퀀스 발생회로(64)가 동작상태에 있을 때에 전송된 데이터는 제2쉬프트 레지스터 회로(83)에 공급된다. 제10, 11도에서 21G, 21H, 21I,로 표시된 것은, 제5도의 메모리 회로(21A, 21B, 21C)처럼 1개의 어드레스 발생회로(81B)에 병렬로 접속된 메모리 회로이다. 다른 경우에는 회로의 구성이 제4실시예와 동일하여 설명은 생략한다.

[동작]

제12도는 제10, 11도의 회로의 동작을 나타낸다. 시각 T = 0에서 어드레스 신호가 A4 = 1, A0 = A1 = A2 = A3 = 0으로 설정되어 있다고 가정하고 있다. 제1전주기 시퀀스 발생회로(62) 내의 쉬프트 레지스터(66)는 '100'으로 설정되고, 제2전주기 시퀀스 발생회로(64) 내의 쉬프트 레지스터(76)는 '00'으로 설정되어 있다고 가정하고 있다.

시각 T가 진행됨에 따라 테이블의 어드레스의 컬럼에 나타난 바와 같이 어드레스가 변화한다. 0~31(2^5-1)의 어드레스 신호의 모든 값이 발생되므로, 메모리 셀의 모든 워드를 액서스할 수 있다.

테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼은 X어드레스가 4, 2, 5, 6, 7, 3, 1, 0, 4, 2, 5, 6, 7, 3, 1, 0, …의 순서로 변화하고 X어드레스가 0에서 4로 변화할 때만 Y어드레스가 변화한다는 것을 나타낸다.

제10, 11도의 회로에서는, 제1, 2쉬프트 레지스터 회로(82, 83) 및 게이트 회로(87A)는 각각의 메모리 회로(21G, 21H, 21I) 내에서 서로 인접하여 설치되고 메모리 회로(21G, 21H, 21I)는 어드레스 발생회로(81B)를 공유한다.

어드레스 발생회로(81B)는 2개의 신호선만으로 제1, 2쉬프트 레지스터 회로(82, 83)에 접속되어 있다. 이는 배선구조를 제6도의 제3실시예의 회로보다 덜 복잡하게 한다. 이러한 효과는 제8도에 표시한 제4실시예의 메모리 테스트 회로에 의한 효과와 같다.

[제6실시예]

[구성]

제13, 14도는 본 발명의 제6실시예의 메모리 테스트 회로를 표시하는 도면이다. 점선 B-B에서 서로 결합하면, 제13, 14도는 하나의 완전한 도면이 된다. 제6실시예의 메모리 테스트 회로는, 전주기 시퀀스 발생회로(62, 64)가 아닌 2개의 쌍방향 전주기 시퀀스 발생회로(95, 96)에 접속된 것을 제외하고는 제3도의 제2실시예의 어드레스 발생회로(81)와 같은 어드레스 발생회로(81C)를 구비한다. 제2실시예와는 다르게, 제1쌍방향 전주기 시퀀스 발생회로(95)의 특정상태를 검출하는 특정상태 검출회로(63B)는, NOR 회로(71A), XOR 회로(97) 및 NAND 회로(74)로 구성되어 있다. 제13, 14도에서는 101, 102로 표시된 것은, 쌍방향 전주기 시퀀스 발생회로(95, 96)내에 설치된 쉬프트 레지스터이고, 103, 104로 표시된 것은, 쉬프트 레지스터(101, 102)의 동작방향을 전환하는 실렉터군이다. 피드백 회로(67A, 67B)는 제1쌍방향 전주기 시퀀스 발생회로(95) 내에서 쉬프트 레지스터(101)에 2개의 방향으로 데이터를 피드백한다(제1쌍방향 피드백 회로). 71A, 71B로 표시된 것은, 피드백 회로(67A, 67B)의 NOR 회로이다. 72A, 72B, 73A, 73B로 표시된 것은 피드백 회로(67A, 67B)의 배타적 논리합 회로(XOR 회로)이다. 인버터 회로(77A, 77B)는, 제2쌍방향 전주기 시퀀스 발생회로(96) 내의 쉬프트 레지스터(102)에 2개의 방향으로 데이터를 피드백하는 피드백 회로로서 기능한다(제2쌍방향 피드백 회로). 피드백 회로(67A, 67B, 77A, 77B) 각각은, 쉬프트 레지스터(101, 102)에 2개의 방향으로 접속되는 것을 제외하고는 제2실시예에 사용되는 구조와 같은 구조를 가

진다(즉, 1쌍의 피드백 회로로서 대칭적으로 구성된다). 한 편의 피드백 회로(67A)의 NOR 회로(71A)는, 상술과 같이 특정상태 검출회로(63B) 내의 NOR 회로로서 기능한다.

제1쌍방향 전주기 시퀀스 발생회로(95)의 동작방향은 CHDIR1 신호에 의해 제어된다. 그리고, CHDIR1 신호가 '0'일 때에는, 제1쌍방향 전주기 시퀀스 발생회로(95)는, 오른쪽 방향으로 데이터를 쉬프트함으로써 순방향의 전체주기 시스템을 발생한다. CHDIR1 신호가 '1'일 때에는, 제1쌍방향 전주기 시퀀스 발생회로(95)는, 왼쪽 방향으로 데이터를 쉬프트함으로써 역방향의 전체주기 시스템을 발생한다. 제2쌍방향 전주기 시퀀스 발생회로(96)의 동작방향은 CHDIR2 신호에 의해 제어된다. 그리고, CHDIR2 신호가 '0'일 때에는, 제1쌍방향 전주기 시퀀스 발생회로(96)는, 오른쪽 방향으로 데이터를 쉬프트함으로써 순방향의 전체주기 시스템을 발생한다. CHDIR2 신호가 '1'일 때에는, 제2쌍방향 전주기 시퀀스 발생회로(96)는, 왼쪽 방향으로 데이터를 쉬프트함으로써 역방향의 전체주기 시스템을 발생한다.

특정상태 검출회로(63B)의 XOR 회로(97)도 CHDIR1 신호를 받아들인다. 따라서, 특정상태 검출회로(63B)는, CHDIR1 신호가 '0'일 때에는 '001'을 검출하고, CHDIR1 신호가 '1'일 때에는 '000'을 검출한다.

[동작]

제15, 16도는 제13, 14도에 회로의 동작을 표시한다. 제15도는 CHDIR1 = 0, CHDIR2 = 0인 경우의 동작을 나타내고, 제16도는 CHDIR1 = 1, CHDIR2 = 1의 경우의 동작을 나타낸다. CHDIR1 = 0, CHDIR2 = 1로 설정하거나 CHDIR1 = 1, CHDIR2 = 0으로 설정할 수 있지만, 효과가 같으므로, 그 설명을 생략한다.

제15도에는 시각 T = 0에서 어드레스 신호가 A0 = A1 = A2 = A3 = A4 = 0으로 설정되어 있다고 가정하고 있다. 시각 T가 진행됨에 따라 테이블의 어드레스의 컬럼에 나타난 바와 같이 어드레스가 변화한다.

0~31(2^5-1)의 어드레스 신호의 모든 값이 발생되므로, 메모리 셀의 모든 워드를 액서스하는 것이 가능하다.

제15도의 테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼은 X어드레스가 0, 4, 2, 5, 6, 7, 3, 1, 0, 4, 2, 5, 6, 7, 3, 1, …의 순서로 변화하고, X어드레스가 1에서 0으로 변화할 때에만 Y어드레스가 변화한다.

제16도는 시각 T = 0에서 어드레스 신호가 A2 = A0 = 1, A1 = A3 = A4 = 0으로 설정되어 있다고 가정하고 있다. 시각 T가 진행됨에 따라 테이블의 어드레스의 컬럼에 나타날 바와 같이 어드레스가 변하한다.

0~31(2^5-1)의 어드레스 신호의 모든 값이 발생되므로, 메모리 셀의 모든 워드를 액서스할 수 있다.

제16도의 테이블의 X어드레스 컬럼과 Y어드레스 컬럼은 X어드레스가 1, 3, 7, 6, 5, 2, 4, 0, 1, 3, 7, 6, 5, 2, 4, 0, …의 순서로 변화하고, X어드레스가 0에서 1로 변화할 때에만 Y어드레스가 변화한다.

제15도와 제16도의 어드레스의 컬럼을 비교하면, 어드레스가 정확하게 반대의 순서로 발생됨을 알 수 있다.

[제7실시예]

제17, 18도는 본 발명의 제7실시예의 메모리 테스트 회로를 표시하는 도면이다. 점선 C-C에서 서로 결합하면, 제17, 18도는 하나의 완전히 도면이 된다. 제7실시예의 메모리 테스트 회로는, 각 메모리 회로가 제8도의 제4실시예와 제10, 11도의 제5실시예에서와 같이 게이트 회로와 쉬프트 레지스터 회로를 포함하는 것을 제외하고는, 쌍방향 전주기 시퀀스 발생회로를 가지는 제13, 14도의 제6실시예의 메모리 테스트 회로와 유사하다. 제17, 18도에서는, 제4~6실시예와 유사한 기능을 수행하는 요소는 동일한 부호로 표시된다.

제7실시예의 메모리 테스트 회로 내의 어드레스 발생회로(81D)는, 제1쌍방향 전주기 시퀀스 발생회로(95)의 동작방향에 따라 출력의 꺼내는 위치를 하는 제1실렉터 회로(111)를 더 포함한다. 어드레스 발생회로(81D)는, 제2쌍방향 전주기 시퀀스 발생회로(96)의 동작방향에 따라 출력의 꺼내는 위치를 선택하는 제2실렉터 회로(112)를 더 포함한다. 제8도 또는 제10, 11도에 나타난 중의 실렉터 회로(86)에 해당하는 요소로서, 제3실렉터 회로(113)는 실렉터 회로(111, 112)에 접속되어 있다.

전주기 시퀀스 발생회로(95, 96)가 쌍방향성이므로, 메모리 회로(21J, 21K, 21L)의 X디코더(32)와 Y디코더(33)에 접속되는 쉬프트 레지스터 회로는 쌍방향성의 회로(즉, 제1쌍방향 쉬프트 레지스터 회로(114) 및 제2쌍방향 쉬프트 레지스터 회로(115)이다. 한 쌍의 게이트 회로(제1게이트 회로(116)와 제2게이트 회로(117)가 설치되어 제1쌍방향 쉬프트 레지스터 회로(114)에 2개의 방향으로부터 데이터 공급한다.

제1쌍방향 쉬프트 레지스터 회로(114)는, 제1쌍방향 전주기 시퀀스 발생 회로(95)의 쉬프트 레지스터(101)와 유사한 구조를 가지는 3자리수의 쌍방향 쉬프트 레지스터(121)와, 제1쌍방향 전주기 시퀀스 발생회로(95)의 실렉터군(103)과 유사한 구조를 가지는 실렉터군(122)으로 구성되어, 제1쌍방향 전주기 시퀀스 발생회로(95)의 동작방향으로 전환한다.

제2쌍방향 쉬프트 레지스터 회로(115)는 제2쌍방향 전주기 시퀀스 발생회로(96)의 쉬프트 레지스터(102)와 유사한 구조를 가지는 성된 2자리수의 쌍방향 쉬프트 레지스터(123)와, 제2쌍방향 전주기 시퀀스 발생회로(96)의 실렉터군(104)과 유사한 구조를 가지는 실렉터군(124)으로 구성되어, 쌍방향 쉬프트 레지스터(123)의 동작방향을 전환한다.

제1게이트 회로(116)는 1개의 AND 회로로 구성된다. 제1게이트 회로(116)의 한 편의 입력단자는 제3실렉터 회로(113)에 접속되고, 제1게이트 회로(116)의 다른 편의 입력단자는 특정상태 검출회로(63B)의 NAND 회로(74)에 접속된다.

제2게이트 회로(117)는 1개의 인버터 회로(125)와 1개의 OR 회로(126)로 구성된다. 인버터 회로(125)의 입력단자는 특정상태 검출회로(63B)의 NAND 회로(74)에 접속된다. OR 회로(126)의 한 편의 입력단자는 인

버터 회로(125)에 접속되고, OR 회로(126)의 다른 편의 입력단자는 제3실렉터 회로(113)에 접속된다.

상술한 바와 같은 구조를 가지는 메모리 테스트 회로에서는, 쉬프트 레지스터에 초기치가 적절히 설정될 때, 제17, 18도의 회로는 제15, 16도의 회로와 유사하게 동작한다.

[제8실시예]

[구성]

제19, 20도는 본 발명의 제8실시예의 메모리 테스트 회로를 표시하는 도면이다. 제19, 20도에서는, 제13, 14도에 표시된 제6실시예와 유사한 기능을 가지는 요소에 관하여는 동일 부호를 붙이고 있다. 제8실시예의 메모리 테스트 회로는, 메모리 회로(21M)의 Y디코더(33A)가 1자릿수(2진수) 디코더이고 메모리 셀(31A)은 0～15의 16개의 워드를 구성하는 메모리 영역을 가지는 것을 제외하고는, 제13, 14도의 회로와 유사하다. 따라서, 어드레스 발생회로(81E)의 제2전주기 시퀀스 발생회로(96A)가 (1비트 카운터와 같은) 1비트 전주기 시퀀스 발생회로이다.

제2전주기 시퀀스 발생회로(96A)는 1개의 레지스터(127)(1비트 쉬프트 레지스터)와, 피드백 회로로서의 1개의 인버터(128)로 구성되어 있다. 레지스터(127)의 데이터 입력단자는 인버터(128)의 출력단자에 접속되고, 레지스터(127)의 동작 제어 입력단자는, 특정상태 검출회로(63B)의 NAND 회로(74)에 접속되고, 레지스터(127)의 데이터 출력단자는 메모리 회로(21M)의 Y디코더(33A)용의 어드레스 입력단자(A0)에 접속되어 있다. 인버터(128)의 입력단자는 레지스터(127)에 접속된다. 다른 경우에는 회로의 구성이 제6실시예와 동일하여 설명은 생략한다.

[동작]

제21, 22도는 제19, 20도의 회로의 동작을 표시한다. 제21도는 CHDIR1 = 0일 때의 동작을 나타내고, 제22도는 CHDIR1 = 1일 때의 동작을 나타낸다. 제21도는, 시각 T = 0에서 어드레스 신호가 A0 = A1 = A2 = A3 = 0으로 설정되어 있다고 가정하고 있다. 시각 T가 진행됨에 따라 테이블의 어드레스의 컬럼에 나타난 바와 같이 어드레스가 변화한다. 0～15(2^4-1)의 어드레스 신호의 모든값이 발생되므로, 메모리 셀의 모든 워드를 액서스할 수 있다.

제21도의 테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼은 X어드레스가 0, 4, 2, 5, 6, 7, 3, 1, 0, 4, 2, 5, 6, 7, 3, 1, ...의 순서로 변화하고, X어드레스가 1에서 0으로 변화할 때에만 Y어드레스가 변화한다.

제22도는, 시각 T = 0에서 어드레스 신호가 A1 = A0 = 1, A2 = A3 = 0으로 설정되어 있다고 가정하고 있다. 시각 T가 진행됨에 따라 테이블의 어드레스의 컬럼에 나타난 바와 같이 어드레스가 변화한다.

0 ～15(2^4-1)의 어드레스 신호의 모든 값이 발생되므로, 메모리 셀의 모든 워드를 액서스하는 것이 가능하다. 제22도의 테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼은 X어드레스가 1, 3, 7, 6, 5, 2, 4, 0, 1, 3,7, 6, 5, 2, 4, 0, ...의 순서로 변화하고, X어드레스가 0에서 1로 변화할 때에만 Y어드레스가 변화한다.

제21, 22도의 어드레스의 컬럼을 비교하면, 어드레스가 완전히 반대순서로 발생됨을 알 수 있다.

[제9실시예]

제23, 24도는 본 발명의 제9실시예의 메모리 테스트 회로를 표시하는 도면이다. 제23, 24도에서는 제17, 18도의 제7실시예 및 제19, 20도의 제8실시예와 유사한 기능을 가지는 요소에 관하여는 동일 부호를 붙이고 있다. 점선 E-E에서 서로 결합하면, 제23, 24도는 하나의 완전한 도면이 된다. 제9실시예의 메모리 테스트 회로는, 제7실시예에서처럼 게이트 회로(116, 117) 및 쉬프트 레지스터 회로(114, 131)를 포함하도록 변형되면, 제19, 20도의 제8실시예의 메모리 회로(21M)와 같은 메모리 회로(21N)를 구비하고 있다. 제9실시예의 어드레스 발생회로(81F)는, 제7실시예에서 사용된 실렉터 회로와 유사한 실렉터 회로(111, 113A)를 구비하도록 변형되면, 제8실시예의 어드레스 발생회로(81E)와 같다. 그러나, 제2전주기 시퀀스 발생회로(96A)가 1비트 구성을 가지므로, 쉬프트 레지스터 회로(131)(이하, 1비트 쉬프트 레지스터 회로(131)라 칭함)는 1비트 레지스터만으로 구성된다. 데이터가 전송되는 방향은 문제가 되지 않으므로, 제7실시예에서 사용되는 제2실렉터 회로(112)에 해당하는 실렉터 회로는 없다. 이는, 실렉터 회로(113A)의 입력단자 '0'이 제2전주기 시퀀스 발생회로(96A)의 인버터(128)에 직접 접속되도록 한다. 그 외에는 제9실시예의 회로의 구성은 제8실시예의 회로와 동일하다. 상술한 바와 같은 구성을 가지는 메모리 테스트 회로에서는, 쉬프트 레지스터에 초기치가 적절히 설정될 때에 제23, 24도의 회로는 제21, 22도의 회로와 유사하게 동작한다.

[제10 실시예]

[구성]

제25, 26도는 본 발명의 제10실시예의 메모리 테스트 회로를 표시하는 도면이다. 제25, 26도에서는 제19, 20도의 제 8실시예와 유사한 기능을 수행하는 요소에 관하여는 동일 부호를 붙이고 있다. 점선 F-F에서 서로 결합하면, 제25, 26도는 하나의 완전한 도면이 된다. 제10실시예의 메모리 테스트 회로의 어드레스 발생회로(81G)에서, 제8실시예의 제2전주기 시퀀스 발생회로(96)와 유사한 1비트 전주기 시퀀스 회로는 Y어드레스를 발생하는 제1전주기 시퀀스발생회로(95A) 회로로서 사용된다. X어드레스를 발생하는 제2전주기 시퀀스 발생회로(96B)로서, 제8실시예의 제1쌍방향 전주기 시퀀스 발생회로(95)와 유사한 쌍방향 전주기 시퀀스 발생회로가 사용된다. 한 개의 XOR 회로(배타적 논리합 회로)는, 제1전주기 시퀀스 발생회로(95A)로 부터의 출력(Y어드레스의 값)의 특정상태를 검출하고 제2전주기 시퀀스 발생회로(96B)의 동작을 정지시키는 특정상태를 검출회로(63C)로서 사용된다. XOR 회로(63C)의 한 편의 입력단자는 외부로부터 CHDIR2신호를 받아들인다. XOR회로(63C)의 다른 편의 입력단자는 제1전주기 시퀀스 발생회로(95A)의 인버터(128)의 출력단자에 접속되어 있다. 그러므로, CHDIR2 신호는 XOR 회로(63C)의 검출조건을 지정한다.

다른 경우에는 회로의 구성이 제8실시예와 동일하여 설명은 생략한다.

[동작]

제27, 28도는 제25, 26도의 회로의 동작을 나타낸다. 제27도는 CHDIR1 = 0, CHDIR2 = 0의 경우의 동작이고, 제 28도는 CHDIR1 = 1, CHDIR2 = 1의 경우의 동작이다. 제27도는 시각 T = 0에서 어드레스 신호가 A0 = A1 = A2 = A3 = 0에 설정되어 있다고 가정하고 있다. 이 경우, 제2동작모드 스위칭 신호(CHDIR2)가 1비트의 제1전주기 시퀀스 발생회로(95A)의 어드레스 상태와 일치할 때에만 제2전주기 시퀀스 발생회로(96B)의 동작이 정지된다. 구체적으로는, 제27, 28도에서와 같이, 시각 T가 진행됨에 따라 테이블의 어드레스의 컬럼에 나타난 바와 같이 어드레스가 변화한다. 0～15(2^4-1)의 어드레스 신호의 모든 값이 발생되므로 메모리 셀의 모든 워드를 액서스하는 것이 가능하다.

제28도의 테이블의 X어드레스의 컬럼과 Y어드레스의 컬럼과 Y어드레스의 컬럼은 Y어드레스가 1, 0, 1, 0, ...의 순서로 변화하고, Y어드레스가 0에서 1로 변화할 때에만 X어드레스가 변화한다.

제27, 28도의 어드레스의 컬럼을 비교하면, 어드레스가 완전히 반대순서로 발생됨을 알 수 있다.

[제11실시예]

제29, 30도는 본 발명의 제11실시예의 메모리 테스트 회로를 표시하는 도면이다. 제29, 30도에는 제9, 10실시예와 유사한 기능을 가지는 요소에 관하여는 동일 부호를 붙이고 있다. 점선 G-G에서 서로 겹합하면, 제29, 30도는 하나의 완전한 도면이 된다. 제11실시예의 메모리 테스트 회로는, 1비트의 제1전주기 시퀀스 발생회로(95A)에 해당하는 1비트 쉬프트 레지스터 회로(131)와, 제2전주기 시퀀스 발생회로(96B)에 해당하는 3비트의 쌍방향 쉬프트 레지스터 회로(114)와, 1비트 쉬프트 레지스터 회로(131)에 제공될 데이터 선택하는 실렉터 회로(132)를 더 포함하도록 변형되면, 제26도의 제10실시예의 메모리 회로(21N)와 동일한 제29, 30도에 표시된 바와 같은 메모리 회로(210)를 구비하고 있다. 제11실시예의 어드레스 발생회로(81G)는, 2개의 실렉터 회로(111,113A)를 더 포함하도록 변형되면, 제25, 26도의 제10실시예의 어드레스 발생회로(81F)와 동일하다.

실렉터 회로(111)는, 제2전주기 시퀀스 발생회로(96B)의 동작방향에 따라 출력을 꺼내는 위치를 선택한다. 실렉터 회로(111)의 양 입력단자는 제2전주기 시퀀스 발생회로(96B)의 양 피드백 회로(67A, 67B)의 XOR 회로(73A, 73B)의 출력단자에 접속된다. CHDIR1 신호는 실렉터 회로(111)의 스위칭 제어단자에 공급된다.

특정상태 검출회로(63C)로부터 공급되는 신호에 따라, 실렉터 회로(113A)는 제1전주기 시퀀스 발생회로(95A)의 인버터(128)로부터의 출력신호와 실렉터 회로(111)로부터의 출력신호 중의 하나를 선택한다.

특정상태 검출회로(63C)로부터 공급되는 신호에 따라, 제8도 또는 제10도의 구조에 사용되는 게이트 회로에 해당하는 실렉터 회로(132)는, 외부로부터의 CHDIR2신호와 실렉터 회로(113A)로부터 공급되는 신호 중의 하나를 선택한다. 제2쌍방향 전주기 시퀀스 발생회로(96B)와 제1쌍방향 쉬프트 레지스터 회로(114)가 동작정지상태에 있을 때에는, 실렉터 회로(132)는 실렉터 회로(113A)로부터의 출력을 1비트 쉬프트 레지스터 회로(131)에 전파한다. 반대로, 제2쌍방향 전주기 시퀀스 발생회로(96B)와 제1쌍방향 쉬프트 레지스터 회로(114)가 동작상태에 있을 때에는, 실렉터 회로(132)는 CHDIR2 신호를 1비트 쉬프트 레지스터 회로(131)에 전파한다. 다른 경우에는 회로의 구성이 제10실시예와 동일하여 설명은 생략한다.

상술한 바와 같은 구성을 갖는 메모리 테스트 회로에서는, 쉬프트 레지스터의 초기치가 적절히 설정되면, 제29, 30도의 회로는 제27, 28도의 회로와 유사하게 동작한다.

[제 12 실시예]

제31, 32도는 본 발명의 제12실시예의 메모리 테스트 회로를 표시하는 도면이다. 제31, 32도에서 제29, 30도의 제11실시예와 유사한 기능을 가지는 요소에 관하여는 동일 부호를 붙이고 있다. 점선 H-H에서 서로 결합하면, 제31, 32도는 하나의 완전한 도면이 된다. 제12실시예의 메모리 테스트 회로는, 제29, 30도의 제11실시예의 회로와 유사하게 동작한다. 제31, 32도에 나타난 바와 같이, 1비트 전주기 시퀀스 발생회로(95A)로부터의 출력은 1비트 쉬프트 레지스터 회로(131)에 직접 공급된다. 실렉터 회로(111)로부터의 출력은, 제1쌍방향 쉬프트 레지스터 회로(114)의 순방향 입력과 역방향 입력에 공통으로 겹합되어 있다. 제31도에서 81H로 표시된 것은 어드레스 발생회로이다. 제32도에서 21P로 표시된 것은 메모리 회로이다. 다른 경우에는 회로의 구성이 제29, 30도의 제11실시예와 동일하여 설명은 생략한다.

상술한 바와 같은 구성을 가지는 메모리 테스트 회로에서, 쉬프트 레지스터의 초기치가 적절히 설정되면, 제31, 32도의 회로는 제29, 30도의 회로와 유사하게 동작한다.

[제13실시예]

[구성]

제33, 34도는 본 발명의 제13실시예의 메모리 테스트 회로를 표시하는 도면이다. 제33, 34도면에서는 제1도의 제1실시예 및 제3도의 제2실시예와 유사한 기능을 가지는 요소에 관하여는 동일 부호를 붙이고 있다. 제13실시예의 메모리 테스트 회로는, 제1실시예에서 구현된 기능에 관계되는 모드에서와 제2실시예에서 구현된 기능에 관계되는 모드에서, 수행될 수 있도록 구성된다., 즉, 제1전주기 시퀀스 발생회로(62)가 3비트의 쉬프트 레지스터(66) 및 1개의 NOR 회로(71)와 2개의 XOR 회로(72, 73)로 구성되는 피드백 회로(67)를 구비하고, 제2전주기 시퀀스 발생회로(64)가 2비트의 쉬프트 레지스터(76) 및 피드백 회로로서 기능하는 인버터 회로(77)로 구성된다는 점에서 제13실시예는 제2실시예와 유사하다. 제2실시예와의 차이점은, 1쌍의 특정상태 검출회로 즉, 제1전주기 시퀀스 발생회로(62)로부터의 출력(X어드레스의 값)의 특정상태를 검출하여 제2전주기 시퀀스 발생회로(64)의 동작을 정지시키는 특정상태 검출회로(63)및 제2전주기 시퀀스 발생회로(64)로부터의 출력(Y어드레스의 값)의 특정상태를 검출하여 제1전주기 시퀀스 발생회로(62)의 동작을 정지시키는 제2특정 상태검출회로(37)(보조 특정상태 검출회로)를 이용한다는 점이다. 특정상태 검출회로(37, 63)중의 하나는, 외부로부터 제어신호 MODE1, MODE2를 AND 회로(141, 142)에

공급함으로써 선택적으로 동작하도록 만들어진다. 제33도에서 61A로 표시되는 것은 어드레스 발생회로이다. 다른 경우에는 회로의 구성이 제2실시예와 동일하여 설명은 생략한다.

[동작]

상술한 바와 같은 구성에 있어서, MODE1 = 1이고 MODE = 0일 때에는 제2전주기 시퀀스 발생회로(64)가 항상 동작상태로 되어, 제1전주기 시퀀스 발생회로(62)는 제2전주기 시퀀스 발생회로(64)의 상태에 의해 제한되어 제2도와 유사한 동작을 행한다.

한편, MODE1= 0이고 MODE2 = 1일 때에는, 제1전주기 시퀀스 발생회로(62)가 항상 동작상태로 되어, 제2전주기 시퀀스 발생회로(64)는 제1전주기 시퀀스 발생회로(62)의 상태에 의해 제한되어 제4도와 유사한 동작을 행한다.

상술한 바와 같이, 제13실시예에서는, Y어드레스를 완전히 변화시킨 후에 X어드레스를 갱신하는 테스트와, Y어드레스를 완전히 변화시킨 후에 Y어드레스를 갱신하는 테스트를 필요에 따라 선택적으로 수행할 수 있다.

[제14실시예]

[구성]

제35, 36도는 본 발명의 제14실시예의 메모리 테스트 회로를 표시하는 도면이다. 제35, 36도에서는 제33, 34도의 제13실시예와 유사한 기능을 가지는 요소에 관하여는 동일부호를 붙이고 있다. 제14실시예의 메모리 테스트 회로는, 쉬프트 레지스터(66, 76)의 데이터 입력단자와 피드백 회로(67, 77)의 사이에 설치되는 실렉터 회로(145, 146)를 포함하도록 변형되면, 제13실시예의 전주기 시퀀스 발생회로(62, 64)와 같은 전주기 시퀀스 발생회로(62A, 64A)를 구비한다. 따라서, 전주기 시퀀스 발생회로(62A, 64A)는 스캐닝을 수행한다. 제35도에서 부호 SI로 표시된 것은 시리얼 입력핀이고, SO로 표시된 것은 시리얼 출력핀이며, SM으로 표시된 것은 쉬프트 모드 제어핀이다. 다른 경우에는 회로의 구성이 제12실시예와 동일하여 설명은 생략한다.

[동작]

'0'이 쉬프트 모드 제어핀(SM)에 공급될 때에, 제14실시예의 회로는 제13실시예의 회로와 유사한 동작이 수행된다. '1'이 쉬프트 모드 제어핀(SM)에 공급될 때에, 직렬경로는 시리얼 입력핀(SI)으로부터 시리얼 출력핀(SO)으로 설정된다. '1'이 쉬프트 모드 제어핀(SM)에 공급될 때에 MODE1 = MODE2 = 0이면 2개의 전주기 시퀀스 발생회로(62A, 64A) 내에 설치된 쉬프트 레지스터는 동작상태이고, 이는 직렬 쉬프트 동작을 수행할 수 있게 한다.

전주기 시퀀스 발생회로(62A, 64A)가 스캔기능을 가지므로, 직렬 쉬프트 동작으로써 임의의 초기치를 각 전주기 시퀀스 발생회로(62A, 64A)에 설정하는 것이 가능하다.

초기치는, 전주기 시퀀스 발생회로의 각각의 쉬프트 레지스터를 위해 설치되는 세트/리세트 수단으로써 설정될 수도 있다.

[변형예]

(1) 메모리 테스트 회로에 제한하여 본 발명을 상술하였지만, 본 발명은 어드레스를 순차적으로 변화시키는 어떠한 반도체 직접회로 장치에도 적용할 수 있다.

(2) 어드레스의 모든 값을 주기적으로 순차적으로 생성하면서 순차적으로 어드레스의 값을 변화시키는 실시예에 사용되는 전주기 시퀀스 발생회로와 같은 완전한 전주기 시퀀스 발생회로는, 불완전한 전주기 시퀀스 발생회로, 즉 제거하고 주기적으로 순차적으로 어드레스의 중 일부를 생성하면서 어드레스의 값을 변화시키는 LFSR과 같은 회로로 대체될 수도 있다. 그런 경우에, LFSR은, 각각의 내부 쉬프트 레지스터의 전체-'0' 값(ALL '0')을 제외한 모든 어드레스를 발생시킨다. 또한, 전주기 시퀀스 발생회로는 X어드레스와 Y어드레스 중의 하나에 대하여 사용될 수도 있고, LFSR은 X어드레스와 Y어드레스 중의 다른 하나에 대하여 사용될 수도 있다.

(3) 제14실시예는 제13실시예의 전주기 시퀀스 발생회로(62, 64)를 변형하여, 전주기 시퀀스 발생회로가 스캐닝 기능을 가진다. 제1~12실시예에 사용되는 전주기 시퀀스 발생회로도 변형되어 스캐닝 기능을 가질 수도 있다.

(4) 제10실시예에서 XOR 회로가 특정상태 검출회로(63C)로서 사용되지만, 반대의 기능을 갖는 회로(즉, NOR 회로와 같은 배타적 반전 논리합 회로)가 대신 사용될 수도 있다. 그러한 경우에, 제2동작모드 스위칭 신호(CHDIR2)가 1비트의 제1전주기 시퀀스 발생회로(95A)의 어드레스 상태와 일치할 때에만, 제2쌍방향 전주기 시퀀스 발생회로(96B)는 동작정지상태로 된다.

본 발명을 상세히 설명하였으나, 상술한 설명은 설명을 위한 것이나 제한을 위한 것이 아닌 모든 관점에서 기술된 것이다. 본 발명의 범위를 벗어나지 않는 범위 내에서 수많은 다른 변형과 수정이 가능하다.

(57) 청구의 범위

청구항 1

복수의 메모리 셀과, 상기 메모리 셀의 X어드레스를 지정하는 X디코더와 상기 메모리 셀의 Y어드레스를 지정하는 Y디코더를 구비하는 메모리 회로와, 상기 X디코더와 상기 Y디코더의 양 어드레스를 생성하는 어드레스 발생회로로 구비하고 있으며, 상기 어드레스 발생회로는, 상기 X디코더와 상기 Y디코더 중의 하나의 디코더의 어드레스의 모든 값을 순차적으로, 주기적으로, 그리고 규칙적으로 변화시키면서 상기 어드레스의 값들을 생성하는 제1전주기 시퀀스 발생회로와, 상기 X디코더와 상기 Y디코더 중의 다른 하나의 디코더의 어드레스의 모든 값을 순차적으로, 주기적으로, 그리고, 규칙적으로 변화시키면서 상기 어드레

스의 값들을 생성하는 제2전주기 시퀀스 발생회로와, 상기 제1전주기 시퀀스 발생회로 내의 특정한 어드레스 상태를 검출하고, 상기 제2전주기 시퀀스 발생회로가 상기 특정의 어드레스 상태 이외의 상태인 경우에는 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키는 특정상태 검출회로를 구비하는 것을 특징으로 하는 반도체 직접회로 장치.

청구항 2

제1항에 있어서, 상기 제1전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 제1쉬프트 레지스터부와, 상기 제1전주기 시퀀스 발생회로 내에 저장되어있는 어드레스 데이터를 피드백으로서 반환하여, 상기 제1전주기 시퀀스 발생회로 내에 저장되어 있는 상기 어드레스 데이터가 규칙적으로 변화하도록 하는 제1피드백 회로를 구비하고 있으며, 상기 제2전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 제2쉬프트 레지스터부와, 상기 제1전주기 시퀀스 발생회로 내에 저장되어있는 어드레스 데이터를 피트백으로서 반환하여, 상기 제2전주기 시퀀스 발생회로 내에 저장되어 있는 상기 어드레스 데이터가 규칙적으로 변화하도록 하는 제2피트백 회로를 구비하고 있으며, 상기 메모리 셀 회로는, 상기 제1전주기 시퀀스 발생회로의 상제1쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 하나의 디코더에 접속되고, 상기 제1전주기 시퀀스 발생회로의 상기 제1피드백 회로로부터 공급되는 출력신호에 응답하여 상기 제1쉬프트 레지스터부와 유사하게 동작하는 제쉬프트 레지스터 회로와, 상기 제2전주기 시퀀스 발생회로의 상기 제2쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 다른 하나의 디코더에 접속되고, 상기 제2전주기 시퀀스 발생회로의 상기 제2피드백 회로로부터 공급되는 출력신호에 응답하여 상기 제2쉬프트 레지스터부와 유사하게 동작하는 제2쉬프트 레지스터 회로를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 3

제2항에 있어서, 상기 어드레스 발생회로는, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하는 실렉터 회로를 더 구비하고 있으며, 상기 어드레스 발생회로는, 상기 제2전주기 시퀀스 발생회로가 동작정지상태에 있으면, 상기 제1전주기 시퀀스 발생회로로부터 공급되는 출력을 선택하지만, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있으면, 상기 제2전주기 시퀀스 발생회로로부터 공급되는 출력을 선택하며, 상기 메모리 회로는, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 제2전주기 시퀀스 발생회로가 동작정지상태에 있으면 상기 실렉터 회로의 출력을 상기 제1쉬프트 레지스터 회로에 전송하고, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있으면 고정 데이터를 상기 제1쉬프트 레지스터 회로에 전송하는 게이트 회로를 구비하고 있으며, 상기 메모리 회로의 상기 제2쉬프트 레지스터 회로의 입력단자는, 상기 실렉터 회로에 접속되고, 상기 제2쉬프트 레지스터 회로는, 상기 특정상태 검출회로의 제어하에 쉬프트 동작을 수행하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 4

제1항에 있어서, 상기 제1, 2전주기 시퀀스 발생회로는, 데이터를 두 방향으로 쉬프트 시키는 쌍방향 전주기 시퀀스 발생회로를 각각 구비하고 있으며, 상기 제1전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 제1쌍방향 쉬프트 레지스터부와, 상기 제1쌍방향 쉬프트 레지스터부 내에 저장되어 있는 어드레스 데이터를 피드백으로서 반환하여, 상기 제1쌍방향 쉬프트 레지스터부 내에 저장되어 있는 상기 어드레스 데이터가 규칙적으로 변화하도록 하는 제1쌍방향 피드백 회로를 구비하고 있으며, 상기 제2전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 제2쌍방향 쉬프트 레지스터부와, 상기 제2쌍방향 쉬프트 레지스터부 내에 저장되어 있는 어드레스 데이터를 피드백으로서 반환하여, 상기 제2쌍방향 쉬프트 레지스터부 내에 저장되어 있는 상기 어드레스 데이터가 규칙적으로 변화하도록 하는 제2쌍방향 피드백 회로를 구비하고 있으며, 상기 특정상태 검출회로는, 상기 제1전주기 시퀀스 발생회로의 순방향 동작 모드 동안에 상기 제1전주기 시퀀스 발생회로가 소정의 제1상태 이외의 상태에 있으면, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키고, 상기 제1전주기 시퀀스 발생회로의 역방향 동작 모드 동안에 상기 제1전주기 시퀀스 발생회로가 소정의 제2상태 이외의 상태에 있으면, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 5

제4항에 있어서, 상기 어드레스 발생회로는, 외부로부터 공급되는 제1동작모드 스위칭 신호에 따라 상기 제1전주기 시퀀스 발생회로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 제1실렉터 회로와, 외부로부터 공급되는 제2동작모드 스위칭 신호에 따라 상기 제2전주기 시퀀스 발생회로로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 제2실렉터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하고, 제2전주기 스퀀스 발생회로가 동작정지상태에 있을 때에는 상기 제1실렉터 회로로부터 공급되는 출력을 선택하지만, 제2전주기 시퀀스 발생회로가 동작상태에 있을 때에는 상기 제2실렉터 회로로부터 공급되는 출력을 선택하는 제3실렉터 회로를 더 구비하고 있으며, 상기 메모리 셀 회로는, 상기 제1전주기 시퀀스 발생회로의 상기 제1쌍방향 쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 하나의 디코더에 접속되고, 상기 제1쌍방향 쉬프트 레지스터부처럼 자신의 동작방향이 상기 제1동작모드 스위칭 신호에 따라 전환되는 제1쌍방향 쉬프트 레지스터 회로와, 상기 제2전주기 시퀀스 발생회로의 상기 제2쌍방향 쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 다른 하나의 디코더에 접속되고, 상기 제2쌍방향 쉬프트 레지스터부처럼 자신의 동작방향이 상기 제2동작모드 스위칭 신호에 따라 전환되는 제2쌍방향 쉬프트 레지스터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하여, 상기 제2전주기 시퀀스 발생회로가 동작정지상태에 있으며 상기 제3실렉터 회로로로부터 출력을 상기 제1쌍방향 쉬프트 레지스터 회로의 순방향 입력으로 전송하지만, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있으면 소정의 고정 데이터를 상기 제1쌍방향 쉬프트 레지스터 회로의 상기 순방향 입력으로 전송하는 제1게이트 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하여, 상기 제2전주기 시퀀스 발생회로가 동작정지상태

에 있으면 상기 제3실렉터 회로로부터의 출력을 상기 제1쌍방향 쉬프트 레지스터 회로의 역방향 입력으로 전송하지만, 상기 제2전주기 시퀀스 발생회로가 동작 상태에 있으면 소정의 고정 데이터를 상기 제1쌍방향 쉬프트 레지스터 회로의 상기 역방향 입력으로 전송하는 제2게이트 회로를 더 구비하고 있으며, 상기 제3실렉터 회로로부터의 상기 출력신호는, 상기 제2전주기 시퀀스 발생회로의 두 방향에 해당하는 입력단자에 공급되는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 6

제 1항에 있어서, 상기 제1전주기 시퀀스 발생회로는, 데이터를 두 방향으로 쉬프트시키는 쌍방향 전주기 시퀀스 발생회로이고, 상기 제2전주기 시퀀스 발생회로는 1비트 전주기 시퀀스 발생회로이고, 상기 제1전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 쌍방향 쉬프트 레지스터부와, 상기 쌍방향 쉬프트 레지스터부 내에 저장되어 있는 어드레스 데이터를 피드백으로서 반환하여, 상기 쌍방향 쉬프트 레지스터부 내에 저장되어 있는 상기 어드레스 데이터가 변화하도록 하는 쌍방향 피드백 회로를 구비하고 있으며, 상기 특정상태 검출회로는, 상기 제1전주기 시퀀스 발생회로의 순방향 동작 모드 동안에 상기 제1전주기 시퀀스 발생회로가 소정의 제1상태 이외의 상태에 있으면, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키고, 상기 제1전주기 시퀀스 발생회로의 역방향 동작 모드 동안에 상기 제1전주기 시퀀스 발생회로가 소정의 제2상태 이외의 상태에 있으면, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 7

제 6항에 있어서, 상기 어드레스 발생회로는, 외부로부터 공급되는 제1동작모드 스위칭 신호에 따라 상기 제1전주기 시퀀스 발생회로로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 제1실렉터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하고, 제2전주기 시퀀스 발생회로가 동작정지상태에 있을 때에는 상기 제1실렉터 회로로부터의 출력을 선택하지만, 제2전주기 시퀀스 발생회로가 동작상태에 있을 때에는 상기 제2실렉터 회로로부터의 출력을 선택하는 제2실렉터 회로를 구비하고 있으며, 상기 메모리 셀 회로는, 상기 제1전주기 시퀀스 발생회로의 상기 쌍방향 쉬프트 레지스터부와 유사하게 구성되어, 상기 X디코더와 상기 Y디코더 중의 하나의 디코더에 접속되고, 상기 제1전주기 시퀀스 발생회로의 상기 쌍방향 쉬프트 레지스터부처럼 자신의 동작방향이 상기 제1동작모드 스위칭 신호에 따라 전환되는 제1쌍방향 쉬프트 레지스터 회로와, 상기 X디코더와 상기 Y디코더 중의 다른 하나의 디코더에 접속되어, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 동작하는 1비트 쉬프트 레지스터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 1비트 쉬프트 레지스터 회로가 동작상태에 있는지 동작정지상태에 있지를 검출하여, 상기 1비트 쉬프트 레지스터 회로가 동작정지상태에 있으면 상기 제2실렉터 회로로부터의 출력을 상기 쌍방향 쉬프트 레지스터 회로의 순방향 입력으로 전송하지만, 상기 1비트 쉬프트 레지스터 회로가 동작상태에 있으면 소정의 고정 데이터를 상기 쌍방향 쉬프트 레지스터 회로의 상기 순방향 입력으로 전송하는 제1게이트 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라 상기 1비트 쉬프트 레지스터 회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하여, 상기 1비트 쉬프트 레지스터 회로가 동작정지상태에 있으면 상기 제2실렉터 회로로부터의 출력을 상기 쌍방향 쉬프트 레지스터 회로의 역방향 입력으로 전송하지만, 상기 1비트 쉬프트 레지스터 회로가 동작상태에 있으면 소정의 고정 데이터를 상기 쌍방향 쉬프트 레지스터 회로의 상기 역방향 입력으로 전송하는 제2게이트 회로를 더 구비하고, 상기 1비트 쉬프트 레지스터 회로의 입력단자는 상기 제2실렉터 회로에 접속되는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 8

제 1항에 있어서, 상기 제1전주기 시퀀스 발생회로는 1비트 전주기 시퀀스 발생회로이고, 상기 제2전주기 시퀀스 발생회로는, 외부로부터 공급되는 제1동작모드 스위칭 신호에 따라 쉬프트시키는 데이터의 쉬프트 방향으로서 두 방향 중의 하나를 선택하는 쌍방향 전주기 시퀀스 발생회로이고, 상기 제2전주기 시퀀스 발생회로는, 생성될 어드레스의 비트수에 대응하는 쌍방향 쉬프트 레지스터부와, 상기 쌍방향 쉬프트 레지스터부 내에 저장되어 있는 어드레스 데이터를 피드백으로서 두 방향으로 반환하여, 상기 쌍방향 쉬프트 레지스터부 내에 저장되어 있는 상기 어드레스 데이터가 변화하도록 하는 쌍방향 피드백 회로를 구비하고 있으며, 상기 특정상태 검출회로는, 상기 제1전주기 시퀀스 발생회로로부터의 출력과 외부로부터 공급되는 제2동작모드 스위칭 신호를 받아들이는 배타적 논리합 회로를 구비하고 있으며, 상기 특정상태 검출회로는, 상기 제2동작모드 스위칭 신호가 1비트의 상기 제1전주기 시퀀스 발생회로의 어드레스 상태와 일치하거나 불일치할 때에만, 상기 제2전주기 시퀀스 발생회로의 동작을 정지시키는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 9

제8항에 있어서, 상기 어드레스 발생회로는, 상기 제1동작모드 스위칭 신호에 따라 상기 제2전주기 스퀀스 발생 회로로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 제1실렉터 회로와, 상기 특정상태 검출회로로부터 공급되는 신호에 따라, 상기 제2전주기 시퀀스 발생회로가 동작상태에 있는지 동작정지상태에 있는지를 검출하고, 제2전주기 시퀀스 발생회로가 동작정지상태에 있을 때에는 상기 제1실렉터 회로로부터의 출력을 선택하지만, 제2전주기 시퀀스 발생회로가 동작상태에 있을 때에는 상기 제1실렉터 회로로부터의 출력을 선택하는 제2실렉터 회로를 구비하고 있으며, 상기 메모리 셀 회로는, 상기 제2전주기 시퀀스 발생회로의 상기 쌍방향 쉬프트 레지스터부와 유사하게 구성되어 상기 X디코더와 상기 Y디코더 중의 상기 다른 하나의 디코더에 접속되고, 자신의 순방향 입력과 역방향 입력에서 상기 제2실렉터 회로의 출력신호의 출력신호를 받아들이고, 상기 제2전주기 시퀀스 발생회로처럼 상기 특정상태 검출회로로부터 공급되는 출력신호에 따라 동작정지되고, 자신의 동작방향이 상기 제1동작모드 스위칭 신호에 따라 스위칭되는 쌍방향 쉬프트 레지스터 회로와, 상기 제2전주기 시퀀스 발생회로와 상기 쌍방향 쉬프트 레지스터 회로가 동작상태에 있는지 동작정지상태에 있는지를 상기 특정상태 검출회로로부터 공급되는 신호에 따라 검출하고, 상기 제2전주기 시퀀스 발생회로와 상기 쌍방향 쉬프트 레지스터 회로가 동작정지상태에 있을 때에는 상기 제2실렉터 회로로부터 공급되는 출력을 선택하지만, 상기 제2전주기 시퀀스 발생

회로와 상기 쌍방향 쉬프트 레지스터 회로가 동작상태에 있을 때에는 상기 제2동작모드 스위칭 신호를 선택하는 제3실렉터 회로와, 상기 X디코더와 상기 Y디코더 중의 상기 하나의 디코더에 접속되어, 상기 제3실렉터 회로로부터의 출력신호를 받아들이는 1비트 쉬프트 레지스터 회로를 더 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 10

제 8 항에 있어서, 상기 어드레스 발생회로는, 상기 제1동작모드 스위칭 신호에 따라, 상기 제2전주기 시퀀스 발생회로로부터 공급되는 두 방향의 출력신호들 중의 하나를 선택하는 실렉터 회로를 더 구비하고, 상기 메모리 셀 회로는, 상기 X디코더와 상기 Y디코더 중의 상기 다른 하나의 디코더에 접속되어 상기 제1실렉터 회로로부터의 출력신호를 받아들이는 1비트 쉬프트 레지스터 회로와, 상기 제2전주기 시퀀스 발생회로의 상기 쌍방향 쉬프트 레지스터부에 유사하게 구성되어 상기 X디코더와 상기 Y디코더 중의 상기 다른 하나의 디코더에 접속되고, 자신의 순방향 입력과 역방향 입력에서 상기 실렉터 회로로부터의 출력신호를 받아들이고, 자신의 동작방향이 상기 제1동작모드 스위칭 신호에 따라 스위칭되는 쌍방향 쉬프트 레지스터 회로를 더 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 11

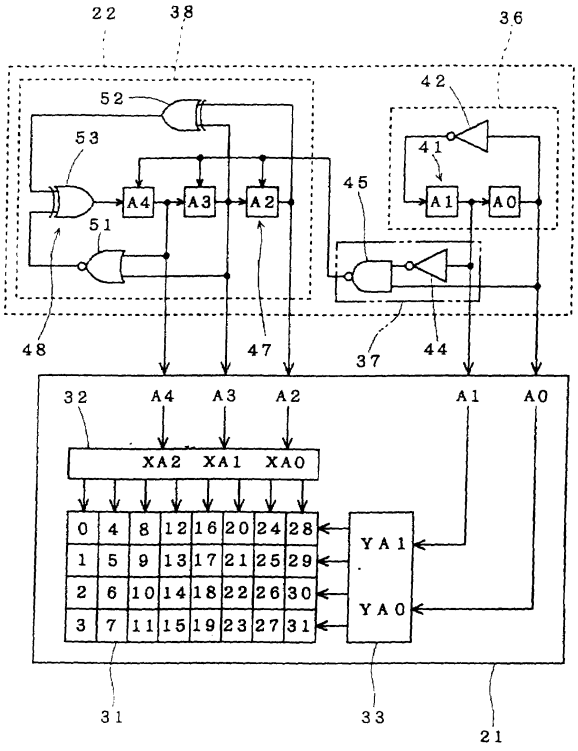
제1항에 있어서, 상기 어드레스 발생회로는, 상기 제2전주기 시퀀스 발생회로에서 특정의 어드레스 상태를 검출하고, 상기 제2전주기 시퀀스 발생회로가 상기 특정의 어드레스 상태 이외의 상태이면 상기 제1전주기 시퀀스 발생회로의 동작을 정지시키는 보조 특정상태 검출회로와, 상기 특정상태 검출회로와 상기 보조 특정상태 검출회로 중의 하나의 검출회로를, 동작시킬 회로로서 선택하는 선택수단을 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 12

제1항에 있어서, 상기 어드레스 발생회로는, 서로 직렬로 접속되어 있는 상기 제 1,2전주기 시퀀스 발생회로가 스캔경로를 형성하거나 아니면 상기 제12殮시퀀스 발생회로를 상기 제2전주기 시퀀스 발생회로로부터 분리시키도록 하는 스캔경로 선택수단을 더 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

도면

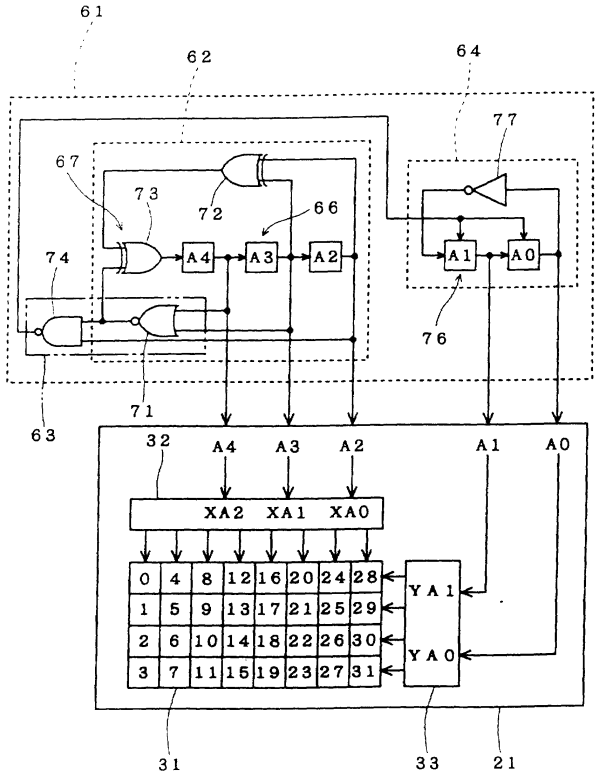
도면1



도면2

시간 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	어드레스 A4~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1~0 (10진 표시)
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	2	0	2
2	0	0	0	1	1	3	0	3
3	0	0	0	0	1	1	0	1
4	1	0	0	0	0	16	4	0
5	1	0	0	1	0	18	4	2
6	1	0	0	1	1	19	4	3
7	1	0	0	0	1	17	4	1
8	0	1	0	0	0	8	2	0
9	0	1	0	1	0	10	2	2
10	0	1	0	1	1	11	2	3
11	0	1	0	0	1	9	2	1
12	1	0	1	0	0	20	5	0
13	1	0	1	1	0	22	5	2
14	1	0	1	1	1	23	5	3
15	1	0	1	0	1	21	5	1
16	1	1	0	0	0	24	6	0
17	1	1	0	1	0	26	6	2
18	1	1	0	1	1	27	6	3
19	1	1	0	0	1	25	6	1
20	1	1	1	0	0	28	7	0
21	1	1	1	1	0	30	7	2
22	1	1	1	1	1	31	7	3
23	1	1	1	0	1	29	7	1
24	0	1	1	0	0	12	3	0
25	0	1	1	1	0	14	3	2
26	0	1	1	1	1	15	3	3
27	0	1	1	0	1	13	3	1
28	0	0	1	0	0	4	1	0
29	0	0	1	1	0	6	1	2
30	0	0	1	1	1	7	1	3
31	0	0	1	0	1	5	1	1

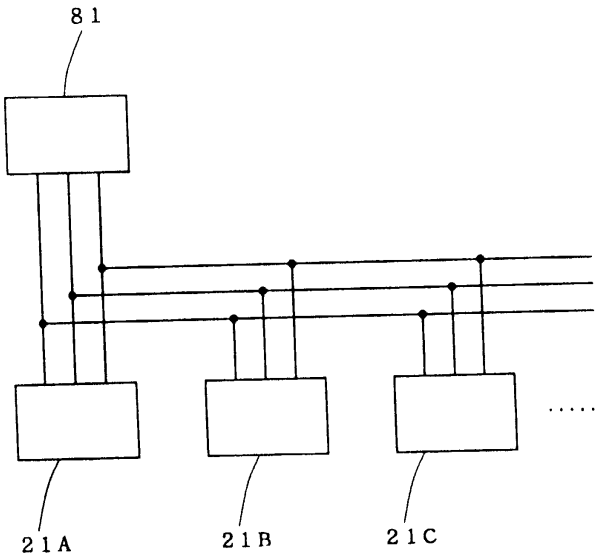
도면3



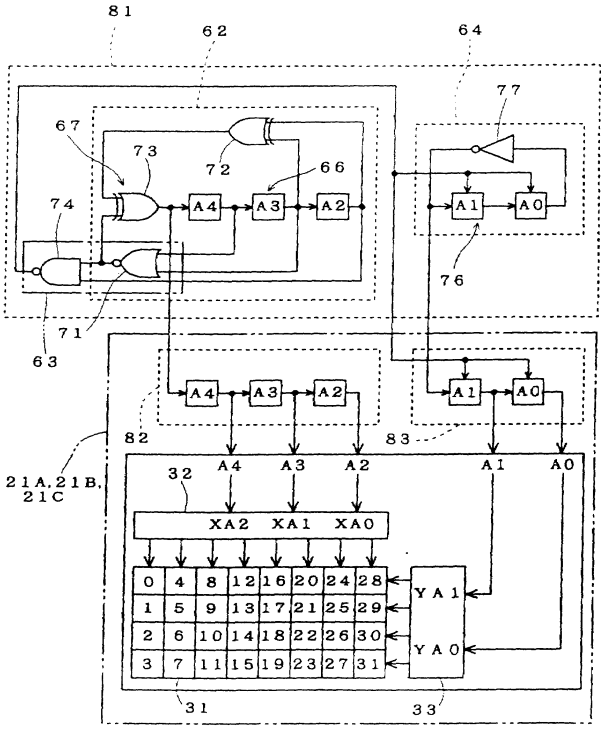
도면4

시간 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	어드레스 A4~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1~0 (10진 표시)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

도면5



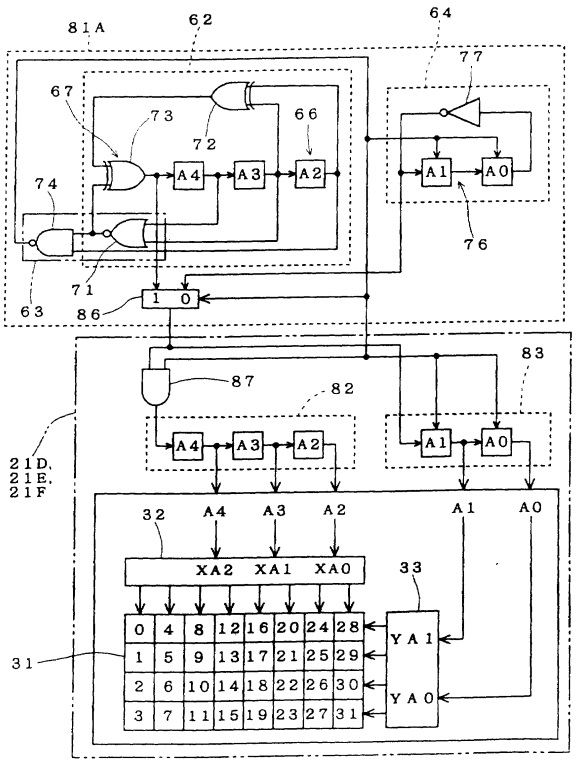
도면6



도면7

시간 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	어드레스 A4~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1~0 (10진 표시)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

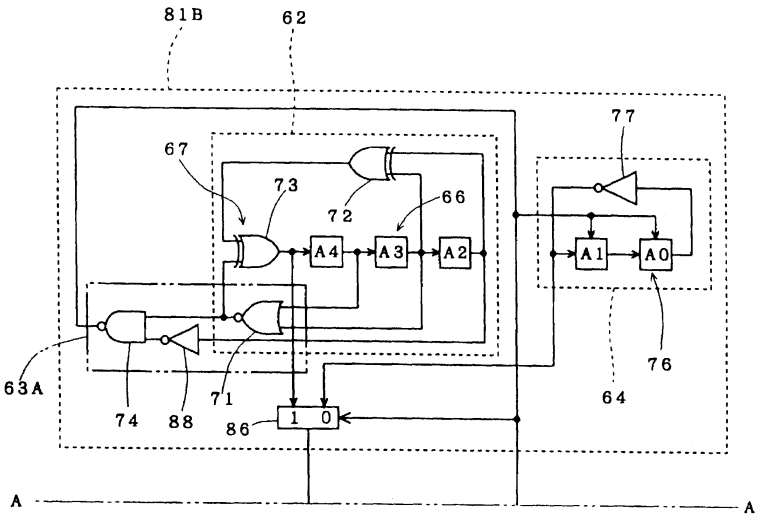
도면8



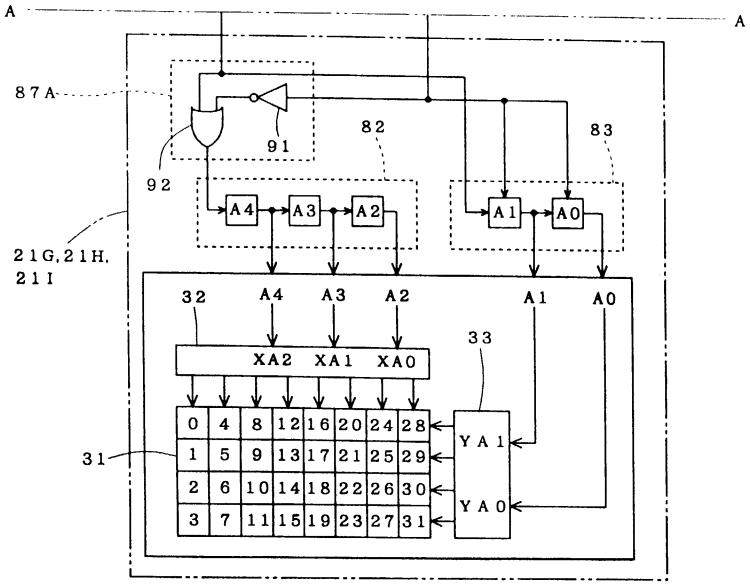
도면9

시간 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	어드레스 A4~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1~0 (10진 표시)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

도면10


81B
62
77
67
73
72
66
A4
A3
A2
A1
A0
63A
74
88
71
86
1 0
76
64
A
A

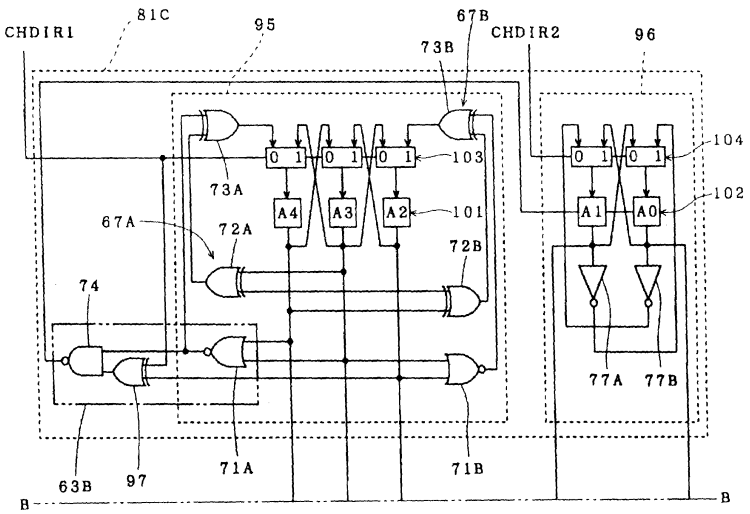
도면11


A
A
87A
91
92
82
83
A4
A3
A2
A1
A0
21G, 21H, 21I
32
33
XA2 XA1 XA0
YA1
YA0
31
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31

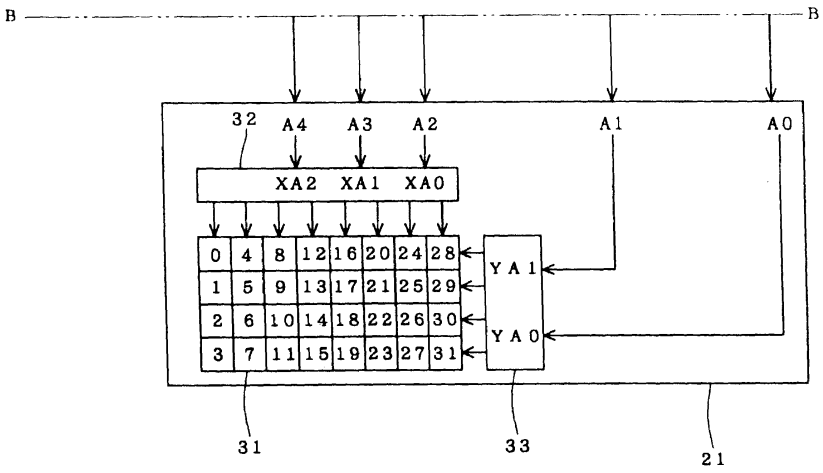
도면12

시간 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	어드레스 A4~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1~0 (10진 표시)
0	1	0	0	0	0	16	4	0
1	0	1	0	0	0	8	2	0
2	1	0	1	0	0	20	5	0
3	1	1	0	0	0	24	6	0
4	1	1	1	0	0	28	7	0
5	0	1	1	0	0	12	3	0
6	0	0	1	0	0	4	1	0
7	0	0	0	0	0	0	0	0
8	1	0	0	1	0	18	4	2
9	0	1	0	1	0	10	2	2
10	1	0	1	1	0	24	5	2
11	1	1	0	1	0	26	6	2
12	1	1	1	1	0	30	7	2
13	0	1	1	1	0	14	3	2
14	0	0	1	1	0	6	1	2
15	0	0	0	1	0	2	0	2
16	1	0	0	1	1	19	4	3
17	0	1	0	1	1	11	2	3
18	1	0	1	1	1	23	5	3
19	1	1	0	1	1	27	6	3
20	1	1	1	1	1	31	7	3
21	0	1	1	1	1	15	3	3
22	0	0	1	1	1	7	1	3
23	0	0	0	1	1	3	0	3
24	1	0	0	0	1	17	4	1
25	0	1	0	0	1	9	2	1
26	1	0	1	0	1	21	5	1
27	1	1	0	0	1	25	6	1
28	1	1	1	0	1	29	7	1
29	0	1	1	0	1	13	3	1
30	0	0	1	0	1	5	1	1
31	0	0	0	0	1	1	0	1

도면13



도면14



도면15

CHDIR1='1',CHDIR2='1'

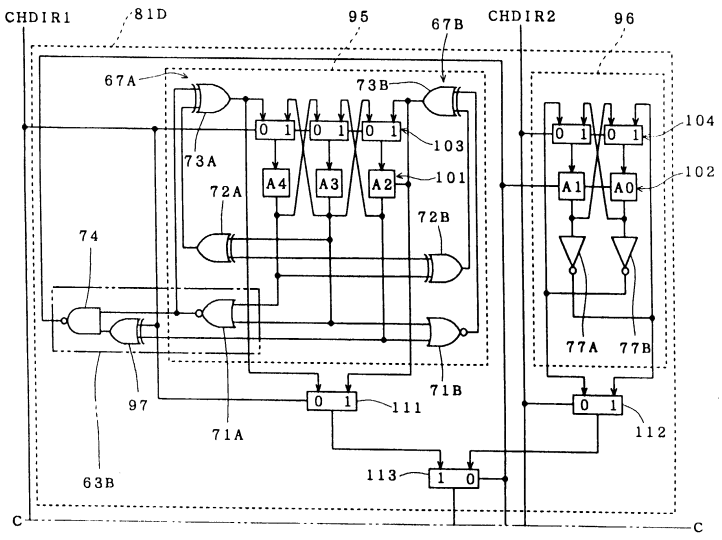
시간 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	어드레스 A4~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1~0 (10진 표시)
0	0	0	1	0	1	5	1	1
1	0	1	1	0	1	13	3	1
2	1	1	1	0	1	29	7	1
3	1	1	0	0	1	25	6	1
4	1	0	1	0	1	21	5	1
5	0	1	0	0	1	9	2	1
6	1	0	0	0	1	17	4	1
7	0	0	0	0	1	1	0	1
8	0	0	1	1	1	7	1	3
9	0	1	1	1	1	15	3	3
10	1	1	1	1	1	31	7	3
11	1	1	0	1	1	27	6	3
12	1	0	1	1	1	23	5	3
13	0	1	0	1	1	11	2	3
14	1	0	0	1	1	19	4	3
15	0	0	0	1	1	3	0	3
16	0	0	1	1	0	6	1	2
17	0	1	1	1	0	14	3	2
18	1	1	1	1	0	30	7	2
19	1	1	0	1	0	26	6	2
20	1	0	1	1	0	24	5	2
21	0	1	0	1	0	10	2	2
22	1	0	0	1	0	18	4	2
23	0	0	0	1	0	2	0	2
24	0	0	1	0	0	4	1	0
25	0	1	1	0	0	12	3	0
26	1	1	1	0	0	28	7	0
27	1	1	0	0	0	24	6	0
28	1	0	1	0	0	20	5	0
29	0	1	0	0	0	8	2	0
30	1	0	0	0	0	16	4	0
31	0	0	0	0	0	0	0	0

도면16

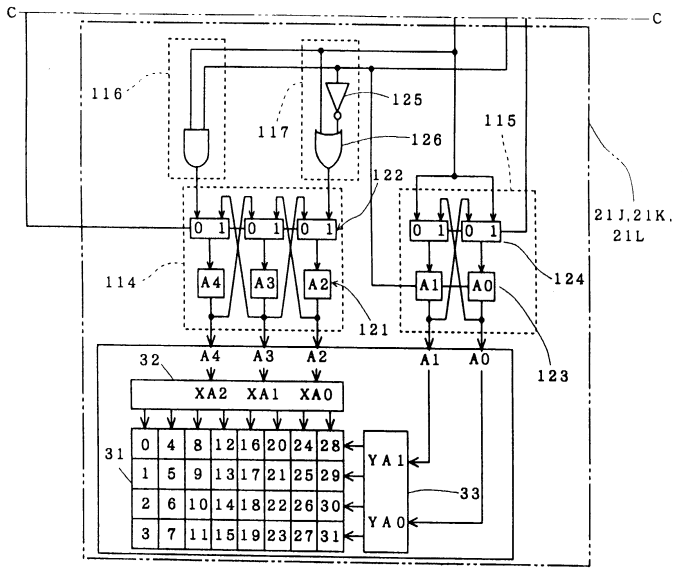
CHDIR1='0',CHDIR2='0'

시간 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	어드레스 A'4~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1~0 (10진 표시)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

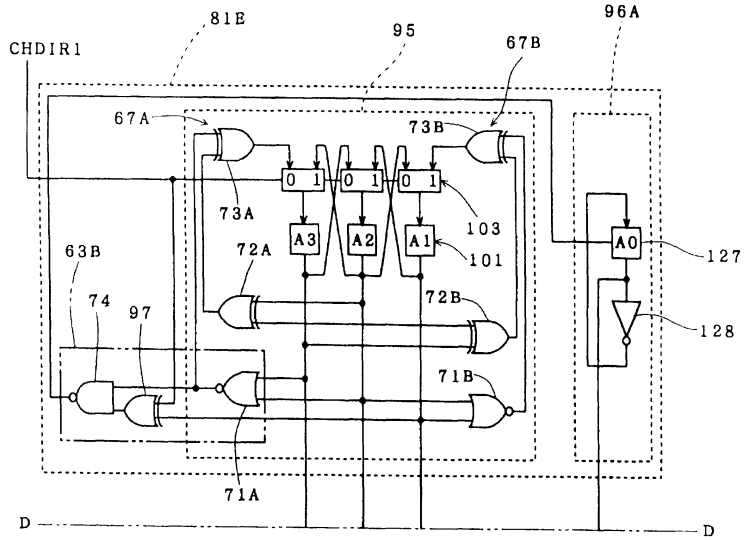
도면17



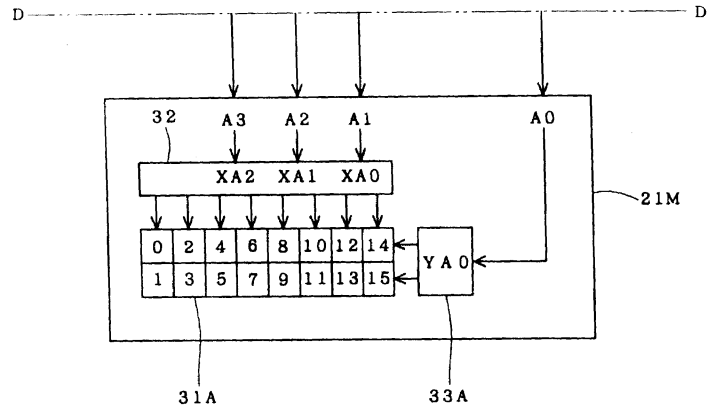
도면18



도면19



도면20



도면21

CHDIR1='0'

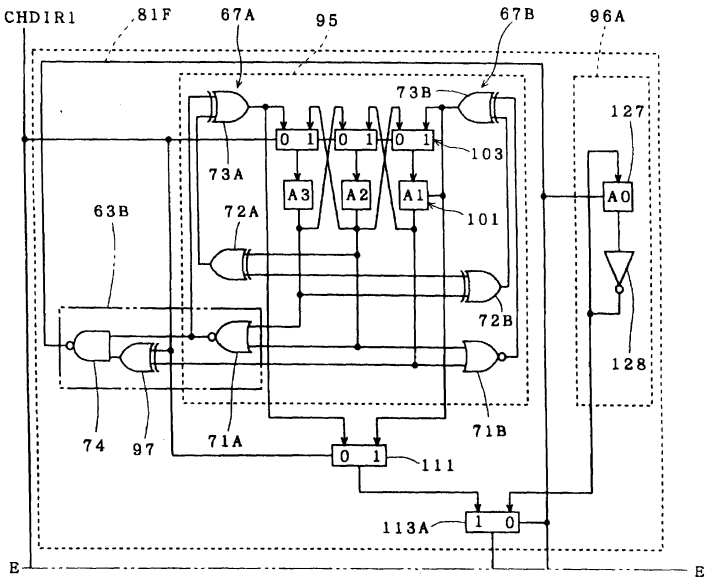
시간 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	어드레스 A3~0 (10진표시)	X 어드레스 XA2~0 (10진표시)	Y 어드레스 YA1 (10진표시)
0	0	0	0	0	0	0	0
1	1	0	0	0	8	4	0
2	0	1	0	0	4	2	0
3	1	0	1	0	10	5	0
4	1	1	0	0	12	6	0
5	1	1	1	0	14	7	0
6	0	1	1	0	6	3	0
7	0	0	1	0	2	1	0
8	0	0	0	1	1	0	1
9	1	0	0	1	9	4	1
10	0	1	0	1	5	2	1
11	1	0	1	1	11	5	1
12	1	1	0	1	13	6	1
13	1	1	1	1	15	7	1
14	0	1	1	1	7	3	1
15	0	0	1	1	3	1	1

도면22

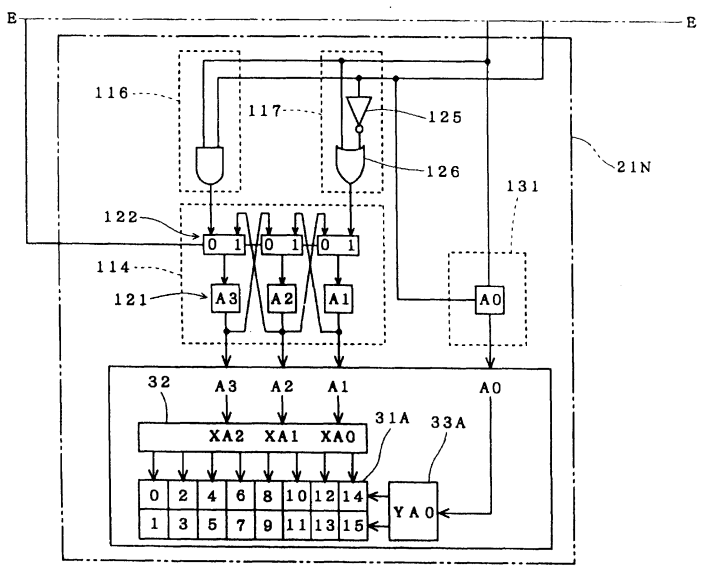
CHDIR1='0'

시간 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	어드레스 A3~0 (10진표시)	X 어드레스 XA2~0 (10진표시)	Y 어드레스 YA1 (10진표시)
0	0	0	1	1	3	1	1
1	0	1	1	1	7	3	1
2	1	1	1	1	15	7	1
3	1	1	0	1	13	6	1
4	1	0	1	1	11	5	1
5	0	1	0	1	5	2	1
6	1	0	0	1	9	4	1
7	0	0	0	1	1	0	1
8	0	0	1	0	2	1	0
9	0	1	1	0	6	3	0
10	1	1	1	0	14	7	0
11	1	1	0	0	12	6	0
12	1	0	1	0	10	5	0
13	0	1	0	0	4	2	0
14	1	0	0	0	8	4	0
15	0	0	0	0	0	0	0

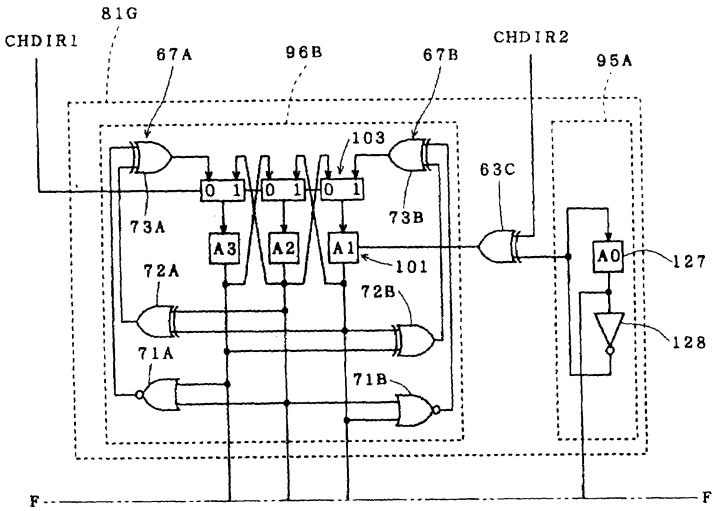
도면23


CHD1R1
81F
67A
95
67B
96A
73B
127
73A
103
A3
A2
A1
A0
101
63B
72A
72B
128
74
97
71A
71B
111
113A
E
E

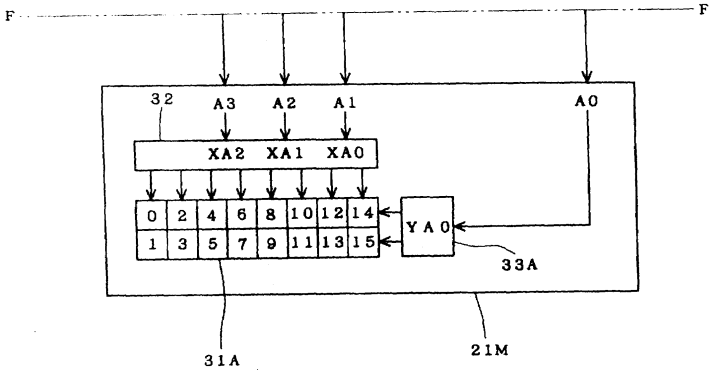
도면24


E
E
116
117
125
126
21N
131
122
114
121
A3
A2
A1
A0
32
31A
33A
XA2
XA1
XA0
0 2 4 6 8 10 12 14
1 3 5 7 9 11 13 15
YA0

도면25



도면26



도면27

CHDIR1='0' .CHDIR2='0'

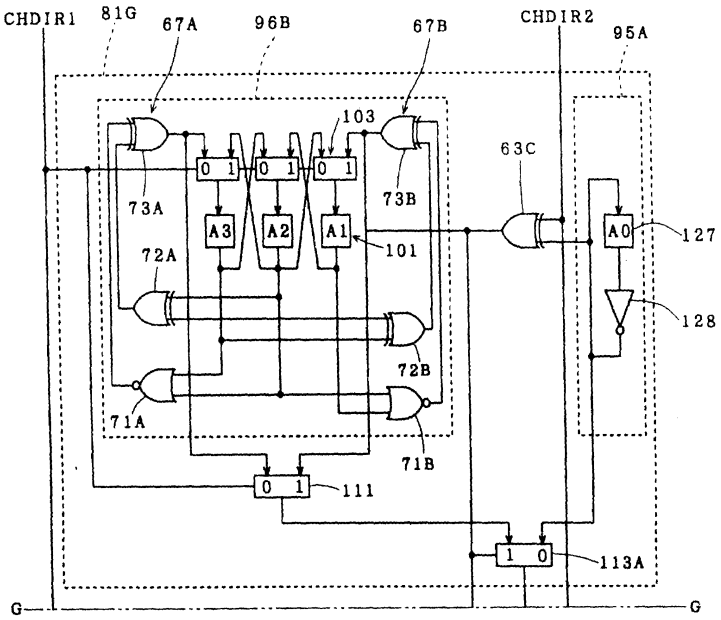
시간 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	어드레스 A3~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1 (10진 표시)
0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	1
2	1	0	0	0	8	4	0
3	1	0	0	1	9	4	1
4	0	1	0	0	4	2	0
5	0	1	0	1	5	2	1
6	1	0	1	0	10	5	0
7	1	0	1	1	11	5	1
8	1	1	0	0	12	6	0
9	1	1	0	1	13	6	1
10	1	1	1	0	14	7	0
11	1	1	1	1	15	7	1
12	0	1	1	0	6	3	0
13	0	1	1	1	7	3	1
14	0	0	1	0	2	1	0
15	0	0	1	1	3	1	1

도면28

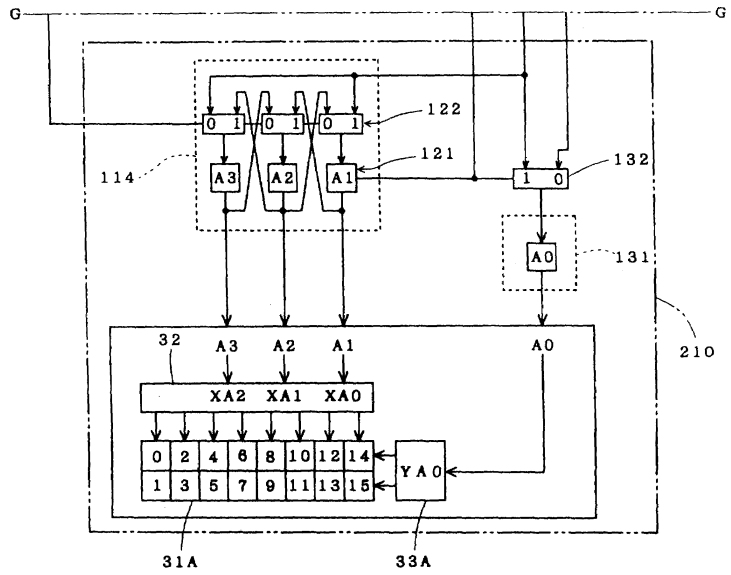
CHDIR1='1',CHDIR2='1'

시간 T	A3 (IA2)	A2 (IA1)	A1 (IA0)	A0 (YA0)	어드레스 A3~0 (10진 표시)	I 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1 (10진 표시)
0	0	0	1	1	3	1	1
1	0	0	1	0	2	1	0
2	0	1	1	1	7	3	1
3	0	1	1	0	6	3	0
4	1	1	1	1	15	7	1
5	1	1	1	0	14	7	0
6	1	1	0	1	13	6	1
7	1	1	0	0	12	6	0
8	1	0	1	1	11	5	1
9	1	0	1	0	10	5	0
10	0	1	0	1	5	2	1
11	0	1	0	0	4	2	0
12	1	0	0	1	9	4	1
13	1	0	0	0	8	4	0
14	0	0	0	1	1	0	1
15	0	0	0	0	0	0	0

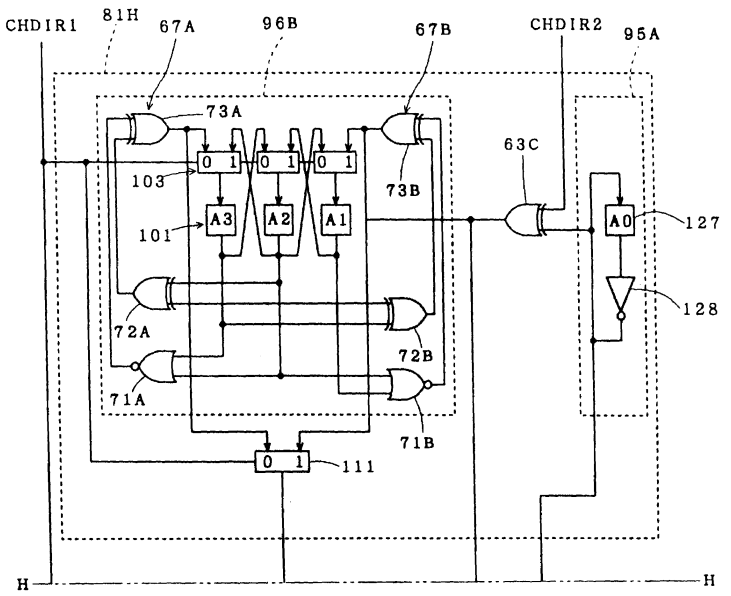
도면29



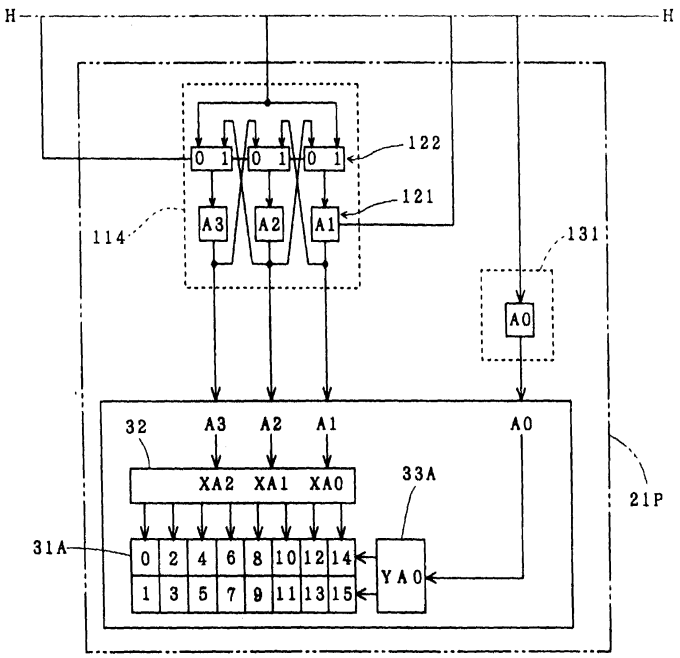
도면30


G
G
0 1
0 1
0 1
122
121
114
A3
A2
A1
1 0
132
A0
131
210
32
A3
A2
A1
A0
XA2
XA1
XA0
0 2 4 6 8 10 12 14
1 3 5 7 9 11 13 15
YA0
31A
33A

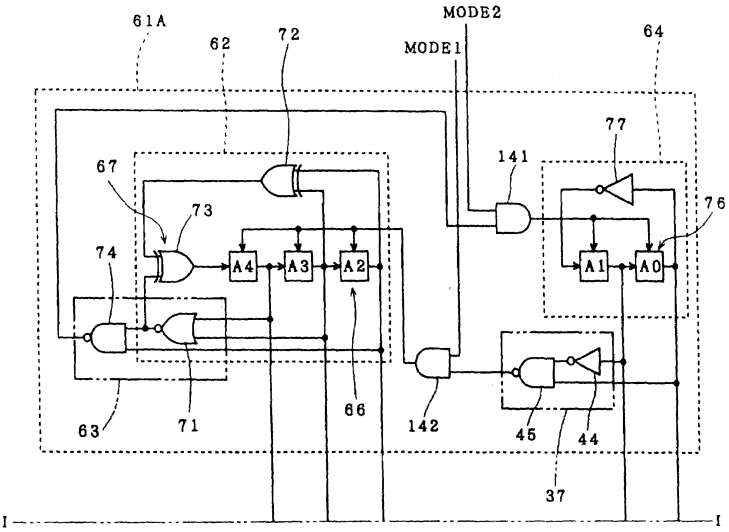
도면31


CHDIR1
81H
67A
96B
67B
CHDIR2
95A
73A
0 1
0 1
0 1
103
101
A3
A2
A1
73B
63C
A0
127
128
72A
72B
71A
71B
0 1
111
H
H

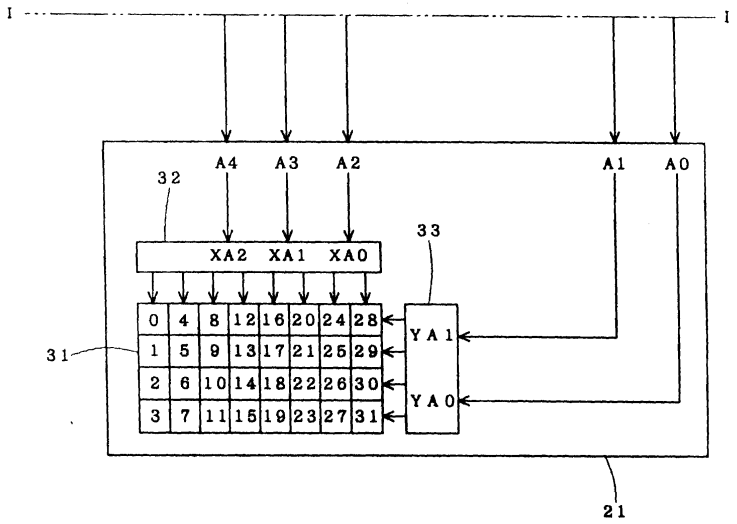
도면32


H
H
0 1
0 1
0 1
122
121
A3
A2
A1
114
131
A0
32
A3
A2
A1
A0
XA2 XA1 XA0
33A
21P
31A
0 2 4 6 8 10 12 14
1 3 5 7 9 11 13 15
YA0

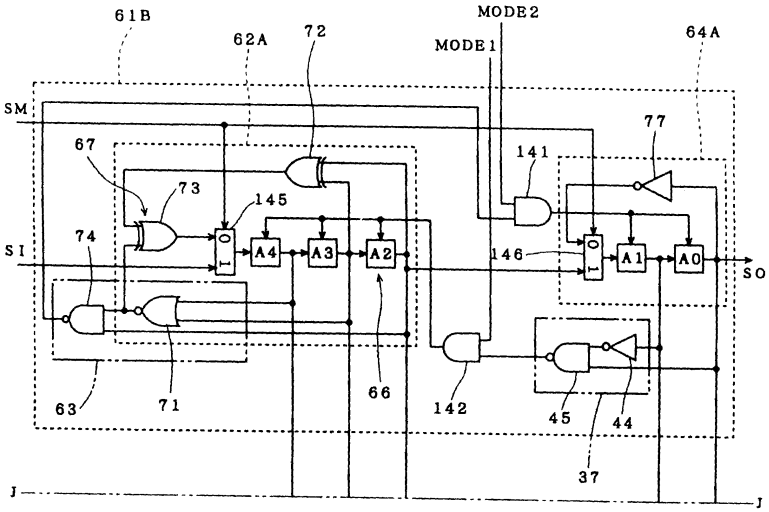
도면33


61A
62
72
MODE2
MODE1
64
77
67
141
73
76
74
A4
A3
A2
A1
A0
63
71
66
142
45
44
37
I
I

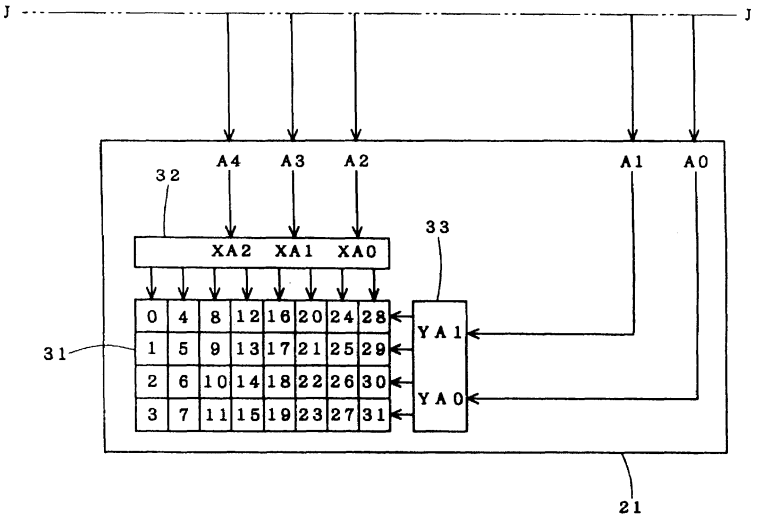
도면34



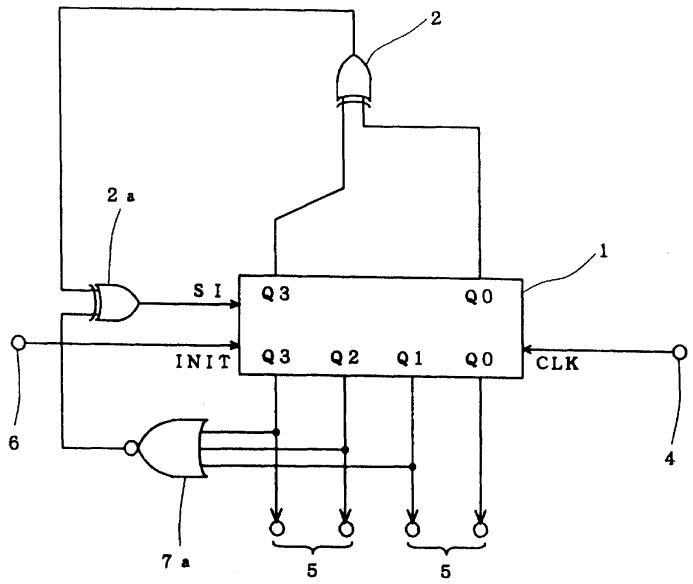
도면35



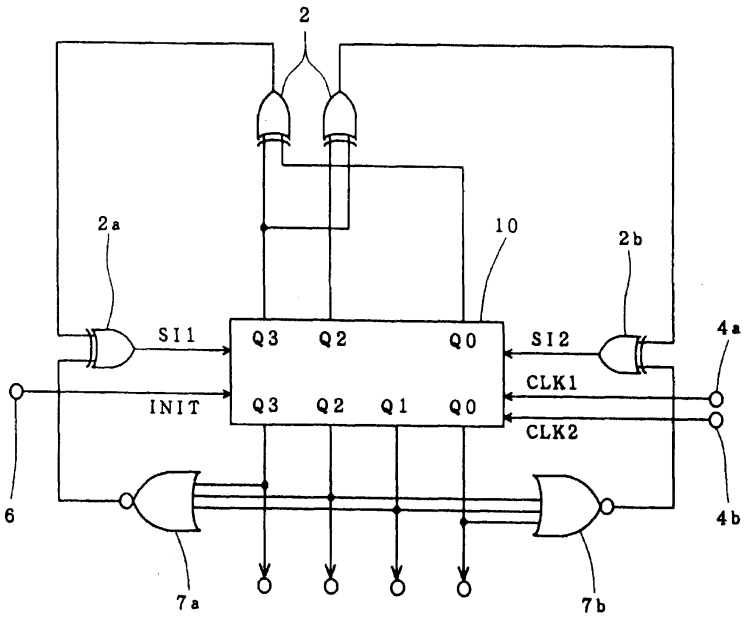
도면36



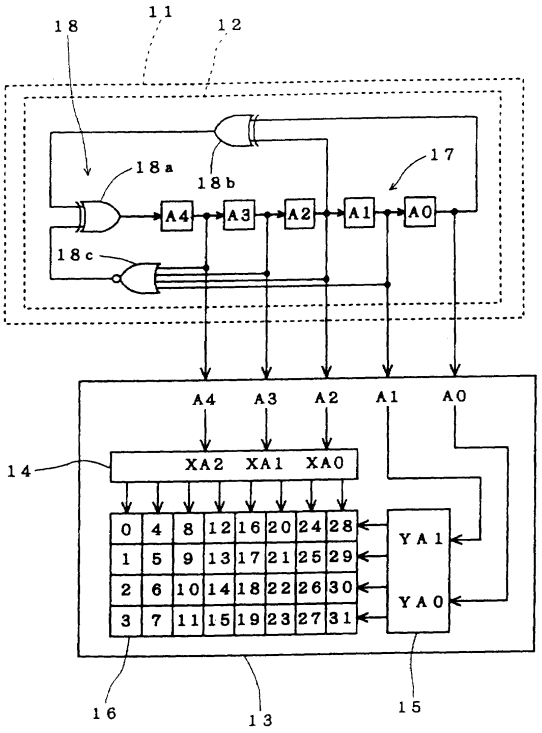
도면37


2
2a
1
SI
Q3
Q0
INIT
Q3
Q2
Q1
Q0
CLK
6
4
7a
5
5

도면38


2
2a
10
2b
SI1
Q3
Q2
Q0
SI2
4a
CLK1
INIT
Q3
Q2
Q1
Q0
CLK2
6
4b
7a
7b

도면39



도면40

시간 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	어드레스 A4~0 (10진 표시)	X 어드레스 XA2~0 (10진 표시)	Y 어드레스 YA1~0 (10진 표시)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	0	0	1	0	0	4	1	0
4	1	0	0	1	0	18	4	2
5	0	1	0	0	1	9	2	1
6	1	0	1	0	0	20	5	0
7	1	1	0	1	0	26	6	2
8	0	1	1	0	1	13	3	1
9	0	0	1	1	0	6	1	2
10	1	0	0	1	1	19	4	3
11	1	1	0	0	1	25	6	1
12	1	1	1	0	0	28	7	0
13	1	1	1	1	0	30	7	2
14	1	1	1	1	1	31	7	3
15	0	1	1	1	1	15	3	3
16	0	0	1	1	1	7	1	3
17	0	0	0	1	1	3	0	3
18	1	0	0	0	1	17	4	1
19	1	1	0	0	0	24	6	0
20	0	1	1	0	0	12	3	0
21	1	0	1	1	0	22	5	2
22	1	1	0	1	1	27	6	3
23	1	1	1	0	1	29	7	1
24	0	1	1	1	0	14	3	2
25	1	0	1	1	1	23	5	3
26	0	1	0	1	1	11	2	3
27	1	0	1	0	1	21	5	1
28	0	1	0	1	0	10	2	2
29	0	0	1	0	1	5	1	1
30	0	0	0	1	0	2	0	2
31	0	0	0	0	1	1	0	1