



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201701161 A

(43) 公開日：中華民國 106 (2017) 年 01 月 01 日

(21) 申請案號：105117243 (22) 申請日：中華民國 105 (2016) 年 06 月 01 日

(51) Int. Cl. : **G06F12/1081(2016.01)** **G06F13/14 (2006.01)**

(30) 優先權：2015/06/01 美國 62/169,354
2016/05/31 美國 15/169,352

(71) 申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國

(72) 發明人：史迪曼 尚恩 STEEDMAN, SEAN (CA)；雲永斯谷爾 永 YUENYONGSGOOL,
YONG (US)；凡 伊登 賈可巴斯 艾爾伯特斯 VAN EEDEN, JACOBUS
ALBERTUS (ZA)；奧藤 大衛 OTTEN, DAVID (US)；拉傑 那芬 RAJ, NAVEEN
(IN)；蒲里帕卡 普拉山斯 PULIPAKA, PRASHANTH (IN)；蘇拉坎提 普拉山
那 SURAKANTI, PRASANNA (IN)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：3 共 15 頁

(54) 名稱

用於分離突發頻寬裁定之方法及裝置

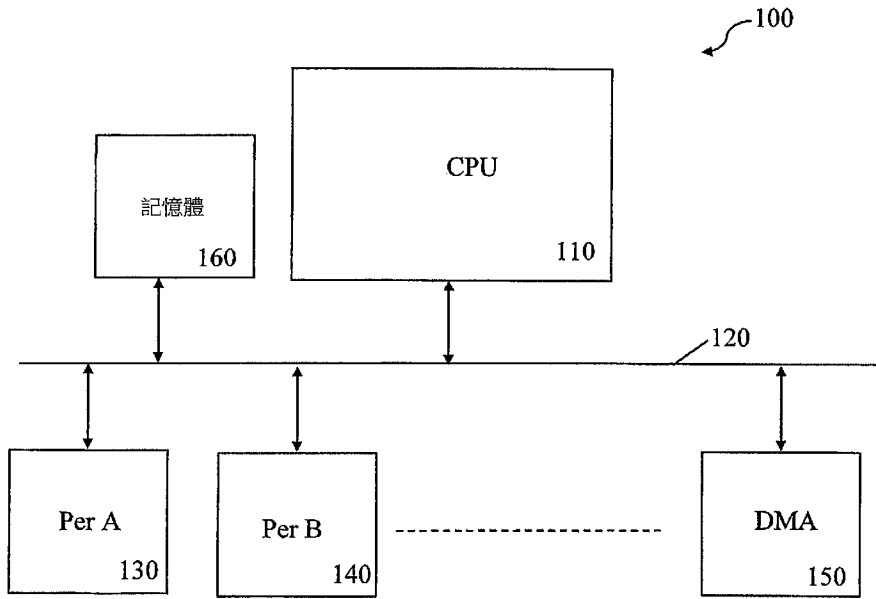
METHOD AND APPARATUS FOR SPLIT BURST BANDWIDTH ARBITRATION

(57) 摘要

本發明揭示一種嵌入式系統及用於控制此嵌入式系統之方法。該嵌入式系統包含包括複數個通道之一直接記憶體控制器，其中複數個通道裁定方案可程式化，其中 DMA 控制器可程式化以將一指定通道上之一區塊資料傳送分離成複數個單獨資料傳送，其中可在該資料傳送之單獨資料傳送之間，中斷一指定通道上之一資料傳送。

An embedded system and method for controlling such are disclosed. The embedded system includes a direct memory controller comprising a plurality of channels, wherein a plurality of channel arbitration schemes are programmable, wherein the DMA controller is programmable to split a block data transfer on a specified channel into a plurality of separate data transfers, wherein a data transfer on a specified channel can be interrupted between separate data transfers of the data transfer.

指定代表圖：



符號簡單說明：

100 . . . 嵌入式系統

110 . . . 中央處理單元(CPU)

130 . . . 周邊器件

140 . . . 周邊器件

150 . . . 直接記憶體存取控制器

(「DMA」或「記憶體」)

160 . . . 記憶體

圖 1

201701161 發明摘要

※ 申請案號： 105117243

6106F 12/1081 (2016.01)

※ 申請日： 105.6. /

※IPC 分類： 6106F 13/14 (2006.01)

【發明名稱】

用於分離突發頻寬裁定之方法及裝置

METHOD AND APPARATUS FOR SPLIT BURST BANDWIDTH
ARBITRATION

【中文】

本發明揭示一種嵌入式系統及用於控制此嵌入式系統之方法。該嵌入式系統包含包括複數個通道之一直接記憶體控制器，其中複數個通道裁定方案可程式化，其中DMA控制器可程式化以將一指定通道上之一區塊資料傳送分離成複數個單獨資料傳送，其中可在該資料傳送之單獨資料傳送之間，中斷一指定通道上之一資料傳送。

【英文】

An embedded system and method for controlling such are disclosed. The embedded system includes a direct memory controller comprising a plurality of channels, wherein a plurality of channel arbitration schemes are programmable, wherein the DMA controller is programmable to split a block data transfer on a specified channel into a plurality of separate data transfers, wherein a data transfer on a specified channel can be interrupted between separate data transfers of the data transfer.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 100 嵌入式系統
- 110 中央處理單元(CPU)
- 130 周邊器件
- 140 周邊器件
- 150 直接記憶體存取控制器(「DMA」或「記憶體」)
- 160 記憶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於分離突發頻寬裁定之方法及裝置

METHOD AND APPARATUS FOR SPLIT BURST BANDWIDTH
ARBITRATION

相關申請案之交叉參考

本申請案主張2015年6月1日申請之共同擁有美國臨時專利申請案第62/169,354號之優先權，該案據此出於所有目的而以引用的方式併入本文中。

【技術領域】

本發明係關於一種用於特定言之直接記憶體存取(DMA)控制器中之分離突發頻寬裁定之方法及裝置。

【先前技術】

許多嵌入式系統(諸如微控制器)包括一DMA控制器，該DMA控制器允許經由微控制器之內部系統匯流排之一有效且快速資料傳送。一匯流排(特定言之，一嵌入式系統中之一系統匯流排)通常允許嵌入式系統之各種組件通信。DMA控制器往往為所謂的突發操作提供必要條件，該等突發操作為處於高速之一大資料傳送提供必要條件。然而，此等突發操作可阻止整個匯流排，且需要存取之其他組件將無法存取匯流排，直至已完成突發傳送為止。因此，需要記入待處理異動之請求與狀態的額外措施。

【發明內容】

需要防止一低優先權代理器在突發操作期間佔據匯流排達延長的一段時間。藉由將突發操作分離成異動，可在其他模組中共用匯流

排頻寬。

揭示一種嵌入式系統及用於控制此嵌入式系統之方法。該嵌入式系統包含包括複數個通道之一直接記憶體控制器，其中複數個通道裁定方案可程式化，其中DMA控制器可程式化以將一指定通道上之一區塊資料傳送分離成複數個單獨資料傳送，其中可在資料傳送之單獨資料傳送之間，中斷一指定通道上之一資料傳送。

根據各種實施例，揭示一種嵌入式系統。該嵌入式系統可包含包括複數個通道之一直接記憶體控制器，其中複數個通道裁定方案可程式化，其中DMA控制器可程式化以將一指定通道上之一區塊資料傳送分離成複數個單獨資料傳送，其中可在資料傳送之單獨資料傳送之間，中斷一指定通道上之一資料傳送。

在某些實施例中，裁定方案包含一循環方案及一固定優先權方案。在其他實施例中，裁定方案包含一循環方案及一可指派優先權方案。在某些實施例中，一區塊資料傳送可在一位元於一控制暫存器中之設定後，旋即被分離成複數個單獨資料傳送。

在某些實施例中，一單獨資料傳送可包含一可程式化最大值之資料位元組。在此等實施例中，可程式化最大值係儲存於一控制暫存器中之一值。

在某些實施例中，一單獨資料傳送可包含固定數目之資料位元組。在此等實施例中，固定數目之資料位元組可為一個位元組。

在各種實施例中，揭示一種用於操作一嵌入式系統之方法。該方法可包含：操作包括複數個通道之一直接記憶體控制器，其中複數個通道裁定方案可程式化；及程式化DMA控制器以將一指定通道上之一區塊資料傳送分離成複數個單獨資料傳送，其中可在資料傳送之單獨資料傳送之間，中斷一指定通道上之一資料傳送。

在該方法之某些實施例中，裁定方案可包含一循環方案及一固

定優先權方案。在其他實施例中，裁定方案可包含一循環方案及一可指派優先權方案。

在該方法之某些實施例中，一區塊資料傳送可在一位元於一控制暫存器中之設定後，旋即被分離成複數個單獨資料傳送。在相同或替代實施例中，一單獨資料傳送可包含一可程式化最大值之資料位元組。在此等實施例中，可程式化最大值係儲存於一控制暫存器中之一值。

在該方法之某些實施例中，一單獨資料傳送可包含固定數目之資料位元組。在此等實施例中，固定數目之資料位元組可為一個位元組。

【圖式簡單說明】

圖1展示根據本發明之特定實施例之一典型嵌入式系統，諸如包含與一內部系統匯流排耦合之一中央處理單元之一微控制器，該內部系統匯流排連接微控制器之各種周邊器件；

圖2圖解說明根據本發明之特定實施例之根據此方案之三個通道之一實例典型資料傳送；且

圖3展示根據本發明之特定實施例之其中用於通道1之傳送被分解成許多子異動之一實例。

【實施方式】

需要防止一低優先權代理器在突發操作期間佔據匯流排達延長的一段時間。藉由將突發操作分離成異動，可在其他模組中共用匯流排頻寬。

圖1展示根據本發明之特定實施例之一典型嵌入式系統100，諸如包含與一內部系統匯流排耦合之一中央處理單元(CPU) 110之一微控制器，該內部系統匯流排連接微控制器之各種周邊器件130至150。該等周邊器件之一者可為一直接記憶體存取控制器(「DMA」或「控

制器」) 150，其允許在周邊器件130、140等等與記憶體160之間或記憶體160內之資料傳送。一嵌入式DMA控制器150提供複數個傳輸通道，例如，16個通道，其中每一通道可具有一可指派或固定通道優先權，或控制器150可使用一循環指派。可藉由一各自信號來觸發每一通道操作。若多個經選擇觸發同時出現在多個通道中，則DMA巨集經設計以基於循環或一固定優先權方案來選擇下一通道用於服務。注意兩個方案共用根據某些實施例之下列共同特性。

在某些實施例中，對於每一觸發而言，必須完成所有相關聯異動。對於一「一次性」傳送模式而言，可在當前通道正等待下一觸發時服務下一通道。對於一「連續」模式而言，下一通道將僅在當前通道之計數器(例如，「CNT[15:0]」)遞減至零時獲得服務。在相同或替代實施例中，必須在服務另一通道之前完成讀取及寫入異動組合兩者以避免資料排序問題。

在某些實施例中，授予判定係用以評估每一指令週期。程序以基於一設定方案判定當前具有最高優先權之請求通道開始。接著，僅在判贏之DMA通道之匯流排頻寬可用時給定授予。若由判贏之DMA通道請求的特定匯流排的頻寬不可用，則以下一指令週期重複程序。

在某些實施例中，可使用一「循環」優先權方案。在此一方案中，可(例如)至少在於一控制暫存器中設定一優先權位元時使用優先權。例如，當一各自控制暫存器中之DMACON.PRIORITY位元被設定為低時，一循環優先權方案被用於選擇下一DMA通道以供服務。例如，若方案以通道0開始，則待選擇下一通道係具有下一輪之最低通道編號之通道。例如，若同時觸發通道0、1及2，則通道0將首先被排程用於服務，接著分別服務通道1及通道2。下文表1圖解說明此實例預設設定。圖2圖解說明根據本發明之特定實施例之根據此方案之三個通道之一實例典型資料傳送。

表1

CH0 req	CH1 req	CH2 req	CH3 req	CH 授予
-	-	-	-	無
-	是	-	-	CH1
是	是	是	-	CH2
是	是	-	-	CH0
是	是	-	-	CH1
是	是	-	是	CH3
是	是	-	-	CH0

然而，在某些組態中，若在其後任何時間再次觸發通道0，則將僅在下一輪之開始處首先服務該通道0。即使在第二次觸發通道0之前已被服務之後再次觸發通道1，仍將在第二輪於通道0之後服務通道1。

在某些實施例中，可使用一「固定」優先權方案。在此一方案中，可(例如)至少在於一控制暫存器中設定一優先權位元時使用優先權。例如，當DMACON.PRIORITY位元在一各自控制暫存器中設定為高時，基於通道編號固定優先權方案。例如，以通道0開始，無關於之前已發生之內容，待選擇下一通道係具有最低通道優先權之通道。例如，若同時觸發通道0、1及2，則通道0將首先被排程用於服務，接著分別進行通道1及通道2。若再次觸發通道0，則一旦完成當前反覆(由一或多個異動組成)，通道0即將被排程用於服務。下文表2圖解說明用於此一方案之一實例設定。

表2

CH0 req	CH1 req	CH2 req	CH3 req	CH 授予
-	-	-	-	無
-	是	-	-	CH1
是	是	是	-	CH0
是	是	-	-	CH0
-	是	-	-	CH1
-	是	-	是	CH1
-	-	-	是	CH3

在許多系統中，發現多個DMA通道。特定裁定方案通常使用固定優先權且匯流排存取可通常被授予無法如圖2中展示般中斷之一完整傳送。此等類型之方案允許長期運行低優先權傳送而顯著延遲高優先權請求之服務。

根據各種實施例，維持通道狀態，其使傳送可中斷且使傳送可恢復。此外，一傳送被分解成許多子異動(例如，處於位元組位準)，其可允許盡可能多的裁定機會。圖3展示根據本發明之特定實施例之其中用於通道1之傳送被分解成許多子異動210a、210b、210c、210d及210e之一實例。類似地，通道0上之傳送被分解成子異動200a、200b及200c。通道2上之一傳送被分解成子異動220a及220b。可實施各種裁定方案，且其可依每一異動而非每一傳送被應用，此可允許一低優先權突發傳送藉由一較高優先權傳送之分離。圖3中之實例圖解說明類似於上文參考圖2描述之方案之一固定優先權方案中之參考子異動。假定通道1及通道2在一第一時間t1請求一傳送，歸因於較高優先權，通道1之傳送首先開始。然而，傳送可被分解成可中斷子異動210a至210e。因此，當通道0在時間t2請求一傳送時，通道0傳送將被中斷且將在時間t3恢復。在時間t4，通道2請求一傳送，由於無較高優先權傳送待處理，故該傳送將被授予。

各種實施例提供下列優點：嵌入式系統具有不同於其他電腦之使用規範。在嵌入式系統中，延時係一更可能的關鍵系統特性而非處理量。系統將能夠比當前可行方案更好地滿足最小反應時間數量級。此增大可供8位元微控制器服務之問題領域。

【符號說明】

100	嵌入式系統
110	中央處理單元(CPU)
130	周邊器件
140	周邊器件
150	直接記憶體存取控制器(「DMA」或「記憶體」)
160	記憶體
200a	子異動
200b	子異動
200c	子異動
210a	子異動
210b	子異動
210c	子異動
210d	子異動
210e	子異動
220a	子異動
220b	子異動

申請專利範圍

1. 一種嵌入式系統，其包括包括複數個通道之一直接記憶體控制器，其中複數個通道裁定方案可程式化，其中DMA控制器可程式化以將一指定通道上之一區塊資料傳送分離成複數個單獨資料傳送，其中可在該資料傳送之單獨資料傳送之間，中斷一指定通道上之一資料傳送。
2. 如請求項1之嵌入式系統，其中該等裁定方案包括一循環方案。
3. 如請求項1之嵌入式系統，其中該等裁定方案包括一固定優先權方案。
4. 如請求項1之嵌入式系統，其中該等裁定方案包括一可指派優先權方案。
5. 如請求項1之嵌入式系統，其中一區塊資料傳送在一位元於一控制暫存器中之設定後，旋即被分離成該複數個單獨資料傳送。
6. 如請求項1之嵌入式系統，其中一單獨資料傳送包括一可程式化最大值之資料位元組。
7. 如請求項5之嵌入式系統，其中該可程式化最大值係儲存在一控制暫存器中之一值。
8. 如請求項1之嵌入式系統，其中一單獨資料傳送包括固定數目之資料位元組。
9. 如請求項7之嵌入式系統，其中固定數目之資料位元組係一個位元組。
10. 一種用於操作一嵌入式系統之方法，該方法包括：
 - 操作包括複數個通道之一直接記憶體控制器，其中複數個通道裁定方案係可程式化；
 - 程式化該DMA控制器以將一指定通道上之一區塊資料傳送分

離成複數個單獨資料傳送，其中可在該資料傳送之單獨資料傳送之間，中斷一指定通道上之一資料傳送。

11. 如請求項9之方法，其中該等裁定方案包括一循環方案。
12. 如請求項9之方法，其中該等裁定方案包括一固定優先權方案。
13. 如請求項9之方法，其中該等裁定方案包括一可指派優先權方案。
14. 如請求項9之方法，其中一區塊資料傳送在一位元於一控制暫存器中之設定後，旋即被分離成該複數個單獨資料傳送。
15. 如請求項9之方法，其中一單獨資料傳送包括一可程式化最大值之資料位元組。
16. 如請求項14之方法，其中該可程式化最大值係儲存在一控制暫存器中之一值。
17. 如請求項9之方法，其中一單獨資料傳送包括固定數目之資料位元組。
18. 如請求項16之方法，其中固定數目之資料位元組係一個位元組。
19. 一種嵌入式系統，其包括：

一直接記憶體控制器，其包括複數個通道，其中複數個通道裁定方案可程式化；

其中該DMA控制器可程式化以將一指定通道上之一區塊資料傳送分離成複數個單獨資料傳送；

其中可在該資料傳送之單獨資料傳送之間，中斷一指定通道上之一資料傳送；

其中一區塊資料傳送在一位元於一控制暫存器中之設定後，旋即被分離成該複數個單獨資料傳送；

其中一單獨資料傳送包括固定數目之資料位元組；

其中該等裁定方案包括一循環方案及一固定優先權方案；且

其中該等裁定方案包括一循環方案及一可指派優先權方案。

20. 如請求項18之嵌入式系統，其中該等裁定方案中之至少一者係選自由一循環方案、一固定優先權方案及一可指派優先權方案組成之群組。

圖式

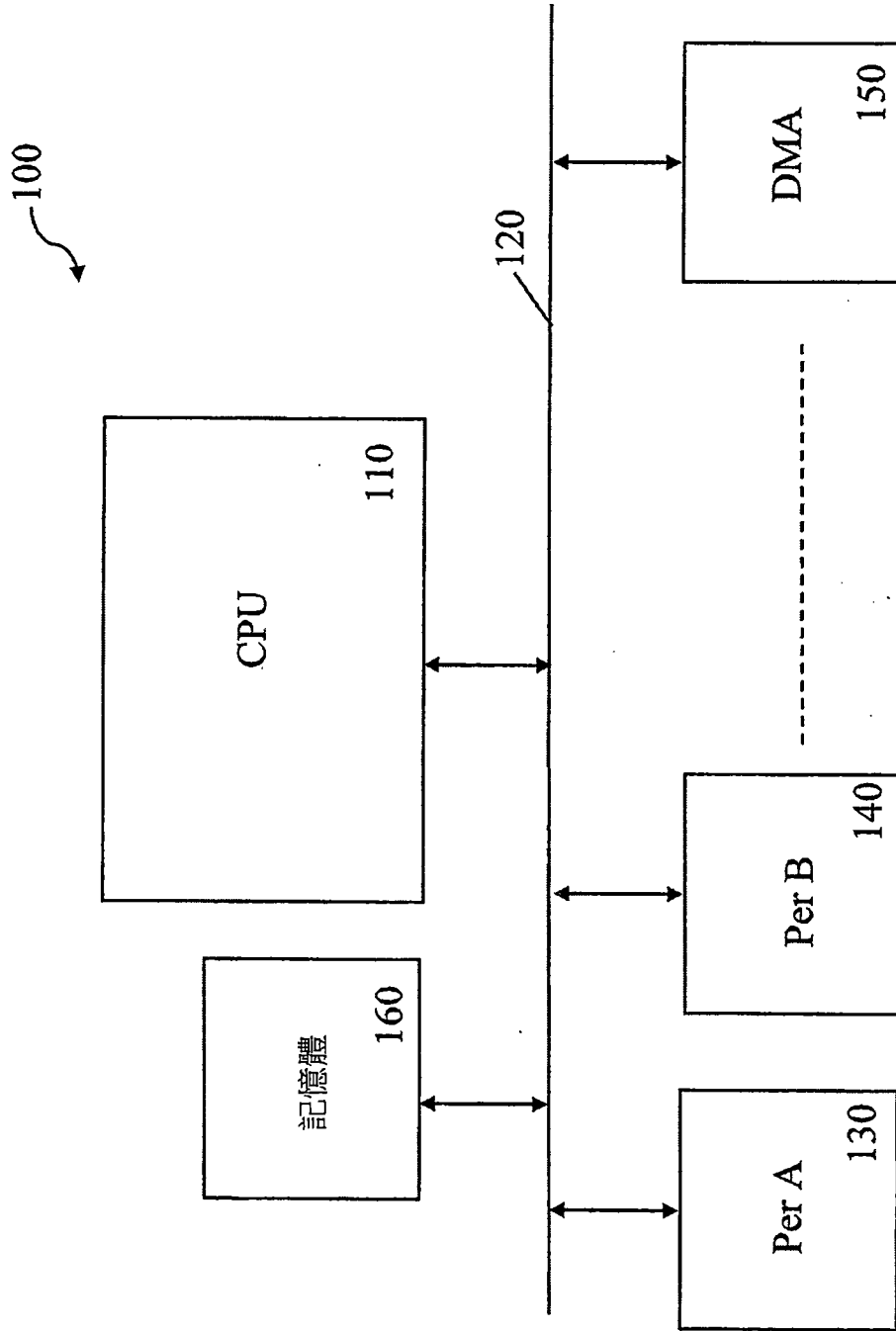


圖 1

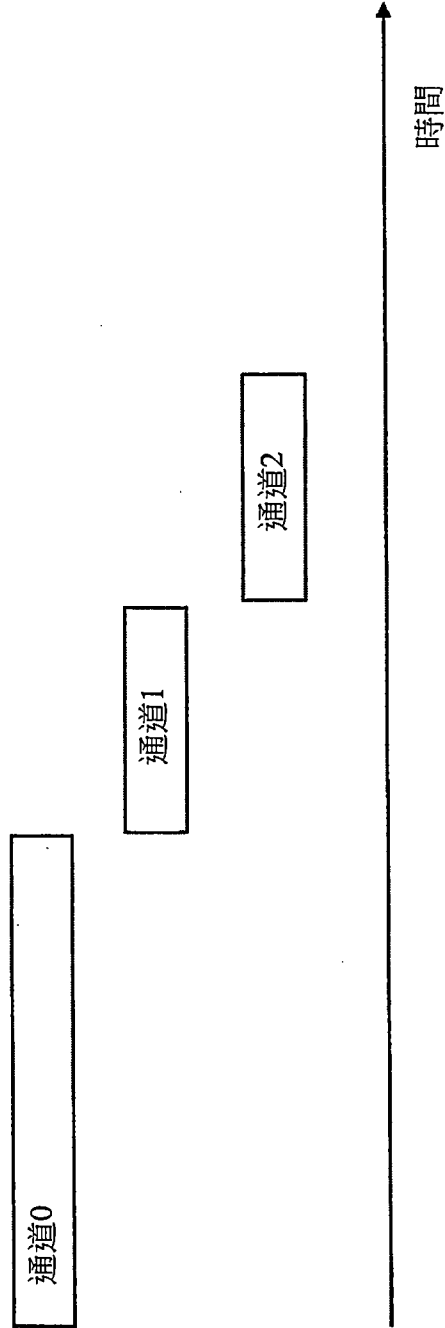


圖 2

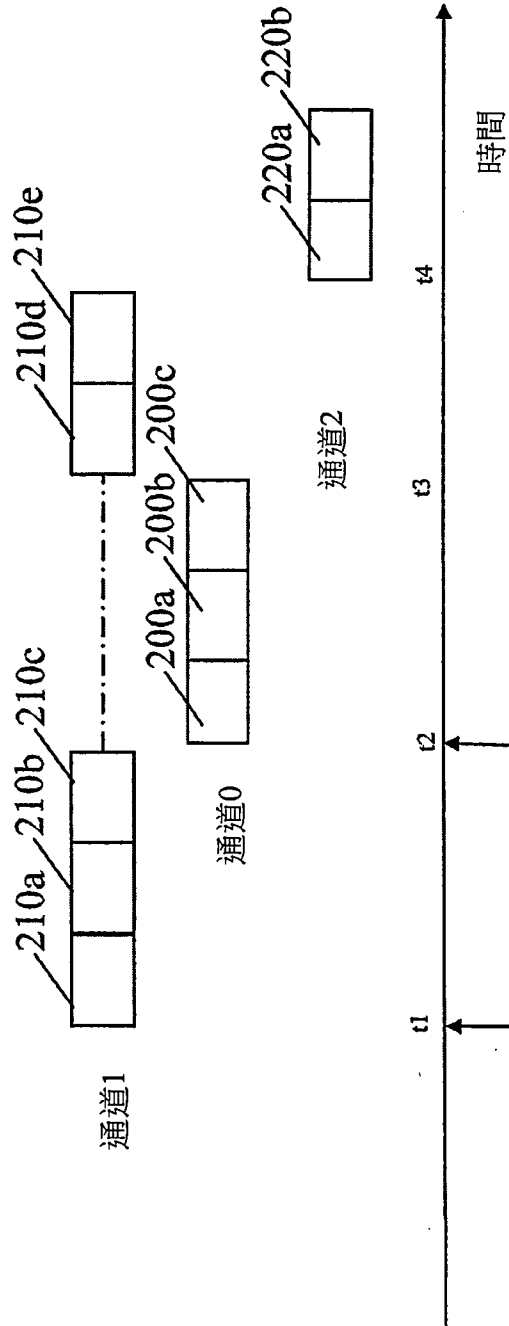


圖 3