

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5651350号
(P5651350)

(45) 発行日 平成27年1月14日(2015. 1. 14)

(24) 登録日 平成26年11月21日(2014. 11. 21)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 C
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368
GO 9 F 9/30 (2006.01)	GO 9 F 9/30 3 3 8
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 A
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 M
請求項の数 2 (全 81 頁) 最終頁に続く	

(21) 出願番号	特願2010-48615 (P2010-48615)	(73) 特許権者	000153878
(22) 出願日	平成22年3月5日(2010.3.5)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2010-232652 (P2010-232652A)		神奈川県厚木市長谷398番地
(43) 公開日	平成22年10月14日(2010.10.14)	(72) 発明者	木村 肇
審査請求日	平成25年1月16日(2013.1.16)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-51779 (P2009-51779)		半導体エネルギー研究所内
(32) 優先日	平成21年3月5日(2009.3.5)		
(33) 優先権主張国	日本国(JP)	審査官	鈴木 聡一郎

前置審査

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の電極と、
 前記第1の電極と電気的に接続された第1の配線と、
 第2の配線と、
 前記第1の電極、前記第1の配線及び前記第2の配線上に設けられた絶縁層と、
 前記絶縁層上に設けられた第2の電極と、
 前記第2の電極と電気的に接続された第3の配線と、
 第3の電極と、
 前記第2の配線上に前記絶縁層を介して設けられた第4の電極と、
 前記絶縁層上に前記第1の電極と重なるように設けられると共に、前記第2の電極及び
 前記第3の電極上に設けられた半導体層を有し、
 前記第1の電極は、透光性を有する第1の導電層で設けられ、
 前記第1の配線は、前記第1の導電層と前記第1の導電層より電気抵抗が低い第2の導
 電層との積層構造で設けられ、
 前記第2の導電層は、遮光性を有し、
 前記第2の電極は、透光性を有する第4の導電層で設けられ、
 前記第3の配線は、前記第4の導電層と前記第4の導電層より電気抵抗が低い第5の導
 電層との積層構造で設けられ、
 前記第5の導電層は、遮光性を有し、

10

20

前記第 3 の電極は、透光性を有する第 6 の導電層で設けられ、
前記第 4 の電極は、透光性を有する第 7 の導電層で設けられ、
前記第 3 の電極と前記第 4 の電極とは、画素電極を介して電氣的に接続され、
前記第 2 の配線は、前記第 3 の配線と重なる第 1 の領域において、透光性を有する第 3 の導電層と、前記第 3 の導電層より電気抵抗が低い第 8 の導電層との積層構造で設けられ、

前記第 4 の電極と前記画素電極はコンタクトホールを介して電氣的に接続され、
前記第 2 の配線は、前記コンタクトホールと重なる第 2 の領域において、前記第 3 の導電層と、前記第 3 の導電層より電気抵抗が低い第 9 の導電層との積層構造で設けられ、
前記第 8 の導電層及び前記第 9 の導電層は、遮光性を有し、
前記第 2 の配線は、第 3 の領域を有し、
前記第 3 の領域は、前記第 3 の導電層が設けられ、且つ、前記第 8 の導電層及び前記第 9 の導電層は設けられていないことを特徴とする半導体装置。

10

【請求項 2】

請求項 1 において、
前記半導体層は、酸化物半導体層であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、表示装置、発光装置又はそれらの製造方法に関する。特に、チャンネル形成領域に酸化物半導体膜を用いた薄膜トランジスタで構成された回路を有する半導体装置およびその作製方法に関する。

20

【背景技術】

【0002】

現在、液晶表示装置に代表される表示装置のスイッチング素子として、アモルファスシリコン等のシリコン層をチャンネル層として用いた薄膜トランジスタ (TFT) が広く用いられている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができるという利点を有している。

【0003】

また、近年、半導体特性を示す金属酸化物を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、金属酸化物の中で、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などは半導体特性を示すことが知られている。このような金属酸化物で構成される透明半導体層をチャンネル形成領域とする薄膜トランジスタが開示されている (特許文献 1)。

30

【0004】

また、トランジスタのチャンネル層は透光性を有する酸化物半導体層で形成すると共に、ゲート電極、ソース電極、ドレイン電極も透光性を有する透明導電膜で形成することによって、開口率を向上させる技術が検討されている (特許文献 2)。

【0005】

開口率を向上することにより、光利用効率が向上し、表示装置の省電力化及び小型化を達成することが可能となる。その一方で、表示装置の大型化や、携帯機器への応用化の観点からは、開口率の向上と共にさらなる消費電力の低減が求められている。

40

【0006】

なお、電気光学素子の透明電極に対する金属補助配線の配線方法として、透明電極の上下どちらかで、透明電極と導通がとれるように金属補助配線と透明電極が重なるように配線されるものが知られている (例えば、特許文献 3 参照)。

【0007】

なお、アクティブマトリクス基板に設けられる付加容量電極を ITO、 SnO_2 等の透明導電膜からなるものとし、付加容量用電極の電気抵抗を小さくするため、金属膜から成る補助配線を付加容量用電極に接して設ける構成が知られている (例えば、特許文献 4 参照

50

）。

【0008】

なお、非晶質酸化物半導体膜を用いた電界効果型トランジスタにおいて、ゲート電極、ソース電極及びドレイン電極の各電極として、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物、 ZnO 、 SnO_2 などの透明電極や、Al、Ag、Cr、Ni、Mo、Au、Ti、Taなどの金属電極、又はこれらを含む合金の金属電極などを用いることができ、それらを2層以上積層して接触抵抗を低減することや、界面強度を向上させることは知られている（例えば、特許文献5参照）。

【0009】

なお、アモルファス酸化物半導体を用いるトランジスタのソース電極、ドレイン電極およびゲート電極、補助容量電極の材料として、インジウム（In）、アルミ（Al）、金（Au）、銀（Ag）等の金属や、酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化カドミウム（ CdO ）、酸化インジウムカドミウム（ $CdIn_2O_4$ ）、酸化カドミウムスズ（ Cd_2SnO_4 ）、酸化亜鉛スズ（ Zn_2SnO_4 ）等の酸化物材料を用いることができ、ゲート電極、ソース電極及びドレイン電極の材料は、全て同じでもよく、異なっても良いことが知られている（例えば、特許文献6、7参照）。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2004-103957号公報

【特許文献2】特開2007-81362号公報

【特許文献3】特開平2-82221号公報

【特許文献4】特開平2-310536号公報

【特許文献5】特開2008-243928号公報

【特許文献6】特開2007-109918号公報

【特許文献7】特開2007-115807号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の一態様は、配線抵抗の低い半導体装置を提供することを課題とする。または、本発明の一態様は、透過率の高い半導体装置を提供することを課題とする。または、本発明の一態様は、開口率の高い半導体装置を提供することを課題とする。または、本発明の一態様は、消費電力の低い半導体装置を提供することを課題とする。または、本発明の一態様は、正確な電圧を供給する半導体装置を提供することを課題とする。または、本発明の一態様は、電圧降下が低減された半導体装置を提供することを課題とする。または、本発明の一態様は、表示品位が向上した半導体装置を提供することを課題とする。または、本発明の一態様は、コンタクト抵抗の低減した半導体装置を提供することを課題とする。または、本発明の一態様は、ちらつきの低減した半導体装置を提供することを課題とする。または、本発明の一態様は、オフ電流が小さい半導体装置を提供することを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、上記の課題の全てを解決する必要はないものとする。

【課題を解決するための手段】

【0012】

上記課題を解決するために、本発明の一態様は、ゲート電極、半導体層、ソース電極又はドレイン電極は、透光性を有する材料を用いて形成し、ゲート配線又はソース配線等の配線は、透光性を有する材料より抵抗率が低い材料で設ける。

【0013】

また、本発明の一態様は、透光性を有する第1の導電層で設けられた第1の電極と、第1の電極に電氣的に接続され、第1の導電層と第1の導電層より抵抗が低い第2の導電層と

10

20

30

40

50

の積層構造で設けられた第1の配線と、第1の電極及び第1の配線上に設けられた絶縁層と、絶縁層上に設けられ、透光性を有する第3の導電層で設けられた第2の電極と、第2の電極に電氣的に接続され、第3の導電層と第3の導電層より抵抗が低い第4の導電層との積層構造で設けられた第2の配線と、透光性を有する第5の導電層で設けられた第3の電極と、絶縁層上に第1の電極と重なるように設けられると共に、第2の電極及び第3の電極上に設けられた半導体層を有する半導体装置を提供する。

【0014】

また、本発明の一態様は、透光性を有する第1の導電層で設けられた第1の電極と、第1の電極と電氣的に接続され、第1の導電層と第1の導電層より抵抗が低い第2の導電層との積層構造で設けられた第1の配線と、透光性を有する第3の導電層で設けられた第2の配線と、第1の電極、第1の配線及び第2の配線上に設けられた絶縁層と、絶縁層上に設けられ、透光性を有する第4の導電層で設けられた第2の電極と、第2の電極と電氣的に接続され、第4の導電層と第4の導電層より抵抗が低い第5の導電層との積層構造で設けられた第3の配線と、透光性を有する第6の導電層で設けられた第3の電極と、第2の配線上に絶縁層を介して設けられ、透光性を有する第7の導電層と、絶縁層上に第1の電極と重なるように設けられると共に、第2の電極及び第3の電極上に設けられた半導体層を有する半導体装置を提供する。

【0015】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）などを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

【0016】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが出来る電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0017】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V_{ss}、GND、0Vなど）の電位に近い値で動作する場合はNチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（V_{dd}など）の電位に近い値で動作する場合はPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソース端子が低電位側電源の電位に近い値で動作するとき、Pチャネル型トランジスタではソース端子が高電位側電源の電位に近い値で動作するとき、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして、より正確な動作を行うことができるからである。さらに、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

【0018】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタのどちらか一方のトランジスタが導通

10

20

30

40

50

すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

【 0 0 1 9 】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

10

【 0 0 2 0 】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【 0 0 2 1 】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

20

30

【 0 0 2 2 】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【 0 0 2 3 】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL（エレクトロルミネセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、

40

50

電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた表示装置としては液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

【0024】

なお、EL素子とは、陽極と、陰極と、陽極と陰極との間に挟まれたEL層とを有する素子である。なお、EL層としては、1重項励起子からの発光(蛍光)を利用するもの、3重項励起子からの発光(燐光)を利用するもの、1重項励起子からの発光(蛍光)を利用するものと3重項励起子からの発光(燐光)を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料、低分子の材料、高分子の材料と低分子の材料とを含むものなどを有することができる。ただし、これに限定されず、EL素子として様々なものを有することができる。

【0025】

なお、電子放出素子とは、陰極に高電界を集中して電子を引き出す素子である。例えば、電子放出素子として、スピント型、カーボンナノチューブ(CNT)型、金属絶縁体金属を積層したMIM(Metal-Insulator-Metal)型、金属絶縁体半導体を積層したMIS(Metal-Insulator-Semiconductor)型、MOS型、シリコン型、薄膜ダイオード型、ダイヤモンド型、表面伝導エミッタSCD型、金属絶縁体半導体-金属型等の薄膜型、HEED型、EL型、ポーラスシリコン型、表面伝導(SCE)型などを有することができる。ただし、これに限定されず、電子放出素子として様々なものを有することができる。

【0026】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一対の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界(横方向の電界、縦方向の電界又は斜め方向の電界を含む)によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC)、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶(PALC)、バナナ型液晶、TN(Twisted Nematic)モード、STN(Super Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)、ASV(Advanced Super View)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、ECB(Electrically Controlled Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、ゲストホストモード、ブルー相(Blue Phase)モードなどを用いることができる。ただし、これに限定されず、液晶素子として様々なものを有することができる。

【0027】

なお、電子ペーパーとしては、分子により表示されるもの(光学異方性、染料分子配向など)、粒子により表示されるもの(電気泳動、粒子移動、粒子回転、相変化など)、フィルム的一端が移動することにより表示されるもの、分子の発色/相変化により表示される

10

20

30

40

50

もの、分子の光吸収により表示されるもの、電子とホールが結合して自発光により表示されるものなどのことをいう。例えば、電子ペーパーとして、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体（株式会社ブリヂストンの登録商標）、磁気泳動型、磁気感熱式、エレクトロウェットティング、光散乱（透明白濁）、コレステリック液晶／光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、２色性色素・液晶分散型、可動フィルム、ロイコ染料発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ＥＬなどを用いることができる。ただし、これに限定されず、電子ペーパーとして様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリ性などのメリットを有する。

10

【 0 0 2 8 】

なお、プラズマディスプレイは、電極を表面に形成した基板と、電極及び微小な溝を表面に形成し且つ溝内に蛍光体層を形成した基板とを狭い間隔で対向させて、希ガスを封入した構造を有する。あるいは、プラズマディスプレイは、プラズマチューブを上下からフィルム状の電極で挟み込んだ構造とすることも可能である。プラズマチューブとは、ガラスチューブ内に、放電ガス、ＲＧＢそれぞれの蛍光体などを封止したものである。なお、電極間に電圧をかけることによって紫外線を発生させ、蛍光体を光らせることで、表示を行うことができる。なお、プラズマディスプレイとしては、ＤＣ型ＰＤＰ、ＡＣ型ＰＤＰでもよい。ここで、プラズマディスプレイパネルとしては、ＡＳＷ（Ａｄｄｒｅｓｓ　Ｗｈｉｌｅ　Ｓｕｓｔａｉｎ）駆動、サブフレームをリセット期間、アドレス期間、維持期間に分割するＡＤＳ（Ａｄｄｒｅｓｓ　Ｄｉｓｐｌａｙ　Ｓｅｐａｒａｔｅｄ）駆動、ＣＬＥＡＲ（ＨＩＧＨ　ＣＯＮＴＲＡＳＴ＆ＬＯＷ　ＥＮＥＲＧＹ　ＡＤＤＲＥＳＳ＆ＲＥＤＵＣＴＩＯＮ　ＯＦ　ＦＡＬＳＥ　ＣＯＮＴＯＵＲ　ＳＥＱＵＥＮＣＥ）駆動、ＡＬＩＳ（Ａｌｔｅｒｎａｔｅ　Ｌｉｇｈｔｉｎｇ　ｏｆ　Ｓｕｒｆａｃｅｓ）方式、ＴＥＲＥＳ（Ｔｅｃｈｂｏｌｏｇｙ　ｏｆ　Ｒｅｃｉｐｒｏｃａｌ　Ｓｕｓｆａｉｎｅｒ）駆動などを用いることができる。ただし、これに限定されず、プラズマディスプレイとして様々なものを用いることができる。

20

【 0 0 2 9 】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ（ＧＬＶ）を用いた表示装置、デジタルマイクロミラーデバイス（ＤＭＤ）を用いた表示装置などの光源としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、ＬＥＤ、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

30

【 0 0 3 0 】

なお、トランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（ＴＦＴ）などを用いることが出来る。ＴＦＴを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。そして、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上さ

40

50

せることができる。

【 0 0 3 1 】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、D A 変換回路など）を基板上に一体形成することが出来る。

【 0 0 3 2 】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチなど）およびゲートドライバ回路（走査線駆動回路）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することが出来る。

10

【 0 0 3 3 】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【 0 0 3 4 】

なお、シリコンの結晶性を、多結晶または微結晶などへと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、レーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることが出来る。結晶性を向上させる領域が少なく済むため、製造工程も短くすることが出来、スループットが向上し、製造コストを低減させることが出来る。必要とされる製造装置の数も少ない数で製造できるため、製造コストを低減させることが出来る。

20

30

【 0 0 3 5 】

または、半導体基板やS O I 基板などを用いてトランジスタを形成することが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することが出来る。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【 0 0 3 6 】

または、Z n O、a - I n G a Z n O、S i G e、G a A s、I Z O、I T O、S n O、T i O、A l Z n S n O（A Z T O）などの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

40

【 0 0 3 7 】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来

50

る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【 0 0 3 8 】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。このような基板を用いた半導体装置は、衝撃に強くすることができる。

10

【 0 0 3 9 】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることが出来る。MOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、複数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。

【 0 0 4 0 】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

20

【 0 0 4 1 】

その他、様々なトランジスタを用いることができる。

【 0 0 4 2 】

なお、トランジスタは、様々な基板を用いて形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板（例えばシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タンゲステン基板、タンゲステン・ホイルを有する基板、可撓性基板などを用いることが出来る。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む紙、基材フィルム（ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等）などがある。または、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（表皮、真皮）又は皮下組織を基板として用いてもよい。または、ある基板を用いてトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

30

40

【 0 0 4 3 】

50

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きをフラットにすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路やカレントミラー回路を実現することが出来る。

10

【0044】

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加を図ることができる。または、チャンネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。なお、チャンネルの上下にゲート電極が配置される構成にすることにより、複数のトランジスタが並列に接続されたような構成となる。

【0045】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャンネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。あるいは、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、LDD領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。

20

【0046】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板などの様々な基板を用いて形成することも可能である。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていることも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG（Chip On Glass）でガラス基板に接続して、ガラス基板上にそのICチップを配置することも可能である。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続することも可能である。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまうので、そのような部分の回路は同じ基板に形

30

40

50

成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたＩＣチップを用いるようにすれば、消費電力の増加を防ぐことができる。

【 0 0 4 7 】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、Ｒ（赤）Ｇ（緑）Ｂ（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Ｒの画素とＧの画素とＢの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、ＲＧＢ以外の色を用いても良い。例えば、白色を加えて、ＲＧＢＷ（Ｗは白）としても可能である。あるいは、ＲＧＢに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加することも可能である。あるいは、例えば、ＲＧＢの中の少なくとも一色に類似した色を、ＲＧＢに追加することも可能である。例えば、Ｒ、Ｇ、Ｂ１、Ｂ２としてもよい。Ｂ１とＢ２とは、どちらも青色であるが、少し波長が異なっている。同様に、Ｒ１、Ｒ２、Ｇ、Ｂとすることも可能である。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することが出来る。別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とすることも可能である。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するが、明るさを制御する領域の一つ分を一画素とすることも可能である。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を１画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。あるいは、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。あるいは、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、一つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていることも可能である。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

【 0 0 4 8 】

なお、一画素（三色分）と明示的に記載する場合は、ＲとＧとＢの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【 0 0 4 9 】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばＲＧＢ）でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三つの色要素のドットがデルタ配置されている場合も含む。さらに、ペイヤー配置されている場合も含む。なお、色要素のドット毎にその表示領域の大きさが異なっていてよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

【 0 0 5 0 】

なお、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることが出来る。

【 0 0 5 1 】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることが出来る。例えば、ＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）やＴＦＤ（

10

20

30

40

50

Thin Film Diode)などを用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

【0052】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

10

【0053】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1電極、第2電極と表記する場合がある。あるいは、第1領域、第2領域と表記する場合がある。

20

【0054】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子などと表記する場合がある。

【0055】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域またはソース領域（またはドレイン領域）と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

30

【0056】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線など）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

40

【0057】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、チャネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲ-

50

ト電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もゲート電極またはゲート配線と呼んでも良い。

【0058】

なお、例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分（領域、導電膜、配線など）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線など）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

10

【0059】

なお、ゲート端子とは、ゲート電極の部分（領域、導電膜、配線など）または、ゲート電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【0060】

なお、ある配線を、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、その配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

20

【0061】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

30

【0062】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線など）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

40

【0063】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線など）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同

50

じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もソース電極またはソース配線と呼んでも良い。

【 0 0 6 4 】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

10

【 0 0 6 5 】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【 0 0 6 6 】

なお、ある配線を、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、その配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

20

【 0 0 6 7 】

なお、ドレインについては、ソースと同様である。

【 0 0 6 8 】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

【 0 0 6 9 】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでいても良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続された IC チップ、または、TAB などで接続された IC チップを含んでいても良い。なお、表示装置は、IC チップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、IC チップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PCB）を含んでいても良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。

30

40

【 0 0 7 0 】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを有していても良い。

【 0 0 7 1 】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【 0 0 7 2 】

50

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【 0 0 7 3 】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【 0 0 7 4 】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

10

【 0 0 7 5 】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【 0 0 7 6 】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【 0 0 7 7 】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

30

【 0 0 7 8 】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【 0 0 7 9 】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。

40

【 0 0 8 0 】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【 0 0 8 1 】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【 0 0 8 2 】

50

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0083】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0084】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多く、これに限定されない。

10

【0085】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【0086】

なお、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

20

【0087】

なお、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、又は、「手前に」、などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、Aの上にB、と明示的に示される場合は、BがAの上にあることに限定されない。図中のデバイスは反転、又は180°回転することが可能なので、BがAの下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、又は、「手前に」などの他の方向を含むことが可能である。

30

【発明の効果】

【0088】

開示する発明において、透光性を有するトランジスタ又は透光性を有する容量素子を形成することができる。そのため、画素内にトランジスタや容量素子を配置する場合であっても、トランジスタや容量素子が形成された部分においても光を透過させることができるため、開口率を向上させることができる。さらに、トランジスタと素子（例えば、別のトランジスタ）とを接続する配線、または容量素子と素子（例えば、別の容量素子）とを接続する配線は、抵抗率が低く導電率が高い材料を用いて形成することができるため、信号の波形なまりを低減し、配線抵抗による電圧降下を低減することができる。

40

【図面の簡単な説明】

【0089】

【図1】半導体装置を説明する上面図。

【図2】半導体装置を説明する断面図。

【図3】半導体装置の作製方法を説明する図。

【図4】半導体装置の作製方法を説明する図。

【図5】半導体装置の作製方法を説明する図。

【図6】多階調マスクを説明する図。

50

【図 7】半導体装置の作製方法を説明する図。

【図 8】半導体装置の作製方法を説明する図。

【図 9】半導体装置の作製方法を説明する図。

【図 10】半導体装置の作製方法を説明する図。

【図 11】半導体装置を説明する上面図。

【図 12】半導体装置を説明する断面図。

【図 13】半導体装置を説明する上面図及び断面図。

【図 14】半導体装置を説明する上面図及び断面図。

【図 15】半導体装置を説明する上面図及び断面図。

【図 16】半導体装置を説明する上面図及び断面図。

10

【図 17】半導体装置を説明する上面図。

【図 18】半導体装置を説明する上面図。

【図 19】半導体装置を説明する断面図。

【図 20】半導体装置を説明する断面図。

【図 21】半導体装置を説明する上面図。

【図 22】半導体装置を説明する図。

【図 23】半導体装置を説明する図。

【図 24】半導体装置を説明する図。

【図 25】半導体装置を説明する図。

【図 26】半導体装置を説明する図。

20

【図 27】半導体装置を説明する図。

【図 28】半導体装置を説明する図。

【図 29】半導体装置を説明する図。

【図 30】電子機器を説明する図。

【図 31】電子機器を説明する図。

【図 32】電子機器を説明する図。

【図 33】電子機器を説明する図。

【図 34】電子機器を説明する図。

【図 35】半導体装置を説明する断面図。

【図 36】半導体装置の作製方法を説明する図。

30

【図 37】半導体装置を説明する上面図。

【図 38】半導体装置を説明する上面図。

【図 39】半導体装置を説明する上面図。

【図 40】半導体装置を説明する上面図。

【図 41】半導体装置を説明する図。

【図 42】半導体装置を説明する図。

【図 43】半導体装置を説明する図。

【図 44】半導体装置を説明する図。

【図 45】半導体装置を説明する図。

【図 46】半導体装置を説明する図。

40

【図 47】半導体装置を説明する図。

【図 48】半導体装置を説明する図。

【発明を実施するための形態】

【0090】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下に示す実施の形態の記載内容に限定されず、発明の趣旨から逸脱することなく形態及び詳細を様々に変更し得ることは当業者にとって自明である。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【0091】

50

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【 0 0 9 2 】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【 0 0 9 3 】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【 0 0 9 4 】

なお、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、基板、モジュール、装置、固体、液体、気体、動作方法、製造方法などが単数又は複数記載された図面（断面図、平面図、回路図、ブロック図、フローチャート、工程図、斜視図、立面図、配置図、タイミングチャート、構造図、模式図、グラフ、表、光路図、ベクトル図、状態図、波形図、写真、化学式など）または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。

20

【 0 0 9 5 】

（実施の形態 1）

本実施の形態では、半導体装置及びその作製方法について、図面を参照して説明する。

【 0 0 9 6 】

図 1、図 2 に本実施の形態で示す半導体装置の一構成例を示す。なお、図 1 は上面図であり、図 2（A）は図 1 における A - B 間の断面に対応し、図 2（B）は図 1 における C - D 間の断面に対応している。

30

【 0 0 9 7 】

図 1 に示す半導体装置は、トランジスタ 1 5 2 及び保持容量部 1 5 4 が設けられた画素部 1 5 0 と、配線 1 2 2 と、配線 1 2 4 と、配線 1 2 6 とを有している。なお、図 1 において、画素部 1 5 0 は、複数の配線 1 2 2 及び複数の配線 1 2 6 に囲まれた領域を指す。

【 0 0 9 8 】

なお、配線 1 2 2 は、ゲート配線として機能させることができる。配線 1 2 4 は、容量配線又は共通配線として機能させることができる。配線 1 2 6 は、ソース配線として機能させることができる。但し、これらに限定されない。

【 0 0 9 9 】

40

トランジスタ 1 5 2 は、基板 1 0 0 上に設けられた電極 1 3 2 と、電極 1 3 2 上に設けられた絶縁層 1 0 6 と、絶縁層 1 0 6 上に設けられた電極 1 3 6 及び電極 1 3 8 と、絶縁層 1 0 6 上に電極 1 3 2 と重なるように設けられ且つ電極 1 3 6 及び電極 1 3 8 上に設けられた半導体層 1 1 2 a を有している（図 2（A）参照）。

【 0 1 0 0 】

なお、電極 1 3 2 は、ゲート電極として機能させることができる。絶縁層 1 0 6 は、ゲート絶縁層として機能させることができる。電極 1 3 6 又は電極 1 3 8 は、ソース電極又はドレイン電極として機能させることができる。半導体層 1 1 2 a は、酸化物半導体で設けることができる。但し、これらに限定されない。

【 0 1 0 1 】

50

電極 132 は、透光性を有する導電層 102a で設けられており、且つ配線 122 と電氣的に接続されている。配線 122 は、導電層 102a と導電層 104a との積層構造で設けられている。また、電極 132 を構成する導電層 102a と、配線 122 を構成する導電層 102a は、同じ島（アイランド）で形成されている。電極 132 と配線 122 を同じ島状の導電層 102a で設けることにより、電極 132 と配線 122 との電氣的な接続を良好に行うことができる。また、電極 132 と配線 122 を同じ島状の導電層 102a で設けることにより、作製工程においてマスク数を減らし低コスト化を図ることができる。なお、基板 100 と電極 132 の間に下地絶縁層を設けてもよい。

【0102】

導電層 102a は、インジウム錫酸化物（Indium Tin Oxide：ITO）等の透光性を有する材料で設けることができる。また、導電層 104a は、導電層 102a より抵抗率が低い材料で設ければよく、例えば、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、ニオブ（Nb）、セリウム（Ce）、クロム（Cr）などの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。一般的に、これらの金属材料は遮光性を有するため、図 1 に示した構造では、電極 132 が形成された部分は透光性を示し、配線 122 が形成された部分は電極 132 が形成された部分と比較して遮光性を示すこととなる。

【0103】

なお、上記において透光性を有するとは、少なくとも、導電層 104a や導電層 110a と比較して、可視域（400nm～800nm 程度）における光の透過率が高いことを意味する。

【0104】

また、導電層 104a を導電層 102a より厚く形成することが好ましい。導電層 104a を厚く形成した場合には、配線抵抗を低減することができる。また、導電層 102a を薄く形成した場合には、光の透過率を向上させることができる。ただし、これに限定されない。

【0105】

なお、図 1、図 2 では、配線 122 として、導電層 102a 上に導電層 104a を積層させる場合を示しているが、導電層 104a 上に導電層 102a を積層してもよい。

【0106】

電極 136 は、透光性を有する導電層 108a で設けられており、且つ配線 126 と電氣的に接続されている。配線 126 は、導電層 108a と導電層 110a との積層構造で設けられている。また、電極 136 を構成する導電層 108a と、配線 126 を構成する導電層 108a は、同じ島（アイランド）で形成されている。電極 136 と配線 126 を同じ島状の導電層 108a で設けることにより、電極 136 と配線 126 との電氣的な接続を良好に行うことができる。

【0107】

また、電極 138 は、透光性を有する導電層 108b で設けられている。電極 136 と電極 138 は、同じ材料を用いて形成することができる。

【0108】

導電層 108a、108b は、インジウム錫酸化物等の透光性を有する材料で設けることができる。また、導電層 110a は、導電層 108a より抵抗率が低い材料で設ければよく、例えば、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、ニオブ（Nb）、セリウム（Ce）、クロム（Cr）などの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することが

できる。一般的に、金属材料は遮光性を有するため、図 1 に示した構造では、電極 1 3 6 が形成された部分は透光性を示し、配線 1 2 6 が形成された部分は電極 1 3 6 が形成された部分と比較して遮光性を示すこととなる。

【0109】

また、導電層 1 1 0 a を導電層 1 0 8 a、1 0 8 b より厚く形成することが好ましい。導電層 1 1 0 a を厚く形成した場合には、配線抵抗を低減することができる。また、導電層 1 0 8 a、1 0 8 b を薄く形成した場合には、透過率を向上させることができる。ただし、これに限定されない。

【0110】

配線 1 2 4 は、透光性を有する導電層 1 0 2 b を用いて形成することが好ましい。また、図 1、図 2 に示すように、配線 1 2 4 と配線 1 2 6 とが重なる領域（及びその近傍領域）において、導電層 1 0 2 b と当該導電層 1 0 2 b より抵抗が低い導電層 1 0 4 b の積層構造で設けることができる。図 1、図 2 に示すように配線 1 2 4 を形成することにより、画素部 1 5 0 の開口率を向上させると共に、配線 1 2 4 の配線抵抗を低減し、低消費電力化を図ることができる。もちろん、配線 1 2 4 として、透光性を有する導電層 1 0 2 b だけ又は導電層 1 0 4 b だけで設けることも可能である。

【0111】

保持容量部 1 5 4 は、絶縁層 1 0 6 を誘電体とし、透光性を有する導電層 1 0 2 b と透光性を有する導電層 1 0 8 c を電極として構成されている。また、導電層 1 0 8 c は、導電層 1 1 6 と電氣的に接続されている。導電層 1 0 8 c と導電層 1 1 6 との電氣的な接続は、層間膜として機能する絶縁層 1 1 4 に形成されたコンタクトホールを介して行うことができる。なお、導電層 1 1 6 は、画素電極として機能させることができる。

【0112】

また、保持容量部 1 5 4 として、絶縁層 1 0 6 及び絶縁層 1 1 4 を誘電体とし、導電層 1 0 2 b と導電層 1 1 6 を電極として用いる構成としてもよい（図 3 5（A）参照）。他にも、図 3 5（A）において、絶縁層 1 1 4 として無機材料（窒化シリコン等）からなる絶縁層 1 1 4 a と有機材料からなる絶縁層 1 1 4 b を順に積層させた構造を用い、保持容量部 1 5 4 において有機材料からなる絶縁層 1 1 4 b を除去し、保持容量部 1 5 4 として、絶縁層 1 0 6 及び絶縁層 1 1 4 a を誘電体とし、導電層 1 0 2 b と導電層 1 1 6 を電極として用いる構成としてもよい（図 3 5（B）参照）。

【0113】

図 1、図 2 に示すように、保持容量部 1 5 4 を、透光性を有する材料を用いて設けることにより、保持容量部 1 5 4 が形成される領域においても光を透過させることができるため、画素部 1 5 0 の開口率を向上させることができる。

【0114】

また、保持容量部 1 5 4 に用いる電極として透光性を有する導電層で構成することにより、開口率を下げることなく保持容量部 1 5 4 を大きくすることができる。保持容量部 1 5 4 を大きく形成することによって、トランジスタ 1 5 2 がオフになったときでも、導電層 1 1 6 の電位保持特性が向上し、表示品質を向上させることができる。また、フィードスルー電位を小さくすることができる。フィールドスルー電位を小さくすることにより、正確な電圧を加えることができ、ちらつきを低減することができる。また、ノイズ耐性を向上することにより、クロストークを低減することができる。

【0115】

導電層 1 1 6 は、電極 1 3 8 及び導電層 1 0 8 c と電氣的に接続されている。

【0116】

以上のように、電極 1 3 2、半導体層 1 1 2 a、電極 1 3 6、電極 1 3 8、保持容量部 1 5 4 を、透光性を有する材料で形成することにより、トランジスタ 1 5 2 が形成された領域及び保持容量部 1 5 4 が形成された領域において光を透過させることができるため、画素部 1 5 0 の開口率を向上させることができる。また、配線 1 2 2、配線 1 2 6、配線 1 2 4 の一部を、抵抗率が低い金属材料からなる導電層で設けることにより、配線抵抗を低

減することができる。その結果、波形なまりを小さくすることができる。また、消費電力を低減することができる。

【0117】

通常、ゲート配線とゲート電極、ソース配線とソース電極は、同じ島（アイランド）で形成される。そのため、ゲート電極やソース電極及びドレイン電極を、透光性を有する材料で設ける場合には、ゲート配線及びソース配線等の配線も透光性を有する材料で形成されることとなる。しかし、透光性を有する材料、例えば、インジウムスズ酸化物、インジウム亜鉛酸化物、インジウムスズ亜鉛酸化物等は、遮光性及び反射性を有する材料、例えば、アルミニウム、モリブデン、チタン、タングステン、ネオジム、銅、銀等の金属材料と比較して導電率が低いため、配線抵抗を十分に低減することが困難となる。例えば、大型の表示装置を製造する場合、配線が長くなるため、配線抵抗が非常に高くなりやすい。そこで、上述したように、電極132、半導体層112a、電極136、電極138、保持容量部154を、透光性を有する材料で形成し、配線122、配線126、配線124の一部を、抵抗率が低い金属材料からなる導電層で設けることによって、このような問題を解決することができる。

10

【0118】

また、ゲート配線を構成する導電層104a及びソース配線を構成する導電層110aを、遮光性を有する金属材料を用いて形成することにより、配線抵抗を低減すると共に隣接する画素部同士の間領域を遮光することができる。つまり、行方向に配置されたゲート配線と、列方向に配置されたソース配線とによって、ブラックマトリクスを用いることなく画素間の領域を遮光することが可能となる。もちろん、ブラックマトリクスを別途設けてより効果的に遮光を行ってもよい。

20

【0119】

なお、図1、図2に示した構造において、保持容量部154を設けない構成としてもよい。この場合、配線124も不要となる。

【0120】

次に、上記図1、図2に示した半導体装置の作製方法の一例について、図3～図5を参照して説明する。

【0121】

まず、基板100上に導電膜102を形成する（図3（A）参照）。基板100と導電膜102の間に下地絶縁膜を形成してもよい。

30

【0122】

基板100としては、例えば、ガラス基板を用いることができる。他にも、基板100として、セラミック基板、石英基板やサファイア基板等の絶縁体でなる絶縁性基板、シリコン等の半導体材料でなる半導体基板の表面を絶縁材料で被覆したもの、金属やステンレス等の導電体でなる導電性基板の表面を絶縁材料で被覆したものをを用いることができる。また、作製工程の熱処理に耐えられるのであれば、プラスチック基板を用いることもできる。

【0123】

導電膜102としては、透光性を有する材料を用いて形成することができる。透光性を有する材料としては、例えば、インジウム錫酸化物（Indium Tin Oxide：ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、有機インジウム、有機スズ、酸化亜鉛（ZnO）等を用いることができる。また、酸化亜鉛を含むインジウム亜鉛酸化物（Indium Zinc Oxide：IZO）、酸化亜鉛にガリウム（Ga）をドーブしたもの、酸化スズ（SnO₂）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物等を用いてもよい。これらの材料をスパッタリング法により、単層構造又は積層構造で形成することができる。ただし、積層構造とする場合には、積層構造における光透過率を十分に高くすることが望ましい。

40

【0124】

50

次に、導電膜 102 上にレジストマスク 161 を形成し、当該レジストマスク 161 を用いて導電膜 102 をエッチングすることにより、島状の導電層 102a 及び導電層 102b を形成する（図 3（B）参照）。

【0125】

導電層 102a は、配線 122 の一部及び電極 132 として機能する。また、導電層 102b は、配線 124 の一部として機能する。

【0126】

次に、基板 100、導電層 102a 及び導電層 102b 上に導電膜 104 を形成する（図 3（C）参照）。

【0127】

導電膜 104 としては、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、ニオブ（Nb）、セリウム（Ce）、クロム（Cr）などの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。特に、アルミニウムなどの低抵抗導電性材料で形成することが望ましい。

【0128】

導電層 102a、102b 上に導電膜 104 を形成した場合、両者の膜が反応を起こしてしまう場合がある。例えば、導電層 102a、102b として ITO を用い、導電膜 104 としてアルミニウムを用いた場合、化学反応が起きてしまう場合がある。したがって、化学反応が起きることを避けるために、導電層 102a、102b と導電膜 104 との間に、高融点材料を用いることが望ましい。例えば、高融点材料の例としては、モリブデン、チタン、タングステン、タンタル、クロムなどがあげられる。そして、高融点材料を用いた膜の上に、導電率の高い材料を用いて、導電膜 104 を多層膜とすることが好適である。導電率の高い材料としては、アルミニウム、銅、銀などがあげられる。例えば、導電膜 104 を積層構造で形成する場合には、1 層目をモリブデン、2 層目をアルミニウム、3 層目をモリブデンの積層、若しくは、1 層目をモリブデン、2 層目にネオジウムを微量に含むアルミニウム、3 層目をモリブデンの積層で形成することができる。このような構成とすることによりヒロックを防止することができる。

【0129】

次に、導電膜 104 上にレジストマスク 162 を形成し、当該レジストマスク 162 を用いて導電膜 104 をエッチングすることにより、島状の導電層 104a 及び導電層 104b を形成する（図 3（D）参照）。

【0130】

この際、電極 132 として機能する導電層 102a 上に形成された導電膜 104 と、配線 124 において画素部に配置される領域に設けられた導電膜 104 を除去する。

【0131】

導電層 104a は、配線 122 の一部として機能する。また、導電層 104b は、配線 124 の一部として機能する。

【0132】

また、図 3（D）では、導電層 104a の幅を導電層 102a の幅より小さくなるように形成し、導電層 104b の幅を導電層 102b の幅より小さくなるように形成する場合を示しているが、これに限られない。導電層 104a の幅を導電層 102a の幅より大きくして、導電層 102a を覆うように導電層 104a を形成してもよいし、導電層 104b の幅を導電層 102b の幅より大きくして、導電層 102b の覆うように導電層 104b を形成してもよい。

【0133】

次に、導電層 102a、102b、導電層 104a、104b を覆うように絶縁層 106 を形成し、その後、絶縁層 106 上に導電膜 108 を形成する（図 3（E）参照）。

【0134】

絶縁層106としては、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、又は酸化タンタル膜の単層または積層で設けることができる。絶縁層106は、スパッタ法等を用いて膜厚を50nm以上250nm以下で形成することができる。例えば、絶縁層106として、スパッタ法又はCVD法により酸化シリコン膜を100nmの厚さで形成することができる。または、スパッタ法により酸化アルミニウム膜を100nmの厚さで形成することができる。

【0135】

導電膜108としては、透光性を有する材料を用いて形成することができる。透光性を有する材料としては、例えば、インジウム錫酸化物(Indium Tin Oxide: ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、有機インジウム、有機スズ、酸化亜鉛(ZnO)等を用いることができる。また、酸化亜鉛を含むインジウム亜鉛酸化物(Indium Zinc Oxide: IZO)、酸化亜鉛にガリウム(Ga)をドーブしたもの、酸化スズ(SnO₂)、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物等を用いてもよい。これらの材料をスパッタリング法により、単層構造又は積層構造で形成することができる。ただし、積層構造とする場合には、複数の膜の全ての光透過率を十分に高くすることが望ましい。

【0136】

次に、導電膜108上にレジストマスク163を形成し、当該レジストマスク163を用いて導電膜108をエッチングすることにより、島状の導電層108a、導電層108b、導電層108cを形成する(図4(A)参照)。

【0137】

導電層108aは、配線126の一部及び電極136として機能する。また、導電層108bは、電極138として機能する。また、導電層108cは、保持容量部154の一方の電極として機能する。

【0138】

また、導電層108bの端部をテーパ状に形成することが好ましい。後に導電層108b上に形成される半導体層の段切れを防止することができるからである。

【0139】

次に、導電層108a~108cを覆うように導電膜110を形成する(図4(B)参照)。

【0140】

導電膜110としては、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル-Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)などの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。アルミニウムなどの低抵抗導電性材料で形成することが望ましい。

【0141】

導電層108a~108c上に導電膜110を形成した場合、両者の膜が反応を起こしてしまう場合がある。例えば、導電層108a~108cとしてITOを用い、導電膜110としてアルミニウムを用いた場合、化学反応が起きてしまう場合がある。したがって、化学反応が起きることを避けるために、導電層108a~108cと導電膜110の間に、高融点材料を用いることが望ましい。例えば、高融点材料の例としては、モリブデン、チタン、タングステン、タンタル、クロムなどがあげられる。そして、高融点材料を用いた膜の上に、導電率の高い材料を用いて、導電膜110を多層膜とすることが好適である。導電率の高い材料としては、アルミニウム、銅、銀などがあげられる。例えば、導電膜110を積層構造で形成する場合には、1層目をモリブデン、2層目をアルミニウム、

10

20

30

40

50

3層目をモリブデンの積層、若しくは、1層目をモリブデン、2層目にネオジムを微量に含むアルミニウム、3層目をモリブデンの積層で形成することができる。このような構成とすることによりヒロックを防止することができる。

【0142】

次に、導電膜110上にレジストマスク164を形成し、当該レジストマスク164を用いて導電膜110をエッチングすることにより、島状の導電層110aを形成する(図4(C)参照)。

【0143】

具体的には、導電層108a上に導電膜110を残存させるようにエッチングを行う。この場合、電極136として機能する導電層108a上に形成された導電膜110は除去する。つまり、導電層110aは、配線126の一部として機能する。

10

【0144】

次に、導電層108a、108b、絶縁層106等を覆うように透光性を有する半導体膜112を形成する(図4(D)参照)。

【0145】

半導体膜112として、例えば、In、M、またはZnを含む酸化物半導体を用いることができる。ここで、Mは、Ga、Fe、Ni、Mn、またはCoなどから選ばれた一の金属元素又は複数の金属元素を示す。また、MとしてGaを用いる場合は、この薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。また、半導体膜112には絶縁性の不純物を含ませても良い。当該不純物として、酸化シリコン、酸化ゲルマニウム、酸化アルミニウムなどに代表される絶縁性酸化物、窒化シリコン、窒化アルミニウムなどに代表される絶縁性窒化物、若しくは酸窒化シリコン、酸窒化アルミニウムなどの絶縁性酸窒化物が適用される。これらの絶縁性酸化物若しくは絶縁性窒化物は、酸化物半導体の電気伝導性を損なわない濃度で添加される。酸化物半導体に絶縁性の不純物を含ませることにより、該酸化物半導体の結晶化を抑制することができる。酸化物半導体の結晶化を抑制することにより、薄膜トランジスタの特性を安定化することが可能となる。

20

【0146】

In-Ga-Zn-O系酸化物半導体に酸化シリコンなどの不純物を含ませておくことで、300乃至600の熱処理を行っても、該酸化物半導体の結晶化又は微結晶粒の生成を防ぐことができる。In-Ga-Zn-O系酸化物半導体層をチャネル形成領域とする薄膜トランジスタの製造過程では、熱処理を行うことでS値(subthreshold swing value)や電界効果移動度を向上させることが可能であるが、そのような場合でも薄膜トランジスタがノーマリーオンになってしまうのを防ぐことができる。また、当該薄膜トランジスタに熱ストレス、バイアスストレスが加わった場合でもしきい値電圧の変動を防ぐことができる。

30

【0147】

薄膜トランジスタのチャネル形成領域に適用する酸化物半導体として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体を適用することができる。すなわち、これらの酸化物半導体に結晶化を抑制し非晶質状態を保持させる不純物を加えることによって、薄膜トランジスタの特性を安定化させることができる。当該不純物は、酸化シリコン、酸化ゲルマニウム、酸化アルミニウムなどに代表される絶縁性酸化物、窒化シリコン、窒化アルミニウムなどに代表される絶縁性窒化物、若しくは酸窒化シリコン、酸窒化アルミニウムなどの絶縁性酸窒化物などである。

40

【0148】

一例として、In、Ga、及びZnを含む酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1)を用いたスパッタ法で、半導体膜112を形成することがで

50

きる。スパッタの条件としては、例えば、基板 100 とターゲットとの距離を 30 mm ~ 500 mm、圧力を 0.1 Pa ~ 2.0 Pa、直流 (DC) 電源を 0.25 kW ~ 5.0 kW (直径 8 インチのターゲット使用時)、雰囲気をアルゴン雰囲気、酸素雰囲気、又はアルゴンと酸素との混合雰囲気とすることができる。半導体膜 112 の膜厚は、5 nm ~ 200 nm 程度とすればよい。

【0149】

上記のスパッタ法としては、スパッタ用電源に高周波電源を用いる RF スパッタ法や、DC スパッタ法、パルスの直流バイアスを加えるパルス DC スパッタ法などを用いることができる。RF スパッタ法は主に、絶縁膜を成膜する場合に用いられ、DC スパッタ法は主に、金属膜を成膜する場合に用いられる。

10

【0150】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置を用いてもよい。多元スパッタ装置では、同一チャンバーで異なる膜を積層形成することも、同一チャンバーで複数種類の材料を同時にスパッタして一の膜を形成することもできる。さらに、チャンバー内部に磁界発生機構を備えたマグネトロンスパッタ装置を用いる方法 (マグネトロンスパッタ法) や、マイクロ波を用いて発生させたプラズマを用いる ECR スパッタ法等を用いてもよい。また、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法等を用いてもよい。

【0151】

20

なお、トランジスタ 152 のチャンネル層として用いる半導体材料としては、酸化物半導体に限られない。例えば、シリコン層 (アモルファスシリコン層、微結晶シリコン層、多結晶シリコン層又は単結晶シリコン層) をトランジスタ 152 のチャンネル層として用いてもよい。他にも、トランジスタ 152 のチャンネル層として、透光性を有する有機半導体材料、カーボンナノチューブ、ガリウムヒ素やインジウムリン等の化合物半導体を用いてもよい。なお、半導体層が透光性を有するとは、少なくとも、配線 122 を構成する導電層 104a、配線 126 を構成する導電層 110a より透光性を有していればよい。

【0152】

本実施の形態では、導電層 (導電層 108a、導電層 108b、導電層 110a) の形成後に半導体膜 112 を設けるため、これらの導電層のエッチングの際に半導体膜 112 がエッチングされることがない。そのため、半導体膜 112 を薄く形成することが可能となる。半導体膜 112 を薄く設けることにより、透光性を向上させると共に、空乏層を形成しやすくなる。その結果、トランジスタの S 値を小さくし、トランジスタのスイッチング特性を向上することが可能となる。また、オフ電流も低くすることができる。

30

【0153】

なお、半導体膜 112 の厚さは、導電層 108a 及び導電層 108b より薄く形成することが好ましい。但し、これに限定されない。

【0154】

次に、半導体膜 112 上にレジストマスク 165 を形成し、当該レジストマスク 165 を用いて半導体膜 112 をエッチングすることにより、島状の半導体層 112a を形成する (図 5 (A) 参照)。

40

【0155】

また、半導体層 112a は、導電膜 110 を形成する前 (図 4 (A) の後) に形成してもよい。この場合、図 4 (A) の工程を行った後に、半導体膜 112 を形成してエッチングすることにより島状の半導体層 112a を形成し、続けて導電膜 110 を形成すればよい。

【0156】

また、半導体層 112a を形成した後、窒素雰囲気下又は大気雰囲気下において、100 ~ 600、代表的には 200 ~ 400 の熱処理を行うことが好ましい。例えば、窒素雰囲気下で 350、1 時間の熱処理を行うことができる。この熱処理により島状の

50

半導体層 112a の原子レベルの再配列が行われる。この熱処理（光アニール等も含む）は、島状の半導体層 112a 中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。なお、上記の熱処理を行うタイミングは、半導体膜 112 の形成後であれば特に限定されない。

【0157】

次に、半導体層 112a、配線 126、電極 136、電極 138、導電層 108c を覆うように絶縁層 114 を形成する（図 5（B）参照）。

【0158】

絶縁層 114 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素又は窒素有する絶縁膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜や、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる膜を単層又は積層構造で設けることができる。

10

【0159】

また、絶縁層 114 は、カラーフィルタとしての機能を有することが可能である。基板 100 側にカラーフィルタを設けることにより、対向基板側にカラーフィルタを設ける必要がなくなり、2つの基板の位置を調整するためのマージンが必要なくなるため、パネルの製造を容易にすることができる。

【0160】

次に、絶縁層 114 上に、導電層 116 を形成する（図 5（C）参照）。導電層 116 は、画素電極として機能させることができ、導電層 108c と電氣的に接続するように形成する。

20

【0161】

導電層 116 としては、透光性を有する材料を用いて形成することができる。透光性を有する材料としては、例えば、インジウム錫酸化物（Indium Tin Oxide：ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、有機インジウム、有機スズ、酸化亜鉛（ZnO）等を用いることができる。また、酸化亜鉛を含むインジウム亜鉛酸化物（Indium Zinc Oxide：IZO）、酸化亜鉛にガリウム（Ga）をドーブしたものの、酸化スズ（SnO₂）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物等を用いてもよい。これらの材料をスパッタリング法により、単層構造又は積層構造で形成することができる。ただし、積層構造とする場合には、複数の膜の全ての光透過率を十分に高くすることが望ましい。具体的には、画素部における透光性を高めるために導電層 116 を、導電層 102a、導電層 108a より薄く形成することが好ましい。但し、これに限定されない。

30

【0162】

以上の工程により、半導体装置を作製することができる。本実施の形態で示す作製方法により、透光性を有するトランジスタ 152 及び透光性を有する保持容量部 154 を形成することができる。そのため、画素内に、トランジスタや容量素子を配置する場合であっても、トランジスタや容量素子が形成された部分においても光を透過させることができるため、開口率を向上させることができる。さらに、トランジスタと素子（例えば、別のトランジスタ）とを接続する配線は、抵抗率が低く導電率が高い材料を用いて形成することができるため、信号の波形なまりを低減し、配線抵抗による電圧降下を低減することができる。

40

【0163】

また、本実施の形態では、電極 136 及び電極 138 上に半導体層 112a を設ける構造（ボトムコンタクト型）について示したが、これに限られない。例えば、半導体層 112a 上に電極 136 及び電極 138 を設けた構造（チャネルエッチ型）としてもよい（図 45 参照）。なお、図 45（A）は上面図であり、図 45（B）は図 45（A）における A - B 間の断面に対応している。

50

【0164】

図45に示す構造は、上記図3(E)において、絶縁層106上に半導体膜112を形成してパターニングした後に、導電膜108を形成することにより得られる。

【0165】

また、図45に示す構造において、半導体層112a上にチャネル保護膜として機能する絶縁層127を設けた構造(チャネル保護型)としてもよい(図46(A)参照)。絶縁層127を設けることにより、導電膜108をパターニングする際に半導体層112aを保護することができる。

【0166】

(実施の形態2)

本実施の形態では、上記実施の形態1と異なる半導体装置の作製方法について、図面を参照して説明する。具体的には、多階調マスクを用いて半導体装置を作製する場合について説明する。なお、本実施の形態における半導体装置の作製工程は、多くの部分で実施の形態1と共通している。したがって、以下においては、重複する部分は省略し、異なる点について詳細に説明する。

【0167】

まず、基板100上に導電膜102を形成し、続いて導電膜102上に導電膜104を形成する(図7(A)参照)。基板100と導電膜102の間に下地絶縁膜を設けてもよい。

【0168】

次に、導電膜104上にレジストマスク171a~171cを形成する(図7(B)参照)。

【0169】

レジストマスク171a~171cは、多階調マスクを用いることにより、厚さの異なるレジストマスクを選択的に形成することができる。

【0170】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域及び未露光領域の3段階の光量で露光を行う。多階調マスクを用いることで、一度の露光及び現像工程によって、複数(代表的には二種類)の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォ

トマスクの枚数を削減することができる。以下に、図6を参照して多階調マスクを用いた場合の光の透過率について説明する。

【0171】

図6に、代表的な多階調マスクの断面を示す。図6(A-1)はグレートーンマスク403を用いる場合を示し、図6(B-1)はハーフトーンマスク414を用いる場合を示している。

【0172】

図6(A-1)に示すグレートーンマスク403は、透光性を有する基板400に遮光層により形成された遮光部401、及び遮光層のパターンにより設けられた回折格子402で構成されている。

【0173】

回折格子402は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドット又はメッシュ等を有することで、光の透過率を制御する。なお、回折格子402に設けられるスリット、ドット又はメッシュは周期的なものであってもよいし、非周期的なものであってもよい。

【0174】

透光性を有する基板400としては、石英等を用いることができる。遮光部401及び回折格子402を構成する遮光層は、金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

【0175】

グレートンマスク 403 に露光するための光を照射した場合、図 6 (A - 2) に示すように、遮光部 401 に重畳する領域における透光率は 0 % となり、遮光部 401 又は回折格子 402 が設けられていない領域における透光率は 100 % とすることができる。また、回折格子 402 における透光率は、概ね 10 % ~ 70 % の範囲であり、回折格子のスリット、ドット又はメッシュの間隔等により調節可能である。

【0176】

図 6 (B - 1) に示すハーフトンマスク 414 は、透光性を有する基板 411 上に半透光層により形成された半透光部 412 及び遮光層により形成された遮光部 413 で構成されている。

【0177】

半透光部 412 は、MoSiN、MoSi、MoSiO、MoSiON、CrSi 等の層を用いて形成することができる。遮光部 413 は、グレートンマスクの遮光層と同様の金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

【0178】

ハーフトンマスク 414 に露光するための光を照射した場合、図 6 (B - 2) に示すように、遮光部 413 に重畳する領域における透光率は 0 % となり、遮光部 413 又は半透光部 412 が設けられていない領域における透光率は 100 % とすることができる。また、半透光部 412 における透光率は、概ね 10 % ~ 70 % の範囲であり、形成する材料の種類又は形成する膜厚等により調整可能である。

【0179】

以上のように、多階調マスクを用いることにより、露光部分、中間露光部分、及び未露光部分の 3 つの露光レベルのマスクを形成することができ、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することができる。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

【0180】

図 7 (B) では、多階調マスクとしてハーフトンマスクを用いる場合を示しており、当該ハーフトンマスクは光を透過する基板 180 と当該基板 180 上に設けられた遮光層 181a、181c と半透過層 181b、181d とで構成されている。そのため、導電膜 104 上には厚いレジストマスク 171a、薄いレジストマスク 171b、厚い部分と薄い部分を有するレジストマスク 171c が形成される。

【0181】

次に、レジストマスク 171a ~ 171c を用いて、導電膜 102 及び導電膜 104 の不要な部分をエッチングし、導電層 102a、導電層 102b、導電層 104a'、導電層 104b' を形成する（図 7 (C) 参照）。

【0182】

次に、レジストマスク 171a ~ 171c に対して、酸素プラズマによるアッシングを行う。レジストマスク 171a ~ 171c に対して酸素プラズマによるアッシングを行うことにより、レジストマスク 171b は除去され、導電層 102a 上に形成された導電層 104a' の一部が露出する。また、レジストマスク 171a、171c は縮小し、レジストマスク 171a'、171c' として残存する（図 8 (A) 参照）。このように、レジストマスクとして多階調マスクを用いることにより、追加のレジストマスクを用いることがなくなるため、工程を簡略化することができる。

【0183】

次に、レジストマスク 171a'、171c' を用いて、露出した導電層 104a' 及び導電層 104b' をエッチングすることにより、導電層 104a 及び導電層 104b を形成する（図 8 (B) 参照）。この場合、電極 132 として機能する導電層 102a 上に形成された導電層 104a' と、配線 124 において画素部に配置される領域に設けられた導電層 104b' を除去する。

【0184】

その結果、電極 1 3 2 は透光性を有する導電層 1 0 2 a で形成され、配線 1 2 2 は透光性を有する導電層 1 0 2 a と当該導電層 1 0 2 a より抵抗が低い導電層 1 0 4 a との積層構造で形成される。

【 0 1 8 5 】

このように、電極 1 3 2 として機能する導電層 1 0 2 a を透光性を有する材料で形成することにより、画素部の開口率を向上させることができる。また、配線 1 2 2 として機能する導電層として、電極 1 3 2 を構成する導電層（ここでは、導電層 1 0 2 a ）と、当該導電層 1 0 2 a より抵抗率が低い金属材料を用いた導電層 1 0 4 a で形成することにより、配線抵抗を低減すると共に、波形なまりを低減することができる。その結果、低消費電力化を図ることができる。また、配線 1 2 2 として、透光性を有する導電層（ここでは、導電層 1 0 4 a ）を用いることにより、互いに隣接する画素間の領域を遮光することができる。そのため、ブラックマトリクスを省略することができる。但し、これに限定されない。

10

【 0 1 8 6 】

また、多階調マスクを用いることにより、配線 1 2 2 となる導電層 1 0 2 a と導電層 1 0 4 a とは、それぞれの層が有する表面積が異なる。つまり、導電層 1 0 2 a が有する表面積が、導電層 1 0 4 a が有する表面積よりも大きくなる。同様に、導電層 1 0 2 b が有する表面積が、導電層 1 0 4 b が有する表面積よりも大きくなる。

【 0 1 8 7 】

次に、導電層 1 0 2 a 、導電層 1 0 2 b 、導電層 1 0 4 a 、導電層 1 0 4 b を覆うように絶縁層 1 0 6 を形成した後、当該絶縁層 1 0 6 上に、導電膜 1 0 8 と導電膜 1 1 0 を順に積層して形成する（図 8（C）参照）。

20

【 0 1 8 8 】

次に、導電膜 1 1 0 上にレジストマスク 1 7 2 a ~ 1 7 2 d を形成する（図 9（A）参照）。

【 0 1 8 9 】

レジストマスク 1 7 2 a ~ 1 7 2 d は、多階調マスクを用いることにより、厚さの異なるレジストマスクを形成することができる。

【 0 1 9 0 】

図 9（A）では、多階調マスクとしてハーフトーンマスクを用いる場合を示しており、当該ハーフトーンマスクは光を透過する基板 1 8 2 と当該基板 1 8 2 上に設けられた半透過層 1 8 3 a 、1 8 3 d と遮光層 1 8 3 b 、1 8 3 c 、1 8 3 e とで構成されている。そのため、導電膜 1 1 0 上には厚いレジストマスク 1 7 2 c 、薄いレジストマスク 1 7 2 b 、1 7 2 d 、厚い部分と薄い部分を有するレジストマスク 1 7 2 a が形成される。

30

【 0 1 9 1 】

次に、レジストマスク 1 7 2 a ~ 1 7 2 d を用いて、導電膜 1 0 8 及び導電膜 1 1 0 の不要な部分をエッチングし、導電層 1 0 8 a ~ 導電層 1 0 8 c 、導電層 1 1 0 a ' ~ 導電層 1 1 0 c ' を形成する（図 9（B）参照）。

【 0 1 9 2 】

次に、レジストマスク 1 7 2 a ~ 1 7 2 d に対して、酸素プラズマによるアッシングを行う。レジストマスク 1 7 2 a ~ 1 7 2 d に対して酸素プラズマによるアッシングを行うことにより、レジストマスク 1 7 2 b 、1 7 2 d は除去され、導電層 1 1 0 b ' 、1 1 0 c ' が露出する。また、レジストマスク 1 7 2 a 、1 7 2 c は縮小し、レジストマスク 1 7 2 a ' 、1 7 2 c ' として残存する（図 9（C）参照）。このように、レジストマスクとして多階調マスクを用いることにより、追加のレジストマスクを用いることがなくなるため、工程を簡略化することができる。

40

【 0 1 9 3 】

次に、レジストマスク 1 7 2 a ' 、1 7 2 c ' を用いて、導電層 1 1 0 a ' の一部、導電層 1 1 0 b ' 及び導電層 1 1 0 c ' をエッチングすることにより、導電層 1 1 0 a を形成する（図 10（A）参照）。この場合、導電層 1 0 8 a 上に形成された導電層 1 1 0 a ' 50

の一部、導電層 108b 上に形成された導電層 110b' 及び導電層 108c 上に形成された導電層 110c' を除去する。

【0194】

その結果、電極 136 は透光性を有する導電層 108a で形成され、配線 126 は透光性を有する導電層 108a と当該導電層 108a より抵抗が低い導電層 110a との積層構造で形成される。また、電極 138 は透光性を有する導電層 108b で形成される。

【0195】

このように、電極 136 として機能する導電層 108a 及び電極 138 として機能する導電層 108b を透光性を有する材料で形成することにより、画素部の開口率を向上させることができる。また、配線 126 として機能する導電層として、電極 136 を構成する導電層（ここでは、導電層 108a）と、当該導電層 108a より抵抗率が低い金属材料を用いた導電層 110a で形成することにより、配線抵抗を低減すると共に、波形なまりを低減することができる。その結果、低消費電力化を図ることができる。また、配線 126 として、透光性を有する導電層（ここでは、導電層 110a）を用いることにより、互いに隣接する画素間の領域を遮光することができる。

10

【0196】

次に、導電層 108a、108b、絶縁層 106 等を覆うように酸化物半導体膜を形成した後、当該酸化物半導体膜をエッチングすることにより、島状の半導体層 112a を形成する（図 10（B）参照）。

【0197】

次に、半導体層 112a、配線 126、電極 136、電極 138、導電層 108c を覆うように絶縁層 114 を形成した後、当該絶縁層 114 上に、導電層 116 を形成する（図 10（C）参照）。導電層 116 は、導電層 108c と電氣的に接続するように形成する。

20

【0198】

以上の工程により、半導体装置を作製することができる。多階調マスクを用いることによって、露光部分、中間露光部分、及び未露光部分の 3 つの露光レベルのマスクを形成することができ、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することができる。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

30

【0199】

なお、本実施の形態では、ゲート配線を形成する工程と、ソース配線を形成する工程の両方の工程で多階調マスクを用いる場合について説明したが、ゲート配線を形成する工程と、ソース配線を形成する工程のどちらか一方に多階調マスクを用いてもよい。

【0200】

（実施の形態 3）

本実施の形態では、上記実施の形態 1 と異なる半導体装置について、図面を参照して説明する。なお、以下に示す半導体装置の構成は、多くの部分で上記図 1、図 2 と共通している。したがって、以下においては、重複する部分は省略し、異なる点について説明する。

【0201】

上記実施の形態 1 で示した半導体装置の他の構成例を、図 11、図 12 に示す。図 11、図 12 において、図 11 は上面図を示し、図 12（A）は図 11 における A - B 間の断面に対応し、図 12（B）は図 11 における C - D 間の断面に対応している。

40

【0202】

図 11、図 12 に示す半導体装置は、図 1、図 2 に示した半導体装置において、ゲート配線 120 として導電層 104a 上に透光性を有する導電層 102a を積層して設け、配線 126 として導電膜 110 上に透光性を有する導電層 108a を積層して設ける場合を示している。つまり、図 1、図 2 で示した構造において、ゲート配線 120 及び配線 126 における導電層の積層構造を逆にした構成となっている。

【0203】

50

図 1 1、図 1 2 に示す構成において、ゲート配線 1 2 0 と電氣的に接続される電極 1 3 2 を透光性を有する導電層 1 0 2 a で形成し、配線 1 2 6 と電氣的に接続される電極 1 3 6 を透光性を有する導電層 1 0 8 a で形成する。

【 0 2 0 4 】

なお、図 1 1、図 1 2 に示す構成の他にも、図 1、図 2 で示した構造において、配線 1 2 2 と配線 1 2 6 のうちいずれか一方における導電層の積層構造を逆にした構成としてもよい。

【 0 2 0 5 】

また、図 1 1、図 1 2 では、電極 1 3 6 及び電極 1 3 8 上に半導体層 1 1 2 a を設ける構造（ボトムコンタクト型）について示したが、これに限られない。例えば、半導体層 1 1 2 a 上に電極 1 3 6 及び電極 1 3 8 を設けた構造（チャネルエッチ型）としてもよい（図 4 7 参照）。なお、図 4 7（A）は上面図であり、図 4 7（B）は図 4 7（A）における A - B 間の断面に対応している。

10

【 0 2 0 6 】

また、図 4 7 に示す構造において、半導体層 1 1 2 a 上にチャネル保護膜として機能する絶縁層 1 2 7 を設けた構造（チャネル保護型）としてもよい（図 4 6（B）参照）。

【 0 2 0 7 】

続いて、上記実施の形態 1 で示した半導体装置の他の構成例を、図 1 3 に示す。図 1 3 において、図 1 3（A）は上面図を示し、図 1 3（B）は図 1 3（A）における A - B 間の断面に対応している。

20

【 0 2 0 8 】

図 1 3 に示す半導体装置は、図 1、図 2 に示した半導体装置において、半導体層 1 1 2 a を配線 1 2 6 となる導電層 1 0 8 a と導電層 1 1 0 a 間に設けた構成となっている。つまり、導電層 1 0 8 a を形成した後、導電層 1 1 0 a を形成する前に半導体層 1 1 2 a を形成する。

【 0 2 0 9 】

図 1 3 に示すように、導電層 1 0 8 a と導電層 1 1 0 a 間に半導体層 1 1 2 a を設けることにより、電極 1 3 6 及び配線 1 2 6 と、半導体層 1 1 2 a との接触面積を増加させ、コンタクト抵抗を低減することができる。

【 0 2 1 0 】

30

続いて、上記実施の形態 1 で示した半導体装置の他の構成例を、図 1 4 に示す。図 1 4 において、図 1 4（A）は上面図を示し、図 1 4（B）は図 1 4（A）における C - D 間の断面に対応している。

【 0 2 1 1 】

図 1 4 に示す半導体装置は、配線 1 2 4 において、保持容量部 1 5 4 の電極となる導電層 1 0 8 c と導電層 1 1 6 とを接続する場合に形成されるコンタクトホール 1 2 5 の下方に位置する領域に、遮光性を有する導電層（ここでは、導電層 1 0 4 b）を設けた構成となっている。つまり、図 1 4 に示す構成は、図 1、図 2 に示す構成において、画素部 1 5 0 が設けられる領域にも、配線 1 2 4 として、透光性を有する導電層 1 0 2 b と当該導電層 1 0 2 b より抵抗が低く且つ遮光性を有する導電層 1 0 4 b の積層構造で設けた構成となっている。

40

【 0 2 1 2 】

通常、コンタクトホール 1 2 5 を介して導電層 1 0 8 c と導電層 1 1 6 を電氣的に接続させた場合には、コンタクトホール 1 2 5 に起因して導電層 1 1 6 の表面に凹部が形成される。その結果、当該導電層 1 1 6 の凹部上に設けられた液晶分子の配向が乱れることによって、光漏れが生じる場合がある。

【 0 2 1 3 】

そこで、図 1 4 に示すように、コンタクトホール 1 2 5 の下方に遮光性を有する膜を選択的に形成することによって、導電層 1 1 6 の表面の凹部による光漏れを低減することができる。また、遮光性を有する膜として、導電層 1 0 2 b より抵抗が低い導電層 1 0 4 b を

50

用いることにより配線 1 2 4 の抵抗を低減することができる。さらに、図 1 4 に示すように、コンタクトホール 1 2 5 を形成する位置を配線 1 2 4 の一方の端部に集約して設け、導電層 1 0 4 b も配線 1 2 4 の一方の端部側に設けることにより、画素部 1 5 0 の開口率を向上することができる。

【 0 2 1 4 】

なお、導電層 1 0 4 b の形状は、コンタクトホール 1 2 5 の下方に配置されるのであれば図 1 4 (A) に示した形状に限られない。光漏れを低減すると共に、配線 1 2 4 の配線抵抗を低減させたい場合には、図 1 4 に示すように配線 1 2 4 と平行な方向において、導電層 1 0 4 b を延伸して設ければよい。この場合、上述したように、コンタクトホール 1 2 5 を配線 1 2 4 の一方の端部側に集約して設け、導電層 1 0 4 b も配線 1 2 4 の一方の端部側に設けることによって、画素部 1 5 0 の開口率を向上することができる。

10

【 0 2 1 5 】

また、光漏れを低減すると共に、画素部 1 5 0 の開口率をより向上させたい場合には、配線 1 2 4 と平行な方向において、導電層 1 0 4 b を電氣的に接続するのではなく、コンタクトホール 1 2 5 と重畳する領域に島状の導電層 1 0 4 b をそれぞれ設ければよい (図 1 5 (A) 、 (B) 参照) 。なお、図 1 5 において、図 1 5 (A) は上面図を示し、図 1 5 (B) は図 1 5 (A) における C - D 間の断面に対応している。

【 0 2 1 6 】

また、図 1 5 に示すように、配線 1 2 4 において形成されるコンタクトホール 1 2 5 の下方に遮光膜を設けると共に、配線 1 2 4 以外の領域 (導電層 1 0 8 b と導電層 1 1 6 の接続する領域) に形成されるコンタクトホールの下方に遮光膜を設けてもよい。

20

【 0 2 1 7 】

続いて、上記実施の形態 1 で示した半導体装置の他の構成例を、図 1 6 に示す。図 1 6 において、図 1 6 (A) は上面図を示し、図 1 6 (B) は図 1 6 (A) における A - B 間の断面に対応している。

【 0 2 1 8 】

図 1 6 に示す半導体装置は、半導体層 1 1 2 a の一部に導電率が高い領域 (n + 領域 1 1 3 a 、 1 1 3 b) を設けると共に、電極 1 3 6 及び電極 1 3 8 と、電極 1 3 2 とを重畳させないように設けた構成を示している。n + 領域 1 1 3 a 、 1 1 3 b は、半導体層 1 1 2 a において、電極 1 3 6 と接続する領域及び電極 1 3 8 と接続する領域に設けることができる。なお、n + 領域 1 1 3 a 、 1 1 3 b は、電極 1 3 2 と重畳させるように設けてもよいし、重畳させないように設けてもよい。

30

【 0 2 1 9 】

n + 領域 1 1 3 a 、 1 1 3 b は、半導体層 1 1 2 a に水素を選択的に添加することにより形成することができる。水素は、半導体層 1 1 2 a において、導電率を高くしたい部分に添加すればよい。

【 0 2 2 0 】

例えば、I n 、M、またはZ n を含む酸化物半導体等を用いて半導体層 1 1 2 a を形成した後、半導体層 1 1 2 a 上の一部にレジストマスク 1 6 8 を形成し (図 3 6 (A) 参照) 、水素イオンを添加することにより、半導体層 1 1 2 a に n + 領域 1 1 3 a 、 1 1 3 b を形成することができる (図 3 6 (B) 参照) 。

40

【 0 2 2 1 】

このように、電極 1 3 6 及び電極 1 3 8 と、電極 1 3 2 とが重畳しないように設けることによって、電極 1 3 6 及び電極 1 3 8 と電極 1 3 2 との間に生じる寄生容量を抑制することができる。

【 0 2 2 2 】

なお、上述した構成においては、トランジスタ 1 5 2 の構造としてソースとドレインの間に形成されるチャネル形成領域の上面形状が平行型である場合を示したが、これに限られない。他にも、図 1 7 に示すように、チャネル形成領域の上面図が C 字 (U 字) 状のトランジスタとしてもよい。この場合、電極 1 3 6 として機能する導電層 1 0 8 a を C 字又は

50

U字になるように形成し、電極 1 3 8 として機能する導電層 1 0 8 b を囲むように導電層 1 0 8 a を配置することができる。このような構成とすることにより、トランジスタ 1 5 2 のチャネル幅を大きくすることができる。

【 0 2 2 3 】

また、上述した構成においては、配線 1 2 2 と電氣的に接続された電極 1 3 2 上に半導体層 1 1 2 a を設ける場合を示したが、これに限られない。他にも、図 2 1 に示すように、配線 1 2 2 上に半導体層 1 1 2 a を設けた構成としてもよい。この場合、配線 1 2 2 はゲート電極としても機能する。また、配線 1 2 2 は、抵抗が低い導電層 1 0 4 a で設けることができる。もちろん、配線 1 2 2 を透光性を有する導電層 1 0 2 a と導電層 1 0 4 a の積層構造で設けてもよい。また、導電層 1 0 4 a として遮光性を有する導電層とすることにより、チャネル形成領域となる半導体層 1 1 2 a に光が照射されることを抑制することができる。この構成は、チャネルを形成する半導体層として光により特性に影響が出る材料を用いる場合に有効となる。

10

【 0 2 2 4 】

また、図 3 7 に示すように、配線 1 2 2 を導電層 1 0 4 a でのみ形成してもよい。また、配線 1 2 6 を導電層 1 1 0 a でのみ形成してもよい。また、配線 1 2 4 を導電層 1 0 4 b でのみ形成してもよい。

【 0 2 2 5 】

また、図 3 8 に示すように、配線 1 2 2 において、導電層 1 0 8 a を一部（トランジスタ 1 5 2 の電極 1 3 2 として用いる部分）に選択的に設けた構成としてもよい。また、同様に、配線 1 2 6 において、導電層 1 1 0 a を一部（トランジスタ 1 5 2 の電極 1 3 6 として用いる部分）に選択的に設けた構成としてもよい。

20

【 0 2 2 6 】

なお、図 3 8 では、導電層 1 0 2 a を導電層 1 0 4 a の下方に設ける場合を示したが、導電層 1 0 2 a を導電層 1 0 4 a 上に設けた構成としてもよい（図 3 9 参照）。また、同様に、導電層 1 0 8 a を導電層 1 1 0 a 上に設けた構成としてもよい（図 3 9 参照）。

【 0 2 2 7 】

また、上述した構成では、配線 1 2 4 を用いて保持容量部 1 5 4 を設けた場合を示したが、これに限られない。図 4 0 に示すように、配線 1 2 4 を設けず、導電層 1 0 8 c と、隣接する画素の配線 1 2 2 を構成する導電層 1 0 2 a を保持容量部 1 5 4 の電極として用いた構成としてもよい。

30

【 0 2 2 8 】

なお、上記図 1 3 ~ 図 1 7、図 3 7 ~ 図 4 0 では、電極 1 3 6 及び電極 1 3 8 上に半導体層 1 1 2 a を設ける構造（ボトムコンタクト型）について示したが、これに限られない。上記図 4 5 ~ 図 4 7 に示したように、半導体層 1 1 2 a 上に電極 1 3 6 及び電極 1 3 8 を設けた構造（チャネルエッチ型）としてもよいし、半導体層 1 1 2 a 上にチャネル保護膜として機能する絶縁層 1 2 7 を設けた構造（チャネル保護型）としてもよい。

【 0 2 2 9 】

（実施の形態 4）

本実施の形態では、上記実施の形態 1、2 と異なる半導体装置について、図面を参照して説明する。具体的には、一つの画素部に複数のトランジスタを設ける場合に関して説明する。なお、以下に示す半導体装置の構成は、多くの部分で上記図 1、図 2 と共通している。したがって、以下においては、重複する部分は省略し、異なる点について説明する。

40

【 0 2 3 0 】

本実施の形態で示す半導体装置の一構成例を、図 1 8、1 9 に示す。図 1 8、図 1 9 において、図 1 8 は上面図を示し、図 1 9（A）は図 1 8 における A - B 間の断面に対応し、図 1 9（B）は図 1 8 における C - D 間の断面に対応している。

【 0 2 3 1 】

図 1 8、図 1 9 に示す半導体装置は、スイッチング用のトランジスタ 1 5 2、駆動用のトランジスタ 1 5 6 及び保持容量部 1 5 8 が設けられた画素部 1 5 0 と、配線 1 2 2 と、配

50

線 1 2 6 と、配線 1 2 8 とを有している。図 1 8、図 1 9 に示す構成は、例えば、E L 表示装置の画素部に適用することができる。

【 0 2 3 2 】

トランジスタ 1 5 6 は、基板 1 0 0 上に設けられた電極 2 3 2 と、電極 2 3 2 上に設けられた絶縁層 1 0 6 と、絶縁層 1 0 6 上に設けられた電極 2 3 6 及び電極 2 3 8 と、絶縁層 1 0 6 上に電極 2 3 2 と重なるように設けられ且つ電極 2 3 6 及び電極 2 3 8 上に設けられた半導体層 1 1 2 b を有している。

【 0 2 3 3 】

なお、電極 2 3 2 は、ゲート電極として機能させることができる。電極 2 3 6 又は電極 2 3 8 は、ソース電極又はドレイン電極として機能させることができる。半導体層 1 1 2 b は、酸化物半導体で設けることができる。配線 1 2 8 は、電源供給線として機能させることができる。但し、これらに限定されない。

10

【 0 2 3 4 】

電極 2 3 2 は、透光性を有する導電層 1 0 2 c で設けられており、且つトランジスタ 1 5 2 の電極 1 3 8 (導電層 1 0 8 b) と電氣的に接続されている。導電層 1 0 8 b と導電層 1 0 2 c の電氣的な接続は、導電層 1 1 7 を介して行うことができる。

【 0 2 3 5 】

また、導電層 1 1 7 は、導電層 1 1 6 と同一工程で形成することができる。つまり、絶縁層 1 1 4 を形成した後、導電層 1 0 8 b に達するコンタクトホール 1 1 8 a と、導電層 1 0 2 c に達するコンタクトホール 1 1 8 b を形成した後、絶縁層 1 1 4 上に導電層 1 1 6 及び導電層 1 1 7 を形成する。コンタクトホール 1 1 8 a とコンタクトホール 1 1 8 b は同一工程 (同じエッチングプロセス) で形成することができる。

20

【 0 2 3 6 】

導電層 1 0 2 c は、導電層 1 0 2 a と同一プロセスで形成することができる。

【 0 2 3 7 】

半導体層 1 1 2 b は、半導体層 1 1 2 a と同一プロセスで形成することができる。

【 0 2 3 8 】

電極 2 3 6 は、透光性を有する導電層 1 0 8 d で設けられており、且つ配線 1 2 8 と電氣的に接続されている。配線 1 2 8 は、導電層 1 0 8 d と導電層 1 1 0 b との積層構造で設けられている。また、電極 2 3 6 を構成する導電層 1 0 8 d と、配線 1 2 8 を構成する導電層 1 0 8 d は、同じ島 (アイランド) で形成されている。

30

【 0 2 3 9 】

なお、図 1 8、図 1 9 では、配線 1 2 8 として、導電層 1 0 8 d 上に導電層 1 1 0 b を積層させる場合を示しているが、導電層 1 1 0 b 上に導電層 1 0 8 d を積層してもよい。

【 0 2 4 0 】

また、電極 2 3 8 は、透光性を有する導電層 1 0 8 e で設けられており、導電層 1 1 6 と電氣的に接続している。

【 0 2 4 1 】

導電層 1 0 8 d、導電層 1 0 8 e は、導電層 1 0 8 a 及び導電層 1 0 8 b と同一の工程で形成することができる。また、導電層 1 1 0 b は、導電層 1 1 0 a と同一の工程で形成することができる。

40

【 0 2 4 2 】

保持容量部 1 5 8 は、絶縁層 1 0 6 を誘電体とし、透光性を有する導電層 1 0 2 c と透光性を有する導電層 1 0 8 d を電極として構成されている。また、導電層 1 0 2 c は、トランジスタ 1 5 2 の電極 1 3 8 に電氣的に接続されている。

【 0 2 4 3 】

以上のように、トランジスタ 1 5 2、トランジスタ 1 5 6 及び保持容量部 1 5 8 を、透光性を有する材料で形成することにより、トランジスタ 1 5 2、1 5 6 が形成された領域及び保持容量部 1 5 8 が形成された領域において光を透過させることができるため、画素部 1 5 0 の開口率を向上させることができる。また、配線 1 2 2、配線 1 2 6、配線 1 2 8

50

の一部を、抵抗率が低い金属材料からなる導電層で設けることにより、配線抵抗を低減し、消費電力を低減することができる。

【0244】

また、ゲート配線を構成する導電層104a、ソース配線を構成する導電層110a及び配線128を構成する導電層110bを、遮光性を有する金属材料を用いて形成することにより、配線抵抗を低減すると共に隣接する画素部同士の間を遮光することができる。つまり、行方向に配置されたゲート配線と、列方向に配置されたソース配線及び配線128とによって、ブラックマトリクスを用いることなく画素間の隙間を遮光することができる。

【0245】

なお、図18、図19では、導電層108bと導電層102cの電気的な接続を導電層117を介して行う場合を示したがこれに限られない。例えば、図20に示すように、絶縁層106に形成されたコンタクトホール119を介して導電層102cと導電層108bを電気的に接続してもよい。この場合、絶縁層106にコンタクトホール119を形成した後、導電層108bを形成すればよい。図20に示す構造では、導電層108bと導電層102cの接続領域の上方にも導電層116を配置することができる。

【0246】

また、本実施の形態では、画素部150に2つのトランジスタを設ける場合を示したが、これに限られない。3つ以上のトランジスタを並列又は直列にして配置することもできる。

【0247】

本実施の形態では、トランジスタの構造をボトムコンタクト型とする場合について示したが、これに限られない。トランジスタの構造をチャネルエッチ型としてもよいし、チャネル保護型としてもよい。

【0248】

(実施の形態5)

本実施の形態では、半導体装置の一形態である表示装置において、同一基板上に薄膜トランジスタを用いて少なくとも駆動回路の一部と画素部を設ける場合について以下に説明する。

【0249】

表示装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図22(A)に示す。図22(A)に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択する走査線駆動回路5302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5303とを有する。

【0250】

図22(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

【0251】

図22(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0252】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光

10

20

30

40

50

または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が発光する期間の合計の長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0253】

なお、図22(B)に示す発光表示装置では、一つの画素に2つのスイッチング用TFTを配置する場合であって、一方のスイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1走査線駆動回路5402で生成し、他方のスイッチング用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成する例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、1つの画素が有するスイッチング用TFTの数によって、スイッチング素子の動作を制御するために用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

10

【0254】

液晶表示装置の画素部に配置する薄膜トランジスタは、実施の形態1~4に従って形成することができる。また、実施の形態1~4に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0255】

また、発光表示装置においても、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態1~4に示すnチャネル型TFTのみで作製することも可能である。

20

【0256】

なお、保護回路やゲートドライバやソースドライバなどの周辺駆動回路部分では、トランジスタにおいて、光を透過させる必要がない。よって、画素部分はトランジスタや容量素子において光を透過させて、周辺駆動回路部分では、トランジスタにおいて光を透過させなくてもよい。

【0257】

図23(A)は、多階調マスクを用いずに薄膜トランジスタを形成した場合の駆動部及び画素部の薄膜トランジスタを示し、図23(B)は、多階調マスクを用いて形成した場合の駆動部及び画素部の薄膜トランジスタを示している。

30

【0258】

多階調マスクを用いずに薄膜トランジスタを形成する場合は、駆動部のトランジスタにおいて、ゲート電極として導電層102aより導電率が高い導電層104aで設け、ソース電極及びドレイン電極として、導電層108aより導電率が高い導電層110aで設けることができる。また、駆動部においては、ゲート配線を導電層104aで設け、ソース配線を導電層110aで設けることができる。

【0259】

多階調マスクを用いて薄膜トランジスタを形成する場合は、駆動部のトランジスタにおいて、ゲート電極として導電層102aと導電層104aの積層構造で設け、ソース電極として導電層108aと導電層110aの積層構造で設け、ドレイン電極として導電層108bと導電層110aの積層構造で設けることができる。

40

【0260】

なお、図23において、画素部のトランジスタは、上記実施の形態で示した構成とすることができる。

【0261】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。

50

電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさを実現し、他の表示装置に比べ消費電力を抑え、且つ、薄型、軽量とすることが可能である。

【0262】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0263】

（実施の形態6）

本実施の形態では、薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製する場合について説明する。また、薄膜トランジスタを、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0264】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electro Luminescence）素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0265】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに表示装置は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0266】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0267】

本実施の形態では、半導体装置として液晶表示装置の例を示す。まず、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図24を用いて説明する。図24は、第1の基板4001上に形成されたIn-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図24（B）は、図24（A1）（A2）のM-Nにおける断面図に相当する。

【0268】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0269】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図24(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図24(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0270】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図24(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

10

【0271】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0272】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

20

【0273】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0274】

また、4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

30

【0275】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu s \sim 100\mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

40

【0276】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0277】

また、本実施の形態で示す液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側

50

に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0278】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

10

【0279】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0280】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

20

【0281】

また、保護膜を形成した後に、半導体層のアニール（300～400）を行ってもよい。

【0282】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

30

【0283】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0284】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

40

【0285】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、

50

インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0286】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \cdot \text{cm}$ 以下であることが好ましい。

【0287】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

10

【0288】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0289】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

20

【0290】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0291】

また図24においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0292】

図25は、半導体装置の一形態に相当する液晶表示モジュールにTFT基板2600を用いて構成する一例を示している。

30

【0293】

図25は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む素子層2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

40

【0294】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid

50

C r y s t a l) などを用いることができる。

【 0 2 9 5 】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

【 0 2 9 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 9 7 】

(実施の形態 7)

本実施の形態では、半導体装置の一例として電子ペーパーを示す。

10

【 0 2 9 8 】

図 2 6 は、半導体装置の一例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 5 8 1 としては、上記実施の形態 1 ~ 3 で示す薄膜トランジスタと同様に作製できる。

【 0 2 9 9 】

図 2 6 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせることによって、球形粒子の向きを制御し、表示を行う方法である。

【 0 3 0 0 】

20

基板 5 8 0 上に設けられた薄膜トランジスタ 5 8 1 はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層が第 1 の電極層 5 8 7 と、絶縁層 5 8 3、5 8 4、5 8 5 に形成されたコンタクトホールを介して電氣的に接続している。第 1 の電極層 5 8 7 と第 2 の電極層 5 8 8 との間には、黒色領域 5 9 0 a 及び白色領域 5 9 0 b を有し、周りに液体で満たされているキャビティ 5 9 4 を含む球形粒子 5 8 9 が設けられており、球形粒子 5 8 9 の周囲は樹脂等の充填材 5 9 5 が設けられている (図 2 6 参照) 。図 2 6 においては、第 1 の電極層 5 8 7 が画素電極に相当し、第 2 の電極層 5 8 8 が共通電極に相当する。第 2 の電極層 5 8 8 は、薄膜トランジスタ 5 8 1 と同一基板上に設けられる共通電位線と電氣的に接続される。上記実施の形態に示す共通接続部を用いて、一対の基板間に配置される導電性粒子を介して、基板 5 9 6 に設けられた第 2 の電極層 5 8 8 と共通電位線とを電氣的に接続することができる。

30

【 0 3 0 1 】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。その場合、透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 1 0 μm ~ 2 0 0 μm 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置 (単に表示装置、又は表示装置を具備する半導体装置ともいう) を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

40

【 0 3 0 2 】

以上のように、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【 0 3 0 3 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 3 0 4 】

50

(実施の形態 8)

本実施の形態では、半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【0305】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

10

【0306】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

20

【0307】

図 27 は、半導体装置の一例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0308】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層（In - Ga - Zn - O 系非単結晶膜）をチャネル形成領域に用いる n チャンネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

【0309】

図 27 (A) に示す画素 6400 は、スイッチング用トランジスタ 6401、駆動用トランジスタ 6402、発光素子 6404 及び容量素子 6403 を有している。スイッチング用トランジスタ 6401 はゲートが走査線 6406 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 6405 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 6402 のゲートに接続されている。駆動用トランジスタ 6402 は、ゲートが容量素子 6403 を介して電源線 6407 に接続され、第 1 電極が電源線 6407 に接続され、第 2 電極が発光素子 6404 の第 1 電極（画素電極）に接続されている。発光素子 6404 の第 2 電極は共通電極 6408 に相当する。

30

【0310】

なお、発光素子 6404 の第 2 電極（共通電極 6408）には低電源電位が設定されている。なお、低電源電位とは、電源線 6407 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6404 に印加して、発光素子 6404 に電流を流して発光素子 6404 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6404 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

40

【0311】

但し、これに限られず、第 2 の電極に高電源電位を設定し、電源線 6407 に低電源電位を設定してもよい。

【0312】

なお、容量素子 6403 は駆動用トランジスタ 6402 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6402 のゲート容量については、チャネル領域

50

とゲート電極との間で容量が形成されていてもよい。

【0313】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+駆動用トランジスタ6402の V_{th})以上の電圧をかける。

【0314】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図27と同じ画素構成を用いることができる。

10

【0315】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

20

【0316】

なお、本実施の形態で示す画素構成は、これに限定されない。図27(A)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。例えば、図27(B)に示す構成としてもよい。図27(B)に示す画素6420は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6423を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線6405に接続され、第2電極(ソース電極及びドレイン電極の他方)が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6423を介して発光素子6404の第1の電極(画素電極)に接続され、第1電極がパルス電圧を印加する配線6426に接続され、第2電極が発光素子6404の第1電極に接続されている。発光素子6404の第2電極は共通電極6408に相当する。もちろん、この構成に対して、新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

30

【0317】

次に、発光素子の構成について、図28を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図28(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、上記実施の形態で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。

40

【0318】

発光素子は発光を取り出すために陽極又は陰極の少なくとも一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0319】

上面射出構造の発光素子について図28(A)を用いて説明する。

【0320】

図28(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発

50

せられる光が陽極 7005 側に抜ける場合の、画素の断面図を示す。図 28 (A) では、発光素子 7002 の陰極 7003 と駆動用 TFT である TFT 7001 が電氣的に接続されており、陰極 7003 上に発光層 7004、陽極 7005 が順に積層されている。陰極 7003 は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして発光層 7004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7005 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

10

【0321】

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 28 (A) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

【0322】

また、上記構成において、発光層 7004 の膜厚を調整することによりマイクロキャビティ構造としてもよい。マイクロキャビティ構造を採用することにより色純度を向上することができる。また、複数の発光層 7004 がそれぞれ異なる色（例えば、RGB）を発光する場合には、色毎に発光層 7004 の膜厚を調整してマイクロキャビティ構造とすることが好ましい。

20

【0323】

また、上記構成において、陽極 7005 上に酸化シリコン、窒化シリコン等の絶縁膜を設けてもよい。これにより、発光層の劣化を抑制することができる。

【0324】

次に、下面射出構造の発光素子について図 28 (B) を用いて説明する。駆動用 TFT 7011 が n 型で、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 28 (B) では、駆動用 TFT 7011 と電氣的に接続された透光性を有する導電膜 7017 上に、発光素子 7012 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 28 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7013 として用いることができる。そして発光層 7014 は、図 28 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 28 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

30

40

【0325】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 28 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0326】

次に、両面射出構造の発光素子について、図 28 (C) を用いて説明する。図 28 (C) では、駆動用 TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、

50

陽極 7025 が順に積層されている。陰極 7023 は、図 28 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 28 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 28 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0327】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 28 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

10

【0328】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

【0329】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0330】

なお本実施の形態で示す半導体装置は、図 28 に示した構成に限定されるものではなく、各種の変形が可能である。

20

【0331】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 29 を用いて説明する。図 29 (A) は、第 1 の基板 4051 上に形成された In - Ga - Zn - O 系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタ 4509、4510 及び発光素子 4511 を、第 2 の基板 4506 との間にシール材 4505 によって封止した、パネルの上面図であり、図 29 (B) は、図 29 (A) の H - I における断面図に相当する。

【0332】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

30

【0333】

また第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b は、薄膜トランジスタを複数有しており、図 29 (B) では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503 a に含まれる薄膜トランジスタ 4509 とを例示している。

40

【0334】

薄膜トランジスタ 4509、4510 は、上記実施の形態で示した構成とすることができる。ここでは、薄膜トランジスタ 4509、4510 は、In - Ga - Zn - O 系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

【0335】

50

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0336】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

10

【0337】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0338】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

【0339】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

20

【0340】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509や4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0341】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0342】

発光素子4511からの光の取り出し方向に位置する基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

30

【0343】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

【0344】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

40

【0345】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図29の構成に限定されない。

【0346】

50

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【 0 3 4 7 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 3 4 8 】

（実施の形態 9）

半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 3 0、図 3 1 に示す。

10

【 0 3 4 9 】

図 3 0（A）は、電子ペーパーで作られたポスター 2 6 3 1 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【 0 3 5 0 】

また、図 3 0（B）は、電車などの乗り物の車内広告 2 6 3 2 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

20

【 0 3 5 1 】

また、図 3 1 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【 0 3 5 2 】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 3 1 では表示部 2 7 0 5）に文章を表示し、左側の表示部（図 3 1 では表示部 2 7 0 7）に画像を表示することができる。

30

【 0 3 5 3 】

また、図 3 1 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5などを備えている。操作キー 2 7 2 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

40

【 0 3 5 4 】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 3 5 5 】

（実施の形態 1 0）

50

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。なお、本実施の形態における液晶素子の動作モードとして、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (Anti Ferroelectric Liquid Crystal) などを用いることができる。

10

【0356】

図41(A)は、液晶表示装置に適用できる画素構成の一例を示す図である。画素5080は、トランジスタ5081、液晶素子5082及び容量素子5083を有している。トランジスタ5081のゲートは配線5085と電氣的に接続される。トランジスタ5081の第1端子は配線5084と電氣的に接続される。トランジスタ5081の第2端子は液晶素子5082の第1端子と電氣的に接続される。液晶素子5082の第2端子は配線5087と電氣的に接続される。容量素子5083の第1端子は液晶素子5082の第1端子と電氣的に接続される。容量素子5083の第2端子は配線5086と電氣的に接続される。なお、トランジスタの第1端子とは、ソースまたはドレインのいずれか一方であり、トランジスタの第2端子とは、ソースまたはドレインの他方のことである。つまり、トランジスタの第1端子がソースである場合は、トランジスタの第2端子はドレインとなる。同様に、トランジスタの第1端子がドレインである場合は、トランジスタの第2端子はソースとなる。

20

【0357】

配線5084は信号線として機能させることができる。信号線は、画素の外部から入力された信号電圧を画素5080に伝達するための配線である。配線5085は走査線として機能させることができる。走査線は、トランジスタ5081のオンオフを制御するための配線である。配線5086は容量線として機能させることができる。容量線は、容量素子5083の第2端子に所定の電圧を加えるための配線である。トランジスタ5081は、スイッチとして機能させることができる。容量素子5083は、保持容量として機能させることができる。保持容量は、スイッチがオフの状態においても、信号電圧が液晶素子5082に加わり続けるようにするための容量素子である。配線5087は、対向電極として機能させることができる。対向電極は、液晶素子5082の第2端子に所定の電圧を加えるための配線である。なお、それぞれの配線が持つことのできる機能はこれに限定されず、様々な機能を有することが出来る。例えば、容量線に加える電圧を変化させることで、液晶素子に加えられる電圧を調整することもできる。なお、トランジスタ5081はスイッチとして機能すればよいので、トランジスタ5081の極性はPチャネル型でもよいし、Nチャネル型でもよい。

30

【0358】

図41(B)は、液晶表示装置に適用できる画素構成の一例を示す図である。図41(B)に示す画素構成例は、図41(A)に示す画素構成例と比較して、配線5087が省略され、かつ、液晶素子5082の第2端子と容量素子5083の第2端子とが電氣的に接続されている点が異なっている以外は、図41(A)に示す画素構成例と同様な構成であるとしている。図41(B)に示す画素構成例は、特に、液晶素子が横電界モード(IPSモード、FFSモードを含む)である場合に適用できる。なぜならば、液晶素子が横電界モードである場合、液晶素子5082の第2端子および容量素子5083の第2端子を同一な基板上に形成させることができるため、液晶素子5082の第2端子と容量素子5083の第2端子とを電氣的に接続させることが容易であるからである。図41(B)に示すような画素構成とすることで、配線5087を省略できるので、製造工程を簡略なも

40

50

のとすることができ、製造コストを低減できる。

【0359】

図41(A)または図41(B)に示す画素構成は、マトリクス状に複数配置されることができる。こうすることで、液晶表示装置の表示部が形成され、様々な画像を表示することができる。図41(C)は、図41(A)に示す画素構成がマトリクス状に複数配置されている場合の回路構成を示す図である。図41(C)に示す回路構成は、表示部が有する複数の画素のうち、4つの画素を抜き出して示した図である。そして、 i 列 j 行(i , j は自然数)に位置する画素を、画素5080__ i , j と表記し、画素5080__ i , j には、配線5084__ i 、配線5085__ j 、配線5086__ j が、それぞれ電氣的に接続される。同様に、画素5080__ $i+1$, j については、配線5084__ $i+1$ 、配線5085__ j 、配線5086__ j と電氣的に接続される。同様に、画素5080__ i , $j+1$ については、配線5084__ i 、配線5085__ $j+1$ 、配線5086__ $j+1$ と電氣的に接続される。同様に、画素5080__ $i+1$, $j+1$ については、配線5084__ $i+1$ 、配線5085__ $j+1$ 、配線5086__ $j+1$ と電氣的に接続される。なお、各配線は、同じ列または行に属する複数の画素によって共有されることができる。なお、図41(C)に示す画素構成において配線5087は対向電極であり、対向電極は全ての画素において共通であることから、配線5087については自然数 i または j による表記は行なわないこととする。なお、図41(B)に示す画素構成を用いることも可能であるため、配線5087が記載されている構成であっても配線5087は必須ではなく、他の配線と共有されること等によって省略されることができる。

【0360】

図41(C)に示す画素構成は、様々な方法によって駆動されることができる。特に、交流駆動と呼ばれる方法によって駆動されることによって、液晶素子の劣化(焼き付き)を抑制することができる。図41(D)は、交流駆動の1つである、ドット反転駆動が行なわれる場合の、図41(C)に示す画素構成における各配線に加えられる電圧のタイミングチャートを表す図である。ドット反転駆動が行なわれることによって、交流駆動が行なわれる場合に視認されるフリッカ(ちらつき)を抑制することができる。

【0361】

図41(C)に示す画素構成において、配線5085__ j と電氣的に接続されている画素におけるスイッチは、1フレーム期間中の第 j ゲート選択期間において選択状態(オン状態)となり、それ以外の期間では非選択状態(オフ状態)となる。そして、第 j ゲート選択期間の後に、第 $j+1$ ゲート選択期間が設けられる。このように順次走査が行なわれることで、1フレーム期間内に全ての画素が順番に選択状態となる。図41(D)に示すタイミングチャートでは、電圧が高い状態(ハイレベル)となることで、当該画素におけるスイッチが選択状態となり、電圧が低い状態(ローレベル)となることで非選択状態となる。なお、これは各画素におけるトランジスタがNチャネル型の場合であり、Pチャネル型のトランジスタが用いられる場合、電圧と選択状態の関係は、Nチャネル型の場合とは逆となる。

【0362】

図41(D)に示すタイミングチャートでは、第 k フレーム(k は自然数)における第 j ゲート選択期間において、信号線として用いる配線5084__ i に正の信号電圧が加えられ、配線5084__ $i+1$ に負の信号電圧が加えられる。そして、第 k フレームにおける第 $j+1$ ゲート選択期間において、配線5084__ i に負の信号電圧が加えられ、配線5084__ $i+1$ に正の信号電圧が加えられる。その後も、それぞれの信号線は、ゲート選択期間ごとに極性が反転した信号が交互に加えられる。その結果、第 k フレームにおいては、画素5080__ i , j には正の信号電圧、画素5080__ $i+1$, j には負の信号電圧、画素5080__ i , $j+1$ には負の信号電圧、画素5080__ $i+1$, $j+1$ には正の信号電圧が、それぞれ加えられることとなる。そして、第 $k+1$ フレームにおいては、それぞれの画素において、第 k フレームにおいて書き込まれた信号電圧とは逆の極性の信号電圧が書き込まれる。その結果、第 $k+1$ フレームにおいては、画素5080__ i , j

には負の信号電圧、画素 5 0 8 0 __ i + 1 , j には正の信号電圧、画素 5 0 8 0 __ i , j + 1 には正の信号電圧、画素 5 0 8 0 __ i + 1 , j + 1 には負の信号電圧が、それぞれ加えられることとなる。このように、同じフレームにおいては隣接する画素同士で異なる極性の信号電圧が加えられ、さらに、それぞれの画素においては 1 フレームごとに信号電圧の極性が反転される駆動方法が、ドット反転駆動である。ドット反転駆動によって、液晶素子の劣化を抑制しつつ、表示される画像全体または一部が均一である場合に視認されるフリッカを低減することができる。なお、配線 5 0 8 6 __ j 、配線 5 0 8 6 __ j + 1 を含む全ての配線 5 0 8 6 に加えられる電圧は、一定の電圧とされることができる。なお、配線 5 0 8 4 のタイミングチャートにおける信号電圧の表記は極性のみとなっているが、実際は、表示された極性において様々な信号電圧の値をとり得る。なお、ここでは 1 ドット (1 画素) 毎に極性を反転させる場合について述べたが、これに限定されず、複数の画素毎に極性を反転させることもできる。例えば、 2 ゲート選択期間毎に書き込む信号電圧の極性を反転させることで、信号電圧の書き込みにかかる消費電力を低減させることができる。他にも、 1 列毎に極性を反転させること (ソースライン反転) もできるし、 1 行ごとに極性を反転させること (ゲートライン反転) もできる。

10

【 0 3 6 3 】

なお、画素 5 0 8 0 における容量素子 5 0 8 3 の第 2 端子には、 1 フレーム期間において一定の電圧が加えられていれば良い。ここで、走査線として用いる配線 5 0 8 5 に加えられる電圧は 1 フレーム期間の大半においてローレベルであり、ほぼ一定の電圧が加えられていることから、画素 5 0 8 0 における容量素子 5 0 8 3 の第 2 端子の接続先は、配線 5 0 8 5 でも良い。図 4 1 (E) は、液晶表示装置に適用できる画素構成の一例を示す図である。図 4 1 (E) に示す画素構成は、図 4 1 (C) に示す画素構成と比較すると、配線 5 0 8 6 が省略され、かつ、画素 5 0 8 0 内の容量素子 5 0 8 3 の第 2 端子と、一つ前の行における配線 5 0 8 5 とが電氣的に接続されていることを特徴としている。具体的には、図 4 1 (E) に表記されている範囲においては、画素 5 0 8 0 __ i , j + 1 および画素 5 0 8 0 __ i + 1 , j + 1 における容量素子 5 0 8 3 の第 2 端子は、配線 5 0 8 5 __ j と電氣的に接続される。このように、画素 5 0 8 0 内の容量素子 5 0 8 3 の第 2 端子と、一つ前の行における配線 5 0 8 5 とを電氣的に接続させることで、配線 5 0 8 6 を省略することができるので、画素の開口率を向上できる。なお、容量素子 5 0 8 3 の第 2 端子の接続先は、一つ前の行における配線 5 0 8 5 ではなく、他の行における配線 5 0 8 5 でも良い。なお、図 4 1 (E) に示す画素構成の駆動方法は、図 4 1 (C) に示す画素構成の駆動方法と同様のものを用いることができる。

20

30

【 0 3 6 4 】

なお、容量素子 5 0 8 3 および容量素子 5 0 8 3 の第 2 端子に電氣的に接続される配線を用いて、信号線として用いる配線 5 0 8 4 に加える電圧を小さくすることができる。このときの画素構成および駆動方法について、図 4 1 (F) および図 4 1 (G) を用いて説明する。図 4 1 (F) に示す画素構成は、図 4 1 (A) に示す画素構成と比較して、配線 5 0 8 6 を 1 画素列あたり 2 本とし、かつ、画素 5 0 8 0 における容量素子 5 0 8 3 の第 2 端子との電氣的な接続を、隣接する画素で交互に行なうことを特徴としている。なお、2 本とした配線 5 0 8 6 は、それぞれ配線 5 0 8 6 - 1 および配線 5 0 8 6 - 2 と呼ぶこととする。具体的には、図 4 1 (F) に表記されている範囲においては、画素 5 0 8 0 __ i , j における容量素子 5 0 8 3 の第 2 端子は、配線 5 0 8 6 - 1 __ j と電氣的に接続され、画素 5 0 8 0 __ i + 1 , j における容量素子 5 0 8 3 の第 2 端子は、配線 5 0 8 6 - 2 __ j と電氣的に接続され、画素 5 0 8 0 __ i , j + 1 における容量素子 5 0 8 3 の第 2 端子は、配線 5 0 8 6 - 2 __ j + 1 と電氣的に接続され、画素 5 0 8 0 __ i + 1 , j + 1 における容量素子 5 0 8 3 の第 2 端子は、配線 5 0 8 6 - 1 __ j + 1 と電氣的に接続される。

40

【 0 3 6 5 】

そして、例えば、図 4 1 (G) に示すように、第 k フレームにおいて画素 5 0 8 0 __ i , j に正の極性の信号電圧が書き込まれる場合、配線 5 0 8 6 - 1 __ j は、第 j ゲート選択

50

期間においてはローレベルとさせ、第 j ゲート選択期間の終了後、ハイレベルに変化させる。そして、1 フレーム期間中はそのままハイレベルを維持し、第 $k + 1$ フレームにおける第 j ゲート選択期間に負の極性の信号電圧が書き込まれた後、ローレベルに変化させる。このように、正の極性の信号電圧が画素に書き込まれた後に、容量素子 5083 の第 2 端子に電氣的に接続される配線の電圧を正の方向に変化させることで、液晶素子に加えられる電圧を正の方向に所定の量だけ変化させることができる。すなわち、その分画素に書き込む信号電圧を小さくすることができるため、信号書き込みにかかる消費電力を低減させることができる。なお、第 j ゲート選択期間に負の極性の信号電圧が書き込まれる場合は、負の極性の信号電圧が画素に書き込まれた後に、容量素子 5083 の第 2 端子に電氣的に接続される配線の電圧を負の方向に変化させることで、液晶素子に加えられる電圧を負の方向に所定の量だけ変化させることができるので、正の極性の場合と同様に、画素に書き込む信号電圧を小さくすることができる。つまり、容量素子 5083 の第 2 端子に電氣的に接続される配線は、同じフレームの同じ行において、正の極性の信号電圧が加えられる画素と、負の極性の信号電圧が加えられる画素とで、それぞれ異なる配線であることが好ましい。図 41 (F) は、第 k フレームにおいて正の極性の信号電圧が書き込まれる画素には配線 5086 - 1 が電氣的に接続され、第 k フレームにおいて負の極性の信号電圧が書き込まれる画素には配線 5086 - 2 が電氣的に接続される例である。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が 2 画素毎に現れるような駆動方法の場合は、配線 5086 - 1 および配線 5086 - 2 の電氣的接続もそれに合わせて、2 画素毎に交互に行なわれることが好ましい。さらに言えば、1 行全ての画素で同じ極性の信号電圧が書き込まれる場合（ゲートライン反転）も考えられるが、その場合は、配線 5086 は 1 行あたり 1 本でよい。つまり、図 41 (C) に示す画素構成においても、図 41 (F) および図 41 (G) を用いて説明したような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。

【0366】

次に、液晶素子が、MVA モードまたは PVA モード等に代表される、垂直配向 (VA) モードである場合に特に好ましい画素構成およびその駆動方法について述べる。VA モードは、製造時にラビング工程が不要、黒表示時の光漏れが少ない、駆動電圧が低い等の優れた特徴を有するが、画面を斜めから見たときに画質が劣化してしまう（視野角が狭い）という問題点も有する。VA モードの視野角を広くするには、図 42 (A) および図 42 (B) に示すように、1 画素に複数の副画素（サブピクセル）を有する画素構成とすることが有効である。図 42 (A) および図 42 (B) に示す画素構成は、画素 5080 が 2 つの副画素（副画素 5080 - 1，副画素 5080 - 2）を含む場合の一例を表すものである。なお、1 つの画素における副画素の数は 2 つに限定されず、様々な数の副画素を用いることができる。副画素の数が大きいほど、より視野角を広くすることができる。複数の副画素は互いに同一の回路構成とすることができ、ここでは、全ての副画素が図 41 (A) に示す回路構成と同様であるとして説明する。なお、第 1 の副画素 5080 - 1 は、トランジスタ 5081 - 1、液晶素子 5082 - 1、容量素子 5083 - 1 を有するものとし、それぞれの接続関係は図 41 (A) に示す回路構成に準じることとする。同様に、第 2 の副画素 5080 - 2 は、トランジスタ 5081 - 2、液晶素子 5082 - 2、容量素子 5083 - 2 を有するものとし、それぞれの接続関係は図 41 (A) に示す回路構成に準じることとする。

【0367】

図 42 (A) に示す画素構成は、1 画素を構成する 2 つの副画素に対し、走査線として用いる配線 5085 を 2 本（配線 5085 - 1，配線 5085 - 2）有し、信号線として用いる配線 5084 を 1 本有し、容量線として用いる配線 5086 を 1 本有する構成を表すものである。このように、信号線および容量線を 2 つの副画素で共用することにより、開口率を向上させることができ、さらに、信号線駆動回路を簡単なものとするできるので製造コストが低減でき、かつ、液晶パネルと駆動回路 IC の接続点数を低減できるの

で、歩留まりを向上できる。図42(B)に示す画素構成は、1画素を構成する2つの副画素に対し、走査線として用いる配線5085を1本有し、信号線として用いる配線5084を2本(配線5084-1, 配線5084-2)有し、容量線として用いる配線5086を1本有する構成を表すものである。このように、走査線および容量線を2つの副画素で共用することにより、開口率を向上させることができ、さらに、全体の走査線本数を低減できるので、高精細な液晶パネルにおいても1つあたりのゲート線選択期間を十分に長くすることができ、それぞれの画素に適切な信号電圧を書き込むことができる。

【0368】

図42(C)および図42(D)は、図42(B)に示す画素構成において、液晶素子を画素電極の形状に置き換えた上で、各素子の電氣的接続状態を模式的に表した例である。図42(C)および図42(D)において、電極5088-1は第1の画素電極を表し、電極5088-2は第2の画素電極を表すものとする。図42(C)において、第1画素電極5088-1は、図42(B)における液晶素子5082-1の第1端子に相当し、第2画素電極5088-2は、図42(B)における液晶素子5082-2の第1端子に相当する。すなわち、第1画素電極5088-1は、トランジスタ5081-1のソースまたはドレインの一方と電氣的に接続され、第2画素電極5088-2は、トランジスタ5081-2のソースまたはドレインの一方と電氣的に接続される。一方、図42(D)においては、画素電極とトランジスタの接続関係を逆にする。すなわち、第1画素電極5088-1は、トランジスタ5081-2のソースまたはドレインの一方と電氣的に接続され、第2画素電極5088-2は、トランジスタ5081-1のソースまたはドレインの一方と電氣的に接続されるものとする。

【0369】

図42(C)および図42(D)で示したような画素構成を、マトリクス状に交互に配置することで、特別な効果を得ることができる。このような画素構成およびその駆動方法の一例を、図48(A)および図48(B)に示す。図48(A)に示す画素構成は、画素5080__i, jおよび画素5080__i+1, j+1に相当する部分を図42(C)に示す構成とし、画素5080__i+1, jおよび画素5080__i, j+1に相当する部分を図42(D)に示す構成としたものである。この構成において、図48(B)に示すタイミングチャートのように駆動すると、第kフレームの第jゲート選択期間において、画素5080__i, jの第1画素電極および画素5080__i+1, jの第2画素電極に正の極性の信号電圧が書き込まれ、画素5080__i, jの第2画素電極および画素5080__i+1, jの第1画素電極に負の極性の信号電圧が書き込まれる。さらに、第kフレームの第j+1ゲート選択期間において、画素5080__i, j+1の第2画素電極および画素5080__i+1, j+1の第1画素電極に正の極性の信号電圧が書き込まれ、画素5080__i, j+1の第1画素電極および画素5080__i+1, j+1の第2画素電極に負の極性の信号電圧が書き込まれる。第k+1フレームにおいては、各画素において信号電圧の極性が反転される。こうすることによって、副画素を含む画素構成においてドット反転駆動に相当する駆動を実現しつつ、信号線に加えられる電圧の極性を1フレーム期間内で同一なものとして行うことができるので、画素の信号電圧書込みにかかる消費電力を大幅に低減することができる。なお、配線5086__j、配線5086__j+1を含む全ての配線5086に加えられる電圧は、一定の電圧とされることができる。

【0370】

さらに、図48(C)および図48(D)に示す画素構成およびその駆動方法によって、画素に書き込まれる信号電圧の大きさを小さくすることができる。これは、それぞれの画素が有する複数の副画素に電氣的に接続される容量線を、副画素毎に異ならせるものである。すなわち、図48(A)および図48(B)に示す画素構成およびその駆動方法によって、同一のフレーム内で同一の極性が書き込まれる副画素については、同一行内で容量線を共通とし、同一のフレーム内で異なる極性が書き込まれる副画素については、同一行内で容量線を異ならせる。そして、各行の書き込みが終了した時点で、それぞれの容量線の電圧を、正の極性の信号電圧が書き込まれた副画素では正の方向、負の極性の信号電圧

が書き込まれた副画素では負の方向に変化させることで、画素に書き込まれる信号電圧の大きさを小さくすることができる。具体的には、容量線として用いる配線 5086 を各行で 2 本（配線 5086 - 1, 配線 5086 - 2）とし、画素 5080_{i, j} の第 1 画素電極と、配線 5086 - 1_j とが、容量素子を介して電氣的に接続され、画素 5080_{i, j} の第 2 画素電極と、配線 5086 - 2_j とが、容量素子を介して電氣的に接続され、画素 5080_{i+1, j} の第 1 画素電極と、配線 5086 - 2_j とが、容量素子を介して電氣的に接続され、画素 5080_{i+1, j} の第 2 画素電極と、配線 5086 - 1_j とが、容量素子を介して電氣的に接続され、画素 5080_{i, j+1} の第 1 画素電極と、配線 5086 - 2_{j+1} とが、容量素子を介して電氣的に接続され、画素 5080_{i, j+1} の第 2 画素電極と、配線 5086 - 1_{j+1} とが、容量素子を介して電氣的に接続され、画素 5080_{i+1, j+1} の第 1 画素電極と、配線 5086 - 1_{j+1} とが、容量素子を介して電氣的に接続され、画素 5080_{i+1, j+1} の第 2 画素電極と、配線 5086 - 2_{j+1} とが、容量素子を介して電氣的に接続される。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が 2 画素毎に現れるような駆動方法の場合は、配線 5086 - 1 および配線 5086 - 2 の電氣的接続もそれに合わせて、2 画素毎に交互に行なわれることが好ましい。さらに言えば、1 行全ての画素で同じ極性の信号電圧が書き込まれる場合（ゲートライン反転）も考えられるが、その場合は、配線 5086 は 1 行あたり 1 本でよい。つまり、図 48（A）に示す画素構成においても、図 48（C）および図 48（D）を用いて説明したような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。

【0371】

（実施の形態 11）

次に、表示装置の別の構成例およびその駆動方法について説明する。本実施の形態においては、信号書込みに対する輝度の応答が遅い（応答時間が長い）表示素子を用いた表示装置の場合について述べる。本実施の形態においては、応答時間が長い表示素子として液晶素子を例として説明するが、本実施の形態における表示素子はこれに限定されず、信号書込みに対する輝度の応答が遅い様々な表示素子を用いることができる。

【0372】

一般的な液晶表示装置の場合、信号書込みに対する輝度の応答が遅く、液晶素子に信号電圧を加え続けた場合でも、応答が完了するまで 1 フレーム期間以上の時間がかかることがある。このような表示素子で動画を表示しても、動画を忠実に再現することはできない。さらに、アクティブマトリクス駆動の場合、一つの液晶素子に対する信号書込みの時間は、通常、信号書込み周期（1 フレーム期間または 1 サブフレーム期間）を走査線数で割った時間（1 走査線選択期間）に過ぎず、液晶素子はこのわずかな時間内に応答しきれないことが多い。したがって、液晶素子の応答の大半は、信号書込みが行われない期間で行われることになる。ここで、液晶素子の誘電率は、当該液晶素子の透過率に従って変化するが、信号書込みが行われない期間において液晶素子が応答するということは、液晶素子の外部と電荷のやり取りが行われない状態（定電荷状態）で液晶素子の誘電率が変化するを意味する。つまり、（電荷）＝（容量）・（電圧）の式において、電荷が一定の状態

【0373】

本実施の形態における表示装置は、表示素子を信号書込み周期内に所望の輝度まで応答させるために、信号書込み時の信号レベルを予め補正されたもの（補正信号）とすることで、上記の問題点を解決することができる。さらに、液晶素子の応答時間は信号レベルが大きいほど短くなるので、補正信号を書き込むことによって、液晶素子の応答時間を短くすることもできる。このような補正信号を加える駆動方法は、オーバードライブとも呼ばれ

る。本実施の形態におけるオーバードライブは、信号書込み周期が、表示装置に入力される画像信号の周期（入力画像信号周期 T_{in} ）よりも短い場合であっても、信号書込み周期に合わせて信号レベルが補正されることで、信号書込み周期内に表示素子を所望の輝度まで応答させることができる。信号書込み周期が、入力画像信号周期 T_{in} よりも短い場合とは、例えば、1つの元画像を複数のサブ画像に分割し、当該複数のサブ画像を1フレーム期間内に順次表示させる場合が挙げられる。

【0374】

次に、アクティブマトリクス駆動の表示装置において信号書込み時の信号レベルを補正する方法の例について、図43(A)および(B)を参照して説明する。図43(A)は、横軸を時間、縦軸を信号書込み時の信号レベルとし、ある1つの表示素子における信号書込み時の信号レベルの輝度の時間変化を模式的に表したグラフである。図43(B)は、横軸を時間、縦軸を表示レベルとし、ある1つの表示素子における表示レベルの時間変化を模式的に表したグラフである。なお、表示素子が液晶素子の場合は、信号書込み時の信号レベルは電圧、表示レベルは液晶素子の透過率とすることができる。これ以降は、図43(A)の縦軸は電圧、図43(B)の縦軸は透過率であるとして説明する。なお、本実施の形態におけるオーバードライブは、信号レベルが電圧以外（デューティ比、電流等）である場合も含む。なお、本実施の形態におけるオーバードライブは、表示レベルが透過率以外（輝度、電流等）である場合も含む。なお、液晶素子には、電圧が0である時に黒表示となるノーマリーブラック型（例：VAモード、IPSモード等）と、電圧が0である時に白表示となるノーマリーホワイト型（例：TNモード、OCBモード等）があるが、図43(B)に示すグラフはどちらにも対応しており、ノーマリーブラック型の場合はグラフの上方へ行くほど透過率が大きいものとし、ノーマリーホワイト型の場合はグラフの下方へ行くほど透過率が大きいものとすればよい。すなわち、本実施の形態における液晶モードは、ノーマリーブラック型でも良いし、ノーマリーホワイト型でも良い。なお、時間軸には信号書込みタイミングが点線で示されており、信号書込みが行われてから次の信号書込みが行われるまでの期間を、保持期間 F_i と呼ぶこととする。本実施形態においては、 i は整数であり、それぞれの保持期間を表すインデックスであるとする。図43(A)および(B)においては、 i は0から2までとして示しているが、 i はこれ以外の整数も取り得る（0から2以外については図示しない）。なお、保持期間 F_i において、画像信号に対応する輝度を実現する透過率を T_i とし、定常状態において透過率 T_i を与える電圧を V_i とする。なお、図43(A)中の破線5101は、オーバードライブを行わない場合の液晶素子にかかる電圧の時間変化を表し、実線5102は、本実施の形態におけるオーバードライブを行う場合の液晶素子にかかる電圧の時間変化を表している。同様に、図43(B)中の破線5103は、オーバードライブを行わない場合の液晶素子の透過率の時間変化を表し、実線5104は、本実施の形態におけるオーバードライブを行う場合の液晶素子の透過率の時間変化を表している。なお、保持期間 F_i の末尾における、所望の透過率 T_i と実際の透過率との差を、誤差 δ_i と表記することとする。

【0375】

図43(A)に示すグラフにおいて、保持期間 F_0 においては破線5101と実線5102ともに所望の電圧 V_0 が加えられており、図43(B)に示すグラフにおいても、破線5103と実線5104ともに所望の透過率 T_0 が得られているものとする。そして、オーバードライブが行われない場合、破線5101に示すように、保持期間 F_1 の初頭において所望の電圧 V_1 が液晶素子に加えられるが、既に述べたように信号が書込まれる期間は保持期間に比べて極めて短く、保持期間のうちの大半の期間は定電荷状態となるため、保持期間において液晶素子にかかる電圧は透過率の変化とともに変化していき、保持期間 F_1 の末尾においては所望の電圧 V_1 と大きく異なった電圧となってしまう。このとき、図43(B)に示すグラフにおける破線5103も、所望の透過率 T_1 と大きく異なったものとなってしまう。そのため、画像信号に忠実な表示を行うことができず、画質が低下してしまう。一方、本実施の形態におけるオーバードライブが行われる場合、実線5102に示すように、保持期間 F_1 の初頭において、所望の電圧 V_1 よりも大きな電圧 V_1'

が液晶素子に加えられるようにする。つまり、保持期間 F_1 において徐々に液晶素子にかかる電圧が変化することを見越して、保持期間 F_1 の末尾において液晶素子にかかる電圧が所望の電圧 V_1 近傍の電圧となるように、保持期間 F_1 の初頭において所望の電圧 V_1 から補正された電圧 V_1' を液晶素子に加えることで、正確に所望の電圧 V_1 を液晶素子にかけることが可能となる。このとき、図 4 3 (B) に示すグラフにおける実線 5 1 0 4 に示すように、保持期間 F_1 の末尾において所望の透過率 T_1 が得られる。すなわち、保持期間うちの大半の期間において定電荷状態となるにも関わらず、信号書込み周期内の液晶素子の応答を実現できる。次に、保持期間 F_2 においては、所望の電圧 V_2 が V_1 よりも小さい場合を示しているが、この場合も保持期間 F_1 と同様に、保持期間 F_2 において徐々に液晶素子にかかる電圧が変化することを見越して、保持期間 F_2 の末尾において液晶素子にかかる電圧が所望の電圧 V_2 近傍の電圧となるように、保持期間 F_2 の初頭において所望の電圧 V_2 から補正された電圧 V_2' を液晶素子に加えればよい。こうすることで、図 4 3 (B) に示すグラフにおける実線 5 1 0 4 に示すように、保持期間 F_2 の末尾において所望の透過率 T_2 が得られる。なお、保持期間 F_1 のように、 V_i が V_{i-1} と比べて大きくなる場合は、補正された電圧 V_i' は所望の電圧 V_i よりも大きくなるように補正されることが好ましい。さらに、保持期間 F_2 のように、 V_i が V_{i-1} と比べて小さくなる場合は、補正された電圧 V_i' は所望の電圧 V_i よりも小さくなるように補正されることが好ましい。なお、具体的な補正值については、予め液晶素子の応答特性を測定することで導出することができる。装置に実装する方法としては、補正式を定式化して論理回路に組み込む方法、補正值をルックアップテーブルとしてメモリに保存しておき、必要に応じて補正值を読み出す方法、等を用いることができる。

【 0 3 7 6 】

なお、本実施の形態におけるオーバードライブを、実際に装置として実現する場合には、様々な制約が存在する。例えば、電圧の補正は、ソースドライバの定格電圧の範囲内で行われなければならない。すなわち、所望の電圧が元々大きな値であって、理想的な補正電圧がソースドライバの定格電圧を超えてしまう場合は、補正しきれないこととなる。このような場合の問題点について、図 4 3 (C) および (D) を参照して説明する。図 4 3 (C) は、図 4 3 (A) と同じく、横軸を時間、縦軸を電圧とし、ある 1 つの液晶素子における電圧の時間変化を実線 5 1 0 5 として模式的に表したグラフである。図 4 3 (D) は、図 4 3 (B) と同じく、横軸を時間、縦軸を透過率とし、ある 1 つの液晶素子における透過率の時間変化を実線 5 1 0 6 として模式的に表したグラフである。なお、その他の表記方法については図 4 3 (A) および (B) と同様であるため、説明を省略する。図 4 3 (C) および (D) は、保持期間 F_1 における所望の透過率 T_1 を実現するための補正電圧 V_1' がソースドライバの定格電圧を超えてしまうため、 $V_1' = V_1$ とせざるを得なくなり、十分な補正ができない状態を表している。このとき、保持期間 F_1 の末尾における透過率は、所望の透過率 T_1 と誤差 ϵ_1 だけ、ずれた値となってしまう。ただし、誤差 ϵ_1 が大きくなるのは、所望の電圧が元々大きな値であるときに限られるため、誤差 ϵ_1 の発生による画質低下自体は許容範囲内である場合も多い。しかしながら、誤差 ϵ_1 が大きくなることによって、電圧補正のアルゴリズム内の誤差も大きくなってしまふ。つまり、電圧補正のアルゴリズムにおいて、保持期間の末尾に所望の透過率が得られていると仮定している場合、実際は誤差 ϵ_1 が大きくなっているのにも関わらず、誤差 ϵ_1 が小さいとして電圧の補正を行うため、次の保持期間 F_2 における補正に誤差が含まれることとなり、その結果、誤差 ϵ_2 までも大きくなってしまふ。さらに、誤差 ϵ_2 が大きくなれば、その次の誤差 ϵ_3 がさらに大きくなってしまふというように、誤差が連鎖的に大きくなっていき、結果的に画質低下が著しいものとなってしまふ。本実施の形態におけるオーバードライブにおいては、このように誤差が連鎖的に大きくなってしまふことを抑制するため、保持期間 F_i において補正電圧 V_i' がソースドライバの定格電圧を超えるとき、保持期間 F_i の末尾における誤差 ϵ_i を推定し、当該誤差 ϵ_i の大きさを考慮して、保持期間 F_{i+1} における補正電圧を調整できる。こうすることで、誤差 ϵ_i が大きくなってしまっても、それが誤差 ϵ_{i+1} に与える影響を最小限にすることができるため、誤差が連鎖

的に大きくなってしまふことを抑制できる。本実施の形態におけるオーバードライブにおいて、誤差 ϵ_2 を最小限にする例について、図 4 3 (E) および (F) を参照して説明する。図 4 3 (E) に示すグラフは、図 4 3 (C) に示すグラフの補正電圧 V_2' をさらに調整し、補正電圧 V_2'' とした場合の電圧の時間変化を、実線 5 1 0 7 として表している。図 4 3 (F) に示すグラフは、図 4 3 (E) に示すグラフによって電圧の補正がなされた場合の透過率の時間変化を表している。図 4 3 (D) に示すグラフにおける実線 5 1 0 6 では、補正電圧 V_2' によって過剰補正が発生しているが、図 4 3 (F) に示すグラフにおける実線 5 1 0 8 では、誤差 ϵ_1 を考慮して調整された補正電圧 V_2'' によって過剰補正を抑制し、誤差 ϵ_2 を最小限にしている。なお、具体的な補正值については、予め液晶素子の応答特性を測定することで導出することができる。装置に実装する方法としては、補正式を定式化して論理回路に組み込む方法、補正值をルックアップテーブルとしてメモリに保存しておき、必要に応じて補正值を読み出す方法、等を用いることができる。そして、これらの方法を、補正電圧 V_1' を計算する部分とは別に追加する、または補正電圧 V_1' を計算する部分に組み込むことができる。なお、誤差 ϵ_1 を考慮して調整された補正電圧 V_1'' の補正量 (所望の電圧 V_1 との差) は、 V_1' の補正量よりも小さいものとするのが好ましい。つまり、 $|V_1'' - V_1| < |V_1' - V_1|$ とすることが好ましい。

【 0 3 7 7 】

なお、理想的な補正電圧がソースドライバの定格電圧を超えてしまうことによる誤差 ϵ_i は、信号書込み周期が短いほど大きくなる。なぜならば、信号書込み周期が短いほど液晶素子の応答時間も短くする必要がある、その結果、より大きな補正電圧が必要となるためである。さらに、必要とされる補正電圧が大きくなった結果、補正電圧がソースドライバの定格電圧を超えてしまう頻度も大きくなるため、大きな誤差 ϵ_i が発生する頻度も大きくなる。したがって、本実施の形態におけるオーバードライブは、信号書込み周期が短い場合ほど有効であるといえる。具体的には、1つの元画像を複数のサブ画像に分割し、当該複数のサブ画像を1フレーム期間内に順次表示させる場合、複数の画像から画像に含まれる動きを検出して、当該複数の画像の中間状態の画像を生成し、当該複数の画像の間に挿入して駆動する (いわゆる動き補償倍速駆動) 場合、またはこれらを組み合わせる場合、等の駆動方法が行われる場合に、本実施の形態におけるオーバードライブが用いられることは、格段の効果を奏することになる。

【 0 3 7 8 】

なお、ソースドライバの定格電圧は、上述した上限の他に、下限も存在する。例えば、電圧 0 よりも小さい電圧が加えられない場合が挙げられる。このとき、上述した上限の場合の同様に、理想的な補正電圧が加えられないこととなるため、誤差 ϵ_i が大きくなってしまふ。しかしながら、この場合でも、上述した方法と同様に、保持期間 F_i の末尾における誤差 ϵ_i を推定し、当該誤差 ϵ_i の大きさを考慮して、保持期間 $F_i + 1$ における補正電圧を調整することができる。なお、ソースドライバの定格電圧として電圧 0 よりも小さい電圧 (負の電圧) を加えることができる場合は、補正電圧として液晶素子に負の電圧を加えても良い。こうすることで、定電荷状態による電位の変動を見越して、保持期間 F_i の末尾において液晶素子にかかる電圧が所望の電圧 V_i 近傍の電圧となるように調整できる。

【 0 3 7 9 】

なお、液晶素子の劣化を抑制するため、液晶素子に加える電圧の極性を定期的に反転させる、いわゆる反転駆動を、オーバードライブと組み合わせて実施することができる。すなわち、本実施の形態におけるオーバードライブは、反転駆動と同時に行われる場合も含む。例えば、信号書込み周期が入力画像信号周期 T_{in} の $1/2$ である場合に、極性を反転させる周期と入力画像信号周期 T_{in} とが同程度であると、正極性の信号の書込みと負極性の信号の書込みが、2回毎に交互に行われることになる。このように、極性を反転させる周期を信号書込み周期よりも長くすることで、画素の充放電の頻度を低減できるので、消費電力を低減できる。ただし、極性を反転させる周期をあまり長くすると、極性の違い

10

20

30

40

50

による輝度差がフリッカとして認識される不具合が生じることがあるため、極性を反転させる周期は入力画像信号周期 T_{in} と同程度が短いことが好ましい。

【0380】

(実施の形態12)

次に、表示装置の別の構成例およびその駆動方法について説明する。本実施の形態においては、表示装置の外部から入力される画像（入力画像）の動きを補間する画像を、複数の入力画像を基にして表示装置の内部で生成し、当該生成された画像（生成画像）と、入力画像とを順次表示させる方法について説明する。なお、生成画像を、入力画像の動きを補間するような画像とすることで、動画の動きを滑らかにすることができ、さらに、ホールド駆動による残像等によって動画の品質が低下する問題を改善できる。ここで、動画の補間について、以下に説明する。動画の表示は、理想的には、個々の画素の輝度をリアルタイムに制御することで実現されるものであるが、画素のリアルタイム個別制御は、制御回路の数が膨大なものとなる問題、配線スペースの問題、および入力画像のデータ量が膨大なものとなる問題等が存在し、実現が困難である。したがって、表示装置による動画の表示は、複数の静止画を一定の周期で順次表示することで、表示が動画に見えるようにして行なわれている。この周期（本実施の形態においては入力画像信号周期と呼び、 T_{in} と表す）は規格化されており、例として、NTSC規格では1/60秒、PAL規格では1/50秒である。この程度の周期でも、インパルス型表示装置であるCRTにおいては動画表示に問題は起こらなかった。しかし、ホールド型表示装置においては、これらの規格に準じた動画をそのまま表示すると、ホールド型であることに起因する残像等により表示が不鮮明となる不具合（ホールドぼけ：hold blur）が発生してしまう。ホールドぼけは、人間の目の追従による無意識的な動きの補間と、ホールド型の表示との不一致（discrepancy）で認識されるものである。従来、規格よりも入力画像信号周期を短くする（画素のリアルタイム個別制御に近づける）ことで低減させることができるが、入力画像信号周期を短くすることは規格の変更を伴い、さらに、データ量も増大することになるので、困難である。しかしながら、規格化された入力画像信号を基にして、入力画像の動きを補間するような画像を表示装置内部で生成し、当該生成画像によって入力画像を補間して表示することで、規格の変更またはデータ量の増大なしに、ホールドぼけを低減できる。このように、入力画像信号を基にして表示装置内部で画像信号を生成し、入力画像の動きを補間することを、動画の補間と呼ぶこととする。

【0381】

本実施の形態における動画の補間方法によって、動画ぼけを低減させることができる。本実施の形態における動画の補間方法は、画像生成方法と画像表示方法に分けることができる。そして、特定のパターンの動きについては別の画像生成方法および/または画像表示方法を用いることで、効果的に動画ぼけを低減させることができる。図44(A)および(B)は、本実施の形態における動画の補間方法の一例を説明するための模式図である。図44(A)および(B)において、横軸は時間であり、横方向の位置によって、それぞれの画像が扱われるタイミングを表している。「入力」と記された部分は、入力画像信号が入力されるタイミングを表している。ここでは、時間的に隣接する2つの画像として、画像5121および画像5122に着目している。入力画像は、周期 T_{in} の間隔で入力される。なお、周期 T_{in} 1つ分の長さを、1フレームもしくは1フレーム期間と記すことがある。「生成」と記された部分は、入力画像信号から新しく画像が生成されるタイミングを表している。ここでは、画像5121および画像5122を基にして生成される生成画像である、画像5123に着目している。「表示」と記された部分は、表示装置に画像が表示されるタイミングを表している。なお、着目している画像以外の画像については破線で記しているのみであるが、着目している画像と同様に扱うことによって、本実施の形態における動画の補間方法の一例を実現できる。

【0382】

本実施の形態における動画の補間方法の一例は、図44(A)に示されるように、時間的に隣接した2つの入力画像を基にして生成された生成画像を、当該2つの入力画像が表示

されるタイミングの間隙に表示させることで、動画の補間を行うことができる。このとき、表示画像の表示周期は、入力画像の入力周期の $1/2$ とされることが好ましい。ただし、これに限定されず、様々な表示周期とすることができる。例えば、表示周期を入力周期の $1/2$ より短くすることで、動画をより滑らかに表示できる。または、表示周期を入力周期の $1/2$ より長くすることで、消費電力を低減できる。なお、ここでは、時間的に隣接した2つの入力画像を基にして画像を生成しているが、基にする入力画像は2つに限定されず、様々な数を用いることができる。例えば、時間的に隣接した3つ（3つ以上でも良い）の入力画像を基にして画像を生成すれば、2つの入力画像を基にする場合よりも、精度の良い生成画像を得ることができる。なお、画像5121の表示タイミングを、画像5122の入力タイミングと同時刻、すなわち入力タイミングに対する表示タイミングを1フレーム遅れとしているが、本実施の形態における動画の補間方法における表示タイミングはこれに限定されず、様々な表示タイミングを用いることができる。例えば、入力タイミングに対する表示タイミングを1フレーム以上遅らせることができる。こうすることで、生成画像である画像5123の表示タイミングを遅くすることができるので、画像5123の生成にかかる時間に余裕を持たせることができ、消費電力および製造コストの低減につながる。なお、入力タイミングに対する表示タイミングをあまりに遅くすると、入力画像を保持しておく期間が長くなり、保持にかかるメモリ容量が増大してしまうので、入力タイミングに対する表示タイミングは、1フレーム遅れから2フレーム遅れ程度が好ましい。

【0383】

ここで、画像5121および画像5122を基にして生成される画像5123の、具体的な生成方法の一例について説明する。動画を補間するためには入力画像の動きを検出する必要があるが、本実施の形態においては、入力画像の動きの検出のために、ブロックマッチング法と呼ばれる方法を用いることができる。ただし、これに限定されず、様々な方法（画像データの差分をとる方法、フーリエ変換を利用する方法等）を用いることができる。ブロックマッチング法においては、まず、入力画像1枚分の画像データ（ここでは画像5121の画像データ）を、データ記憶手段（半導体メモリ、RAM等の記憶回路等）に記憶させる。そして、次のフレームにおける画像（ここでは画像5122）を、複数の領域に分割する。なお、分割された領域は、図44(A)のように、同じ形状の矩形とすることができるが、これに限定されず、様々なもの（画像によって形状または大きさを変える等）とすることができる。その後、分割された領域毎に、データ記憶手段に記憶させた前のフレームの画像データ（ここでは画像5121の画像データ）とデータの比較を行い、画像データが似ている領域を探索する。図44(A)の例においては、画像5122における領域5124とデータが似ている領域を画像5121の中から探索し、領域5126が探索されたものとしている。なお、画像5121の中を探索するとき、探索範囲は限定されることが好ましい。図44(A)の例においては、探索範囲として、領域5124の面積の4倍程度の大きさである、領域5125を設定している。なお、探索範囲をこれより大きくすることで、動きの速い動画においても検出精度を高くすることができる。ただし、あまりに広く探索を行なうと探索時間が膨大なものとなってしまう、動きの検出の実現が困難となるため、領域5125は、領域5124の面積の2倍から6倍程度の大きさであることが好ましい。その後、探索された領域5126と、画像5122における領域5124との位置の違いを、動きベクトル5127として求める。動きベクトル5127は領域5124における画像データの1フレーム期間の動きを表すものである。そして、動きの中間状態を表す画像を生成するため、動きベクトルの向きはそのまま大きさを変えた画像生成用ベクトル5128を作り、画像5121における領域5126に含まれる画像データを、画像生成用ベクトル5128に従って移動させることで、画像5123における領域5129内の画像データを形成させる。これらの一連の処理を、画像5122における全ての領域について行なうことで、画像5123が生成されることができる。そして、入力画像5121、生成画像5123、入力画像5122を順次表示することで、動画を補間することができる。なお、画像中の物体5130は、画像5121および画

10

20

30

40

50

像 5 1 2 2 において位置が異なっている（つまり動いている）が、生成された画像 5 1 2 3 は、画像 5 1 2 1 および画像 5 1 2 2 における物体の中間点となっている。このような画像を表示することで、動画の動きを滑らかにすることができ、残像等による動画の不鮮明さを改善できる。

【 0 3 8 4 】

なお、画像生成用ベクトル 5 1 2 8 の大きさは、画像 5 1 2 3 の表示タイミングに従って決められることができる。図 4 4 (A) の例においては、画像 5 1 2 3 の表示タイミングは画像 5 1 2 1 および画像 5 1 2 2 の表示タイミングの中間点 (1 / 2) としているため、画像生成用ベクトル 5 1 2 8 の大きさは動きベクトル 5 1 2 7 の 1 / 2 としているが、他にも、例えば、表示タイミングが 1 / 3 の時点であれば、大きさを 1 / 3 とし、表示タイ

10

【 0 3 8 5 】

なお、このように、様々な動きベクトルを持った複数の領域をそれぞれ動かして新しい画像を作る場合は、移動先の領域内に他の領域が既に移動している部分（重複）や、どこの領域からも移動されてこない部分（空白）が生じることもある。これらの部分については、データを補正することができる。重複部分の補正方法としては、例えば、重複データの平均をとる方法、動きベクトルの方向等で優先度をつけておき、優先度の高いデータを生成画像内のデータとする方法、色（または明るさ）はどちらかを優先させるが明るさ（または色）は平均をとる方法、等を用いることができる。空白部分の補正方法としては、画像 5 1 2 1 または画像 5 1 2 2 の当該位置における画像データをそのまま生成画像内のデータとする方法、画像 5 1 2 1 または画像 5 1 2 2 の当該位置における画像データの平均をとる方法、等を用いることができる。そして、生成された画像 5 1 2 3 を、画像生成用ベクトル 5 1 2 8 の大きさに従ったタイミングで表示させることで、動画の動きを滑らかにすることができ、さらに、ホールド駆動による残像等によって動画の品質が低下する問題を改善できる。

20

【 0 3 8 6 】

本実施の形態における動画の補間方法の他の例は、図 4 4 (B) に示されるように、時間的に隣接した 2 つの入力画像を基にして生成された生成画像を、当該 2 つの入力画像が表示されるタイミングの間隙に表示させる際に、それぞれの表示画像をさらに複数のサブ画像に分割して表示することで、動画の補間を行うことができる。この場合、画像表示周期が短くなることによる利点だけでなく、暗い画像が定期的に表示される（表示方法がインパルス型に近づく）ことによる利点も得ることができる。つまり、画像表示周期が画像入力周期に比べて 1 / 2 の長さにするだけの場合よりも、残像等による動画の不鮮明さをさらに改善できる。図 4 4 (B) の例においては、「入力」および「生成」については図 4 4 (A) の例と同様な処理を行なうことができるので、説明を省略する。図 4 4 (B) の例における「表示」は、1 つの入力画像または / および生成画像を複数のサブ画像に分割して表示を行うことができる。具体的には、図 4 4 (B) に示すように、画像 5 1 2 1 をサブ画像 5 1 2 1 a および 5 1 2 1 b に分割して順次表示することで、人間の目には画像 5 1 2 1 が表示されたように知覚させ、画像 5 1 2 3 をサブ画像 5 1 2 3 a および 5 1 2 3 b に分割して順次表示することで、人間の目には画像 5 1 2 3 が表示されたように知覚させ、画像 5 1 2 2 をサブ画像 5 1 2 2 a および 5 1 2 2 b に分割して順次表示することで、人間の目には画像 5 1 2 2 が表示されたように知覚させる。すなわち、人間の目に知覚される画像としては図 4 4 (A) の例と同様なものとしつつ、表示方法をインパルス型に近づけることができるので、残像等による動画の不鮮明さをさらに改善できる。なお、サブ画像の分割数は、図 4 4 (B) においては 2 つとしているが、これに限定されず様々な分割数を用いることができる。なお、サブ画像が表示されるタイミングは、図 4 4 (B) においては等間隔 (1 / 2) としているが、これに限定されず様々な表示タイミングを用いることができる。例えば、暗いサブ画像 (5 1 2 1 b 、 5 1 2 2 b 、 5 1 2 3 b) の表示タイミングを早くする（具体的には、1 / 4 から 1 / 2 のタイミング）ことで、表示方法をよりインパルス型に近づけることができるため、残像等による動画の不鮮明さをさ

30

40

50

らに改善できる。または、暗いサブ画像の表示タイミングを遅くする（具体的には、1 / 2 から 3 / 4 のタイミング）ことで、明るい画像の表示期間を長くすることができるので、表示効率を高めることができ、消費電力を低減できる。

【0387】

本実施の形態における動画の補間方法の他の例は、画像内で動いている物体の形状を検出し、動いている物体の形状によって異なる処理を行なう例である。図44(C)に示す例は、図44(B)の例と同様に表示のタイミングを表しているが、表示されている内容が、動く文字（スクロールテキスト、字幕、テロップ等とも呼ばれる）である場合を示している。なお、「入力」および「生成」については、図44(B)と同様としても良いため、図示していない。ホールド駆動における動画の不鮮明さは、動いているものの性質によって程度が異なることがある。特に、文字が動いている場合に顕著に認識されることが多い。なぜならば、動く文字を読む際にはどうしても視線を文字に追従させてしまうので、ホールドぼけが発生しやすくなるためである。さらに、文字は輪郭がはっきりしていることが多いため、ホールドぼけによる不鮮明さがさらに強調されてしまうこともある。すなわち、画像内を動く物体が文字かどうかを判別し、文字である場合はさらに特別な処理を行なうことは、ホールドぼけの低減のためには有効である。具体的には、画像内を動いている物体に対し、輪郭検出またはノおよびパターン検出等を行なって、当該物体が文字であると判断された場合は、同じ画像から分割されたサブ画像同士であっても動き補間を行い、動きの中間状態を表示するようにして、動きを滑らかにすることができる。当該物体が文字ではないと判断された場合は、図44(B)に示すように、同じ画像から分割されたサブ画像であれば動いている物体の位置は変えずに表示することができる。図44(C)の例では、文字であると判断された領域5131が、上方向に動いている場合を示しているが、画像5121aと画像5121bとで、領域5131の位置を異ならせている。画像5123aと画像5123b、画像5122aと画像5122bについても同様である。こうすることで、ホールドぼけが特に認識されやすい動く文字については、通常の動き補償倍速駆動よりもさらに動きを滑らかにすることができるので、残像等による動画の不鮮明さをさらに改善できる。

【0388】

（実施の形態13）

半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラなどのカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0389】

図32(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0390】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

【0391】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して優先または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0392】

図32(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0393】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0394】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0395】

図33(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図33(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に或いは赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図33(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図33(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0396】

図33(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0397】

図34(A)は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

【0398】

図34(A)に示す携帯電話機1000は、表示部1002を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1002を指などで触れることにより行うことができる。

【0399】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0400】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1 0 0 2 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1 0 0 2 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【 0 4 0 1 】

また、携帯電話機 1 0 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1 0 0 0 の向き（縦か横か）を判断して、表示部 1 0 0 2 の画面表示を自動的に切り替えるようにすることができる。

【 0 4 0 2 】

また、画面モードの切り替えは、表示部 1 0 0 2 を触れること、又は筐体 1 0 0 1 の操作ボタン 1 0 0 3 の操作により行われる。また、表示部 1 0 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

10

【 0 4 0 3 】

また、入力モードにおいて、表示部 1 0 0 2 の光センサで検出される信号を検知し、表示部 1 0 0 2 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 4 0 4 】

表示部 1 0 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 1 0 0 2 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

20

【 0 4 0 5 】

図 3 4 (B) も携帯電話機の一例である。図 3 4 (B) の携帯電話機は、筐体 9 4 1 1 に、表示部 9 4 1 2、及び操作ボタン 9 4 1 3 を含む表示装置 9 4 1 0 と、筐体 9 4 0 1 に操作ボタン 9 4 0 2、外部入力端子 9 4 0 3、マイク 9 4 0 4、スピーカ 9 4 0 5、及び着信時に発光する発光部 9 4 0 6 を含む通信装置 9 4 0 0 とを有しており、表示機能を有する表示装置 9 4 1 0 は電話機能を有する通信装置 9 4 0 0 と矢印の 2 方向に脱着可能である。よって、表示装置 9 4 1 0 と通信装置 9 4 0 0 の短軸同士を取り付けることも、表示装置 9 4 1 0 と通信装置 9 4 0 0 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9 4 0 0 より表示装置 9 4 1 0 を取り外し、表示装置 9 4 1 0 を単独で用いることもできる。通信装置 9 4 0 0 と表示装置 9 4 1 0 とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

30

【 符号の説明 】

【 0 4 0 6 】

1 0 0	基板
1 0 2	導電膜
1 0 4	導電膜
1 0 6	絶縁層
1 0 8	導電膜
1 1 0	導電膜
1 1 2	半導体膜
1 1 4	絶縁層
1 1 6	導電層
1 1 7	導電層
1 1 9	コンタクトホール
1 2 0	ゲート配線
1 2 2	配線
1 2 4	配線

40

50

1 2 5	コンタクトホール	
1 2 6	配線	
1 2 7	絶縁層	
1 2 8	配線	
1 3 2	電極	
1 3 6	電極	
1 3 8	電極	
1 4 0	保持容量部	
1 5 0	画素部	
1 5 2	トランジスタ	10
1 5 4	保持容量部	
1 5 6	トランジスタ	
1 5 8	保持容量部	
1 6 1	レジストマスク	
1 6 2	レジストマスク	
1 6 3	レジストマスク	
1 6 4	レジストマスク	
1 6 5	レジストマスク	
1 6 8	レジストマスク	
1 8 0	基板	20
1 8 2	基板	
2 3 2	電極	
2 3 6	電極	
2 3 8	電極	
4 0 0	基板	
4 0 1	遮光部	
4 0 2	回折格子	
4 0 3	グレートーンマスク	
4 1 1	基板	
4 1 2	半透光部	30
4 1 3	遮光部	
4 1 4	ハーフトーンマスク	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 4	キャビティ	
5 9 5	充填材	40
5 9 6	基板	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
1 0 2 a	導電層	
1 0 2 b	導電層	50

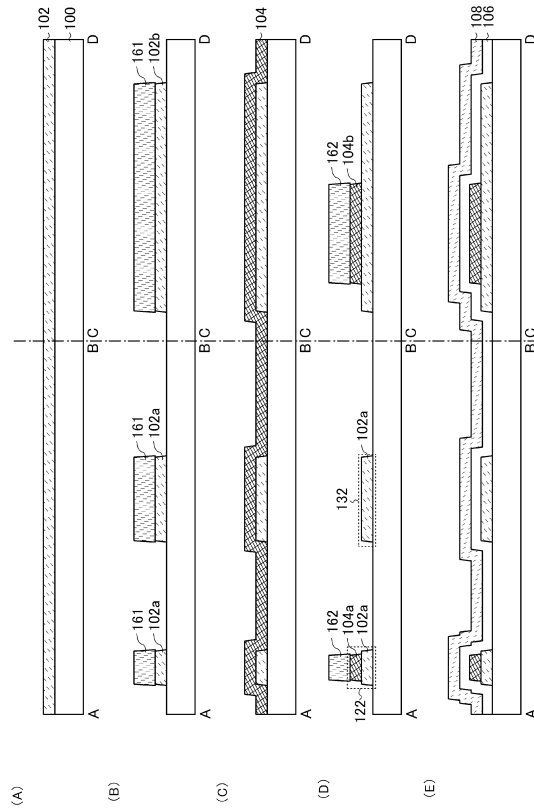
1 0 2 c	導電層	
1 0 4 a	導電層	
1 0 4 b	導電層	
1 0 8 a	導電層	
1 0 8 b	導電層	
1 0 8 c	導電層	
1 0 8 d	導電層	
1 0 8 e	導電層	
1 1 0 a	導電層	
1 1 0 b	導電層	10
1 1 0 c	導電層	
1 1 2 a	半導体層	
1 1 2 b	半導体層	
1 1 3 a	n + 領域	
1 1 4 a	絶縁層	
1 1 4 b	絶縁層	
1 1 8 a	コンタクトホール	
1 1 8 b	コンタクトホール	
1 7 1 a	レジストマスク	
1 7 1 b	レジストマスク	20
1 7 1 c	レジストマスク	
1 7 2 a	レジストマスク	
1 7 2 b	レジストマスク	
1 7 2 c	レジストマスク	
1 8 1 a	遮光層	
1 8 1 b	半透過層	
1 8 3 a	半透過層	
1 8 3 b	遮光層	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	30
2 6 0 2	シール材	
2 6 0 3	素子層	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	40
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 6 3 1	ポスター	
2 6 3 2	車内広告	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	50

2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	10
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	20
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 5 1	基板	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	30
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 0 8 0	画素	
5 0 8 1	トランジスタ	40
5 0 8 2	液晶素子	
5 0 8 3	容量素子	
5 0 8 4	配線	
5 0 8 5	配線	
5 0 8 6	配線	
5 0 8 7	配線	
5 0 8 8	電極	
5 1 0 1	破線	
5 1 0 2	実線	
5 1 0 3	破線	50

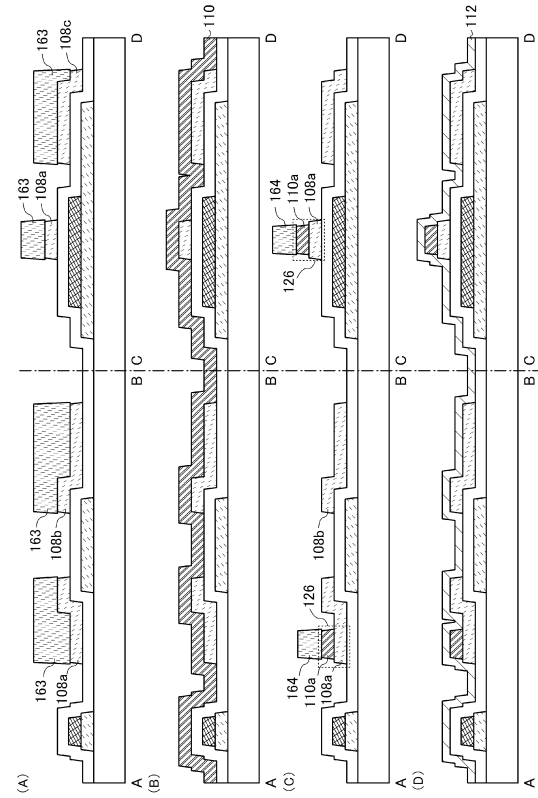
5 1 0 4	実線	
5 1 0 5	実線	
5 1 0 6	実線	
5 1 0 7	実線	
5 1 0 8	実線	
5 1 2 1	画像	
5 1 2 2	画像	
5 1 2 3	画像	
5 1 2 4	領域	
5 1 2 5	領域	10
5 1 2 6	領域	
5 1 2 7	ベクトル	
5 1 2 8	画像生成用ベクトル	
5 1 2 9	領域	
5 1 3 0	物体	
5 1 3 1	領域	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	信号線駆動回路	20
5 4 0 0	基板	
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	30
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
6 4 2 0	画素	
6 4 2 3	容量素子	
6 4 2 6	配線	
7 0 0 1	T F T	40
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	50

7 0 1 7	導電膜	
7 0 2 1	駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	10
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	20
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	30
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	40
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 1 8 a	F P C	
5 1 2 1 a	画像	
5 1 2 1 b	画像	
5 1 2 2 a	画像	
5 1 2 2 b	画像	50

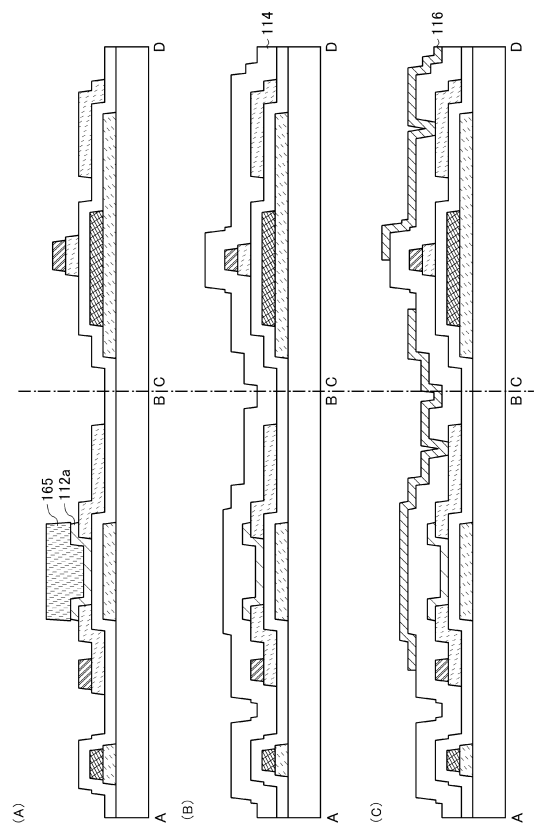
【図 3】



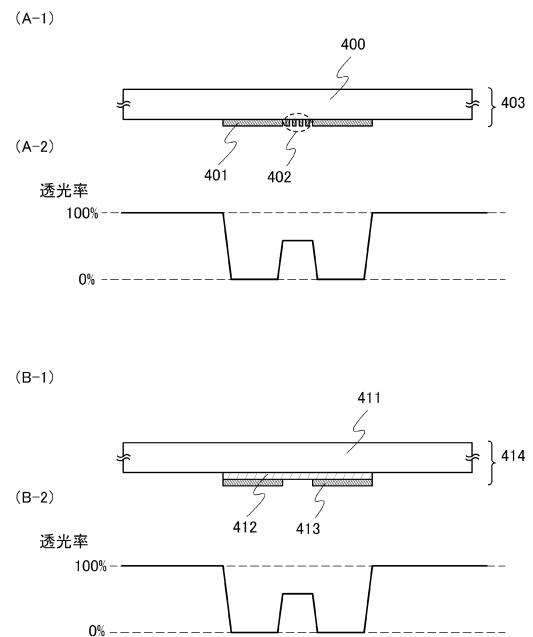
【図 4】



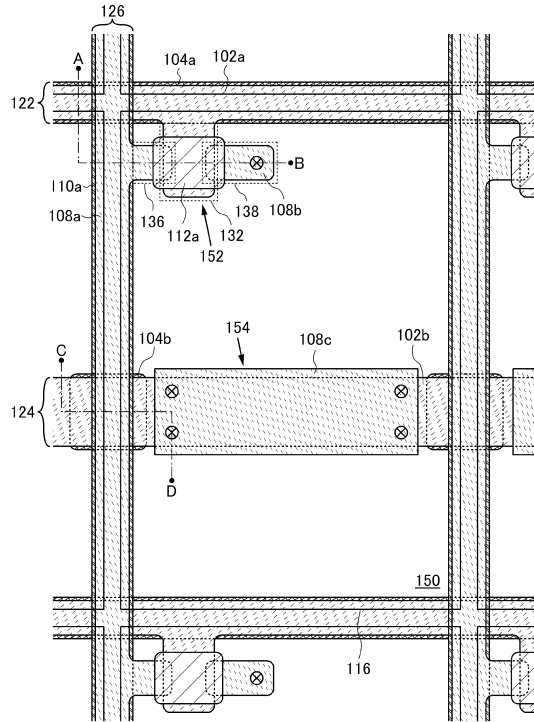
【図 5】



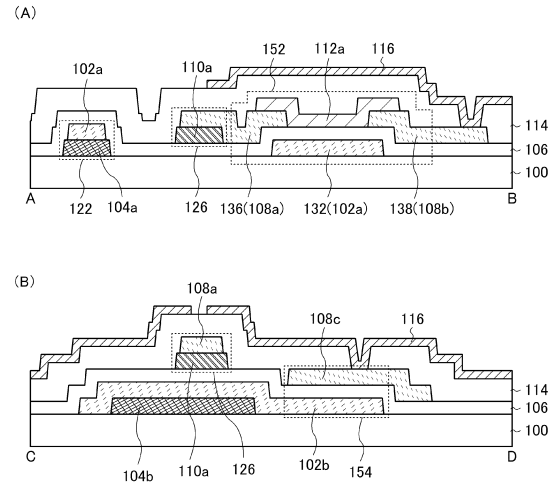
【図 6】



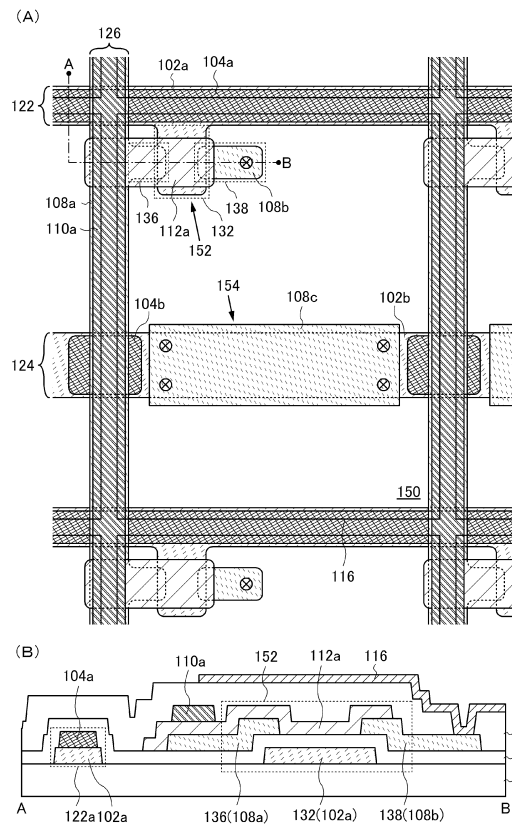
【図 11】



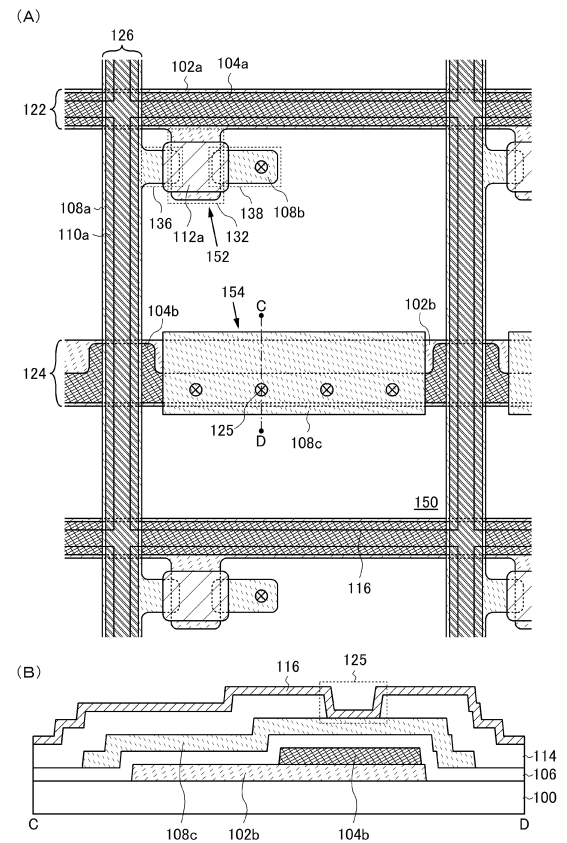
【図 12】



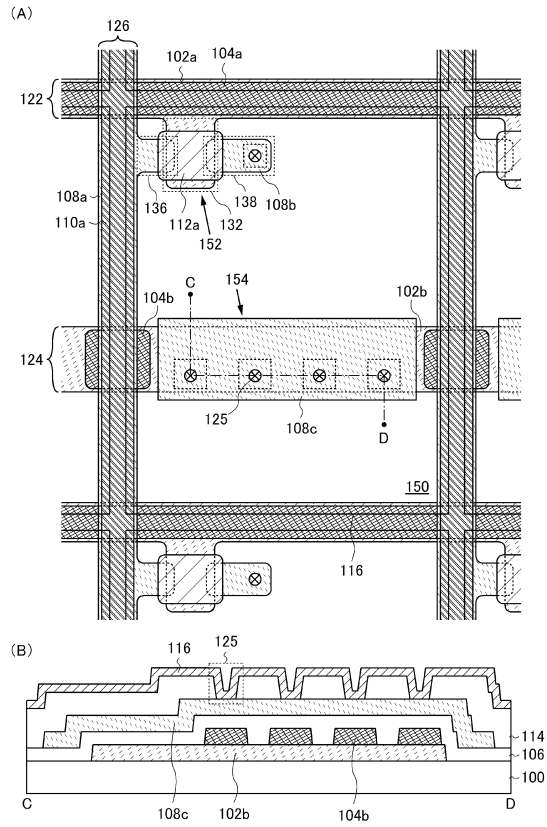
【図 13】



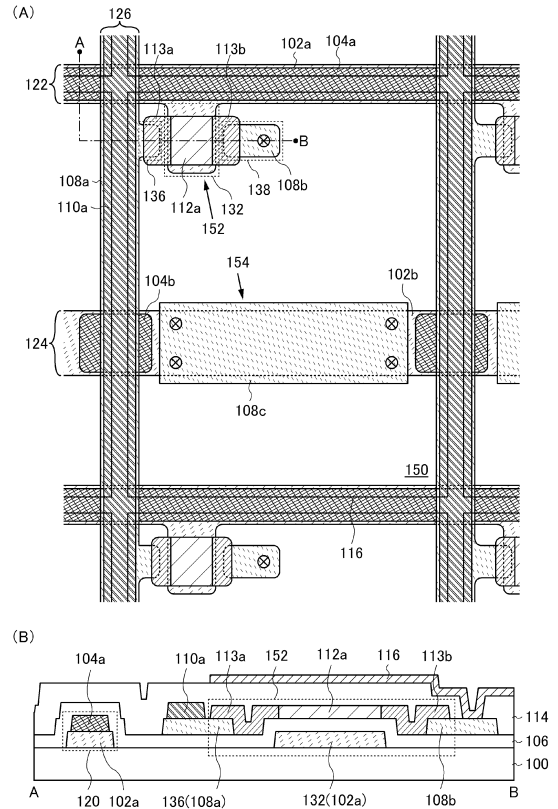
【図 14】



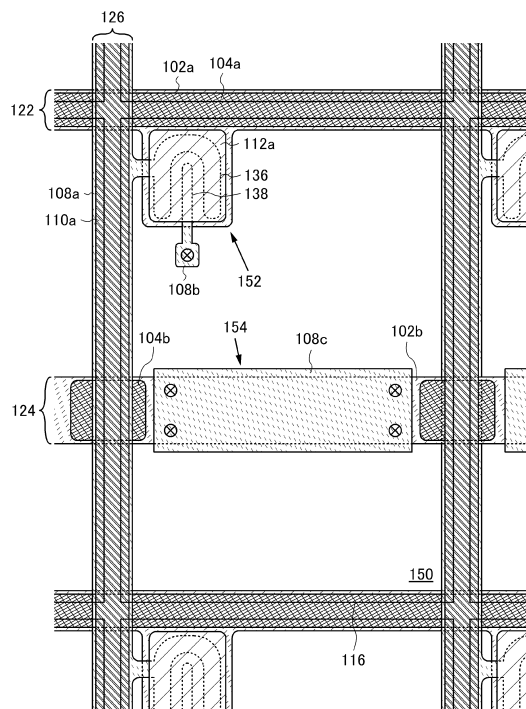
【図 15】



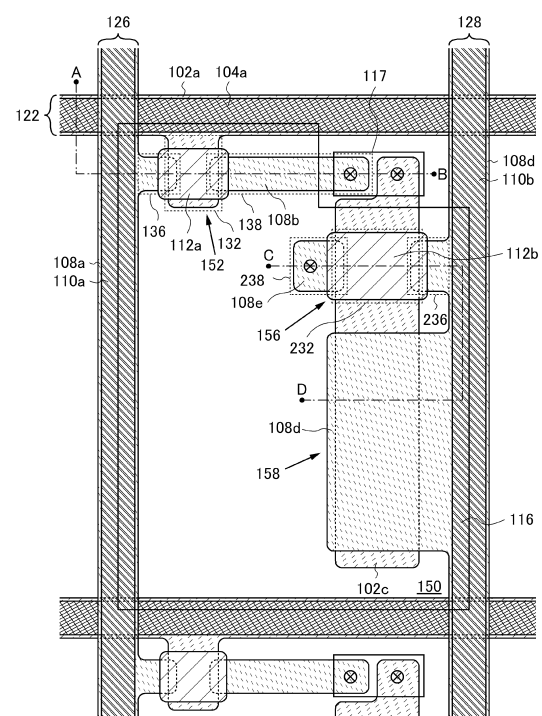
【図 16】



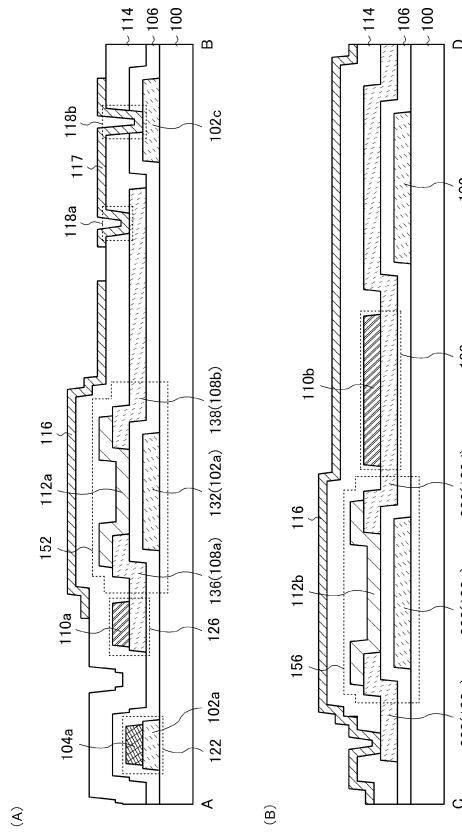
【図 17】



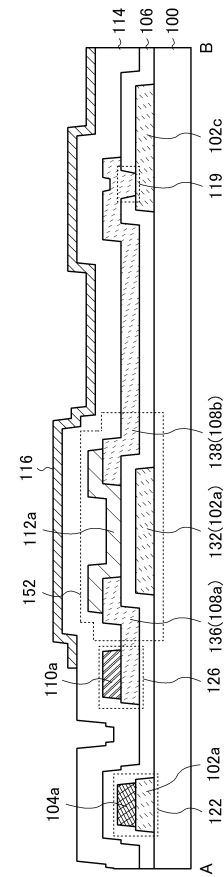
【図 18】



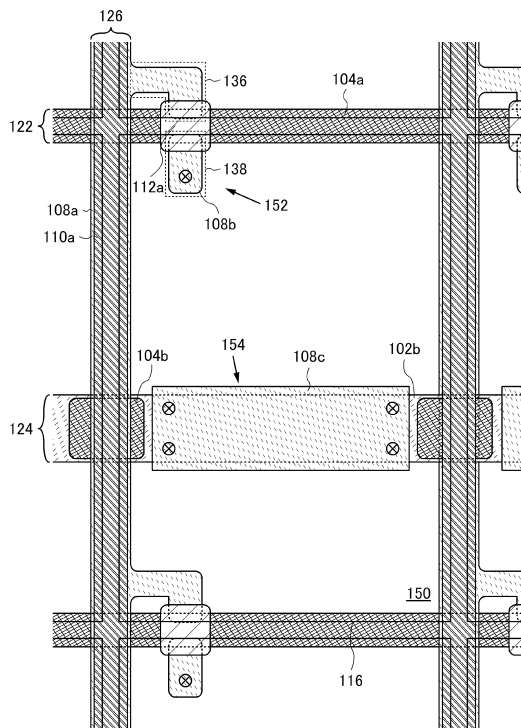
【図 19】



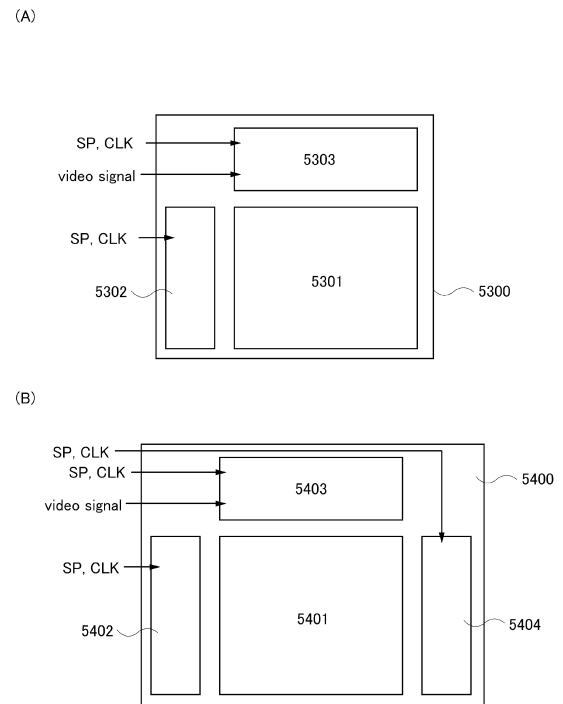
【図 20】



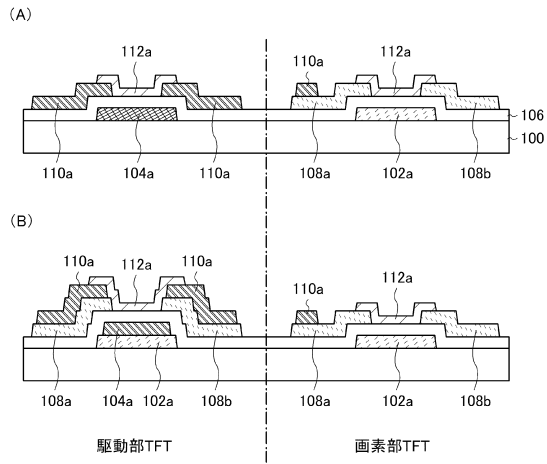
【図 21】



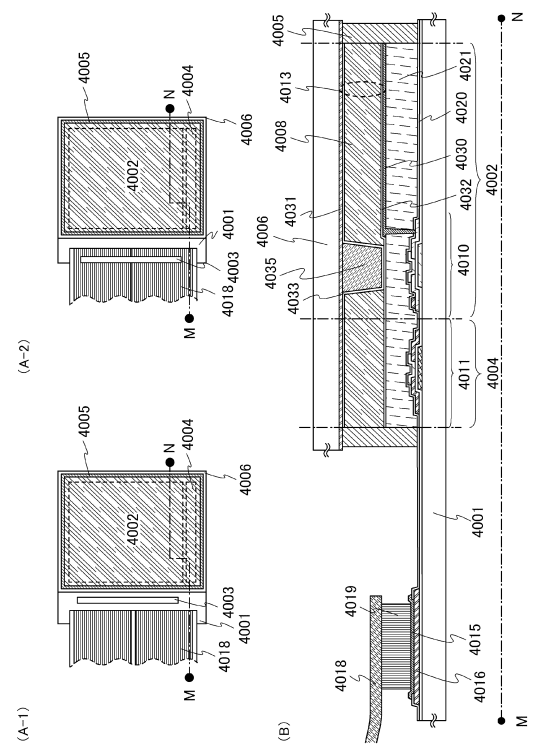
【図 22】



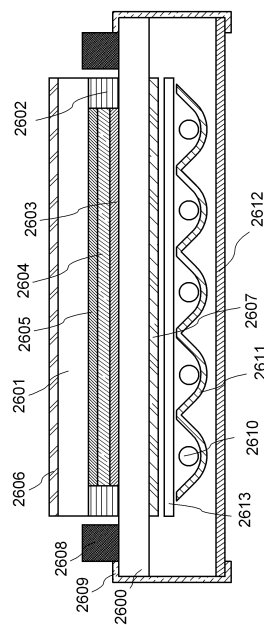
【図 23】



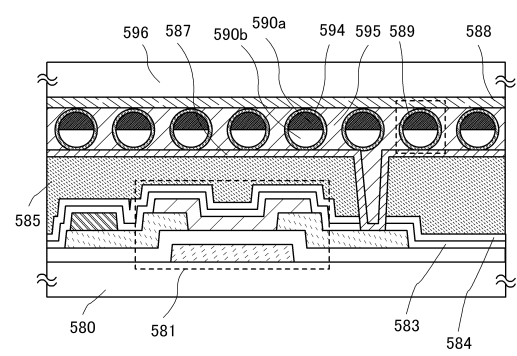
【図 24】



【図 25】

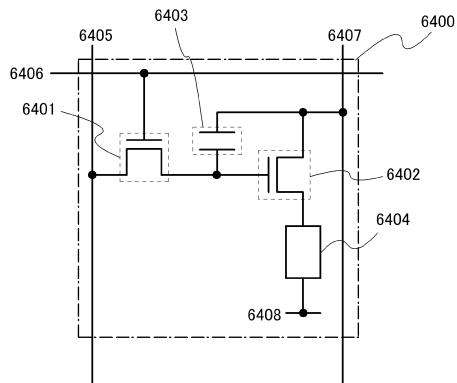


【図 26】

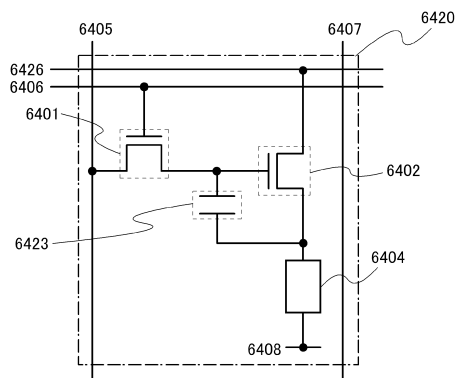


【 図 2 7 】

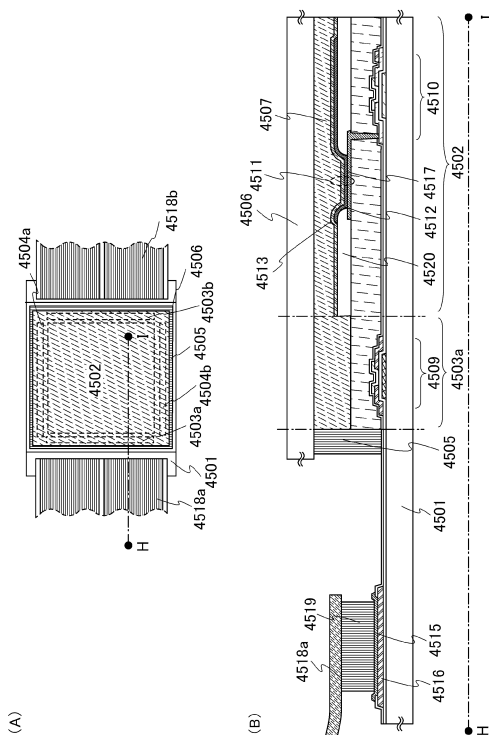
(A)



(B)

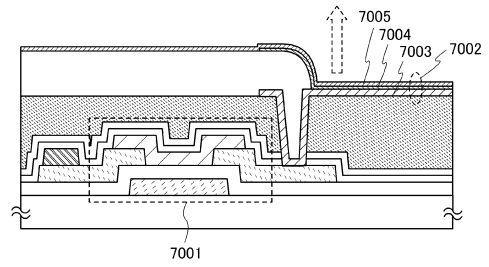


【 圖 2 9 】

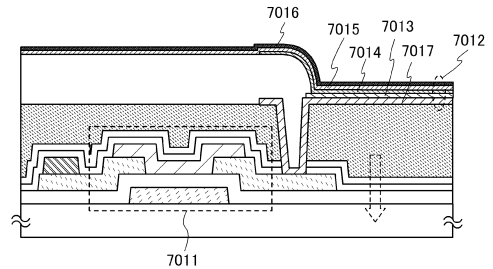


【圖 28】

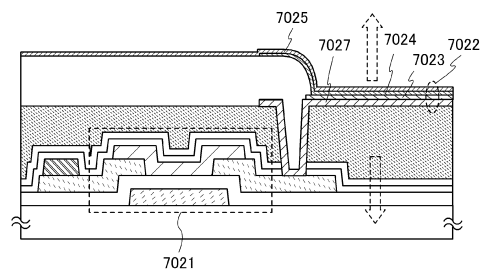
(A)



(B)

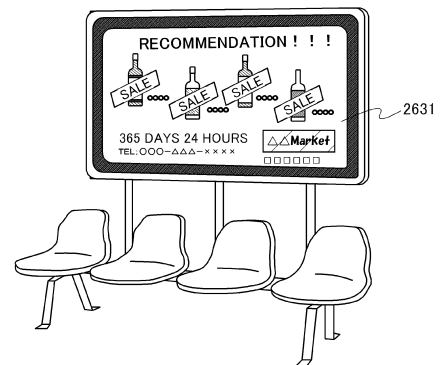


(C)

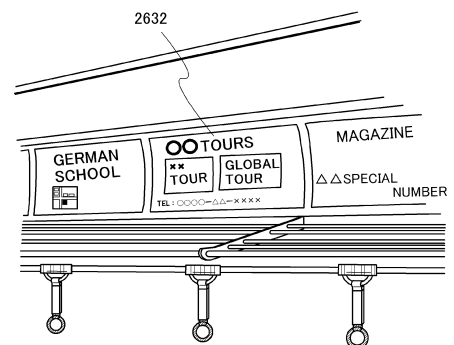


【 図 3 0 】

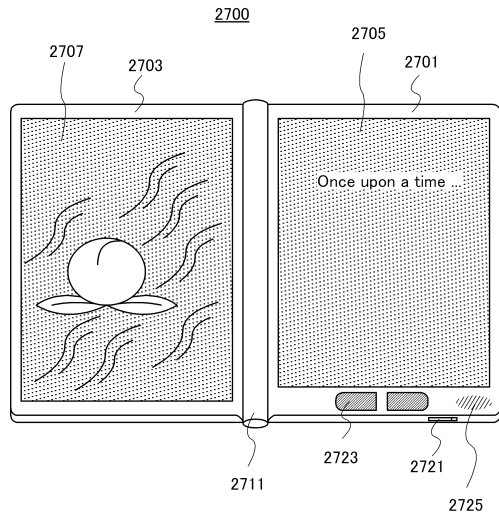
(A)



(B)

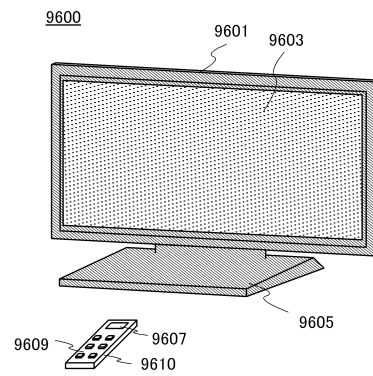


【図 3 1】

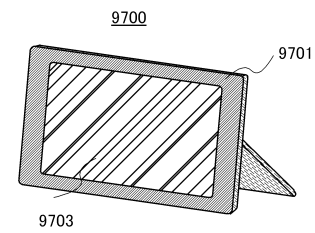


【図 3 2】

(A)

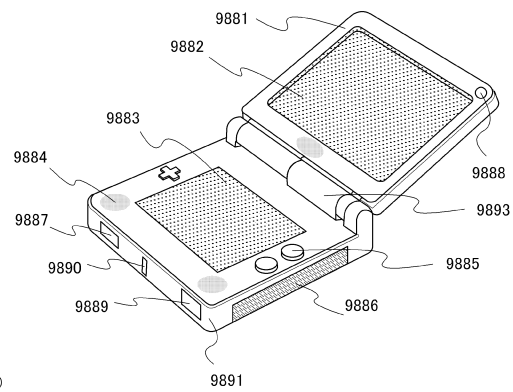


(B)

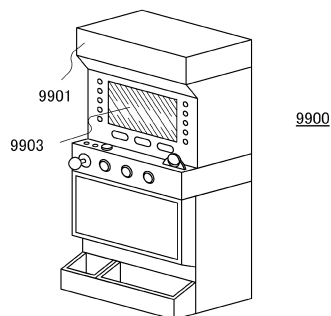


【図 3 3】

(A)

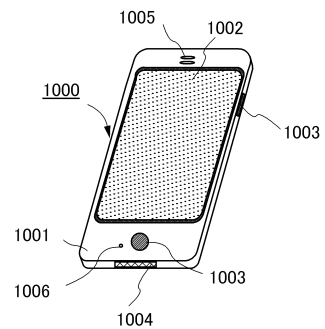


(B)

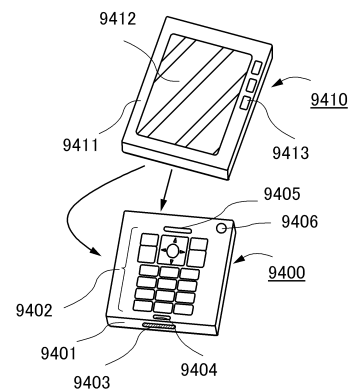


【図 3 4】

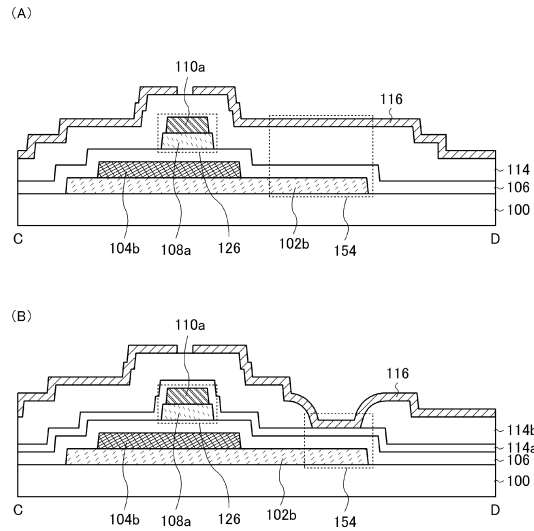
(A)



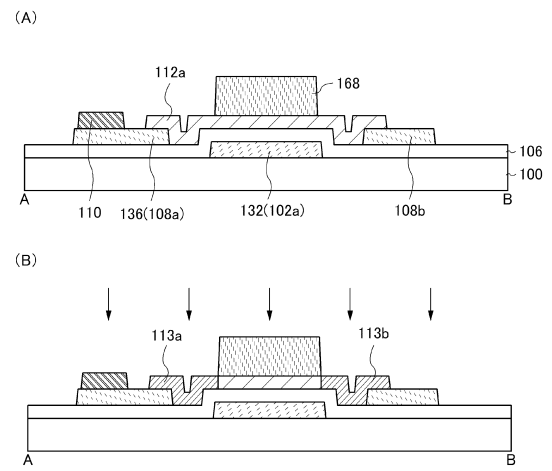
(B)



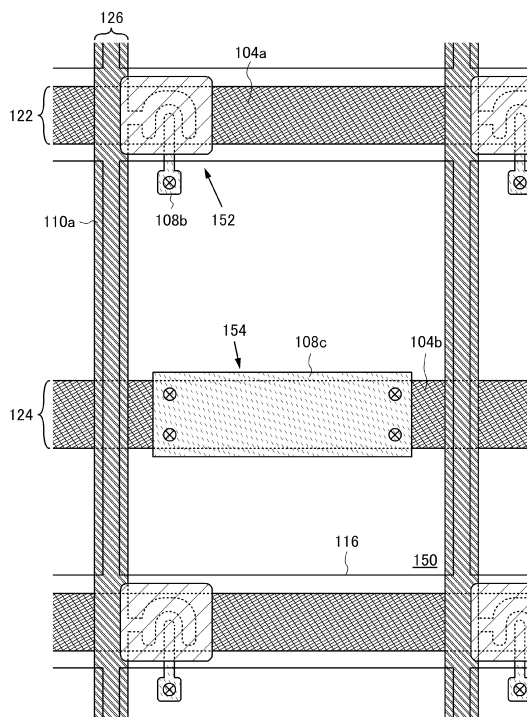
【図 35】



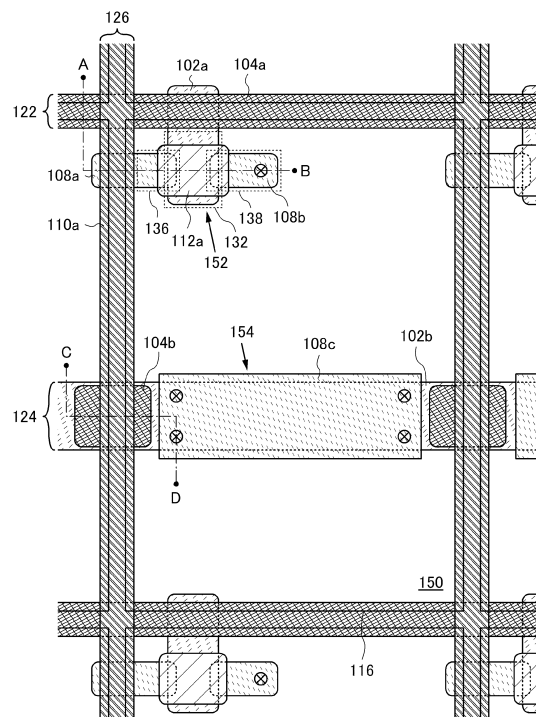
【図 36】



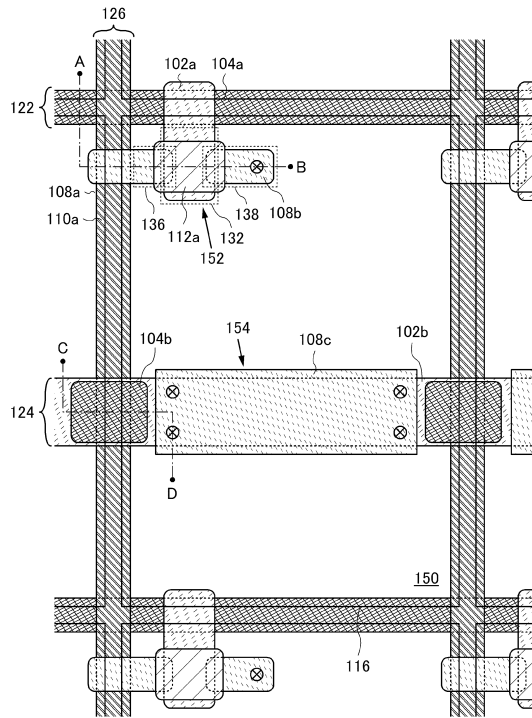
【図 37】



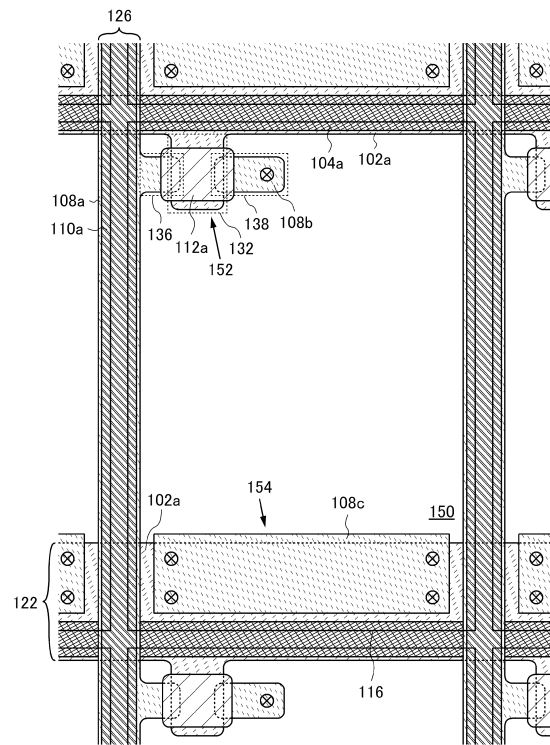
【図 38】



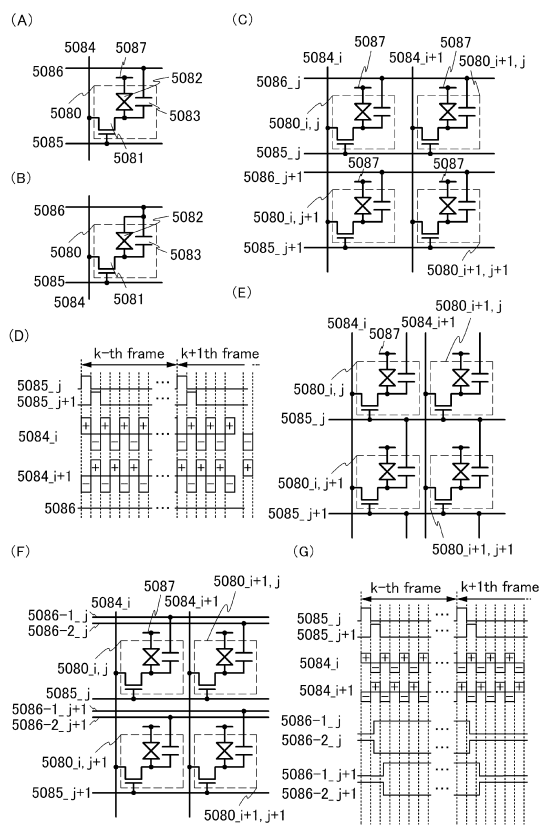
【 図 3 9 】



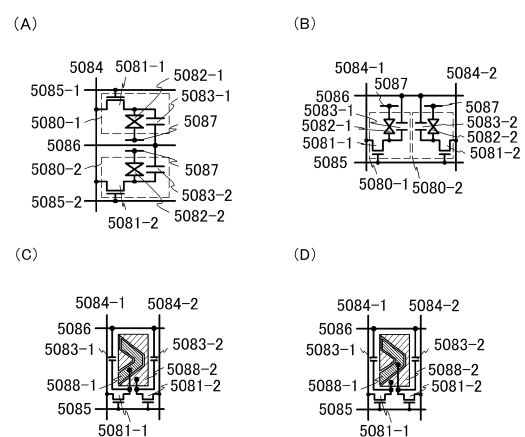
【 図 4 0 】



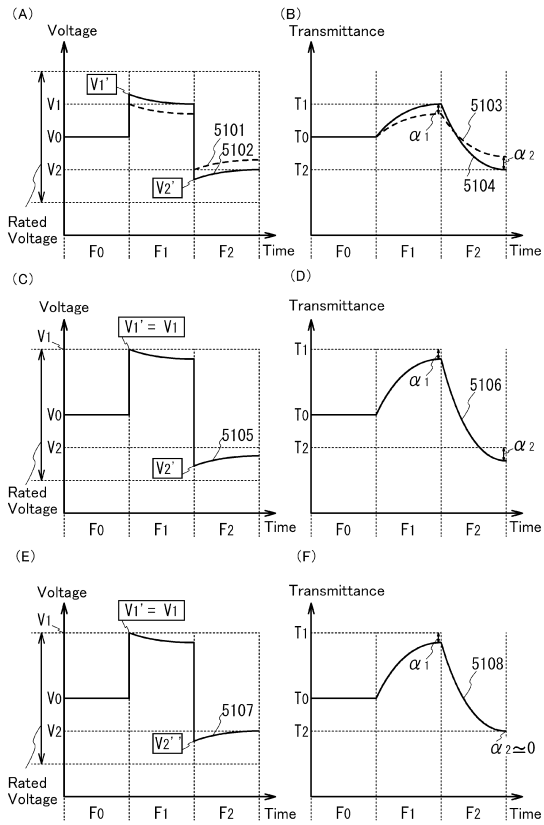
【 図 4 1 】



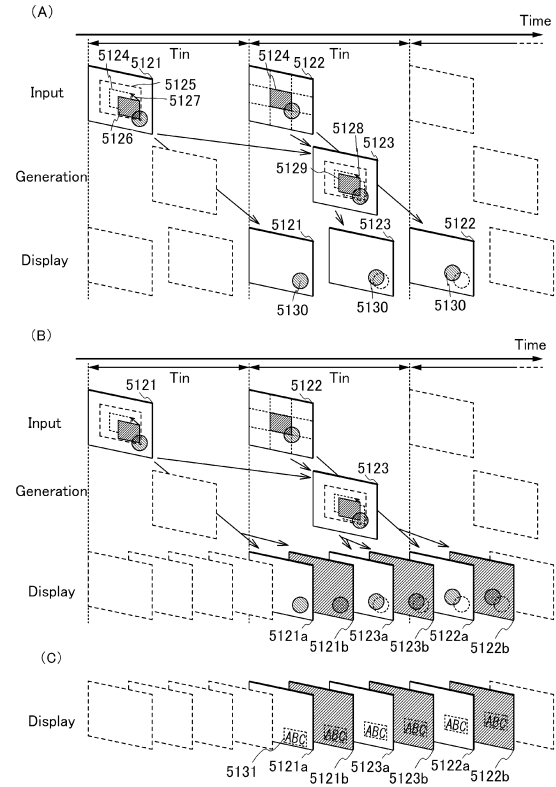
【 図 4 2 】



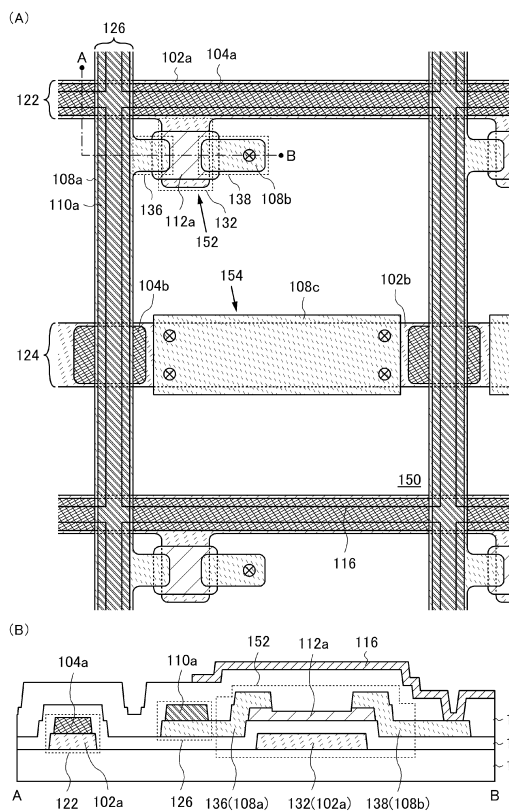
【図 4 3】



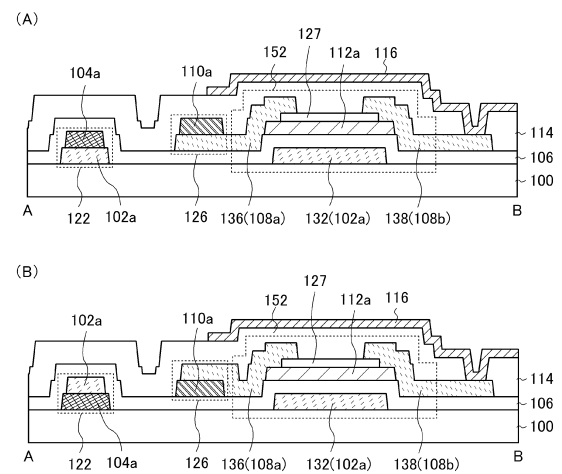
【図 4 4】



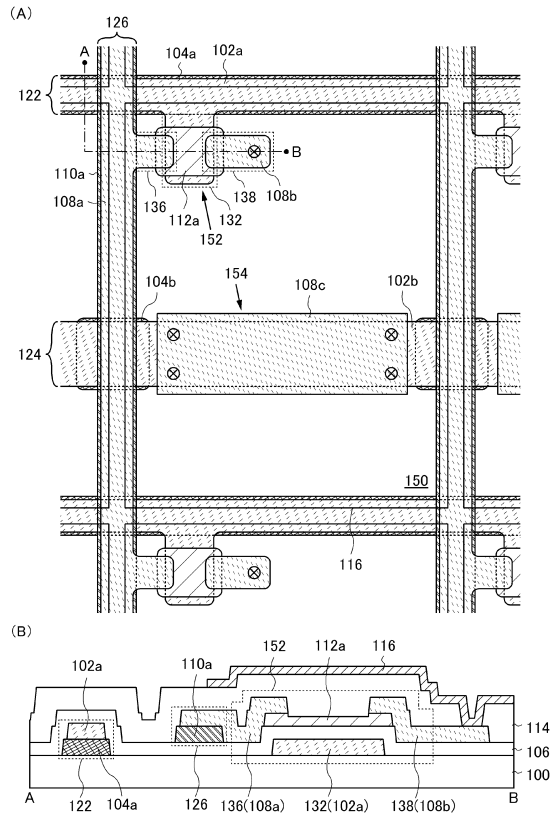
【図 4 5】



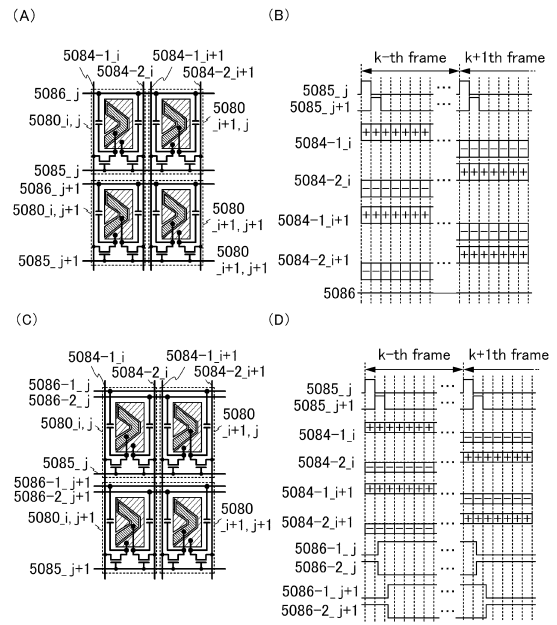
【図 4 6】



【図 47】



【図 48】



フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	23/522	(2006.01)	H 0 1 L	29/78	6 1 6 V
H 0 1 L	23/532	(2006.01)	H 0 1 L	29/78	6 1 7 M
H 0 1 L	51/50	(2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 5 B	33/14	(2006.01)	H 0 5 B	33/14	A
H 0 5 B	33/26	(2006.01)	H 0 5 B	33/14	Z
H 0 5 B	33/28	(2006.01)	H 0 5 B	33/26	Z
			H 0 5 B	33/28	

- (56) 参考文献 特開 2 0 0 6 - 2 4 2 9 8 7 (J P , A)
 特開 2 0 0 7 - 2 9 8 6 2 7 (J P , A)
 特開 2 0 0 7 - 1 3 4 6 8 7 (J P , A)
 特開昭 6 1 - 0 5 1 1 8 8 (J P , A)
 特開 2 0 0 2 - 1 8 9 2 3 2 (J P , A)
 特表 2 0 0 5 - 5 1 4 6 7 1 (J P , A)
 特開平 0 2 - 2 6 0 4 6 0 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3
 G 0 2 F 1 / 1 3 4 5
 G 0 2 F 1 / 1 3 5
 G 0 2 F 1 / 1 3 6 8
 G 0 9 F 9 / 3 0
 H 0 1 L 2 1 / 3 2 0 5
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 3 / 5 2 2
 H 0 1 L 2 3 / 5 3 2
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 1 4
 H 0 5 B 3 3 / 2 6
 H 0 5 B 3 3 / 2 8