



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년09월24일

(11) 등록번호 10-1444491

(24) 등록일자 2014년09월18일

(51) 국제특허분류(Int. C1.)

G11C 16/34 (2006.01) G11C 16/30 (2006.01)

G11C 16/12 (2006.01)

(21) 출원번호 10-2009-7018585

(22) 출원일자(국제) 2008년02월06일

심사청구일자 2013년01월16일

(85) 번역문제출일자 2009년09월04일

(65) 공개번호 10-2009-0117794

(43) 공개일자 2009년11월12일

(86) 국제출원번호 PCT/CA2008/000232

(87) 국제공개번호 WO 2008/095294

국제공개일자 2008년08월14일

(30) 우선권주장

60/888,638 2007년02월07일 미국(US)

(56) 선행기술조사문헌

JP2005310347 A

JP2002117687 A

US7180787 A

US7457156 A

전체 청구항 수 : 총 34 항

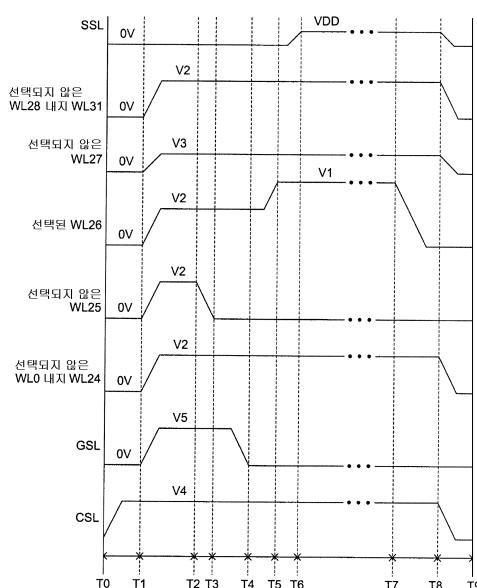
심사관 : 한선경

(54) 발명의 명칭 소스 측 비대칭 사전 충전 프로그래밍 방식

(57) 요약

본 발명은, 램덤 페이지 프로그래밍 동작을 허용하면서 프로그램 스트레스를 최소화하기 위해 NAND 플래시 셀을 프로그래밍하는 방법에 관한 것이다. 이 방법은, 비트라인을 NAND 스트링으로부터 끊으면서, NAND 스트링을 양으로 바이어스된 소스 라인으로부터 비대칭적으로 사전 충전하는 단계를 포함하며, 그 다음에 프로그래밍 전

(뒷면에 계속)

대 표 도 - 도11

압을 선택된 메모리 셀에 인가하고, 그 다음에 비트라인 데이터를 인가한다. 프로그래밍 전압을 비대칭적으로 사전 충전 및 인가한 후, 선택된 모든 메모리 셀은 프로그램 금지 상태로 설정될 것이며, 이는 이들 셀이 그 각각의 NAND 스트링에서 다른 메모리 셀로부터 끊길 것이고, 그 채널이 프로그래밍을 금지하는데 효과적인 전압으로 국부적으로 상승될 것이기 때문이다. VSS 바이어스된 비트라인은 국부적으로 상승된 채널을 VSS로 방전하여, 선택된 메모리 셀의 프로그래밍이 발생하게 할 것이다. VDD 바이어스된 비트라인은 사전 충전된 NAND 스트링에 어떠한 영향도 미치지 않을 것이며, 그리하여 이 선택된 메모리 셀의 프로그램 금지 상태를 유지할 것이다.

특허청구의 범위

청구항 1

비트라인과 소스 라인 사이에서 직렬로 접속된 스트링 선택 디바이스, 메모리 셀들 및 소스 라인 선택 디바이스를 갖는 NAND 플래시 스트링을 프로그래밍하는 방법으로서,

상기 비트라인을 제 1 공급 전압 레벨과 제 2 공급 전압 레벨 중 하나로 바이어스하는 단계;

상기 NAND 플래시 스트링의 선택된 메모리 셀을 상기 NAND 플래시 스트링의 선택되지 않은 메모리 셀들에 저장된 백그라운드 데이터와 무관한 프로그램 금지 상태로 설정하기 위해, 상기 NAND 플래시 스트링을 상기 소스 라인으로부터 비대칭적으로 사전 충전하는 단계; 및

상기 비트라인이 상기 제 2 공급 전압 레벨로 바이어스될 때에만 상기 선택된 메모리 셀을 프로그래밍하는 단계로서, 상기 선택된 메모리 셀은, 상기 비트라인이 상기 제 1 공급 전압 레벨로 바이어스될 때 상기 프로그램 금지 상태를 유지하는, 상기 선택된 메모리 셀을 프로그래밍하는 단계를 포함하는,

NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 2

청구항 1에 있어서, 상기 선택된 메모리 셀을 프로그래밍하는 단계는, 상기 비트라인이 상기 제 2 공급 전압 레벨로 바이어스될 때에만 상기 비트라인을 상기 선택된 메모리 셀에 결합하기 위해 상기 스트링 선택 디바이스를 상기 제 1 공급 전압 레벨로 구동하는 단계를 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 3

청구항 1에 있어서, 상기 NAND 플래시 스트링을 비대칭적으로 사전 충전하는 단계는 상기 소스 라인을 스트링 사전 충전 전압으로 바이어스하는 단계를 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 4

청구항 1에 있어서, 상기 NAND 플래시 스트링을 비대칭적으로 사전 충전하는 단계는 상기 소스 라인 선택 디바이스를 소스 라인 통과 전압으로 구동함으로써 상기 소스 라인을 상기 메모리 셀들에 결합하는 단계를 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 5

청구항 4에 있어서, 상기 NAND 플래시 스트링을 비대칭적으로 사전 충전하는 단계는,

상기 NAND 플래시 스트링의 하부 채널을 제 1 전압 레벨로 사전 충전하는 단계,

상기 NAND 플래시 스트링의 중간 채널을 제 2 전압 레벨로 사전 충전하는 단계, 및

상기 NAND 플래시 스트링의 상부 채널을 제 3 전압 레벨로 사전 충전하는 단계를 포함하며,

상기 NAND 플래시 스트링의 상기 하부 채널은, 상기 선택된 메모리 셀 및 상기 선택된 메모리 셀과 상기 소스 라인 선택 디바이스 사이에 위치한 상기 NAND 플래시 스트링의 하나 이상의 메모리 셀 각각을 포함하고, 상기 NAND 플래시 스트링의 상기 중간 채널은, 상기 선택된 메모리 셀과 상기 스트링 선택 디바이스 사이이고 상기 선택된 메모리 셀에 인접하여 위치한 상기 NAND 플래시 스트링의 적어도 하나의 메모리 셀을 포함하고, 상기 NAND 플래시 스트링의 상기 상부 채널은, 상기 중간 채널과 상기 스트링 선택 디바이스 사이에 위치하는 상기 NAND 플래시 스트링의 하나 이상의 메모리 셀 각각을 포함하고,

상기 제 1 전압 레벨, 상기 제 2 전압 레벨, 및 상기 제 3 전압 레벨은 다른 전압 레벨인,

NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 6

청구항 5에 있어서, 상기 NAND 플래시 스트링의 상기 하부 채널을 상기 제 1 전압 레벨로 사전 충전하는 단계는 상기 하부 채널의 메모리 셀들의 게이트 단자들을 제 1 통과 전압으로 구동하는 단계를 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 7

청구항 6에 있어서, 상기 NAND 플래시 스트링의 상기 중간 채널을 상기 제 2 통과 전압 레벨로 사전 충전하는 단계는 상기 중간 채널의 메모리 셀의 게이트 단자를 적어도 0V인 제 2 통과 전압으로 구동하는 단계를 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 8

청구항 7에 있어서, 상기 제 2 통과 전압은 프로그램된 메모리 셀 임계 전압 보다 더 크고, 상기 제 1 통과 전압 미만인, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 9

청구항 8에 있어서, 상기 NAND 플래시 스트링의 상기 상부 채널을 상기 제 3 전압 레벨로 사전 충전하는 단계는 메모리 셀들의 게이트 단자들을 상기 제 1 통과 전압으로 구동하는 단계를 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 10

청구항 9에 있어서, 상기 NAND 플래시 스트링의 상기 상부 채널을 상기 제 3 전압 레벨로 사전 충전하는 단계는, 상기 제 1 통과 전압과 상기 제 2 통과 전압 사이의 차이만큼 상기 상부 채널의 전압을 상승(boost)시키는 것을 더 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 11

청구항 10에 있어서, 상기 제 2 통과 전압은, 상기 상부 채널이 상기 제 3 전압에 있을 때, 상기 중간 채널의 메모리 셀을 턴 오프하기 위한 값이 되도록 선택되는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 12

청구항 11에 있어서, 상기 NAND 플래시 스트링의 상기 하부 채널을 상기 제 1 전압 레벨로 사전 충전하는 단계는,

상기 선택된 메모리 셀에 인접하여 위치하는 상기 하부 채널의 메모리 셀을 턴 오프하는 단계, 및

상기 소스 라인 선택 디바이스를 턴 오프하는 단계를 더 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 13

청구항 12에 있어서, 상기 NAND 플래시 스트링의 상기 하부 채널을 상기 제1 전압 레벨로 사전 충전하는 단계는, 상기 선택된 메모리 셀의 게이트를 프로그래밍 전압으로 구동함으로써, 상기 선택된 메모리 셀을 프로그래밍을 금지하는 전압으로 상승시키는 단계를 더 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 14

청구항 13에 있어서,

상기 NAND 플래시 스트링을 비대칭적으로 사전 충전하는 단계는,

상기 소스 라인을 스트링 사전 충전 전압으로 바이어스하는 단계, 및

상기 소스 라인 선택 디바이스를 소스 라인 통과 전압으로 구동하는 단계를 더 포함하고,

상기 프로그래밍 전압은 상기 제 1 통과 전압, 상기 스트링 사전 충전 전압, 및 상기 소스 라인 통과 전압보다 더 크고, 상기 스트링 사전 충전 전압은 적어도 상기 소스 라인 통과 전압인, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 15

청구항 14에 있어서, 상기 스트링 사전 충전 전압 및 상기 소스 라인 통과 전압은 상기 제 1 통과 전압에 있는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 16

청구항 1에 있어서, 상기 선택된 메모리 셀과 상기 소스 라인 선택 디바이스 사이의 상기 메모리 셀들 중 적어도 하나는 프로그램된 페이지에 대응하며, 상기 메모리 셀들 중 상기 적어도 하나는 프로그램된 임계 전압과 소거된 임계 전압 중 하나를 갖는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 17

청구항 5에 있어서, 상기 중간 채널의 메모리 셀은 프로그램된 임계 전압과 소거된 임계 전압 중 하나를 갖는 프로그램된 페이지에 대응하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 18

청구항 1에 있어서, 상기 선택된 메모리 셀과 상기 소스 라인 선택 디바이스 사이의 상기 메모리 셀들은 소거된 임계 전압을 갖는 소거된 페이지들에 대응하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 19

청구항 1에 있어서, 상기 선택된 메모리 셀과 상기 스트링 선택 디바이스 사이의 메모리 셀들은 소거된 임계 전압을 갖는 소거된 페이지들에 대응하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 20

비트라인과 소스 라인 사이에서 직렬로 접속된 스트링 선택 디바이스, 메모리 셀들 및 소스 라인 선택 디바이스를 갖는 NAND 플래시 스트링을 프로그래밍하는 방법으로서,

상기 비트라인을 제 1 공급 전압 레벨과 제 2 공급 전압 레벨 중 하나로 바이어스하는 단계;

선택된 메모리 셀에 인접하게 위치한 제 1 메모리 셀을 턴 오프하기 위해, 메모리 셀들의 그룹들을 포함하는 채널들을 상기 소스 라인과는 다른 전압 레벨들로 사전 충전하는 단계;

인가된 프로그래밍 전압에 응답하여 상기 선택된 메모리 셀을 프로그램 금지 상태로 사전 충전하는 단계; 및

상기 비트라인이 상기 제 2 공급 전압 레벨로 바이어스될 때에만 상기 비트라인을 상기 선택된 메모리 셀에 결합하기 위해 상기 스트링 선택 디바이스를 상기 제 1 공급 전압 레벨로 구동하는 단계로서, 상기 선택된 메모리 셀은, 상기 비트라인이 상기 제 1 공급 전압 레벨로 바이어스될 때 상기 프로그램 금지 상태를 유지하는, 상기 스트링 선택 디바이스를 상기 제 1 공급 전압 레벨로 구동하는 단계를 포함하는,

NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 21

비트라인과 소스 라인 사이에서 직렬로 접속된 스트링 선택 디바이스, 메모리 셀들 및 소스 라인 선택 디바이스를 갖는 NAND 플래시 스트링을 프로그래밍하기 위한 방법으로서,

모든 워드라인들을 제 1 통과 전압으로 구동하여, 상기 소스 라인에 의해 제공되고 상기 제 1 통과 전압보다 더 큰 스트링 사전 충전 전압을 상기 메모리 셀들에 결합하는 단계;

선택된 메모리 셀에 인접하고 상기 선택된 메모리 셀과 상기 스트링 선택 디바이스 사이에 위치한 제 1 메모리 셀에 대응하는 제 1 워드라인을 제외한 모든 워드라인들을 상기 제 1 통과 전압보다 더 큰 제 2 통과 전압으로 계속해서 구동하는 단계;

상기 선택된 메모리 셀에 인접한 제 2 메모리 셀에 대응하는 제 2 워드라인을, 상기 제 2 메모리 셀을 턴 오프하기 위해, 제 1 공급 전압으로 구동하는 단계;

상기 선택된 메모리 셀에 대응하는 제 3 워드라인을 상기 제 2 통과 전압보다 더 큰 프로그래밍 전압으로 구동하는 단계; 및

상기 비트라인을 상기 선택된 메모리 셀에 결합하는 단계를 포함하는,

NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 22

청구항 21에 있어서, 상기 스트링 사전 충전 전압을 결합하는 단계는 상기 소스 라인 선택 디바이스를 소스 라인 통과 전압으로 구동하는 단계를 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 23

청구항 21에 있어서, 상기 비트라인을 결합하는 단계는 상기 스트링 선택 디바이스를 제 2 공급 전압으로 구동하는 단계를 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 24

청구항 22에 있어서, 상기 프로그래밍 전압은 상기 제 2 통과 전압, 상기 스트링 사전 충전 전압 및 상기 소스 라인 통과 전압보다 더 크고, 상기 스트링 사전 충전 전압은 적어도 상기 소스 라인 통과 전압이고, 상기 제 1 통과 전압은 적어도 0V인, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 25

청구항 24에 있어서, 상기 스트링 사전 충전 전압과 상기 소스 라인 통과 전압은 상기 제 1 통과 전압에 있는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 26

청구항 24에 있어서, 상기 제 1 통과 전압은 프로그램된 메모리 셀 임계 전압보다 더 큰, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 27

청구항 24에 있어서, 순차적인 프로그래밍 방향에서 상기 선택된 메모리 셀 앞에 있는 메모리 셀들은 소거된 페이지들에 대응하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 28

청구항 27에 있어서, 상기 순차적인 프로그래밍 방향은 상기 선택된 메모리 셀로부터 상기 소스 라인으로인 제 1 방향과, 상기 선택된 메모리 셀로부터 상기 비트라인으로인 제 2 방향을 포함하는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 29

청구항 28에 있어서, 상기 제 1 통과 전압은 상기 제 2 프로그래밍 방향에서 0V로 설정되는, NAND 플래시 스트링을 프로그래밍하는 방법.

청구항 30

비트라인과 소스 라인 사이에서 직렬로 접속된 스트링 선택 디바이스, 메모리 셀들 및 소스 라인 선택 디바이스를 구동하기 위한 구동기; 및

프로그래밍 동작에서 상기 구동기를 제어하기 위한 제어기로서,

상기 소스 라인에 의해 제공되고 제 1 통과 전압보다 더 큰 스트링 사전 충전 전압을 상기 메모리 셀들에 결합하기 위해 상기 메모리 셀들의 모든 워드라인들을 상기 제 1 통과 전압으로 구동하고,

선택된 메모리 셀에 인접하고 상기 선택된 메모리 셀과 상기 스트링 선택 디바이스 사이에 위치한 제 1 메모리 셀에 대응하는 제 1 워드라인을 제외한 모든 워드라인을 상기 제 1 통과 전압보다 더 큰 제 2 통과 전압으로 계속 구동하고,

상기 선택된 메모리 셀에 인접한 제 2 메모리 셀에 대응하는 제 2 워드라인을, 상기 제 2 메모리 셀을 턴 오프하기 위해, 제 1 공급 전압으로 구동하고,

상기 선택된 메모리 셀에 대응하는 제 3 워드라인을 상기 제 2 통과 전압보다 더 큰 프로그래밍 전압으로 구동하며, 및

상기 비트라인을 상기 선택된 메모리 셀에 결합하도록 구성되는 상기 제어기를 포함하는,
플래시 메모리 디바이스.

청구항 31

청구항 30에 있어서, 상기 구동기는,

행 신호들을 상기 메모리 셀들에 결합하고, 소스 선택 신호를 상기 소스 라인 선택 디바이스에 결합하며 스트링 선택 신호를 스트링 선택 디바이스에 결합하기 위한 워드라인 구동기들,
블록 어드레스에 응답하여 상기 워드라인 구동기들을 인에이블하기 위한 블록 디코더, 및,
행 어드레스에 응답하여 상기 행 신호들, 상기 소스 선택 신호 및 상기 스트링 선택 신호를 제공하기 위한 행 디코더를 포함하는, 플래시 메모리 디바이스.

청구항 32

청구항 31에 있어서, 상기 행 디코더는 상기 행 신호들 중 하나를 제공하기 위한 행 디코더 회로를 포함하고,
상기 행 디코더 회로는 상기 프로그래밍 전압, 상기 제 1 통과 전압 및 상기 제 2 통과 전압 중 하나를 상기 행 신호들 중 상기 하나에 선택적으로 결합하기 위한 멀티플렉서를 포함하는, 플래시 메모리 디바이스.

청구항 33

청구항 32에 있어서, 상기 행 디코더는 상기 소스 선택 신호를 제공하기 위한 행 디코더 회로를 포함하고,
상기 행 디코더 회로는 VSS 및 상기 제 2 통과 전압 중 하나를 상기 소스 선택 신호에 선택적으로 결합하기 위한 멀티플렉서를 포함하는, 플래시 메모리 디바이스.

청구항 34

청구항 32에 있어서, 상기 행 디코더는 상기 스트링 선택 신호를 제공하기 위한 행 디코더 회로를 포함하고,
상기 행 디코더 회로는 VSS 및 VDD 중 하나를 상기 스트링 선택 신호에 선택적으로 결합하기 위한 멀티플렉서를 포함하는, 플래시 메모리 디바이스.

명세서

기술 분야

[0001]

본 출원은, 2007년 2월 7일에 출원되었고 그 전체가 참조로서 본 명세서에 병합되어 있는 미국 가특허출원 일련번호 제 60/888,638호의 우선권 이익을 청구한다.

[0002]

본 출원은 일반적으로 반도체 디바이스에 관한 것이다. 더욱 상세하게, 본 발명은 플래시 메모리 디바이스 및 플래시 디바이스 프로그래밍 방법에 관한 것이다.

배경기술

[0003]

수많은 타입의 가전제품이, 마이크로컨트롤러에 의한 코드 실행을 위해 데이터나 소프트웨어를 보관하기 위한 어떤 형태의 대용량 저장매체에 의존한다. 그러한 가전제품은 다양하며, 개인 디지털 보조 장치(PDA's), 휴대용 음악 재생기, 휴대용 멀티미디어 재생기(PMP's) 및 디지털 카메라와 같은 디바이스를 포함한다. PDA's에서, 대용량 저장 매체가 애플리케이션 및 데이터를 저장하는데 필요한 반면, 휴대용 음악 재생기 및 디지털 카메라는 음악 파일 데이터 및/또는 이미지 데이터를 보관하기 위해 많은 양의 대용량 저장 매체를 필요로 한다. 그러한 휴대용 전자 장치를 위한 대용량 저장 솔루션은 바람직하게는 크기가 작고, 최소 전력을 소비하며 높은 저장 밀도를 갖는다. 이것은 비휘발성 형태의 메모리로 선택을 제한하며, 이는, SRAM(Static Random Access Memory) 및 DRAM(Dynamic Random Access Memory)과 같은 휘발성 메모리가 데이터를 보관하기 위해서 일정한 전력 인가를 필요로 하기 때문이다. 종래기술에서 알려진 바와 같이, 휴대용 전자 장치는 유한한 전원을 갖는 배터리에 의존한다. 그러므로 전원이 제거된 이후에도 데이터를 보관하는 비휘발성 메모리가 바람직하다.

[0004]

많은 소비자 제품이 커모더티(commodity) 플래시 메모리를 사용하지만, 플래시 메모리는 마이크로프로세싱 기능을 가진 셀 폰 및 디바이스와 같은 제품에서 소비자에 의해 간접적으로 사용된다. 더욱 상세하게, 가전 전

자 장치에서 흔히 볼 수 있는 주문형 집적회로(ASIC)는 펌웨어 업그레이드를 가능케 하기 위해 플래시 메모리 를 집적하고 있을 수 있다. 말할 것도 없이, 플래시 메모리는 크기, 저장 밀도, 및 속도에 있어서 그 최적의 균형을 갖추고 있어서 다용도이며, 이로 인해 가전 전자 장치에 대한 바람직한 비-휘발성 대용량 저장 솔루션이 되게 되었다.

[0005] 플래시 메모리 디바이스가 프로그램 방해(program disturb)를 겪는다는 점은 당업자에게 잘 알려져 있다. 더욱 상세하게, 선택된 메모리 셀이 대응하는 선택된 워드라인을 프로그래밍 전압으로 구동함으로써 프로그램될 때, 프로그램되지 않은 동일한 워드라인 중에서 선택되지 않은 메모리 셀은 부주의하게 소프트 프로그램될 수 있다. 이는, 프로그램되지 않도록 선택된 메모리 셀에 대한 프로그램 금지 상태를 구축하기 위한 바이어스가 이들 메모리 셀이 프로그램되는 것을 완전히 막기에는 불충분하다는 문제로 인한 것이다. 더 나아가 플래시 메모리에서 선택되지 않은 메모리 셀은 또한 프로그램 방해를 겪을 것이며, 이는 프로그래밍 동작 동안에 선택되지 않은 워드라인에 인가된 전압이 너무 높고, 이것은 결국 프로그램된 또는 소거된 임계 전압의 시프팅을 초래할 수 있기 때문이다. 이러한 문제는 순차 프로그래밍 방식으로 해결되었지만, 랜덤 페이지 프로그래밍 동작의 금지는 결국 애플리케이션의 성능 저하를 야기하며, 이는, 랜덤 페이지 프로그래밍과 관련된 동작 유통성이 손상되기 때문이다.

발명의 상세한 설명

[0006] 본 발명의 제 1 구성에 따라, 비트라인과 소스 라인 사이에서 직렬로 접속된 스트링 선택 디바이스, 메모리 셀 및 소스 라인 선택 디바이스를 갖는 NAND 플래시 스트링을 프로그래밍하는 방법이 제공된다. 이 방법은 비트라인을 바이어스하는 단계, 채널 그룹을 비대칭적으로 사전 충전하는 단계 및 선택된 메모리 셀을 프로그래밍하는 단계를 포함한다. 비트라인은 제 1 공급 전압 레벨 및 제 2 공급 전압 레벨 중 하나로 바이어스된다. 채널의 그룹은 메모리 셀에 대응하며, 메모리 셀은, 선택된 메모리 셀 채널을 선택되지 않은 메모리 셀에 저장된 백그라운드 데이터와 무관한 프로그램 금지 상태로 설정하기 위해 소스 라인과는 다른 전압 레벨로 비대칭적으로 사전 충전된다. 선택된 메모리 셀은, 비트라인이 제 2 공급 전압 레벨로 바이어스될 때에만 프로그램되고, 선택된 메모리 셀은, 비트라인이 제 1 공급 전압 레벨로 바이어스될 때에 프로그램 금지 상태를 유지한다. 본 구성의 실시예에 따라, 선택된 메모리 셀을 프로그래밍하는 단계는, 비트라인이 제 2 공급 전압 레벨로 바이어스될 때에만 비트라인을 선택된 메모리 셀에 결합하기 위해 스트링 선택 디바이스를 제 1 공급 전압 레벨로 구동하는 단계를 포함한다. 비대칭적으로 사전 충전하는 단계는, 소스 라인을 스트링 사전 충전 전압으로 바이어스하는 단계와, 소스 라인 선택 디바이스를 소스 라인 통과 전압으로 구동함으로써 소스 라인을 메모리 셀에 결합하는 단계를 포함할 수 있다.

[0007] 본 방법의 구성에 따라, 비대칭적으로 사전 충전하는 단계는 하부 채널을 사전 충전하는 단계, 중간 채널을 사전 충전하는 단계 및 상부 채널을 사전 충전하는 단계를 포함한다. 하부 채널은 소스 라인 선택 디바이스와 제 1 사전 충전 전압으로 사전 충전되는 선택된 메모리 셀에 인접한 제 1 메모리 셀 사이의 메모리 셀에 대응하고, 하부 채널은 선택된 메모리 셀과, 선택된 메모리 셀에 인접한 제 2 메모리 셀을 포함한다. 중간 채널은 제 2 사전 충전 전압으로 사전 충전된 제 1 메모리 셀에 대응한다. 상부 채널은 제 1 메모리 셀과, 제 3 사전 충전 전압으로 사전 충전된 스트링 선택 디바이스 사이의 메모리 셀에 대응한다. 하부 채널을 사전 충전하는 단계는 소스 라인 선택 디바이스와 제 1 메모리 셀 사이의 메모리 셀의 게이트 단자를 제 1 통과 전압으로 구동하는 단계를 포함한다. 중간 채널을 사전 충전하는 단계는 제 1 메모리 셀의 게이트 단자를 제 2 통과 전압으로 구동하는 단계를 포함하며, 제 2 통과 전압은 적어도 0V이며, 여기서 제 2 통과 전압은 프로그램된 메모리 셀의 임계 전압보다 더 크고 통과 전압 미만이다. 상부 채널을 사전 충전하는 단계는 제 1 메모리 셀과 스트링 선택 디바이스 사이의 메모리 셀의 게이트 단자를 제 1 통과 전압으로 구동하는 단계를 포함한다. 후에, 상부 채널은 제 1 통과 전압과 제 2 통과 전압 사이의 차이만큼 상승되어 제 3 사전 충전 전압을 제공하며, 여기서 제 2 통과 전압은, 상부 채널이 제 3 사전 충전 전압에 있을 때 제 1 메모리 셀을 턴 오프하기 위한 값이 되도록 선택된다.

[0008] 본 방법의 다른 구성에 따라, 하부 채널을 사전 충전하는 단계는 제 2 메모리 셀을 턴 오프하는 단계와, 소스 라인 선택 디바이스를 턴 오프하는 단계를 더 포함한다. 하부 채널을 사전 충전하는 단계는, 선택된 메모리 셀의 게이트를 프로그래밍 전압으로 구동함으로써, 선택된 메모리 셀 채널을 프로그래밍을 금지하는데 효과적인 전압으로 국부적으로 상승시키는 단계를 더 포함한다. 프로그래밍 전압은 제 1 통과 전압, 스트링 사전 충전 전압 및 소스 라인 통과 전압보다 더 크고, 스트링 사전 충전 전압은 적어도 소스 라인 통과 전압이다. 본 구성의 다른 실시예에서, 스트링 사전 충전 전압과 소스 라인 통과 전압은 적어도 제 1 통과 전압에 있다. 선택된 메모리 셀과 소스 라인 선택 디바이스 사이의 메모리 셀 중 적어도 하나는 프로그램된 페이지에 대응하

고, 메모리 셀 중 적어도 하나는 프로그램된 임계 전압과 소거된 임계 전압 중 하나를 갖는다. 제 1 메모리 셀은 프로그램된 임계 전압과 소거된 임계 전압 중 하나를 갖는 프로그램된 페이지에 대응한다. 선택된 메모리 셀과 소스 라인 선택 디바이스 사이의 메모리 셀은 소거된 임계 전압을 갖는 소거된 페이지에 대응하거나, 대안적으로 선택된 메모리 셀과 스트링 선택 디바이스 사이의 메모리 셀은 소거된 임계 전압을 갖는 소거된 페이지에 대응한다.

[0009] 본 발명의 제 2 구성에서, 비트라인과 소스 라인 사이에서 직렬로 접속된 스트링 선택 디바이스, 메모리 셀 및 소스 라인 선택 디바이스를 갖는 NAND 플래시 스트링을 프로그래밍하는 방법이 제공된다. 이 방법은 제 1 공급 전압 레벨과 제 2 공급 전압 레벨 중 하나로 비트라인을 바이어스하는 단계; 선택된 메모리 셀에 인접한 제 1 메모리 셀을 턴 오프하기 위해 메모리 셀에 대응하는 채널 그룹을 소스 라인과는 다른 전압 레벨로 사전 충전하는 단계; 인가된 프로그래밍 전압에 응답하여 선택된 메모리 셀 채널을 프로그램 금지 상태로 사전 충전하는 단계; 및 비트라인이 제 2 공급 전압 레벨로 바이어스될 때에만 비트라인을 선택된 메모리 셀에 결합하기 위해 스트링 선택 디바이스를 제 1 공급 전압 레벨로 구동하는 단계를 포함하며, 선택된 메모리 셀은, 비트라인이 제 1 공급 전압 레벨로 바이어스될 때 프로그램 금지 상태를 유지한다.

[0010] 본 발명의 제 3 구성에서, 비트라인과 소스 라인 사이에 직렬로 접속된 스트링 선택 디바이스, 메모리 셀 및 소스 라인 선택 디바이스를 갖는 NAND 플래시 스트링을 프로그래밍하는 방법이 제공된다. 이 방법은 모든 워드라인을 제 1 통과 전압으로 구동하는 단계, 제 1 워드라인을 제외한 모든 워드라인을 제 2 통과 전압으로 계속 구동하는 단계, 제 2 워드라인을 제 1 공급 전압으로 구동하는 단계, 제 3 워드라인을 프로그래밍 전압으로 구동하는 단계, 비트라인을 선택된 메모리 셀에 결합하는 단계를 포함한다. 소스 라인에 의해 제공되는 스트링 사전 충전 전압은 제 1 통과 전압보다 더 크다. 선택된 메모리 셀에 인접한 제 1 메모리 셀에 대응하는 제 1 워드라인을 제외한 모든 워드라인은 제 1 통과 전압보다 더 큰 제 2 통과 전압으로 구동되며, 제 1 메모리 셀은 선택된 메모리 셀과 스트링 선택 디바이스 사이에 위치한다. 선택된 메모리 셀에 인접한 제 2 메모리 셀에 대응하는 제 2 워드라인은 제 2 메모리 셀을 턴 오프하기 위해 제 1 공급 전압으로 구동된다. 선택된 메모리 셀에 대응하는 제 3 워드라인은 제 2 통과 전압보다 더 큰 프로그래밍 전압으로 구동된다.

[0011] 본 구성의 실시예에서, 스트링 사전 충전 전압을 결합하는 단계는 소스 라인 선택 디바이스를 소스 라인 통과 전압으로 구동하는 단계를 포함하고, 비트라인을 결합하는 단계는 스트링 선택 디바이스를 제 2 공급 전압으로 구동하는 단계를 포함한다. 본 방법에서, 프로그래밍 전압은 제 2 통과 전압, 스트링 사전 충전 전압 및 소스 라인 통과 전압보다 더 크고, 스트링 사전 충전 전압은 적어도 소스 라인 통과 전압이고, 제 1 통과 전압은 적어도 OV이다. 스트링 사전 충전 전압 및 소스 라인 통과 전압은 제 1 통과 전압에 있고, 제 1 통과 전압은 프로그램된 메모리 셀 임계 전압보다 더 크다. 다른 실시예에서, 순차적인 프로그래밍 방향에서 선택된 메모리 셀에 앞선 메모리 셀은 소거된 페이지에 대응하고, 여기서, 순차적인 프로그래밍 방향은 선택된 메모리 셀로부터 소스 라인으로의 제 1 방향과, 선택된 메모리 셀로부터 비트라인으로의 제 2 방향을 포함한다. 이 실시예에서, 제 1 통과 전압은 제 2 프로그래밍 방향에서 OV로 설정된다.

[0012] 본 발명의 제 4 구성에서, 플래시 메모리 디바이스가 제공된다. 플래시 메모리 디바이스는 구동기와 제어기를 포함한다. 구동기는 비트라인과 소스 라인 사이에 직렬로 접속되는 스트링 선택 디바이스, 메모리 셀 및 소스 라인 선택 디바이스를 구동한다. 제어기는 프로그래밍 동작에서 구동기를 제어하고, 소스 라인에 의해 제공되고 제 1 통과 전압보다 더 큰 스트링 사전 충전 전압을 메모리 셀에 결합시키기 위해 메모리 셀의 모든 워드라인을 제 1 통과 전압으로 구동하고; 선택된 메모리 셀에 인접하고 선택된 메모리 셀과 스트링 선택 디바이스 사이에 위치한 제 1 메모리 셀에 대응하는 제 1 워드라인을 제외한 모든 워드라인을 제 1 통과 전압보다 더 큰 제 2 통과 전압으로 계속해서 구동하고; 제 2 메모리 셀을 턴 오프하기 위해 선택된 메모리 셀에 인접한 제 2 메모리 셀에 대응하는 제 2 워드라인을 제 1 공급 전압으로 구동하며; 선택된 메모리 셀에 대응하는 제 3 워드라인을 제 2 통과 전압보다 더 큰 프로그래밍 전압으로 구동하고, 비트라인을 선택된 메모리 셀에 결합하도록 구성된다.

[0013] 본 구성의 실시예에서, 구동기는 워드라인 구동기, 블록 디코더 및 행 디코더를 포함한다. 워드라인 구동기는 행 신호를 메모리 셀에 결합하고, 소스 선택 신호를 소스 라인 선택 디바이스에 결합하며, 스트링 선택 신호를 스트링 선택 디바이스에 결합한다. 다른 실시예에서, 행 디코더는 행 신호 중 하나를 제공하기 위한 행 디코더 회로를 포함하며, 행 디코더 회로는 프로그래밍 전압, 제 1 통과 전압 및 제 2 통과 전압 중 하나를 행 신호 중 하나에 선택적으로 결합시키기 위한 멀티플렉서를 포함한다. 행 디코더는 소스 선택 신호를 제공하기 위한 행 디코더 회로를 포함할 수 있고, 행 디코더 회로는 VSS 및 제 2 통과 전압 중 하나를 소스 선택 신호

에 선택적으로 결합하기 위한 멀티플렉서를 포함한다. 행 디코더는 스트링 선택 신호를 제공할 수 있고, 행 디코더 회로는 VSS 및 VDD 중 하나를 스트링 선택 신호에 선택적으로 결합하기 위한 멀티플렉서를 포함한다.

[0014] 본 발명의 다른 구성 및 특징은 수반한 도면과 연계하여 본 발명의 특정 실시예에 대한 다음의 상세한 설명을 읽음으로써 당업자에게 분명하게 될 것이다.

[0015] 본 발명의 실시예는 이제, 첨부된 도면을 참조하여, 예를 통해서만 설명될 것이다.

실시예

[0037] 일반적으로, 본 발명은, 랜덤 페이지 프로그래밍 동작을 허용하면서, 프로그램 스트레스를 최소화하기 위해 NAND 플래시 메모리를 프로그래밍하는 방법을 제공한다. NAND 스트링은 양으로 바이어스된 소스 라인으로부터 비대칭적으로 사전 충전되는 반면, 비트라인의 연결은 NAND 스트링으로부터 끊긴다. 그러면, 프로그래밍 전압은 선택된 메모리 셀에 인가되고, 그 다음에 비트라인 데이터가 인가된다. 비대칭적인 사전 충전 및 프로그래밍 전압의 인가 이후에, 선택된 메모리 셀 모두는 프로그램 금지 상태로 설정될 것이며, 이는 이들이 각자의 NAND 스트링의 다른 메모리 셀부터 끊길 것이며, 이들의 채널이 프로그래밍을 금지하는데 효과적인 전압으로 국부적으로 상승될 것이다. VSS 바이어스된 비트라인은 국부적으로 상승된 채널을 VSS로 방전시킬 것이며, 그리하여 선택된 메모리 셀의 프로그래밍을 발생되게 한다. VDD 바이어스된 비트라인은 사전 충전된 NAND 스트링에 어떠한 영향도 미치지 않을 것이며, 그에 따라 그 선택된 메모리 셀의 프로그램 금지된 상태를 유지하게 될 것이다. 이 NAND 플래시 메모리 프로그래밍 방법은 소스 측 비대칭 사전 충전 프로그래밍 방식이라 칭할 것이다.

[0038] 도 1은 종래의 전형적인 플래시 메모리의 일반적인 블록도이다. 플래시 메모리(10)는 플래시 회로의 여러 기능을 제어하기 위한 논리 회로, 어드레스 및 데이터를 저장하기 위한 레지스터, 필요한 프로그램 및 소거 전압을 생성하기 위한 고전압 회로, 및 플래시 메모리 어레이를 어드레싱하기 위한 코어 메모리 회로를 포함한다. 플래시 메모리(10)의 도시한 회로 블록의 기능은 종래에 잘 알려져 있다. 당업자는, 도 1에 도시한 플래시 메모리(10)가 많은 가능한 구성 중 하나의 가능한 플래시 메모리 구성을 나타냄을 이해할 것이다.

[0039] 도 2a, 도 2b 및 도 2c는 도 1에 도시한 플래시 메모리 셀 어레이에 사용된 NAND 메모리 셀 스트링의 예시이다. 도 2a는 두 개의 NAND 메모리 셀 스트링의 개략적인 회로도이다. 도 2b는 도 2a에 도시한 두 개의 NAND 메모리 셀 스트링의 물리적인 레이아웃이다. 도 2c는 라인(A-A')을 따라서 취한, 도 2b에 도시한 하나의 NAND 메모리 셀 스트링의 횡단면도이다. 현재 도시한 예에서, 각 NAND 메모리 셀 스트링은 각 워드라인(WL0 내지 WL31)에 각각 접속된 32개의 직렬로 접속된 플로우팅 게이트 메모리 셀(50), 비트라인(54)과 제 1 플로우팅 게이트 메모리 셀(50) 사이에 접속된 스트링 선택 트랜지스터(52), 및 공통 소스 라인(CSL)(58)과 마지막 플로우팅 게이트 메모리 셀(50) 사이에 접속된 접지 선택 트랜지스터(56)를 포함한다. 스트링 선택 트랜지스터(52)의 게이트는 스트링 선택 신호(SS)를 수신하는 반면, 접지 선택 트랜지스터(56)의 게이트는 접지 선택 신호(GSL)를 수신한다. NAND 메모리 셀 스트링은 공통 워드라인, 스트링 선택 SSL, 및 접지 선택 GSL 신호 라인을 공유한다. 각 메모리 셀(50), 스트링 선택 트랜지스터(52) 및 접지 선택 트랜지스터(56)는 확산 영역(62) 사이의 게이트 산화물 아래에 채널 영역(60)을 갖는다.

[0040] 도시한 NAND 메모리 스트링의 구성 및 배치는 종래에 잘 알려져 있고, 스트링 당 임의의 수의 메모리 셀을 포함할 수 있다. 일반적으로, 동일한 워드라인, SSL 및 GSL 신호와 병렬로 접속된 메모리 스트링 모두는 메모리 블록을 형성하고, 동일한 워드라인에 병렬로 접속된 메모리 셀 모두는 메모리 블록의 메모리 페이지를 형성한다.

[0041] 임의의 프로그램 동작 이전에, 메모리 어레이의 NAND 메모리 셀 스트링이 종래의 잘 알려진 기술에 따라 먼저 소거된다. NAND 메모리 셀 스트링의 각 블록은 선택적으로 소거될 수 있고, 그리하여 하나 이상의 블록이 동시에 소거될 수 있다. 이것이 의미하는 점은, 메모리 블록의 모든 페이지가 동시에 소거되지만, 메모리 블록의 일부가 선택적으로 소거될 수 있다는 점이다. 성공적으로 소거될 때, 소거된 플로우팅 게이트 메모리 셀(50) 모두는 음의 임계 전압을 가질 것이다. 실제, 소거된 메모리 셀(50) 모두는 예컨대 논리 "1"과 같은 디폴트 논리 상태로 설정된다. 프로그램된 메모리 셀(50)은 양의 임계 전압으로 변경되고 그에 따라 정반대인 "0"논리 상태를 나타내는 그 임계 전압을 가질 것이다.

[0042] 도 3은 소거된 메모리 셀 및 프로그램된 메모리 셀에 대한 임계 전압(Vt) 분포 그래프를 도시한다. 공정 및 전압 공급 변동으로 인해, 소거된 및 프로그램된 임계 전압은 전압 범위 내에서 분포될 것이다. 예컨대, 도 3에 도시한 바와 같이, 소거된 메모리 셀은 -3V와 -1V 사이의 음의 임계 전압을 가질 수 있는 반면, 프로그램

된 메모리 셀은 1V와 3V 사이의 양의 임계 전압을 가질 수 있다. 일반적으로, 셀은, 그 소스와 드레인 단자를 계속 접지시키면서, 고전압을 그 게이트에 인가함으로써 프로그램된다. 고전계는 메모리 셀 채널의 전자가 게이트 산화물을 횡단하여 플로우팅 게이트에 삽입되게 하며(F-N(Fowler-Nordheim) 터널링으로 알려짐), 그리하여 메모리 셀의 유효 임계 전압을 증가시킨다.

[0043] 프로그래밍은 전형적으로 페이지 단위로 행해지며, 이것은, 동일한 워드라인에 접속된 블록의 모든 메모리 셀(50)이 동시에 기록 데이터(논리 "0")로 프로그램되도록 선택된다는 점을 의미한다. 나머지 메모리 셀은 그에 따라 프로그래밍 동안에 선택되지 않는다. 메모리 셀은 프로그래밍 이전에 소거된 상태(논리 "1")에서 시작하므로, 논리 "0"으로 프로그램될 메모리 셀 만이 F-N 터널링을 촉진하는데 필요한 고전계를 받아야 한다. 선택된 메모리 셀의 프로그래밍은 프로그래밍 전압(VPGM)을 선택된 메모리 셀의 게이트에 인가함으로써 영향을 받는다. 그러나 메모리 어레이의 물리적인 접속으로 인해, 동일한 워드라인을 따라서 있는 모든 메모리 셀은 동일한 고전압 프로그래밍 레벨을 수신한다. 그 결과, 소거된 메모리 셀이 그 임계 전압이 부주의하게 시프트하게 될 가능성이 있다. 이것을 프로그램 방해(program disturb)라고 부르며, 플래시 메모리 분야에 잘 알려져 있다. 프로그램 방해를 최소화하기 위해 종래에 알려진 프로그래밍 방식이 있다.

[0044] 하나의 잘 알려진 프로그래밍 방식이 "대용량 저장 매체 응용을 위한 90-nm CMOS 1.8-V 2-Gb NAND 플래시 메모리"라는 제목으로 June Lee 등이 저술한 논문(IEEE J 고체 회로, vol. 38, no. 11, pp. 1934-1942, Nov 2003)에 기재되어 있다. 이러한 순차적인 프로그래밍 방식에서, 예컨대 도 2a를 참조하면, 스트링 선택 트랜지스터(52)는 턴 온되고, 접지 선택 트랜지스터(56)는 턴 오프되는데 반해, 프로그램될 셀에 대한 비트라인 전압은 VSS로 설정되고, 프로그램 금지될 셀에 대한 비트라인 전압은 VDD로 설정된다. VSS 바이어스된 비트라인은 대응하는 NAND 스트링의 채널을 접지에 결합시킨다. 프로그램 전압(Vpgm)이 선택된 메모리 셀의 게이트에 인가될 때, 게이트와 채널 사이의 큰 전위차로 인해 플로우팅 게이트로의 전자의 F-N 터널링이 초래되어, 셀을 프로그래밍하게 된다. 프로그램 금지될 메모리 셀에서, 비트라인은 먼저 NAND 스트링 채널을 사전 충전한다. NAND 스트링의 워드라인 전압이 선택된 워드라인에 대해 프로그램 전압(Vpgm)으로 상승하고, 선택되지 않은 워드라인에 대해 통과 전압(Vpass)으로 상승할 때, 제어 게이트, 플로우팅 게이트, 채널 및 벌크에 결친 직렬 커패시턴스가 결합되고, 채널 전위는 자동으로 상승한다. 결합된 채널 전압이 VDD-Vth_sst(여기서, Vth_sst는 스트링 선택 트랜지스터(52)의 임계 전압임)로 상승할 때, 스트링 선택 트랜지스터(52)는 단히며, 채널은 플로우팅 노드가 된다. 플로우팅 채널 전압이 게이트 전압의 대략 80%까지 상승한다고 결정되었다. 그에 따라, 프로그램 금지된 셀의 채널 전압은, 프로그램 Vpgm이 15.5V와 20V 사이에 있고, 통과 전압(Vpass)이 10V에 있을 때 대략 8V로 상승한다. 이 고 채널 전압은 F-N 터널링이 프로그램이 금지된 셀에서 발생하는 것을 방지한다.

[0045] 불행히도, 이러한 타입의 프로그래밍 방식은 VDD에 대한 강한 의존성을 겪는다. 더욱 상세하게, 상승한 채널 전압 레벨은 VDD의 함수인 초기 사전 충전 레벨에 크게 의존한다. 채널 상승 이전에 선택된 NAND 스트링의 최대 사전 충전 레벨은, 선택된 NAND 스트링에서의 모든 셀이 소거된 상태에 있을 때 VDD-Vth_sst(SST의 Vth)가 될 것이다. 그러나 전력 소비를 감소시키기 위해서, 더 낮은 VDD 전압이 매우 바람직하다. NAND 플래시에서, 전형적인 VDD 동작 전압은, 현재의 공정 노드에 관계없이 2.7V와 3.6V 사이에 있다. 심지어 50nm 공정 노드에서의 NAND 플래시 메모리 디바이스도 3.3V의 VDD를 사용한다. 비록 1.8V가 매우 바람직함에도, 3.3V를 유지하는 주된 이유는 프로그램 스트레스를 감소시키기 때문이다.

[0046] 그러한 방식이 같은 다른 문제는 장치 성능에 부정적인 영향을 미칠 수 있는 SSL-인접한 워드라인 결합이다. 프로그래밍 동작에서, 비트라인 전압을 NAND 스트링에 결합시키기 위해 SSL이 VDD로 바이어스된 이후, WL31은 0V로부터 통과 전압(Vpass)으로 증가한다. 이상적으로, 상승한 채널은 스트링 선택 트랜지스터(52)를 턴 오프 할 레벨로 상승할 것이다. 그러나 SSL은 WL31과의 용량성 결합에 의해 잠시 증가하며, 그 결과 스트링 선택 트랜지스터(52)는 잠시 활성화된다. 상승한 채널 커패시턴스(5fF)는 비트라인 커패시턴스보다 만 배 더 작음을 주목해야 한다. 그러므로 비록 스트링 선택 트랜지스터(52)가 부-임계 기간에서 동작하고 있을 지라도, 채널은 그 상승한 전하를 비트라인과의 전하 공유에 의해 잃게 될 수 있다. 이로 인해 프로그램 금지된 셀은 스트레스에 의한 바람직하지 않게는 프로그램되게 될 것이다.

[0047] 도 4는 공급 전압(VDD)과 관련하여 선택된 메모리 셀에 대한 상승한 채널 전압(Vch_boost)을 도시하는, June Lee 등의 순차적인 프로그래밍 방식의 시뮬레이션이다. 이 시뮬레이션에서, Vpgm=18V, Vpass=10V, 메모리 셀의 소거된 임계 전압은 Vthc_erase=-3V이고, 메모리 셀의 프로그램된 임계 전압은 Vtch_pgm=2V이다. Vch_boost 테이터는 세 가지 다른 시나리오에 대해 도시되어 있다. 제 1 시나리오에서, NAND 스트링의 모든 메모리 셀은 소거된다. 제 2 시나리오에서, NAND 스트링의 메모리 셀은 체커보드 데이터 패턴을 갖는다. 제 3

시나리오에서, 프로그램될 선택된 메모리 셀과 비트라인 사이의 NAND 스트링의 선택되지 않은 메모리 셀이 프로그래밍된다. 최종 상승한 채널 전압(Vch_boost)은 18V의 Vpgm에서 소프트 프로그래밍(즉, Vpgm 스트레스)을 회피하기 위해 적어도 7V이어야 한다. 그러나 NAND 스트링의 선택되지 않은 셀이 모두 프로그램될 때 Vch_boost는 6V보다 더 낮다. 그러므로 Vpass는 Vpgm 스트레스를 감소시키도록 증가해야 하지만, 증가한 Vpass는 더 많은 Vpass 스트레스를 부가한다. 그러므로 그러한 프로그래밍 방식의 프로그램 금지의 효율은 BDPD(Background Data Pattern Dependency)로 인해 감소한다. 더 나아가, 시뮬레이션 결과는, Vch_boost가 VDD에 의존하고, VDD가 강하함에 따라 프로그래밍을 금지하는데 덜 효과적이라는 점을 도시한다.

[0048] 그러므로 공정 기술의 규모를 줄임에 따라(scales down), VDD는 감소해야 한다. VDD 스케일링을 수용하기 위해, 랜덤 페이지 프로그래밍은 앞서 설명한 상승한 채널 프로그래밍 방식에서 금지되며, 메모리 블록은 프로그램 스트레스를 최소화하기 위해 순차적인 프로그래밍으로 제한된다. 순차적인 프로그래밍에서, NAND 스트링은 WL0(LSB 페이지)에 결합된 바닥 페이지에서부터 WL31에 결합된 정상 페이지(MSB 페이지)까지 순차적으로 프로그램되며, 여기서, 선택된 셀의 상부 셀은 항상 소거되어, 선택되지 않은 메모리 셀은 초기 사전 충전 전압을 비트라인으로부터 NAND 스트링 채널까지 완전히 전달할 수 있게 되며, 그에 따라 더 높은 상승한 프로그램 금지 전압을 얻게 된다. 당업자는, 블록의 랜덤 페이지 프로그램 금지가 결국 특정한 응용에서 성능 저하를 야기할 것이라는 점을 이해할 것이다. 더 나아가, 순차적인 페이지 프로그래밍은 BDPD를 제거하지 않으며, 프로그램 스트레스를 최소화하기 위해 Vpass 전압을 감소시키지 않을 수 있다. 최종 상승한 채널 사전 충전 전압에 영향을 미칠 수 있는 세 가지 가능한 경우가 있다.

[0049] 경우 1에서, WL0에 대응하는 페이지 0이 프로그램되는 데 반해, 모든 상부 메모리 셀은 소거된 상태에 있다. 최종 상승된 채널 전압은 대략 9.6V일 것이며, 이것은 최상의 경우의 시나리오이다. 경우 2에서, WL15에 대응하는 페이지 15가 프로그램되는 데 반해, 모든 하부 메모리 셀은 프로그램되고 모든 상부 메모리 셀은 소거된다. 최종 상승된 채널 전압은 9.6V 미만일 것이지만, 다음의 최악의 경우의 시나리오보다 더 클 것이다. 경우 3의 최악의 경우의 시나리오에서, WL31에 대응하는 페이지 31은 프로그램되는 데 반해, 모든 하부 셀은 프로그램된다. 최종 상승된 채널 전압은 대략 6.5V일 것이다.

[0050] 도 5는 VDD=3.3V 및 VDD=1.8V에 대해서 BDPD에 대비해 결과적으로 상승한 채널 전압을 도시한 시뮬레이션 결과이다. NAND 스트링은 WL0에 결합된 바닥 메모리 셀로부터 WL31에 결합된 정상 셀로 프로그램된다. 프로그래밍이 상부 메모리 셀에 이름에 따라, Vch_boost의 레벨은 상당히 감소한다. 게다가, WL25에서부터 WL31까지 프로그래밍 할 때, 상승된 채널 전압은 3.3V와 1.8V의 VDD 둘 모두에 대해 6V 미만이며, 이것은 프로그래밍을 금지할 만큼 충분히 높지 않다. 그러므로 종래의 순차적인 프로그램 방식은 프로그램 스트레스 문제를 완전히 해결하지 못한다.

[0051] 앞서 언급한 순차적인 프로그래밍 방식에 대한 개선은 "대용량 저장 응용을 위한 117-mm² 3.3-V 전용 128-Mb 멀티레벨 NAND 플래시 메모리"라는 제목의 논문(vol. 31, no. 11, pp.1575-1583, Nov. 1996)에서 Tae-Sung Jung 등이 설명한 바와 같이, 국부적인 자체 상승에 의해 달성된다. Tae-Sung Jung 등의 순차적인 프로그래밍 방식에서, LSB(Local Self Boosting)는, 선택된 메모리 셀의 상부 및 하부 인접한 메모리 셀의 게이트 전압을 0V로 감소시킴으로써 선택된 메모리 셀을 NAND 스트링으로부터 끊음으로써 사용된다. 그에 따라 선택된 메모리 셀은, 프로그래밍 전압이 인가될 때, 종래의 NAND 스트링 채널 상승에 비해 그 채널에서 더 큰 상승을 경험할 것이다. 그러나 선택된 메모리 셀의 상부 인접한 메모리 셀은 프로그래밍을 위해 0V의 비트라인 전압을 통과시키도록 소거되어야 한다. 선택된 메모리 셀의 채널 상승이 개선되지만, 랜덤 페이지 프로그래밍은 여전히 수행될 수 없고, 이는 상부 인접한 메모리 셀 상에 인가된 0V 레벨만이, 이 셀이 소거되는 경우에 이 셀이 비트라인 전압을 통과시키게 할 것이기 때문이다.

[0052] 도 6은, Tae-Sung Jung 등의 국부적으로 상승된 순차적인 프로그래밍 방식을 사용한 네 개의 다른 시나리오에 대해서 VDD에 대비하여 결과적으로 상승한 채널 전압을 도시한 시뮬레이션 결과이다. 이 시뮬레이션에서, Vpgm=18V, Vpass=8V, 메모리 셀의 소거된 임계 전압은 Vthc_erase=-3V이고 및 메모리 셀의 프로그램된 임계 전압은 Vtch_pgm=2V이다. 제 1 시나리오에서, NAND 스트링의 선택된 메모리 셀의 하부 메모리 셀 모두가 프로그램된다. 이것은 도 6에서 "pppp"라고 표기되어 도시된 곡선에 대응한다. 제 2 시나리오에서, 이 하부 메모리 셀 모두가 소거되며, 이것은 "eeee"로 표기되어 도시된 곡선에 대응한다. 제 3 시나리오에서, 하부 메모리 셀은 대안적으로 소거되고 프로그램되며, 이것은 "epep"로 표기되어 도시된 곡선에 대응한다. 제 4 시나리오에서, 하부 메모리 셀은 대안적으로 프로그램되고 소거되며, 이것은 "pepe"로 표기되어 도시된 곡선에 대응한다. 도 6에 도시한 바와 같이, "pppp", "eeee" 및 "epep"곡선은 상당히 겹쳐있으며, 모두 VDD에 대한 강한 의존성을 갖는다. "pepe"곡선은, 백그라운드 데이터에 대한 의존성으로 인해 다른 곡선에 비해 상당히 더 낮은

Vch_boost를 가지며, 또한 VDD에 강한 의존성을 갖는다. 그러므로 이 종래의 국부적인 자체 상승 프로그램 방식은 프로그래밍을 방지하기 위해 충분히 상승된 채널 전압을 일관되게 제공하지 않는다.

[0053] 그러므로 종래의 프로그래밍 방식을 사용하는 NAND 플래시 메모리 장치는 또한 프로그래밍 전압 스트레스 및 통과 전압 스트레스를 겪으며, 결국 도 7에 도시한 바와 같이 프로그램되고 소거된 메모리 셀에 대해 시프트된 임계 전압을 갖게 한다. 더 나아가, 이들 단점은 심지어 NAND 플래시 메모리 셀이 순차적으로 프로그램되는 경우에도 존재하며, 이것은 메모리 디바이스의 동작 유통성을 제한한다. 도 7은 프로그램 방해되어 소거된 메모리 셀과 프로그램된 메모리 셀에 대한 임계 전압(Vt) 분포 그래프를 도시한다. 실선인 곡선은 도 3에서 원래 도시한 임계 분포에 대응하는 반면, 점선인 곡선은 프로그램 방해로 인해 시프트된 임계 분포를 도시한다. 이러한 시프트는 셀이 방해받는 누적된 횟수, 또는 단일 프로그램 방해 사건으로 인한 것일 수 있다. 시프트된 임계값은 도 3에 도시한 예상 임계 전압에 기초하여 미리 설정된 워드라인 판독 전압을 사용하는 판독 동작에 영향을 미칠 수 있으므로, 이것은 매우 문제가 된다. 이들 앞서 언급한 단점은 반도체 제조 기술의 규모가 계속해서 줄어듦에 따라 계속해서 악화될 것이며, 이는 전원 VDD 또한 더 낮은 레벨로 규모가 조정될 것 이기 때문이다.

[0054] 실시예에 대한 다음의 설명에서, 선택된 메모리 셀은 프로그래밍 동작을 위해 어드레싱된 동일한 워드라인에 결합된 각 NAND 스트링에서의 메모리 셀을 지칭할 것이다. 그에 따라, 선택된 메모리 셀 모두는 데이터 페이지로 지칭된다. 선택된 메모리 셀의 하부 인접한 메모리 셀은 선택된 메모리 셀과 소스 라인 사이에 위치한 메모리 셀을 지칭할 것이다. 선택된 메모리 셀의 상부 인접한 메모리 셀은 선택된 메모리 셀과 비트라인 사이에 위치한 메모리 셀을 지칭할 것이다. 데이터의 프로그램된 페이지는 프로그래밍 동작을 이전에 겪었던 동일한 워드라인에 결합된 메모리 셀에 대응할 것이며, 이러한 워드라인은 프로그램이 금지되거나 프로그램이 허용된다.

[0055] 도 8은, 도 9의 NAND 스트링의 개략적인 회로도를 참조하여, 소스 측 비대칭 사전 충전 프로그래밍 방식의 일반적인 방법 실시예를 도시한 흐름도이다. 도 9의 개략적인 회로도는 도 2a에서 앞서 도시한 것과 동일하다. 도 8의 방법은 제 1 사전 충전 단계(100)로 시작하며, 여기서, 소스 라인은 단계(100)에서 NAND 스트링의 채널을 사전 충전하는데 사용되며, NAND 스트링의 메모리 셀에 대응하는 특정한 채널 영역이 다른 전압 레벨로 상승된다. 본 실시예에서, NAND 스트링 채널 영역은 선택된 메모리 셀의 위치에 의해 한정되며, 여기서, 선택된 메모리 셀은 프로그램될 것이다. 도 9에서 도시한 예에서, WL26에 결합된 메모리 셀은 선택된 메모리 셀이다. 선택된 메모리 셀이 WL26에 결합됨에 따라, WL0 내지 WL26에 결합된 메모리 셀의 채널은 NAND 스트링의 하부 채널(200)이 될 것이다. 표시 "하부 채널"은 도 9의 예에 특정되며, 이는 이들 메모리 셀이 소스 라인(CSL) 근처에 있기 때문이다. WL27에 결합된 선택된 메모리 셀의 상부 인접한 메모리 셀에 대응하는 채널은 중간 채널(22)이고, WL28 내지 WL31에 결합된 메모리 셀의 채널은 상부 채널(204)일 것이다. 일반적으로, 도 9에 도시한 것과 같은 NAND 스트링 배치에서, 하부 채널은 소스 라인(CSL) 근처의 채널의 직렬 그룹일 것이고, 상부 채널은 비트라인(BL0 또는 BL1) 근처의 채널의 직렬 그룹일 것이며, 중간 채널은 선택된 메모리 셀 채널 및 하부 채널에 인접할 것이다.

[0056] NAND 스트링의 채널 영역의 이러한 한정으로, NAND 스트링의 비대칭 사전 충전은, NAND 스트링의 하부, 중간 및 상부 채널 각각이 다른 전압 레벨로 설정될 것임을 의미한다. 더욱 상세하게, 비대칭 사전 충전의 최종 결과는, CSL로부터의 최대한의 양 전압이 WL26에 결합된 선택된 메모리 셀로 통과하고, 스트링 선택 트랜지스터(52)의 소스 전압이 VDD-Vth_sst보다 더 크다는 것이며, 여기서 Vth_sst는 스트링 선택 트랜지스터(52)의 임계 전압이고, 중간 채널(202)에 대응하는 메모리 셀은, 하부 채널(200) 및 상부 채널(204)이 사전 충전됨에 따라, 수동으로 턴 오프된다. 본 실시예에서, CSL은 접지 선택 트랜지스터(56)를 통해 NAND 스트링에 결합됨에 따라, 비대칭 사전 충전은 워드라인을 다른 통과 전압으로 구동함으로써 달성된다. 이들 통과 전압에 대한 더 상세한 내용은 이후에 논의할 것이다.

[0057] 일단 NAND 스트링이 앞서 주목한 조건으로 설정되면, 제 2 사전 충전 단계가, 선택된 메모리 셀을 디폴트 프로그램 금지 상태로 설정함으로써, 단계(102)에서 수행된다. 이것은, 인가된 프로그래밍 전압에 응답하여 선택된 메모리 셀 채널의 국부적인 상승에 의해 행해진다. 선택된 메모리 셀 채널이 국부적으로 상승될 때, 이것은 F-N 터널링이 발생하는 것을 막기에 높을 것이며, 그리하여 선택된 메모리 셀의 프로그래밍을 금지할 것이다. 국부적인 상승의 추가적인 상세한 내용은 후에 설명할 것이다. 비트라인이 이 때 NAND 스트링으로부터 끊김에 따라, 디폴트 프로그램 금지 상태가 비트라인 데이터에 상관없이 선택된 메모리 셀 모두에 대해 설정됨을 주목해야 한다. 접합적으로, 단계(100 및 102)는 현재 설명한 소스 측 비대칭 사전 충전 프로그래밍 방식 실시예의 비대칭 사전 충전 단계로 간주된다.

[0058] 프로그래밍 단계는 그러면, 모든 NAND 스트링을 그 각각의 비트라인에 결합함으로써 단계(104)에서 개시할 것이다. 일실시예에서, 비트라인은 프로그램 데이터에 따라 단계(100 또는 102)에서 VDD 또는 VSS 중 어느 하나로 이미 구동되었을 것이다. 만약 비트라인이 VDD에 있다면, 선택된 메모리 셀은 디폴트 프로그램 금지 상태를 유지할 것이다. 만약 비트라인이 VSS에 있다면, 선택된 메모리 셀의 채널은 비트라인에 의해 선택된 메모리 셀의 상부 인접한 메모리 셀 및 상부 채널에 대응하는 메모리 셀을 거쳐 VSS로 방전된다. 일단 선택된 메모리 셀의 채널이 VSS로 방전되면, 채널과 프로그램 전압 사이의 고 전위차는 F-N 터널링을 가능케 하기에 충분할 것이며, 그리하여 선택된 메모리 셀을 프로그래밍 할 것이다.

[0059] 도 10은, 본 발명의 실시예에 따라, 최소한의 프로그램 스트레스로 NAND 플래시 메모리 셀 스트링을 프로그래밍하는 방법의 흐름도이다. 본 방법의 설명은 도 9의 NAND 스트링의 개략적인 회로도와, 도 11에 도시한 시퀀스 도를 참조하여 이뤄질 것이다. 도 11의 시퀀스 도는 스트링 선택 신호(SSL), 워드라인(WL0 내지 WL31), 접지 선택 신호(GSL), 및 공통 소스 라인(CSL)에 대한 신호 궤적을 도시한다. 이들 신호는 다음의 관계식으로 이 프로그래밍 방법에서 전압 레벨(V1, V2, V3, V4 및 V5)로 구동된다:

[0060] (1) V1>V2>V3

[0061] (2) V5>=V4

[0062] (3) V3>Vthc_pgm, 여기서 Vthc_pgm은 프로그램된 메모리 셀에 대한 임계 전압이다.

[0063] 아래의 표 1은 현재 설명한 프로그래밍 방식의 전기 효과의 예시를 돋기 위해 나열된 파라미터에 대한 샘플 값을 나열한다. 표 1의 샘플 값은 특정한 공정 기술 및 셀 특징에 사용될 수 있다. 당업자는, 이들 값이 다른 공정 기술, 셀 특징 및 NAND 스트링 당 메모리 셀의 수에 따라 바뀔 것임을 이해해야 할 것이다. V3 및 V4를 제외한 모든 값은 현재의 NAND 플래시 메모리 디바이스에 전형적인 것이다. 현재의 NAND 플래시 메모리는 V3 통과 전압을 사용하지 않으며, 전형적으로 VSS와 VDD 사이의 V4를 사용한다.

표 1

파라미터	값	파라미터	값
NAND 스트링 당 셀의 수	32	V1	Vpgm=18V
VDD	3.3V, 2.5V 또는 1.8V	V2	Vpass=10V
Vth_sst(트랜지스터(52)의 임계 전압)	0.8V	V3	Vdcp=4V
Vth_gst(트랜지스터(56)의 임계 전압)	0.8V	V4	Vcs1=10V
소거된 메모리 셀의 Vthc_pgm	-3.0V	V5	vgs1=10V
프로그래밍된 메모리 셀의 Vthc_erase	2.0V	비트라인 데이터 논리 "1"(프로 그램 금지)	VDD
셀 결합비(γ)	0.7V	비트라인 데이터 논리 "0"(프로 그램)	VSS

[0065] 모든 워드라인(CSL, SSL 및 GSL)의 초기 상태는 VSS이고, 본 예에서, 프로그램될 선택된 메모리 셀은 WL26에 결합된다. 프로그래밍 방법은, 도 11의 시간(T0과 T1) 사이에 도시한 바와 같이, 소스 라인(CSL)을 V4로 바이어스함으로써, 단계(300)에서 시작한다. 다음으로 단계(302)에서, 하부 채널(200) 및 상부 채널(204)을 다른 전압 레벨로 사전 충전하기 위한 제 1 비대칭 사전 충전 단계가 온다. 이 제 1 비대칭 사전 충전 단계는 시간(T1과 T2) 사이에서 GSL을 V5로 구동하고, 선택된 메모리 셀의 상부 인접한 메모리 셀에 결합된 워드라인(WL28)을 제외한 모든 워드라인을 시간(T1과 T2) 사이에서 V2로 구동함으로써 CSL을 NAND 스트링으로 결합하는 단계를 포함한다. WL27은 더 낮은 V3 전압 레벨로 구동된다. WL0 내지 WL26에 결합된 선택되지 않은 메모리 셀을 포함하는 하부 채널(200)은 적어도 V2-Vgst-Vthc_pgm으로 사전 충전될 것이다. 이것은, WL0 내지 WL26에 대응하는 페이지 중 적어도 하나가 프로그래밍 동작을 이전에 겪었다고 가정한다. 표 1의 값을 사용하면, 이것은 대략 7.2V일 것이다.

[0066] WL27 및 WL28 내지 WL31이 초기의 0V 레벨로부터 구동되기 때문에, 이들 워드라인이 V3에 도달할 때, 중간 채널(202) 및 상부 채널(204) 둘 모두는 적어도 V3-Vthc_pgm으로 사전 충전될 것이며, V3-Vthc_pgm는 표 1의 값을 사용하면 2V이다. 이것은 최악의 경우의 조건임을 주목해야 하며, 만약 중간 채널(202)에 대응하는 메모리

셀이 소거된다면, 상부 채널(204)은 다른 전압 레벨로 사전 충전될 것이다. 제 1 경우에, 만약 하부 채널(200)에 대응하는 메모리 셀 모두가 소거된 상태에 있다면, 상부 채널(204)은 V3+Vthc_erase(<V4) 또는 V4(<V3+Vthc_erase) 중 어느 하나로 사전 충전될 것이다. 제 2 경우에, 만약 하부 채널(200)에 대응하는 메모리 셀 모두가 프로그램된 상태에 있다면, 상부 채널(204)은 V3+Vthc_erase(<V2-Vthc_pgm) 또는 V2-Vthc_pgm(<V3+Vthc_erase) 중 어느 하나로 사전 충전될 것이다. 이것은 WL27에 결합된 선택된 메모리 셀의 상부 인접한 메모리 셀이 양의 임계 전압을 갖도록 이전에 프로그래밍되었던 페이지의 일부라고 가정한다. 다른 한편, 만약 선택된 메모리 셀의 상부 인접한 메모리 셀이 소거된 상태에 있다면, 그 채널은 V3-Vthc_erase로 사전 충전되며, 이 V3-Vthc_erase는 표 1의 값을 사용하면 5V이다. 워드라인(WL28 내지 WL31)의 전압 레벨은 계속 V2이며, 이것은 상부 채널(204)에서의 채널 상승을 초래한다. 더욱 구체적으로, 상부 채널(204)은 V2-V3만큼 상승될 것이며, 결국, 선택된 메모리 셀의 상부 인접한 메모리 셀은 상부 채널(204)의 상승된 채널 전압에 의해 수동으로 턴 오프될 것이다.

[0067] 다음으로 단계(304)에서, 선택된 메모리 셀의 채널을 프로그램 금지 상태로 사전 충전하기 위한 제 2 비대칭 사전 충전 단계가 온다. 이 제 2 비대칭 사전 충전 단계는 시간(T2)에서 시작하고, 이때 WL25에 결합된 선택된 메모리 셀의 하부 인접한 메모리 셀이 WL25를 VSS로 구동함으로써 턴 오프되고, 그 다음에 시간(T3과 T4) 사이에서 GSL을 VSS로 구동함으로써 접지 선택 트랜지스터(56)를 턴 오프한다. 그러므로 WL26에 결합된 선택된 메모리 셀은 NAND 스트링으로부터 끊긴다. 시간(T4와 T5) 사이에서, 선택된 메모리 셀에 대한 WL26은 프로그래밍 전압(V1)으로 구동되어, 그 채널을 대략 $V_{bch} = V_{ich} + \gamma * (V1 - V2)$ 로 국부적으로 상승시키며, 여기서 V_{ich} 는 단계(302)의 제 1 비대칭 사전 충전 단계로부터 유래한 채널의 사전 충전 전압 레벨이다. 표 1의 예시적인 값을 사용하면, $V_{bch} = 7.2V + 0.7V * (18V - 10V) = 12.8V$ 이다. 상승된 채널 전압과 프로그래밍 전압 사이의 차이는 F-N 터널링을 금지할 것이며, 그에 따라 선택된 메모리 셀의 프로그램 금지 상태로 지정한다. 인가된 프로그래밍 전압의 존재시에 프로그래밍을 금지하기에 충분한 임의의 전압은 채널을 프로그램 금지 상태에 놓을 것이다. 그러므로 선택된 메모리 셀 모두는 시간(T5)에 이 프로그램 금지 상태로 사전 충전될 것이다.

[0068] 현재 설명한 소스 측 비대칭 사전 충전 프로그래밍 방식의 실시예의 비대칭 사전 충전 단계는 제 2 비대칭 사전 충전 단계의 끝에서 종료된다. 제 2 비대칭 사전 충전 단계는 WL26이 V1에 도달하여 선택된 메모리 셀 채널의 국부적인 상승을 초래한 직후 종료된다. 다음으로 단계(306)에서, 비트라인 데이터가 NAND 스트링에 인가되는 프로그래밍 단계가 온다. 비트라인은 단계(306) 이전 언제라도 VDD 또는 VSS 중 어느 하나로 앞서 구동됨을 주목해야 한다. 시간(T5와 T6) 사이에서, 스트링 선택 트랜지스터(52)는, NAND 스트링을 그 각자의 비트라인에 결합시키기 위해 VDD로 구동된다. 만약 비트라인이 VDD로 설정된다면, 스트링 선택 트랜지스터(52)는, 그 소스 전압 및 드레인 전압이 V_{th_sst} 보다 더 클 것이기 때문에 턴 오프 상태를 유지할 것이다. 더욱 구체적으로, 소스 전압은 상부 채널(204)의 상승된 전압 레벨인 반면, 드레인 전압은 VDD에 있을 것이다. 그러므로 선택된 메모리 셀의 채널의 상승된 충전은 유지되어, 프로그래밍을 방지하게 된다.

[0069] 다른 한편, 만약 비트라인이 VSS로 설정된다면, 스트링 선택 트랜지스터(52)는 턴 온될 것이다. 상부 채널(204)은 VSS로 방전될 것이며, 이것은 선택된 메모리 셀의 상부 인접한 메모리 셀을 턴 온하여 중간 채널(202)을 VSS로 방전할 것이다. 그러므로 선택된 메모리 셀 채널의 상승된 전압 레벨은 VSS로 방전될 것이고, 그 플로우팅 게이트 양단의 필요한 전압차를 구축할 것이다. 시간(T6과 T7) 사이의 기간이, 전자가 VSS 바이어스된 비트라인에 결합된 선택된 메모리 셀의 플로우팅 게이트 산화물 내로 통과하여(tunnel) 프로그래밍을 실현하는 실제 프로그래밍 기간이다. 당업자는, 기간(T6 내지 T7)이 이전에 도시한 기간보다 더 길고, 선택된 메모리 셀이 충분히 프로그램됨을 보장하도록 선택됨을 이해할 것이다. 기간(T6 내지 T7)의 실제 길이는 사용되는 공정 기술 및 전압에 좌우될 것이다. 시간(T7)에서, 프로그래밍 단계는 WL26을 VSS로 구동함으로써 종료되고, 시간(T8)에서, 남은 워드라인(SSC 및 CSL) 모두는 VSS로 구동된다.

[0070] 이전에 설명한 예의 동작은 상부 인접한 메모리 셀과 하부 인접한 메모리 셀에 의해 경계가 정해진 선택된 메모리 셀을 기초로 한다. 선택된 메모리 셀이 상부 인접한 메모리 셀과 하부 인접한 메모리 셀에 의해서만 경계가 정해지는 두 가지 경우가 있을 것이다. 제 1 경우에, 선택된 메모리 셀은 제 1 워드라인(WL0)에 결합되고, 소스 라인(CSL)에 가장 근접한 메모리 셀이다. 제 2 경우에, 선택된 메모리 셀은 마지막 워드라인(WL31)에 결합되고, 비트라인에 가장 근접한 메모리 셀이다. 도 12 및 도 13은 본 NAND 스트링 프로그래밍 방법의 실시예가 이들 두 경우에 어떻게 적용될 것인지를 예시하는 시퀀스 도이다.

[0071] 도 12는 도 11에 도시한 것과 유사한 시퀀스 도이며, 선택된 메모리 셀이 WL0에 결합될 때 도 2a의 NAND 스트링에 인가되는 전압 시퀀스를 예시한다. 도 11에 도시한 동일한 기간을 도 12에 예시한다. 이 상황에서, 선택된 메모리 셀의 하부 인접한 메모리 셀은 없다. 더욱 구체적으로, 선택된 메모리 셀과 소스 라인(CSL) 사이에

는 접지 선택 트랜지스터(56)만이 있다. 도 11의 프로그래밍 시퀀스에 대한 주된 차이는 하부 채널이 선택된 메모리 셀로만 구성된다는 점이다. 도 13의 단계(304)에서 시간(T2와 T3) 사이에서 턴 오프할, 선택된 메모리 셀의 하부 인접한 메모리 셀은 없기 때문에, 선택된 메모리 셀은 이때 시간(T3과 T4) 사이에서 접지 선택 트랜지스터(56)를 턴 오프하는 동작에 의해 연결이 끊어진다. 원한다면, 접지 선택 트랜지스터(56)를 턴 오프하기 위한 타이밍은 시간(T2와 T3) 사이에서 더 일찍 발생하도록 조정될 수 있다. 그러면, 남은 프로그래밍 시퀀스는 도 11의 시퀀스에 대해 변경되지 않는다.

[0072] 도 13은 도 11에 도시한 시퀀스 도와 유사한 시퀀스 도이며, 선택된 메모리 셀이 WL31에 결합될 때 도 2a의 NAND 스트링에 인가되는 전압 시퀀스를 예시한다. 도 11에 도시한 동일한 기간을 도 13에 예시한다. 이 상황에서, 선택된 메모리 셀의 상부 인접한 메모리 셀은 없다. 더욱 구체적으로, 선택된 메모리 셀과 소스 라인(CSL) 사이에는 스트링 선택 트랜지스터(52)만이 있다. 그러므로 선택된 메모리 셀 채널과 비트라인 사이에는 중간 채널 및 상부 채널이 없다. 따라서 상부 인접한 메모리 셀을 수동으로 턴 오프하기 위해 단계(302)에서 시간(T2와 T3) 사이에서 중간 채널 및 상부 채널을 사전 충전할 필요는 없다. 시간(T1과 T5) 사이에서 턴 오프되는 스트링 선택 트랜지스터(52)는, 선택된 메모리 셀의 하부 인접한 메모리 셀이 WL30에 결합됨으로써, 선택된 메모리 셀을 격리시킬 것이다. 남은 프로그래밍 시퀀스는 도 11의 프로그래밍 시퀀스에 비해 변경되지 않는다.

[0073] 앞서 설명한 실시예에서, 여러 특성을 주목해야 한다. CSL, GSL 및 V2를 동일하게 설정함으로써, 선택된 메모리 셀 채널을 포함하는 하부 채널(200)은 임의의 채널 상승 없이도 VDD와 무관한 레벨로 사전 충전될 것이며, 이는 VDD 바이어스된 비트라인이 사전 충전 단계 동안에 NAND 스트링에 인가되지 않기 때문이다. 하부 채널(200)의 모든 메모리 셀이 양의 임계 전압으로 앞서 프로그램되었다 하더라도(이것은 최악의 경우의 사전 충전 시나리오이다), V2=GSL=CSL의 결합은, 이 최악의 경우의 사전 충전 레벨이 V2-Vgst-Vthc_pgm임을 보장할 것이다. 국부적으로 상승될 때, 선택된 메모리 채널은 Vpgm 스트레스를 최소화하기에 더욱더 충분한 높은 전압 레벨에 도달할 것이다. 그러므로 하부 채널(200)에 대응하는 메모리 셀의 프로그래밍 또는 프로그램 금지에 영향을 미치기 위한 백그라운드 데이터 패턴 의존은 없다.

[0074] 선택된 메모리 셀의 상부 인접한 메모리 셀에 인가된 워드라인 전압만을 V2보다 더 낮은 전압으로 제한함으로써, 상부 채널(204)은 상부 인접한 메모리 셀을 수동으로 턴 오프하도록 상승될 것이며, 이는 그 대응하는 워드라인이 계속해서 V2까지 되기 때문이다. 그에 따라 상부 인접한 메모리 셀의 능동 턴 오프는 필요치 않으며, 이것은 워드라인 디코딩 제어 논리를 간략화시킨다.

[0075] 사전 충전된 NAND 스트링은, 선택된 메모리 셀이 프로그래밍 전압(Vpgm)으로 구동된 그 워드라인을 가질 때, 사전 충전 단계 이후에 VSS 바이어스된 비트라인에 단지 응답할 것이다. VDD로 바이어스되고 사전 충전된 NAND 스트링에 인가된 임의의 비트라인은 NAND 스트링의 사전 충전된 상태에 영향을 미치지 않을 것이며, 가장 중요하게는, 프로그램 금지 상태에서 선택된 메모리 셀에 영향을 미치지 않을 것이다. 그러므로 중간 채널 상부(202)와 상부 채널(204)에 대응하는 메모리 셀의 프로그래밍 또는 프로그램 금지에 영향을 미치지 위한 백그라운드 데이터 패턴 의존은 없다.

[0076] 선택된 메모리 셀의 상부 인접한 메모리 셀은 V2 미만이지만 프로그램된 양의 임계 전압보다 더 큰 V3로 구동된 게이트를 갖기 때문에, 랜덤 페이지 프로그래밍을 수행할 수 있다. 그러므로 상부 인접한 메모리 셀은 VSS 바이어스된 비트라인을 선택된 메모리 셀에 결합하도록 항상 턴 온될 것이다. 앞서 설명한 NAND 플래시 프로그래밍 방식의 효율성을 시뮬레이트하였으며, 그 결과를 도 14 내지 도 16에 도시한다.

[0077] 도 14는, 본 발명의 앞서 설명한 소스 측 비대칭 사전 충전 프로그래밍 방식의 실시예와 도 13에 도시한 시뮬레이션에서 사용한 동일한 전압을 사용하여, 공급 전압(VDD)과 관련한 선택된 메모리 셀에 대한 상승된 채널 전압(Vch_boost)을 도시하는 시뮬레이션이다. 이 시뮬레이션에서, Vpgm=18V, Vpass=GSL=CSL=10V, V3=4V, Vth_erase=-3V 및 Vth_pgm=2V이다. 세 개의 Vch_boost 곡선, 즉 모든 메모리 셀이 소거되는 경우에 대한 하나, 모든 메모리 셀이 프로그램되는 경우에 대한 하나, 및 NAND 스트링이 소거된 메모리 셀과 프로그램된 메모리 셀의 결합을 포함하는 경우에 대한 하나를 도시하였다. 최소인 최종 상승된 채널 전압(Vch_boost)은 소거된 메모리 셀과 프로그램된 메모리 셀 둘 다가 NAND 체인에 있는 경우에 대해 8V와 9V 사이에 있으며, 이것은 18V의 Vpgm에서 소프트 프로그래밍(즉, Vpgm 스트레스)을 회피하기에 충분하다. 모든 메모리 셀이 프로그램되는 경우에 대해, Vch_boost는 9V와 10V사이에 있는 반면, 모든 메모리 셀이 소거된 경우에 대해서는 Vch_boost는 13V와 14V 사이에 있음을 주목해야 한다. 만약 선택된 메모리 셀에 대해 최소한으로 필요한 최종 상승된 채널 전압은 현재 설명한 예에서 7V이어야 한다면, 선택되지 않은 메모리 셀에 대한 Vpass 스트레스를 최소화하기 위해 Vpass를 10V로부터 감소시키기 위한 여유가 있다. 도 4의 종래의 프로그래밍 방식의 시뮬레이션 결과는 도 14와 유사한 결과를 보여준다.

이션과 비교함으로써, 현재 설명한 실시예가 더 큰 최종 상승된 채널 전압을 선택된 메모리 셀에 일관되게 제공할 것이라는 점은 분명하다.

[0078] 모든 메모리 셀이 도 14에서 소거된 상태에 있는 경우는 특정한 메모리 셀이 소거된 상태에 있어야 하는 순차적인 프로그래밍 방식과 유사하다. 그러므로 Vpass는, 앞서 설명한 소스 측 비대칭 사전 충전 프로그래밍 방식을 순차적인 프로그래밍 동작에 적용함으로써 더 감소할 수 있다. 순차적인 프로그래밍 동작에서, 도 11 내지 도 13에 도시한 신호의 인가를 위한 기본적인 타이밍은 동일할 것이다. 본 실시예에 따라, 소스 측 비대칭 사전 충전 프로그래밍 방식을 사용한 순차적인 프로그래밍은 어느 방향으로도 수행될 수 있다. 순차적인 페이지 프로그래밍의 제 1 방향은 WL31에 결합된 최상위 메모리 셀로부터 WL0에 결합된 최하위 메모리 셀로인 반면, 제 2 방향은 WL0에 결합된 최하위 메모리 셀로부터 WL31에 결합된 최상위 메모리 셀로일 것이다. 그러므로 제 1 및 제 2 방향 중 어느 하나로 순차적으로 프로그래밍할 때, 프로그래밍 방향에서 선택된 메모리 셀에 앞서 메모리 셀의 소거된 페이지가 항상 있을 것이다. 프로그래밍 방향에 상관없이, 워드라인(SSL, GSL 및 CSL)에 대한 바이어스 조건은, 하부 채널(200), 중간 채널(202) 및 상부 채널(204)을 갖는 NAND 스트링에 대해 앞서 설명한 바와 같이 유지된다.

[0079] 도 9로 돌아가서, 표 1의 예시적인 값을 사용하여, 하부 채널(200)은 항상 V4까지 사전 충전될 것이며, 이는 모든 메모리 셀이 소거된 상태에 있기 때문이다. 중간 채널(202) 및 상부 채널(204)은 적어도 앞서 설명한 것과 같은 값으로 사전 충전될 것이며, 이는 중간 채널(202) 및 상부 채널(204)에 대응하는 메모리 셀에서 고려해야 할 백그라운드 데이터가 있을 것이기 때문이다. 선택된 메모리 셀에 대한 그러한 높은 초기 사전 충전된 채널을 가짐으로, 국부적인 상승은 그 채널 전압을 더 증가시킬 것임은 당업자에게 명백하다. 그러므로 통과 전압(V2)은, 10V로부터 V3보다 여전히 더 크지만 선택된 메모리 셀의 최종 상승된 채널이 프로그래밍을 금지하는데 효과적임을 보장하기에 충분히 높은 레벨로 감소할 것이다. 그러므로 NAND 스트링이 개시한 NAND 플래시 프로그래밍 방법을 사용하여 순차적으로 프로그램될 때, 완전히 스트레스 없는(Vpgm 스트레스 없는 및 Vpass 스트레스 없는) 프로그래밍을 달성한다.

[0080] 도 15는 네 개의 다른 시나리오에 대비하여 VDD에 대한 선택된 메모리 셀의 최종 상승된 채널 전압(Vch_boost)을 도시한 시뮬레이션이다. 이 상황에서, Vpgm=18V, V2=CSL=GSL=8V, V3=4V, Vthc_erase=-3V 및 Vthc_pgm=2V이다. 제 1 시나리오에서, NAND 스트링의 선택된 메모리 셀의 하부 메모리 셀 모두가 프로그램된다. 이것은 도 6에서 "pppp"로 표기되어 도시된 곡선에 대응한다. 제 2 시나리오에서, 하부 메모리 셀 모두는 소거되고, 이것은 "eeee"로 표기되어 도시된 곡선에 대응한다. 제 3 시나리오에서, 하부 메모리 셀은 교대로 소거 및 프로그램되고, 이것은 "epep"로 표기되어 도시된 곡선에 대응한다. 제 4 시나리오에서, 하부 메모리 셀은 교대로 프로그램 및 소거되며, 이것은 "pepe"로 표기되어 도시된 곡선에 대응한다. 시뮬레이션 결과는, 통과 전압(V2)을 10V로부터 8V로 낮춘 이후에도, 상승된 채널 전압이 백그라운드 데이터 패턴에 상관없이 11V보다 더 큼을 도시한다. 이것은 선택된 메모리 셀에서 프로그래밍을 방지할 만큼 충분히 높다. 따라서 선택된 메모리 셀의 효과적인 프로그램 금지 상태를 유지하면서 통과 전압(V2)을 감소시키기 위한 여유가 더 있다.

[0081] 프로그래밍 방법의 실시예를 사용하여 순차적인 프로그램 동작에 대한 최적의 통과 전압 레벨을 결정하기 위해, V2에 대비한 최종 상승된 채널 전압(Vch_boost)의 시뮬레이션을 도 16에 도시한다. 이 시뮬레이션에 대해, Vpgm=18V, V3=4V, Vthc_erase=-3V, Vthc_pgm=2V, VDD=1.8V 및 CSL=GSL=V2이다. 만약 하부 채널(200)의 메모리 셀 모두가 소거된 상태에 있다면, 도 16은, 선택된 메모리 셀의 최종 Vch_boost 레벨이, V2가 5V로 설정될 때, 6V와 7V 사이에 있을 것임을 도시한다. 이것이 Vpgm=18V일 때 최소 유효 프로그램 금지 전압이지만, V2를 6V로 설정하는 것은 결국 Vch_boost를 8V보다 좀 더 크게 극적으로 상승하게 할 것이다. 또한, V2에 대한 증가는 Vch_boost를 또한 증가시킬 것이다. 그러므로 V2는 선택되지 않은 메모리 셀에 대한 Vpass 스트레스를 최소화하고 Vpgm 스트레스를 최소화하기 위해 선택될 수 있다. 예컨대, 이를 예시적인 조건 하에서, 선택되지 않은 소거된 메모리 셀은, V2가 7V에 있을 때 어떠한 Vpass 스트레스를 경험하지 않을 것인 반면, 11V의 상승된 채널 전압을 갖는 선택된 메모리 셀은 어떠한 Vpgm 스트레스를 경험하지 않을 것이다. 따라서 NAND 스트링의 프로그래밍은 스트레스가 없다.

[0082] 대부분의 NAND 플래시 디바이스는, 조밀하게(tight) 프로그램된 셀 분포를 유지하면서, 공정 및 환경 변동 하에서 신속한 프로그램 실행을 달성하기 위해 ISPP(Incremental Step Pulse Programming)를 수행한다. 일반적으로 ISPP 동작에서, 초기의 Vpgm은 대략 16V이다. 초기의 16V 프로그램 펄스 이후, 필요한 각 후속 펄스는 20V까지 0.5V 간격으로 증분한다. 종래의 프로그래밍 방식에서, Vpass는 최종 상승된 채널 전압(Vch_boost)을 결정한다. Vpgm 스트레스를 감소시키기 위해, Vpgm이 증분함에 따라, Vpass는 증분해야 한다. 그러므로 Vpass는 최대 Vpgm 레벨에서 데이터 '1'에 대한 프로그램을 금지하기에 충분히 높은 최대 값을 가질 필요가 있을

것이다. 본 실시예에 대한 시뮬레이션 결과에 도시한 바와 같이, 단일 Vpass 레벨이, 하나의 최종 Vch_boost 레벨이 Vpgm 값의 범위에 대해 Vpgm 스트레스를 최소화하는데 효과적이다. 이것은, Vpgm이 Vpass를 조정할 필요 없이 최소 값에서 최대 값까지 단계적으로 나눠질 수 있음을 의미한다. 이것은 또한 위드라인 제어 논리 오버헤드를 감소시킨다.

[0083] 요약하면, 앞서 설명한 소스 측 비대칭 사전 충전 프로그래밍 방식의 실시예는 NAND 스트링의 채널의 그룹을 다른 전압 레벨로 비대칭적으로 사전 충전하기 위해 이러한 NAND 스트링의 소스 측 사전 충전을 사용하며, 이들 채널 그룹은 프로그램될 선택된 메모리 셀의 위치에 의해 경계가 정해진다. 비대칭 사전 충전의 목표는 선택된 메모리 셀을 프로그램 금지 상태로 설정하는 것이다, 이것은 상부 인접한 메모리 셀과 비트라인 사이의 메모리 셀의 채널을 상부 인접한 메모리 셀을 턴 오프하는데 충분한 레벨까지 상승시킴으로써 달성된다. 하부 인접한 메모리 셀이 턴 오프될 때, 선택된 메모리 셀은 완전히 NAND 스트링으로부터 끊긴다. 프로그래밍 전압은 선택된 메모리 셀에 인가되어 그 채널을 인가된 비트라인 데이터의 부재시 적어도 프로그램 금지 전압 레벨로 국부적으로 상승시킨다. 그러므로 비대칭 사전 충전 이후, 모든 선택된 메모리 셀은 디폴트에 의해 프로그램 금지 상태로 설정된다. VSS에 후에 결합된 NAND 스트링만이 선택된 메모리 셀 채널을 VSS로 방전시킬 것이다, 그리하여, 선택된 메모리 셀의 프로그래밍이 발생할 조건을 구축할 것이다.

[0084] 특정한 실행 장점은 앞서 설명한 NAND 플래시 프로그래밍 실시예로부터 유래한다. SSL이 전체 사전 충전 단계에 걸쳐서 VSS에서 유지되므로, 통과 전압의 인가는 스트링 선택 트랜지스터(52)에 대한 용량성 결합 효과를 거의 갖지 않을 것이다. 그러므로 NAND 스트링 채널의 상승 효율은 최대가 된다. 선택된 메모리 셀의 상승된 채널 전압은 NAND 스트링 및 VDD 레벨에서의 백그라운드 데이터 패턴에 상관없이 프로그래밍을 금지하기에 충분한 최소 레벨에 항상 있을 것이기 때문에, 랜덤 페이지 프로그래밍 동작이 수행될 수 있다. 순차적인 프로그래밍 동작은 감소한 통과 전압으로 수행될 수 있어서, 선택되지 않은 메모리 셀에 대한 Vpass 스트레스를 제거할 수 있다.

[0085] 당업자는, 실시예에 도시한 방식으로 위드라인을 제어하기 위한 다양한 회로가 있을 수 있다는 점과, VDD보다 더 큰 전압을 생성하여 위드라인 제어 회로에 공급하는데 사용될 수 있는 알려진 전압 생성기가 있음을 이해 할 것이다. 소스 측 비대칭 사전 충전 프로그래밍 방식의 앞서 설명한 방법 실시예에 따라 위드라인(WL0-WL31), 스트링 선택 라인(SSL), 및 접지 선택 라인(GSL)을 제어하는데 사용될 수 있는 예시적인 행 제어 논리를 도 17 내지 도 19에 예시한다.

[0086] 도 17은 예시적인 행 제어 논리나 구동기의 블록도이다. 구동기(400)는 블록 디코더(402), 행 디코더 회로(408) 및 워드라인 구동기 회로(410)를 포함한다. 행 제어 논리는, 예컨대 판독 및 프로그램 명령과 같은 수신된 명령에 응답하여, 플래시 메모리 디바이스에서의 명령 디코더와 같은 제어 회로에 의해 제어된다. 플래시 메모리 디바이스의 명령 디코더는 소스 측 비대칭 사전 충전 프로그래밍 방식의 실시예를 수행하기 위해 구성될 것이다. 행 제어 논리(400)를 갖는 디바이스는, 도 17에 도시하지 않은 다른 회로에 의해 사용될 수도 있는 고전압 생성기(404)를 갖는다. 일반적으로, 고전압 생성기(404)는 적어도 프로그래밍 전압(V1), 통과 전압(V2), 디커플링 전압(Vdcp)으로도 지정되는 감소한 통과 전압(V3), CSL 전압(V4) 및 GSL 전압(V5)을 생성 할 것이다. 메모리 블록 당 하나의 블록 디코더(402)가 있고, 이것은 워드라인 구동기를 인에이블시키기 위해 블록 어드레스(BA)를 수신한다. 행 디코더(408)는 모든 메모리 블록 사이에서 공통적으로 공유되며, 행 어드레스(RA_b) 뿐만 아니라 도시하지 않은 다른 신호를 수신하여, 소스 선택 신호(SSL), 워드라인 신호(S[0:n]), 및 일반적으로 행 신호로도 지정하는 접지 선택 신호(GSL)를 생성한다. 유효 블록 어드레스(BA)와 행 디코더 신호에 응답하여, 신호(SSL, GSL 및 WL0-WLn)가 프로그램 동작 동안에 그 필요한 전압 레벨로 설정된다.

[0087] 도 18은 도 17의 블록 디코더(402)와 워드라인 구동기 회로(410)의 세부 회로를 도시한 개략적인 회로이다. 블록 디코더(402)는 하나의 메모리 블록과 관련되고, 교차 결합된 인버터 래치 회로와 레벨 시프터 회로를 포함한다. 래치 회로는 교차-결합된 인버터(500 및 502), n-채널 리셋 트랜지스터(504), 및 n-채널 인에이블 트랜지스터(506 및 508)를 포함한다. 래치 회로는, 래치 인에이블 신호(LTCH_EN)와 블록 어드레스(BA)가 하이 논리 레벨에 있을 때, 인에이블, 즉 설정된다. 인버터(500 및 502)의 래치 회로는, 신호(RST_BD)가 하이 논리 레벨에 있을 때 리셋된다. 레벨 시프터 회로는 한 쌍의 교차-결합된 p-채널 트랜지스터(510 및 512)를 포함하며, 각 트랜지스터는 각각의 n-채널 스티어링(steering) 트랜지스터(514 및 516)에 접속된다. 트랜지스터(510 및 512)의 공유 단자는 고전압(Vh)을 수신하는데 반해, 트랜지스터(514 및 516)의 공유 단자는 음 전압(Vn)을 수신한다. 노드(Vh)가 양 전압 생성기(404)에 접속되는데 반해, 노드(Vn)는 VSS 또는 선택적으로는 음 전압 생성기(미도시됨)에 의해 생성된 음 전압에 접속된다. 스티어링 트랜지스터(514 및 516)는 인버터(500)와 인버터(518)의 출력에 접속된 게이트 단자를 가지며, 인버터(518)의 입력은 트랜지스터(514)의 게이트에 접속된

다. 인버터(500)에 제공된 동작 전압 공급이 Vh보다 낮은데 반해, 인버터(502)에 제공된 낮은 전압 공급은 VSS이거나, Vn이 음 전압인 경우에 Vn보다 더 높다는 점을 주목해야 한다. 레벨 시프터 회로의 출력(인에이블링 신호)(BD_out)이 워드라인 구동기(410)의 n-채널 통과 트랜지스터(520) 모두의 게이트 단자를 구동한다. 모든 통과 트랜지스터(520)의 기관 단자는 Vn에 접속된다. 각 통과 트랜지스터는 소스 선택(SS), 워드라인(S0-Sn) 및 접지 선택(GS) 신호를 메모리 어레이로 선택적으로 통과시킬 수 있다. 아랫첨자 "n"은 전형적으로는 플래시 셀 스트리밍에서의 셀의 최대 수에 대응하는 임의의 0이 아닌 정수일 수 있다. 블록 디코더 회로의 일반적인 동작을 이제 설명한다.

[0088] 예컨대 프로그램 동작에서, 하나의 메모리 블록이 선택되는데 반해, 다른 블록은 선택되지 않고 남아 있다. 다시 말해, 하나의 메모리 블록은 인에이블될 수 있는데 반해, 나머지 메모리 블록은 디스에이블된다. 메모리 블록을 인에이블시키기 위해, LTCH_EN 및 BA는 하이 논리 레벨에 있을 것이며, 그리하여, 레벨 시프터 회로를 출력 고전압(Vh)으로 설정할 것이다. 그러므로 워드라인 구동기 회로(410)의 모든 통과 트랜지스터(520)는 턴 온 된다. 워드라인 신호(S0 내지 Sn) 및 신호(SS 및 GS)는 앞서 설명한 소스 측 비대칭 사전 충전 프로그래밍 방식 실시예에 따라 다른 전압 레벨로 구동될 것이다. 디스에이블된 메모리 블록은 출력 저전압(Vn)으로 설정된 그 대응하는 블록 디코더 회로 출력을 가질 것이다. 그러므로 선택되지 않은 메모리 블록에서의 모든 통과 트랜지스터(520)는 턴 오프될 것이다.

[0089] 도 19는 도 17의 행 디코더(408)의 한 행 디코더 회로를 개략적으로 도시한 회로이다. 다른 특정한 회로 구현이 가능할 수 있기 때문에, 도 19에서 현재 개략적으로 도시한 도면은 단지 기능적인 표현이다. 도 19는 하나의 행 신호(Si)를 생성하기 위한 하나의 회로(여기서 i는 0과 n사이의 정수일 수 있다)를 도시하지만, 신호(SS 및 GS)를 생성하기 위한 회로를 유사하게 구성한다. 행 디코더 회로는 프로그램, 프로그램 검증, 판독, 소거 및 소거 검증 동작 동안에 사용되는 모든 전압을 수신하기 위한 멀티플렉서(600)를 포함한다. 도 19의 개략도를 간략화하기 위해, 멀티플렉서(600)는 소스 측 비대칭 사전 충전 프로그래밍 방식 실시예에 사용되는 전압만을 도시하도록 구성된다. 이것은 예컨대 프로그래밍 전압(V1)(Vpgm), 통과 전압(Vpass)(V2), 감소한 통과 전압(Vdcp)(V3), VDD 및 VSS를 포함한다. 도시하진 않았을 지라도, GSL을 제공하기 위한 행 디코더는, 다른 전압 외에 전압(V5)을 수신하는 멀티플렉서를 가질 것이다. 유사하게, SSL을 제공하기 위한 행 디코더는 다른 전압 외에 공급 전압(VDD)을 수신하는 멀티플렉서를 가질 것이다.

[0090] 임의의 수의 전압이 멀티플렉서(600)에 제공될 수 있고, 그런 다음 노드(Sn)로 선택적으로 통과할 수 있다. 전압 선택 신호(Vselect)가 전압 중 어떠한 하나를 통과시키는데 사용된다. 당업자는, Vselect가 멀티-비트 신호일 것임을 이해할 것이며, 그 수는 멀티플렉서(600)가 갖도록 구성된 입력 포트의 수에 좌우된다. n-채널 디스에이블링 트랜지스터(602)는, RA_b가 하이 논리 레벨에 있고 블록이 선택되지 않을 때, Si를 VSS에 결합한다. 프로그래밍 동작에서, 디스에이블링 트랜지스터는 턴 오프되고, Vselect는 명령 디코더와 같은 제어 논리에 의해 제어되어, 필요한 전압을 Si에 결합한다. 일실시예에서, 블록의 각 행 디코더 회로(408)에 대해 하나의 Vselect 신호가 있다. 그에 따라, 한 블록에서 행(S1)에 대한 하나의 Vselect 신호가 다른 블록에서 행 위치(S1)에 대해 사용될 수 있다.

[0091] 앞선 설명에서, 설명을 목적으로, 본 발명의 실시예를 철저히 이해하기 위해 많은 상세한 내용을 제공하였다. 그러나 이들 특정한 상세한 내용은 본 발명을 실행하는데 필요하지 않음이 당업자에게 명백할 것이다. 다른 경우에, 잘 알려진 전기 구조 및 회로를 본 발명을 불분명하게 하지 않기 위해 블록도 형태로 도시하였다. 예컨대, 본 명세서에서 설명한 본 발명의 실시예가 소프트웨어 루틴, 하드웨어 회로, 펌웨어 또는 이들의 결합으로서 구현되는지에 대한 특정한 상세한 내용은 제공하지 않았다.

[0092] 앞서 설명한 실시예에서, 디바이스의 요소는, 간략화시키기 위해 도면에 도시한 바와 같이 서로 접속된다. 본 발명을 장치에 실제 응용할 때, 디바이스, 요소, 회로 등을 서로 직접 접속될 수 있다. 또한, 디바이스, 요소, 회로 등을 장치의 동작에 필요한 다른 디바이스, 요소, 회로 등을 통해 서로 간접적으로 접속될 수도 있다. 그에 따라, 실제 구성에서, 회로 소자 및 디바이스는 서로 직접 또는 간접적으로 결합 또는 접속된다.

[0093] 본 발명의 앞서 설명한 실시예는 단지 예를 든 것이다. 본 명세서에 첨부된 청구항에 의해서만 한정되는 본 발명의 범주에서 벗어나지 않고, 특정한 실시예에 대한 변경, 변형 및 변동이 당업자에 의해 이뤄질 수 있다.

도면의 간단한 설명

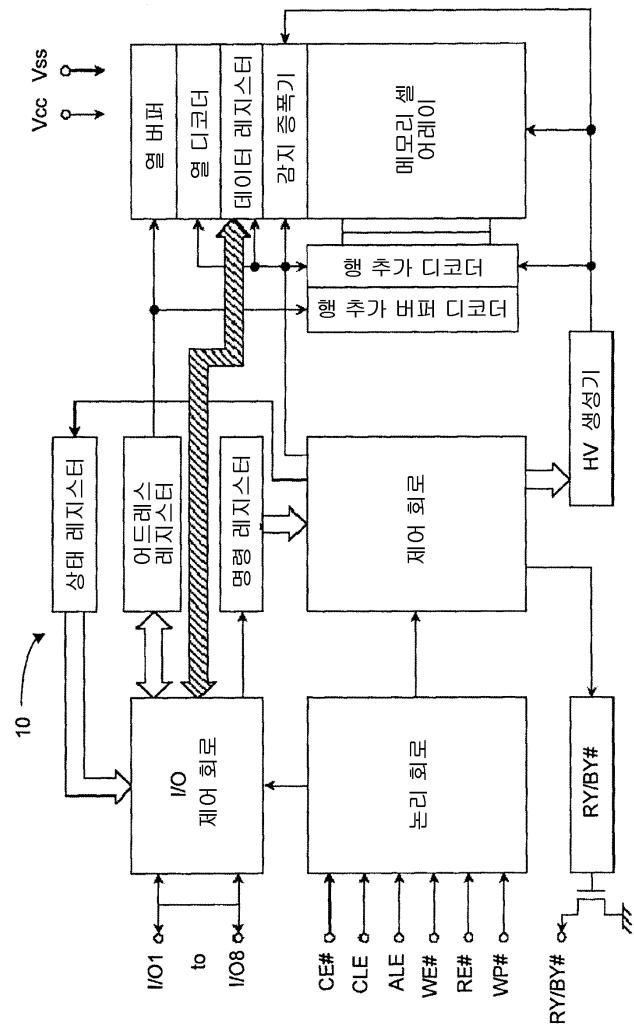
[0016] 도 1은 전형적인 플래시 메모리의 블록도이다.

[0017] 도 2a는 두 개의 NAND 메모리 셀 스트리밍의 개략적인 회로도이다.

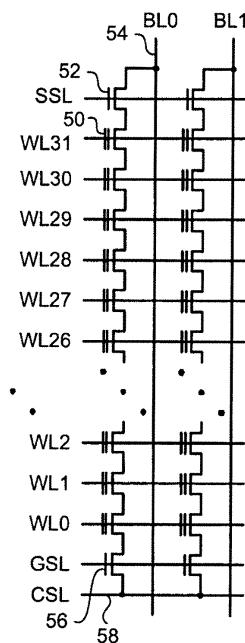
- [0018] 도 2b는 도 2a에 도시한 두 개의 NAND 메모리 셀 스트링의 평면도 레이아웃이다.
- [0019] 도 2c는 라인(A-A')을 따라서 취한, 도 2b에 도시한 하나의 NAND 메모리 셀 스트링의 횡단면도이다.
- [0020] 도 3은 소거된 메모리 셀과 프로그램된 메모리 셀에 대한 임계 전압(Vt) 분포 그래프이다.
- [0021] 도 4는 종래의 NAND 플래시 플로그래밍 방식에 대한 다른 백그라운드 데이터 패턴에 대한 상승된 채널 전압 대 VDD의 시뮬레이션 도이다.
- [0022] 도 5는 종래의 순차적인 프로그래밍 동작에 대한 상승된 채널 전압 대 셀 위치의 시뮬레이션 도이다.
- [0023] 도 6은 종래의 국부적으로 상승된 순차적인 프로그래밍 방식에 대한 다른 백그라운드 데이터 패턴에 대한 상승된 채널 전압 대 VDD의 시뮬레이션 도이다.
- [0024] 도 7은 프로그래밍 방해된 이후 소거된 메모리 셀과 프로그램된 메모리 셀에 대한 임계 전압(Vt) 분포 그래프이다.
- [0025] 도 8은 일반적인 NAND 플래시 프로그래밍 방법의 실시예를 예시한 흐름도이다.
- [0026] 도 9는 채널 그룹의 상대적인 위치를 도시하기 위해 주석을 단 두 개의 NAND 메모리 셀 스트링의 개략적인 도면이다.
- [0027] 도 10은 소스 측 비대칭 사전 충전 프로그래밍 방식의 실시예를 예시한 흐름도이다.
- [0028] 도 11은 소스 측 비대칭 사전 충전 프로그래밍 실시예의 동작예를 예시한 시퀀스 도이다.
- [0029] 도 12는 소스 측 비대칭 사전 충전 프로그래밍 방식 실시예의 다른 동작예를 예시한 시퀀스 도이다.
- [0030] 도 13은 소스 측 비대칭 사전 충전 프로그래밍 방식 실시예의 다른 동작예를 예시한 시퀀스 도이다.
- [0031] 도 14는 소스 측 비대칭 사전 충전 프로그래밍 방식 실시예로 인한 다른 백그라운드 데이터 패턴에 대한 상승된 채널 전압 대 VDD의 시뮬레이션 도이다.
- [0032] 도 15는 소스 측 비대칭 사전 충전 프로그래밍 방식을 사용한 순차적인 프로그래밍 동작에 대한 다른 백그라운드 데이터 패턴에 대한 상승된 채널 전압 대 VDD의 시뮬레이션 도이다.
- [0033] 도 16은 본 실시예에 대한 상승된 채널 전압과 통과 전압 사이의 관계를 도시한 시뮬레이션 도이다.
- [0034] 도 17은 본 발명의 실시예에 따른 멀티-레벨 플래시 메모리 디바이스에 대한 행 회로의 블록도이다.
- [0035] 도 18은 도 17에 도시한 블록 디코더와 워드라인 구동기 회로의 개략적인 회로도이다.
- [0036] 도 19는 도 17에 도시한 행 디코더 회로의 개략적인 회로도이다.

도면

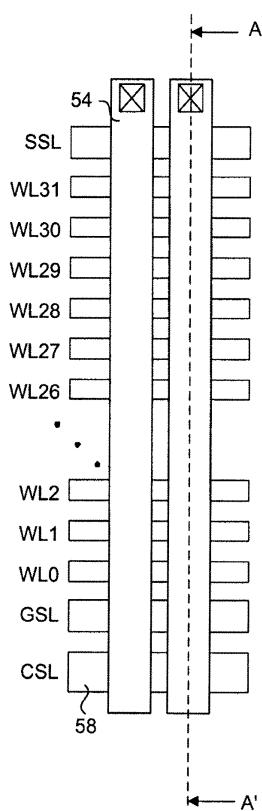
도면1



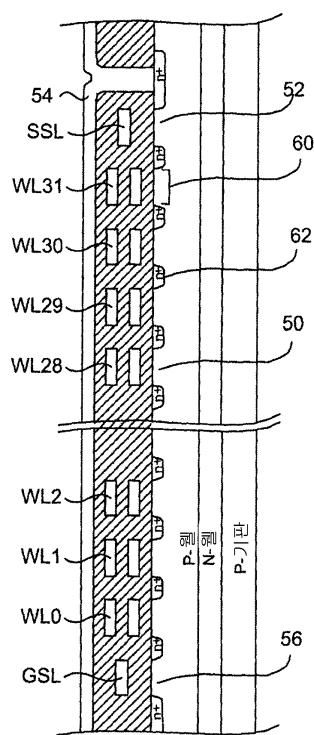
도면2a



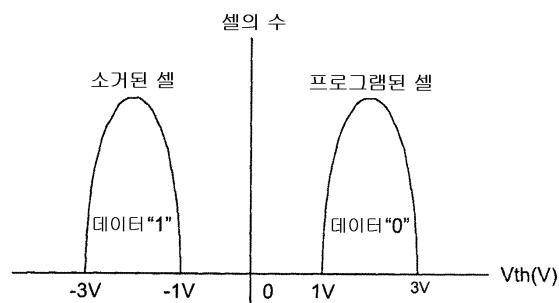
도면2b



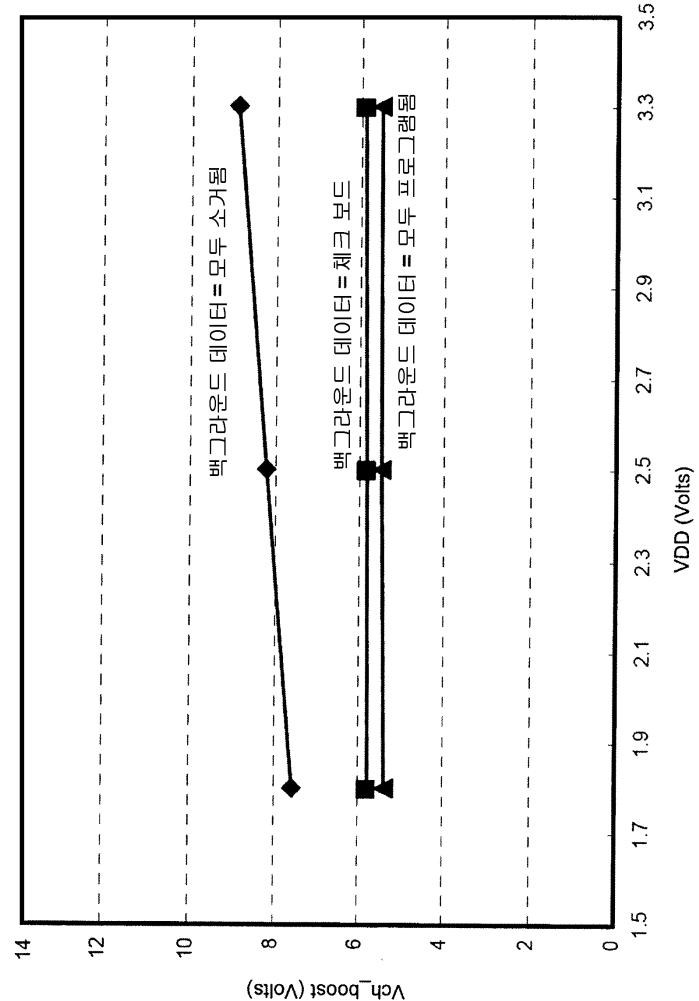
도면2c



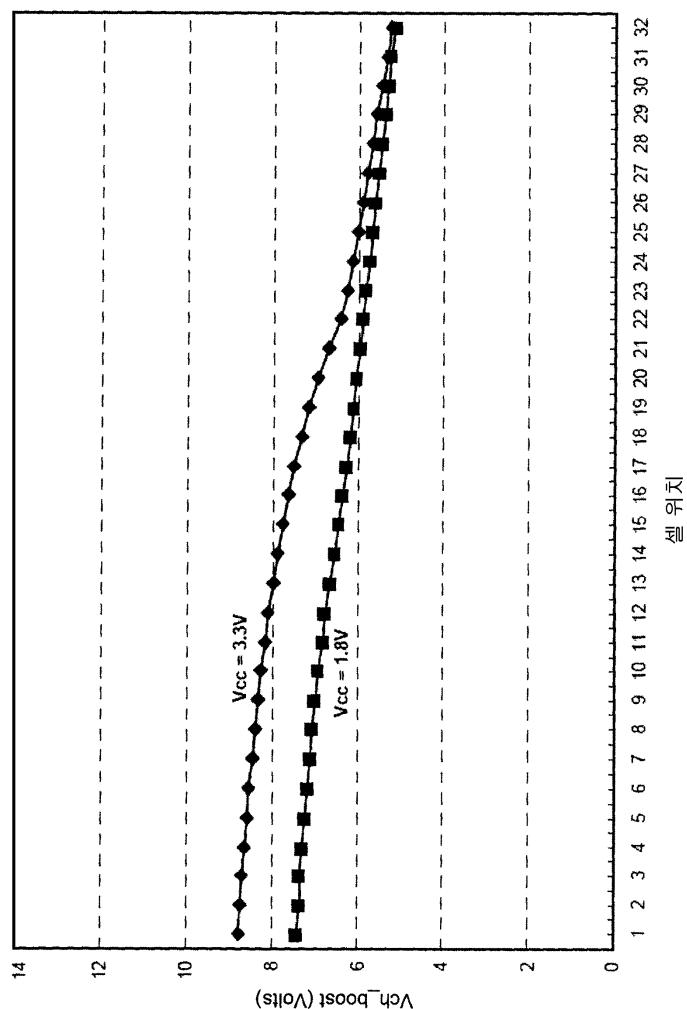
도면3



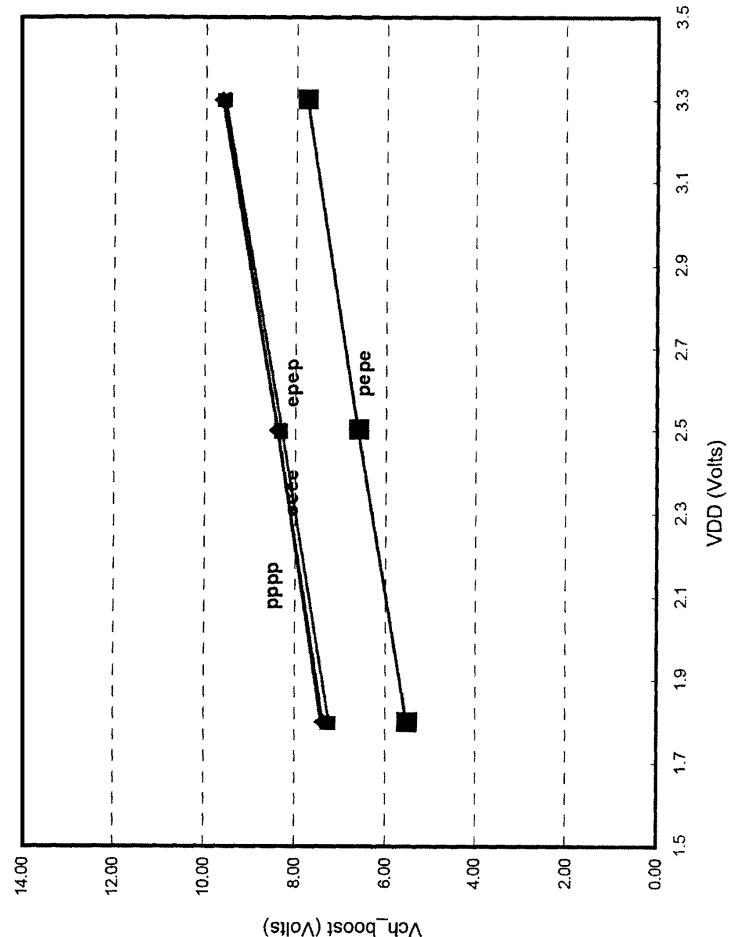
도면4



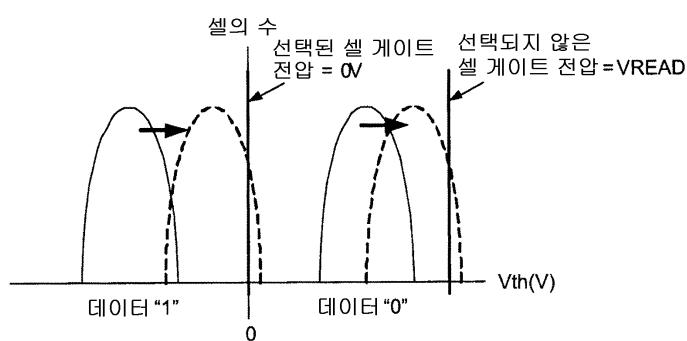
도면5

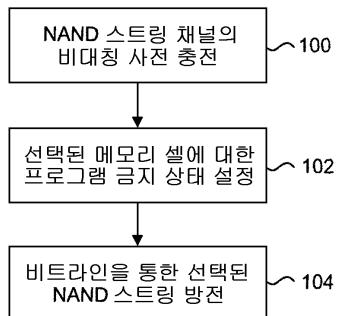
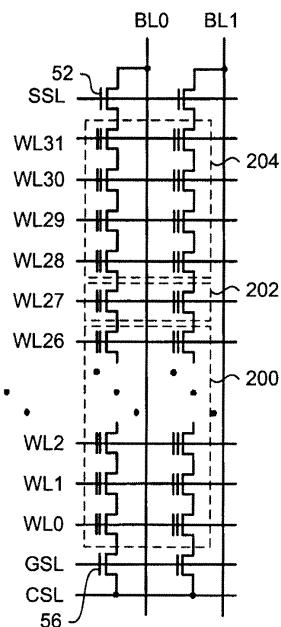
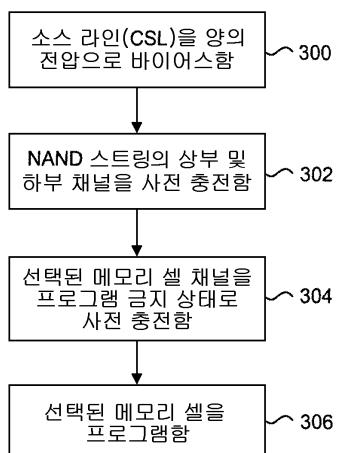


도면6

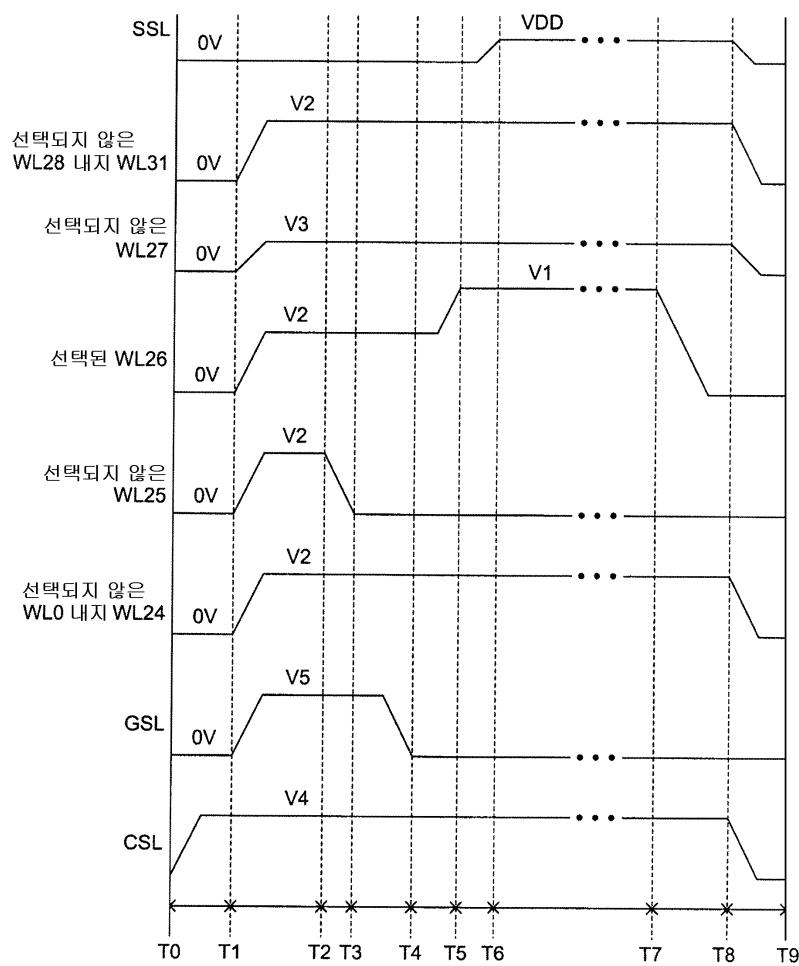


도면7

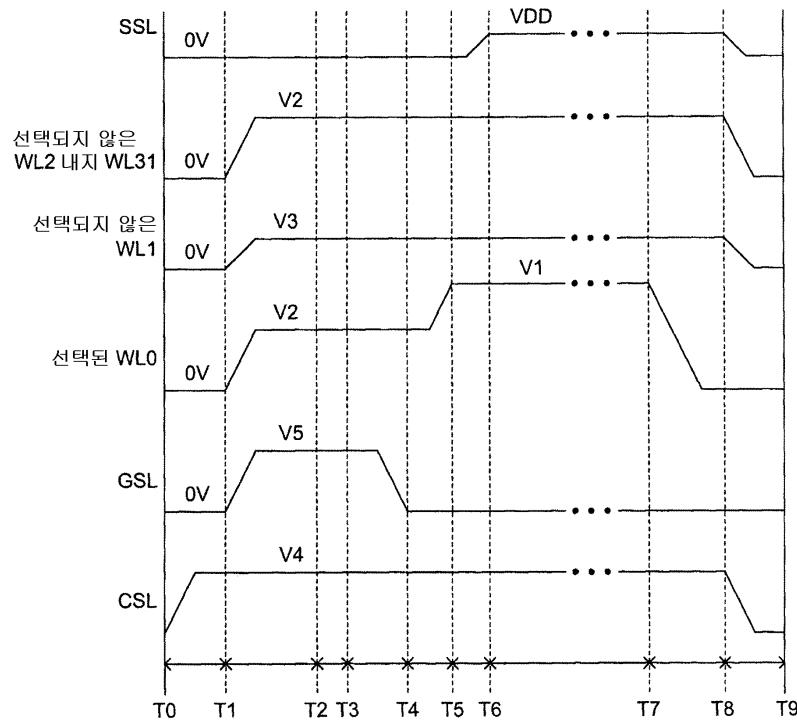


도면8**도면9****도면10**

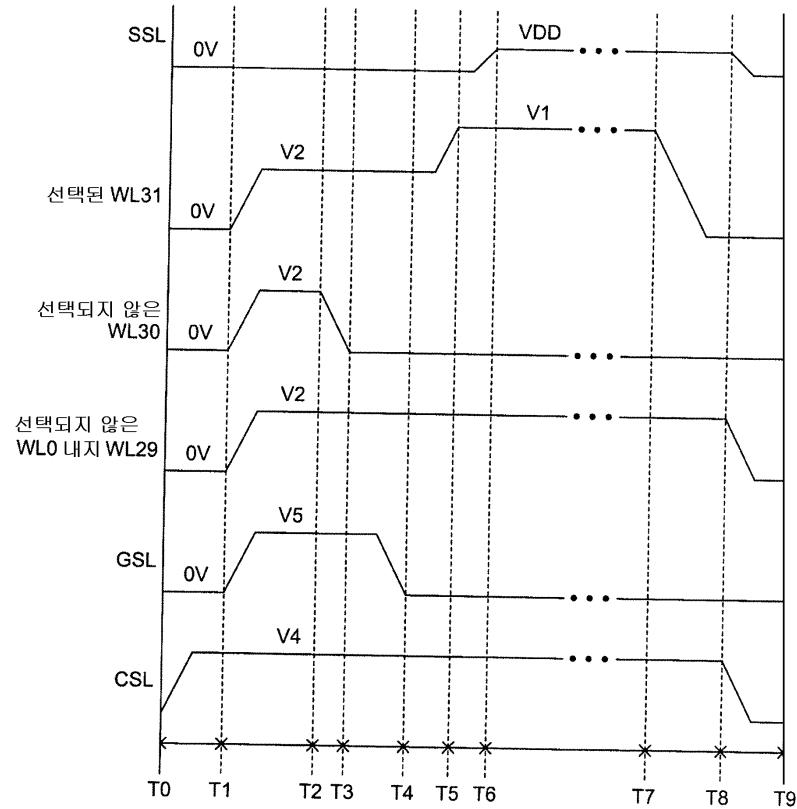
도면11



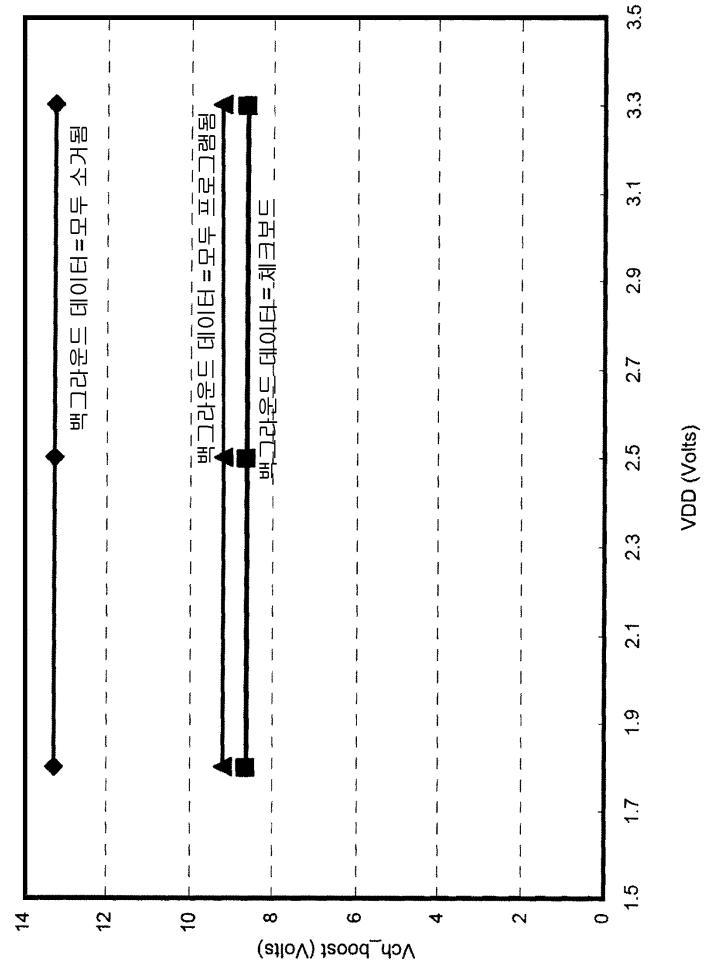
도면12



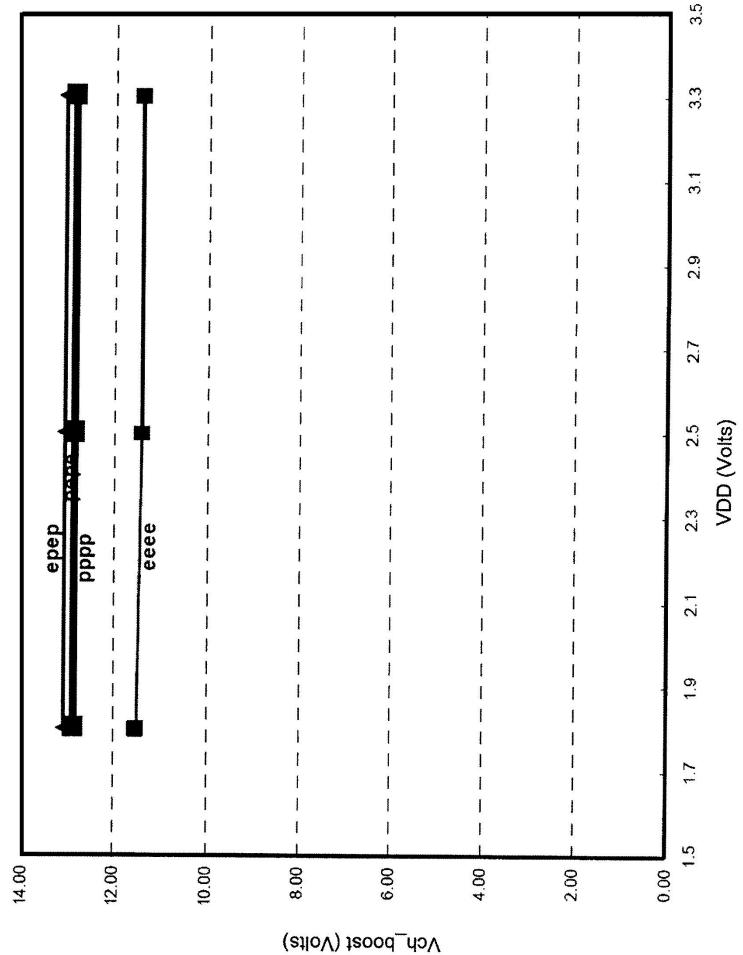
도면13



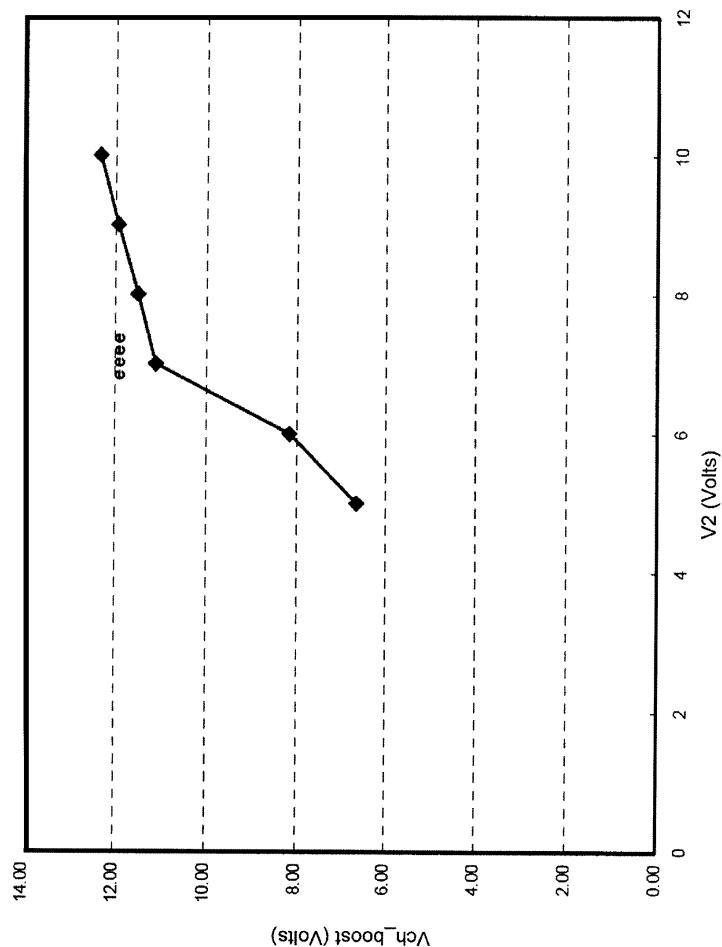
도면14



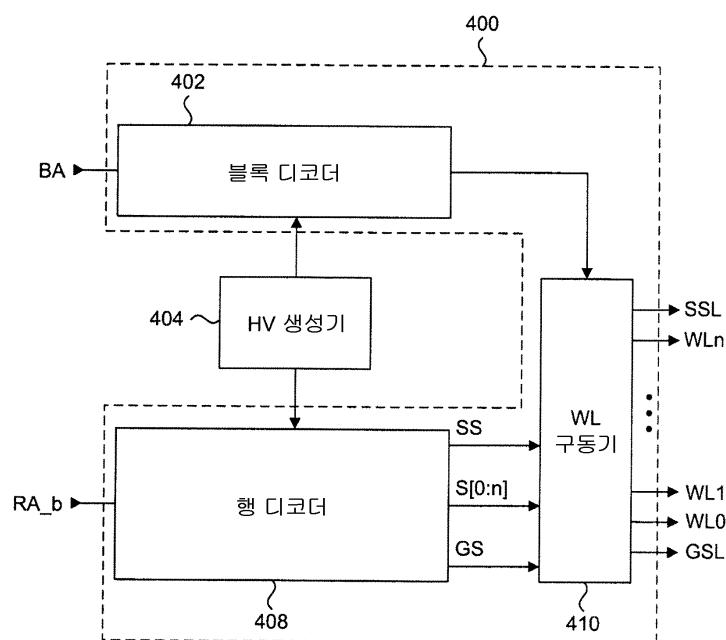
도면15



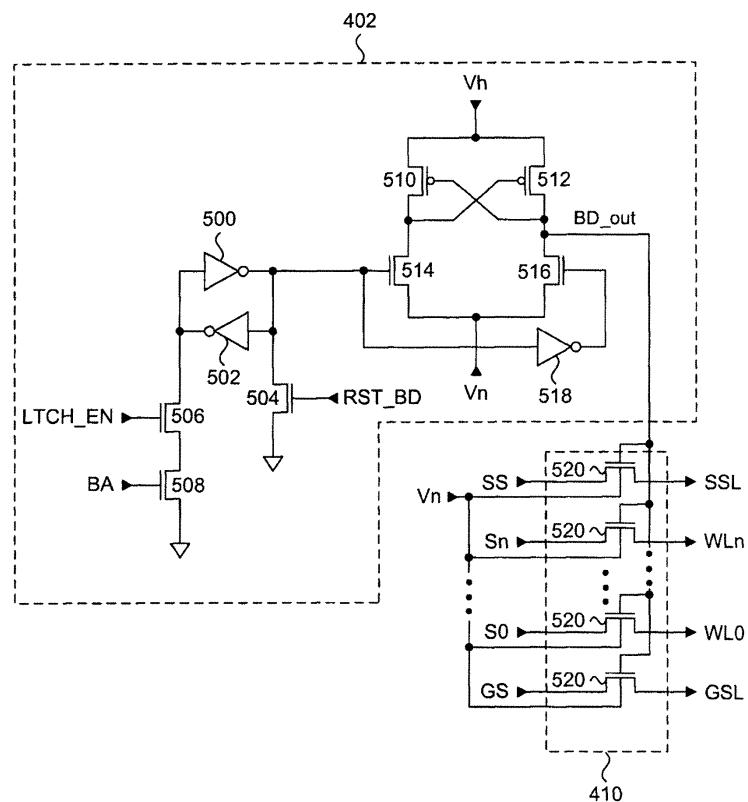
도면16



도면17



도면18



도면19

