

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 19 年 7 月 26 日 (2007.7.26)

【公開番号】特開 2005-347932 (P2005-347932A)
 【公開日】平成 17 年 12 月 15 日 (2005.12.15)
 【年通号数】公開・登録公報 2005-049
 【出願番号】特願 2004-163218 (P2004-163218)
 【国際特許分類】

H 0 4 N 5/335 (2006.01)

H 0 3 M 1/12 (2006.01)

H 0 3 M 1/52 (2006.01)

H 0 1 L 27/146 (2006.01)

【F I】

H 0 4 N 5/335 Z

H 0 4 N 5/335 E

H 0 3 M 1/12 C

H 0 3 M 1/52

H 0 1 L 27/14 A

【手続補正書】

【提出日】平成 19 年 5 月 30 日 (2007.5.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

光電変換部を含む画素が行列状に配列された画素エリアと、前記画素エリアの一画素列に対して 2 つ以上設けられたアナログ - デジタル変換器 (A D C) と、を有し、

前記画素列の複数の画素からの出力を振り分けて前記 2 つ以上の A D C に入力してなる固体撮像装置。

【請求項 2】

前記画素エリアの一画素列の複数の画素が接続される出力線を複数有し、前記出力線に対して前記 2 つ以上の A D C が接続され、

前記出力線と各 A D C との間にスイッチを有し、

前記スイッチにより前記出力線に出力される複数の画素からの出力を振り分けて各 A D C に入力することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

前記画素エリアの一画素列の複数の画素が振り分けられてそれぞれ接続され、該一画素列に対して設けられた複数の出力線を有し、各出力線に対して一つの前記 A D C が接続されていることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

前記画素エリアを複数の画素領域に分けて、前記画素領域の一画素列の複数の画素が接続される出力線を有し、各出力線に対して一つの前記 A D C が接続されていることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 5】

前記スイッチは前記出力線に対して二つ設けられ、二つの前記スイッチは極性の異なる二つのトランジスタからなるとともに、

二本の前記出力線に対して前記 A D C を二つ設け、前記 A D C は二本の出力線で共用されており、

一の出力線に接続される一極性の第 1 のトランジスタと他の出力線に接続される他極性の第 2 のトランジスタとが一の A D C に接続され、前記一の出力線に接続される他極性の第 3 のトランジスタと前記他の出力線に接続される一極性の第 4 のトランジスタとが他の A D C に接続され、

前記第 1 乃至第 4 のトランジスタの ゲート は共通接続されていることを特徴とする請求項 2 記載の固体撮像装置。

【請求項 6】

前記 A D C は演算器を含んでいることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の固体撮像装置。

【請求項 7】

前記演算器は積分器であることを特徴とする請求項 6 に記載の固体撮像装置。

【請求項 8】

前記積分器はマルチスロープ積分型 A D C であることを特徴とする請求項 7 に記載の固体撮像装置。

【請求項 9】

複数の基準電圧に対して複数の積分器を有することを特徴とする請求項 6 から 8 のいずれか 1 項に記載の固体撮像装置。

【請求項 10】

画素列ごとに接続された前記 A D C と前記出力線の間にはノイズ除去回路を有することを特徴とする請求項 2 から 9 のいずれか 1 項に記載の固体撮像装置。

【請求項 11】

光電変換部を含む画素が C M O S センサで構成されていることを特徴とする請求項 1 から 10 のいずれか 1 項に記載の固体撮像装置。

【請求項 12】

請求項 1 から 11 のいずれかの請求項に記載の固体撮像装置と、該固体撮像装置へ光を結像する レンズ系 と、該固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明の固体撮像装置は、光電変換部を含む画素が 行列状 に配列された画素 エリア と、前記画素 エリア の一画素列に対して 2 つ以上設けられたアナログ - デジタル変換器 (A D C) と、を有し、

前記画素列の複数の画素からの出力を振り分けて前記 2 つ以上の A D C に入力してなることを特徴とし、並列処理による高速化もしくはスクランブル化によるばらつきの低減が可能となる。