公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：93124042

※ 申請日期：93. 8. 11　　※IPC 分類：G06F17/10

一、發明名稱：（中文/英文）

多核心多線處理器縱橫式架構 /MULTI-CORE MULTI-THREAD PROCESSOR CROSSBAR ARCHITECTURE

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

昇陽電腦股份有限公司/SUN MICROSYSTEMS, INC.

代表人：（中文/英文）

玫兒琳 E 葛勒賓斯里 /GLAUBENSKLEE, MARILYN E.

住居所或營業所地址：（中文/英文）

美國加州 95054 聖塔克拉克市網絡圓環 4150 號/4150 Network Circle, Santa Clara, California, 95054, U.S.A.

國　籍：（中文/英文）　美國/US

三、發明人：（共 1 人）

姓　名：（中文/英文）

郡爾 A 歐盧科頓 / OLUKOTUN, KUNLE A.

國　籍：（中文/英文）

英國/UK

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. **美國** US　2003/8/19　60/496,602
2. **美國** US　2004/5/26　10/855,694

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

一、【發明所屬之技術領域】

本發明一般關於伺服器，尤有關於處理器架構及透過網路將資料發送至主電腦之方法。

二、【先前技術】

伴隨引進網際網路而來之網路系統爆炸，用於個人電腦之單線桌上型應用已轉移至具有用於服務多重客戶之多線伺服器應用上，電子商務已為大企業創造了服務潛在之數以百萬計消費者的需求。為支持此壓倒性之需求，伺服應用與桌上型應用所需之記憶體特徵不同，尤其伺服應用需要大記憶體頻寬及大容量快取記憶體，以因應廣大數目的客戶。

此外，傳統處理器係集中於指令級平行運算，故處理器之體積極大且線路極複雜，也由於處理器線路之複雜性，如 INTEL 處理器，是故在晶片上僅具有一核心。當發生快取失誤或某些其他長期潛時事件，通常會出現引起線路閒置之拖延現象，吾人一般認為伺服應用每線僅需極少量指令級平行運算，但卻較有效率；因傳統處理器集中於指令級平行運算，故伺服工作量應用與傳統處理器之施行特徵難以配合。

另外，以指令級平行運算（ILP，其為晶片尺寸、功率及複雜性之函數）為主之處理器之效能正達到一飽和點。傳統 ILP 處理器包含已知處理器 PENTIUM™、ITANIUM™、ULTRASPARC™ 等族群，故為提升其效能，未來處理器須脫離傳統 ILP 架構。

有鑑於上述原因，處理器確有必要具有一較適合伺服應用之架構，其中該架構係用以開發伺服應用之多線特徵。

三、【發明內容】

廣泛而言，本發明藉提供一處理器以滿足以上需求，該處理器具備用以有效處理伺服器應用之快取縱橫式架構及仲裁方案。

吾人應明瞭本發明可以許多方式施行，包含設備、系統、裝置或方法。本發明之數個發明實施例將說明於下。

在一實施例中提供一處理器晶片，該處理器晶片包含：(1) 複數個處理核心，各處理核心為多線，該複數個處理核心係位於處理器晶片之中央區域；(2) 複數個快取記憶庫記憶體；(3) 可聯通複數個處理核心與複數個快取記憶庫記憶體之一縱橫式網路，該縱橫式網路包含位於中央之仲裁器，該仲裁器係用以排序複數個處理核心所接收之多重請求，且該縱橫式網路係透過該複數個處理核心而定義。

在另一實施例中提供一處理器晶片，該處理器晶片包含：(1) 位於處理晶片中央區域之複數個快取記憶庫記憶體；(2) 複數個處理核心，各處理核心為多線，且該複數個處理核心係位於中央區域外側；(3) 可聯通複數個處理核心與複數個快取記憶庫記憶體之一縱橫式網路，該縱橫式網路包含位於中央之仲裁器，該仲裁器係用以排序複數個處理核心所接收之多重請求，且該縱橫式網路係位於複數個處理核心與複數個處理核心之間。

又在另一實施例中提供一伺服器，該伺服器包含：(1) 一應用處理器晶片，該應用處理器晶片更包含複數個處理核心，各處理核心為多線，且該複數個處理核心係位於中央區域外側；(2) 可聯通複數個處理核心與複數個快取記憶庫記憶體之一縱橫式網路，該縱橫式網路包含位於中央之仲裁器，該仲裁器係用以排序複數個處理核心所接收之多重請求，且該縱橫式網路係位於複數個處理核心與複數個處理核心之間。

本發明之其餘實施態樣與優勢將結合下列詳細說明及附圖、並透過本發明之實施例及原理而使人更易明瞭。

四、【實施方式】

有一發明已說明多線多核心處理器之佈局配置；然而，習於此技術者應極易明瞭本發明在不需要部份或全部這些特殊細節下

仍可施行。在某些實施例中，並未詳加描述已為人所熟知之程序操作，以避免對本發明之無謂混淆。

此處所述之實施例定義一在晶片上之多重簡單核心架構，其中各核心具有其自身之一第一階快取，且該核心透過一縱橫式網路分享一第二階快取；此外，各核心均具有兩個或兩個以上引線，透過多線架構，即可隱藏因記憶體負載、快取失誤、分支、及其他長期潛時事件所致之潛在影響。在一實施例中，長期潛時指令使得引線擱置，直至指令結果就緒方才解除；接著，吾人選擇準備要在核心上執行之其中一剩餘引線指令，而在下一時鐘進入線路中執行。在一實施例中，在各核心處，排程演算法在立即可執行引線間作選擇，因為長期潛時事件已於背景中施行，且中央處理單元之使用已藉多線進行最適化，故可達到高產出架構。因此，下述實施例係提供處理多線多核心架構所需頻寬之示範架構佈局。

圖 1 為根據本發明一實施例之處理器晶片示意圖，其中該處理器晶片有 4 組 8 個多線處理器核心。穿線核心 118-1 至 118-8 組成第一組晶片之 8 核心，各穿線核心 118-1 至 118-8 包含階級 1 快取 124，該階級 1 快取 124 包含指令快取（I$）段及資料快取（D$）段，載入／儲存單元 128 包含於各穿線核心 118-1 至 118-8 內，吾人須明瞭在晶片上之各處理器核心包含一指令快取、一資料快取及一載入儲存單元；此外，茲討論處理器核心 118-1 至 118-8 係為示範用，然該討論可應用於圖 1 所述之所有核心。在一實施例中，該載入／儲存單元架構與精簡指令集電腦（RISC）架構相似，當然，本發明之多線實施態樣並無法相容於 RISC 架構；在另一實施例中，各處理器核心係根據本發明受讓人之 SPARC™ 技術，各處理器核心 118-1 至 118-8 係與縱橫式仲裁器 120 相連，縱橫式仲裁器 120 針對處理器流量進行最適化，意欲獲得極短潛時。階級 2（L2）快取記憶庫 122-1 至 122-4 係由處理器核心 118-1 至 118-8 所共享，吾人應明瞭：藉由共享快取記憶庫 122-1 至 122-4，可令

同時對多記憶庫進行平行存取，因此定義出一高頻寬記憶體系統。在一實施例中，每一 L2 快取記憶庫之大小約為 1 百萬位元組（MB），吾人應明瞭：雖圖 1 中僅顯示 4 個 L2 快取記憶庫 122-1 至 122-4，但本發明並不限於 4 個 L2 快取記憶庫；換言之，L2 快取記憶庫之數目須充分提供足夠頻寬，以保持所有引線均處於忙線狀態。在一實施例中，各處理器核心包含 4 條引線，故在此配置中，具有 8 個核心之單一處理器晶片將有 32 條引線，各 2 快取記憶庫 122-1 至 122-4 係透過一主記憶體鏈接而與主記憶體介面 126 相連通，吾人應明瞭：雖在處理器晶片上僅顯示 8 個核心，圖 1 中所包含較多或較少之核心僅為示範用，不應成為限制條件。

再參照圖 1，主記憶體介面 126 與輸入／輸出介面方塊 110-1 至 110-3 相連通，該介面方塊係透過無快取存取鏈接而提供對穿線核心之無快取存取，是故處理器核心 118-1 至 118-8 可透過 I/O 介面 110-1 至 110-3 而直接存取在任一 I/O 裝置中之暫存器。吾人應明瞭：I/O 介面方塊、主記憶體介面方塊、雜項 I/O 介面埠方塊、以及測試與時鐘介面方塊亦驅動晶片外插腳。

圖 2 為圖 1 中之處理器晶片之可供選擇示意圖。此處，縱橫式網路 120 係與資料路徑 144a-144d 及 L2 快取記憶庫 122 相聯通，吾人應明瞭：由於此配置係以二維空間表示之限制，故圖 2 中僅顯示 2 組快取記憶庫 122，茲設置 2 個額外快取記憶庫（但未顯示於圖中），以使各資料路徑 144a 至 144d 均與一快取記憶庫相聯通。在一實施例中，乙太網路介面 142a 及 142b 為十億位元乙太網路介面，階級 1 快取記憶體 146a 至 146d 係為與資料路徑 144a 至 144d 相聯通之各處理器核心而設置。

吾人須明瞭：圖 1 及圖 2 之處理器每循環釋出約 10 至 12 筆資料記憶體參考資訊至晶片之主快取記憶體中，並伴隨偶發之局部指令快取失誤。因為每一循環必須處理數目龐大之獨立 64 位元存取，某些縱橫式排序機構須於個別處理器與 16 個獨立可存取主快取記憶庫間執行，此邏輯將會用及許多長佈線、大型多工器、

以及高驅動閘。以下實施例將檢測允許建立可處理處理器核心所需頻寬之數個不同配置選擇（以及其主要組成元件）。

圖 3A 至 3C 說明根據本發明一實施例之與縱橫式網路相聯通之可供選擇佈線項目。圖 3A 需要最少量線路執行縱橫式網路，但圖 3A 之實施例卻具有最複雜之佈線驅動器設計，吾人應明瞭設計之複雜性主要正比於任意單一佈線所能容納之輸入數目，事實上，吾人係在數目較少但較複雜之電佈線與數目較多但較簡單之電佈線間作抉擇。一方面，當縱橫式佈線路徑約包含 2000-5000 條線路（其結束需要利用 0.13 μ - 0.18 μ 尖端技術中之 1-5 mm 寬之佈線通道）時，佈線數目為一關鍵性議題；另一方面，線路難以有效排程傳輸，故儘量降低電佈線之複雜性亦極為重要。因此，驅動器電路需藉單循環計時限制進行設計，故維持簡單之佈線設計較有利。

圖 3A 之階層式多輸入結構可令單一總體線 160 為許多輸入所驅動，因該結構將該線劃分為兩種或兩種以上之階級，以期將眾多驅動器 162 及 164 之高輸出電容分佈於大量較小線路中。此處，各線可由數個輸入其中之一驅動，而自數個輸出其中之一讀取，因各線有如此龐大數目之輸入及輸出，各線可作為其中一條在晶片上數個單元間之路徑，故晶片可在實質上任一循環中施行有效工作，如此可令最少之總體線路於縱橫式網路處交叉而串在一起，吾人應明瞭此配置具有最大之線路可用性；然而，此配置須耗費大量分配給各線路之驅動器，如圖 3A 所示。因此，由於縱橫式驅動器需要用到電晶體空間，透過非相關邏輯而執行由此些線路所製成之縱橫式網路實有困難；此外，由於輸入數目龐大，故大型輸出驅動器將具有高寄生電容。

圖 3B 說明形成單元及中央資源(例如分散式仲裁器的一區段)間之鏈接之 2 路點對點線路。換言之，各線路 166 係用以與發送至及來自中央仲裁器／縱橫式網路資源之訊號聯繫，該線可依箭號 168 所示兩方向執行任務，以期將所要求之線路數目減半，此

恰與單路佈線對之設計相反。贊成此配置與否係介於其餘兩選擇之間，若選擇分散式仲裁設計，且須降低佈線密度，則此圖 3B 之結構可能為最適結構；否則採圖 3A 或 3C 之配置較佳。

圖 3C 係以一混合方式說明自一輸入至一或更多輸出之單方向線。此設計需要最多數目之佈線，但其提供最簡單且最彈性之電路設計，尤其驅動器 170 僅為簡易反向器，而非圖 3A 中之三態驅動器；另外，若有必要，以簡易驅動器為主之中繼器 172 可置於沿佈線 174 之便利位置，以儘量減少佈線延遲。雖圖 3A 及 3B 之設計亦可採用中繼器，但該中繼器須為雙向性且須根據在該循環線上之資料將流入哪一路徑而主動轉換方向，吾人應明瞭圖 3C 之技術需要極多之佈線數目；然而此種需求可大部分利用一事實規避，亦即在大多數情況下，較簡易、較小之驅動器設計通常可容許在處理器核心正上方執行佈線，根據此條件，圖 3C 之配置整體而言應為較佳佈線設計。

圖 4A 至 4C 說明根據本發明一實施例之縱橫式網路之三種可供選擇之仲裁／緩衝選擇，其中該可供選擇之仲裁／緩衝佈局僅為舉例故而以一 4x4 CPU 至晶片子集快取之方式作說明，然三種選擇均可應用於任意適當數目之 CPU 至快取記憶體。緩衝設計與佈線選擇類似，兩者均提供兩極端設計與一在兩極端間某處之併合結構，吾人須注意圖 4A 至 4C 係為示範目的而說明自各處理器至快取記憶庫之正向路徑之佈線，並非匹配轉回路徑。

圖 4A 說明三種設計中最簡單者。此單一聯合系統包含含有仲裁器 180 之縱橫式網路 182，其中該仲裁器係在中央位置貼附於縱橫式網路上，在處理器後，CPU0-CPU3、182a-182d 分別將快取記憶庫存取請求 185 發送至仲裁器，仲裁器透過請求進行排序並容許數個不相衝突請求在每一循環上繼續存在。各存取之「轉回」係預定為起始「發送」後之一固定延遲時間，此設計之優點在於可令各處理器（182a-d）將大部分與各參考資訊有關之資訊留在其本身之參考資訊表中；此外，除非發生快取失誤，否則存取將於

各快取記憶庫 184a-d 進行一段固定時間，故利用一單一仲裁以處理參考資訊之離埠及轉回旅程實為合理之舉。吾人應明瞭轉回旅程仲裁僅為離埠旅程之延遲形式，緩衝及仲裁在簡易設計上之優勢使其變得極令人滿意，只要電路設計足以放大至此尺寸；須注意參照圖 3A 及 3C 所述之佈線選擇最好用於連接圖 4A 之元件。

圖 4C 提供與圖 4A 極端相反之實施例。此處，全體參考資訊被發送至實際上圍繞仲裁器 180 之緩衝器 186a-d，其中仲裁器 180 係與相對應之 CPU 182a-d 相連接，且係位於晶片上之兩個或兩個以上獨立區域之間，如圖 5B 所示之佈局；接著，仲裁器 180 可自其眾多輸入佇列 186a-d 中選取參考資訊，而將此些參考資訊轉送至目的地。此種設計不同於其他設計，此設計利用完全獨立網路而施行轉送及「轉回」存取，各設計有其專屬之仲裁器；此設計提供使所有往返仲裁器之佈線變得極短，因為參考資訊係在仲裁發生前被送入附近緩衝器 186a-d；此外，此設計為完全可擴充，例如：藉使用一或更多 I/O 埠貼附於另一仲裁器上，而不貼附於另一處理器或快取記憶庫，即提供一可更容易擴充之 2 節點分散式系統。然而，因每一參考資訊係座落於至少兩緩衝器內持續一段未知時間，各參考資訊之完整仲裁必須施行於轉送及轉回兩路徑上；又圖 4C 之配置要求各參考資訊應受緩衝儲存入實質上備份參考資訊表資訊之位置中，如此將大幅增加所需緩衝容量。吾人須注意參照圖 3B 及 3C 所述之佈線選擇最好用於連接圖 4C 之元件。

圖 4B 說明圖 4A 及 4C 兩方案之混合方案。雖然圖 4B 大體上之作用類似圖 4C 之分散式模式，其亦可在一節點內將處理器連接至快取而無須經過緩衝階段，因為發送及轉回係發生於相同網路上；吾人應注意此將具有輕微減少緩衝器額外負擔之效應，如此，CPU 182a 及 182b 可直接與快取 184a 及 184b 相通而不需要對緩衝器如 186-1 及 186-2 進行存取。然而，CPU 182c 及 182d 可經由仲裁器 180a、緩衝器 186-1、及仲裁器 180b 而與節點外側之快取如快取 184a 及 184b 相通，應注意參照圖 3A 及 3C 所述之佈局

選擇最好用以連接圖 4B 之元件。

圖 5A 及 5B 說明根據本發明實施例之可供選擇之兩晶片佈局選擇。圖 5A 舉例說明在晶片中間之處理器 190，其具有執行於處理器之間及處理器上之縱橫式網路，如線路 194a-c 所示，此佈局適合用於中央化設計，但在較分散式設計中亦可發揮效用；此配置之一優點為處理器 190 較接近縱橫式網路，這些處理器極易在仲裁器 180 上進行請求，尤其對圖 4A 之完全中央化形式而言。是故處理器 190 在晶片上定義一中央區域，其中快取記憶體 192 係位於中央區域外側；亦即在圖 5A 中，快取記憶體 192 圍繞處理器 190 之兩側。

圖 5B 說明圖 5A 中之配置之可供選擇 H 型佈局。此處，快取記憶體 192 位於該配置中間（中央區域），而縱橫式網路 194 位於快取記憶體周圍，處理器 190 位於中央區域外側，縱橫式網路 194 橫越快取記憶體 192 與處理器間之區域。吾人應明瞭此配置較適合具有兩個或兩個以上仲裁節點之分散式仲裁器排列方式，如圖 4A 及 4B 所表示之配置。

以先前之可能設計技術組合，具相當合理大小之可能縱橫式設計之矩陣即變得明顯，如下表 1 所列。在本發明一實施例之分散式案例中，縱橫式網路已被設計成每次循環即處理 16 筆參考資訊的選取，而無須備份其緩衝器之資料，這些參考資訊係平均分散於處理器與快取記憶庫之中，此舉應為處理平均工作量，儘管突發或不平均存取將造成某些排隊等候上之延遲。如圖 5 所示之處理器集中設計，假設縱橫式網路段均位於一線路上，段內各線路僅與相鄰線路相連，然而圖 5B 之快取集中設計之全部四角卻利用通過晶片中間以連接兩半邊之佈線而彼此連接。為計算各設計所需之佈線數目，茲全部假設為獨立位址及資料匯流排（後者在設計中以單路佈線複製）。

表 1

佈 局	仲裁器／緩衝器	縱橫式佈線	仲裁器尺寸(數目：輸入x輸出)	通道節點中之佈線數目	
處裡器集中	一體	階層式	1:32x16	400	
		單路	1:32x16	5020	簡易性及潛時問題之最佳選擇
	內分散式／2	階層式	2:24x12	3120	
		2路	2:24x12	3950	優良整體選擇
	間分散式／2	2路	1:32x16 1:16x32*	2880	
		單路	1:32x16 1:16x32*	4540	
	內分散式／4	階層式	2:22x18 2:14x10	4540	
		單路	2:22x18 2:14x10	4120	
	間分散式／4	2路	2:16x10 1:16x10 2:10x16*	1680	
			1:12x16*		
		單路	2:16x10 1:16x12 2:10x16* 1:12x16*	2646	仲裁器及佈線通道尺寸最小化之最佳選擇
快取集中	內分散式／2	階層式	2:24x12	6240	
		單路	2:24x12	7900	
	間分散式／2	2路	1:32x16 1:16x32*	2880	
		單路	1:32x16 1:16x32*	4540	
	內分散式／4	階層式	4:14x10	5020	
		單路	4:14x10	4980	
	間分散式／4	2路	2:20x12 2:12x20*	2880	
		單路	2:20x12 2:12x20*	4540	

*表示這些仲裁器在分散式仲裁器間區域之案例中處理轉回存取，其中發送及轉回網路係各自獨立。

此處所獲得之數字略減少了合理選擇名單，因與縱橫式網路相聯通之佈線數目龐大，需要極多（多於 50,000）組成縱橫式網路之高功率三態驅動器，故吾人最不喜好階層式佈線設計；2 路佈線看起來雖相當不錯，但透過 2 路佈線之可用頻寬較低，此點可能使 2 路佈線設計含有較多快取記憶庫，由於已存在大尺寸仲裁器，2 路佈線方案並不如單路佈線縱橫式網路合用，是故單路佈線縱橫式網路為較佳配置。在不同單路佈線設計之配置之間，處理器集中設計通常較具優勢，因其減少了在通訊通道之佈線數目。

吾人須明瞭：一體仲裁器縱橫式設計容易施行，僅需一單一仲裁器及佈線組；一體設計亦最小化並固定各記憶體存取之潛時，因任一存取僅需要一縱橫式中繼段。就整體緊密性而言，在區段間有仲裁器之 4 路分散式設計最好，4 路分散式設計具有數個相當小的仲裁器，且極有效地使用自己的佈線通道，但其要求大多數參考資訊須自處理器跳躍通過數個縱橫式階段而至快取並返回（每一參考資訊 2 至 6 回）。以仲裁器連接各區段之 2 路分散式設計在各方面約介於此兩者中間， 2 路分散式設計提供了相對於統一設計及 4 路分散式設計之一中間領域。

在一實施例中，對於全部在相同金屬層上之佈線而言，每毫米矽存在約 1,000 條平行佈線，熟悉此技術者應明瞭：此數目將根據所使用之金屬層之確切設計規則而改變，並不應成為限制條件。

總之，上述實施例提供用於多線多核心處理器之示範架構方案，此示範架構方案說明示範佈線選擇、示範仲裁及緩衝選擇、示範整體佈局選擇，亦即快取集中對處理器集中，這些架構方案係用以處理容納多線多核心處理器配置所需之頻寬。

再者，本發明可利用其他電腦系統配置施行，包括手持裝置、微處理器系統、以處理器為主或可程式化家用電子裝置、微電腦、主機電腦等；本發明亦可於分配計算環境中施行，其中任務係藉

透過網路鏈接之遠端處理裝置而完成。

基於上述實施例，吾人應瞭解本發明可採用與儲存於電腦系統中之資料有關之各種不同的電腦施行操作，這些操作為需要物理量之物理操縱操作，通常（然非必須）這些量係採可被儲存、轉換、結合、比較、及操縱之電或磁訊號的形式；所施行之操縱更常被稱作如產生、確認、決定或比較等之術語。

此處所述之形成部分本發明之任何操作均為有用機器操作，本發明亦關於用於施行這些操作之裝置或設備，該設備可為所需之功用而特別建構，或者其可為由一儲存於電腦中之一電腦程式所選擇性地啟動或安裝之通用電腦；特別地，吾人可藉根據此處原理所寫之電腦程式而使用各種不同之通用機器，抑或吾人可建構可施行所需操作之專用設備，如此較為方便。

雖然本發明為使人清楚明瞭故已詳細說明如上，但吾人應了解：在所附申請專利範圍之領域內，本發明可作某些變化及修正，因此，本發明實施例應視為舉例用而非限制條件，且本發明並不限於此處所描述之細節，而是可在所附申請專利範圍之領域及其同義物作修改者。

五、【圖式簡單說明】

本發明將結合下列詳細說明及附圖而使人更易明瞭，其中相同參考數字代表與其相同的結構元件。

圖 1 為根據本發明一實施例之處理器晶片示意圖，該處理器晶片有 4 組 8 個多線處理器核心。

圖 2 為圖 1 所示之該多線多核心處理器晶片之另一可供選擇示意圖。

圖 3A 至 3C 說明根據本發明一實施例之與縱橫式網路相聯通之可供選擇的佈線。

圖 4A 至 4C 說明根據本發明一實施例之縱橫式網路之三種可供選擇之仲裁／緩衝選擇。

圖 5A 及 5B 說明根據本發明一實施例之可供選擇之示範晶片佈局。

元件符號說明：

110-1~110-3　輸入／輸出介面方塊
118-1~118-8　處理器核心
120　縱橫式仲裁器
122-1~122-4　快取記憶庫
124　階級 1 快取
126　主記憶體介面
128　載入／儲存單元
142a、142b　乙太網路介面
144a-144d　資料路徑
146a-146d　階級 1 快取記憶體
160　總體線
162　驅動器
164　驅動器
166　線路
168　箭號
170　驅動器
172　中繼器
174　佈線
180、180a~180b　仲裁器
182a~182d　縱橫式網路
184a~184d　快取記憶庫
185　快取記憶庫存取請求
186-1、186-2　緩衝器
186a~186d　緩衝器
190　處理器

192　快取記憶體

194a~194c　線路

五、中文發明摘要：

一種處理器晶片，該處理器晶片包含：(1) 複數個處理核心，其中各處理核心為多線，該複數個處理核心係位於處理器晶片之中央區域；(2) 複數個快取記憶庫記憶體；(3) 一縱橫式網路，其可連接該複數個處理核心與該複數個快取記憶庫記憶體，該縱橫式網路包含一位於中央之仲裁器，該仲裁器係用以排序由該複數個處理核心所接收之具可用輸出之多重請求，且該縱橫式網路位於該複數個處理核心上方；在一實施例中，吾人確定該處理器晶片之方位，以令快取記憶庫記憶體位於中央區域。本發明亦包含一伺服器。

六、英文發明摘要：

A processor chip is provided. The processor chip includes a plurality of processing cores where each of the processing cores being multi-threaded. The plurality of processing cores are located in a center region of the processor chip. A plurality of cache bank memories are included. A crossbar enabling communication between the plurality of processing cores and the plurality of cache bank memories is provided. The crossbar includes a centrally located arbiter configured to sort multiple requests received from the plurality of processing cores and the crossbar is defined over the plurality of processing cores. In another embodiment, the processor chip is oriented so that the cache bank memories are defined in the center region. A server is also included.

十、申請專利範圍：

1. 一種處理器晶片，包含：

複數個處理核心，各該處理核心為多線，該複數個處理核心係位於該處理器晶片之中央區域；

複數個快取記憶庫記憶體；以及

一縱橫式網路，該縱橫式網路可聯通該複數個處理核心與該複數個快取記憶庫記憶體，該縱橫式網路包含一位於中央之仲裁器，該仲裁器係用以排序由該複數個處理核心所接收之多重請求，該縱橫式網路係位於該複數個處理核心上方。

2. 如申請專利範圍第 1 項之處理器晶片，其中該複數個快取記憶庫記憶體係透過該縱橫式網路而與該複數個處理核心相聯通，該複數個快取記憶庫位於該中央區域外側；該處理器晶片更包含：

複數個輸入／輸出（I/O）介面模組，其與一主記憶體介面相聯通，並提供一鏈接至該複數個處理核心，該鏈接繞過該複數個快取記憶庫記憶體及該縱橫式網路；以及

穿線硬體，其用以令該複數個處理核心中的每一個，以隱藏因快取存取所引起之延遲的方式，而自第一引線切換至第二引線。

3. 如申請專利範圍第 1 項之處理器晶片，其中該複數個處理核心中的每一個包含：

一載入／儲存單元，該載入／儲存單元具有一主參考資訊串列，該主參考資訊串列包含一暫存器檔案。

4. 如申請專利範圍第 3 項之處理器晶片，其中該暫存器檔案包含：

記憶體存取處理暫存器，用於與一個別核心相聯通之記憶體參考資訊。

5. 如申請專利範圍第 3 項之處理器晶片，其中該主參考資訊串列係用以將一記憶體參考資訊之位址與一個別線及一個別暫存器數目兩者相結合。

6. 如申請專利範圍第 1 項之處理器晶片，其中該快取記憶庫記憶體為單埠靜態隨機存取記憶體。

7. 如申請專利範圍第 1 項之處理器晶片，其中該複數個快取記憶庫記憶體中的每一個之大小約為一百萬位元組。

8. 如申請專利範圍第 1 項之處理器晶片，其中位於該縱橫式網路、該複數個處理核心、及該複數個快取記憶庫記憶體間之一佈線配置包含由複數個輸入所驅動的一總體線。

9. 如申請專利範圍第 1 項之處理器晶片，其中位於該縱橫式網路、該複數個處理核心、及該複數個快取記憶庫記憶體間之一佈線配置包含一單方向線，該單方向線係自一輸入源延伸至一或更多輸出源，其中該單方向線可驅動多重輸出。

10. 一種處理器晶片，包含：

複數個快取記憶庫記憶體，位於該處理器晶片之中央區域；

複數個處理核心，各該處理核心為多線，該複數個處理核心係位於該中央區域外側；以及

一縱橫式網路，聯通該複數個處理核心與該複數個快取記憶庫記憶體，該縱橫式網路包含一位於中央之仲裁器，該仲裁器係用以排序由該複數個處理核心所接收之多重請求，該縱橫式網路係位於該複數個處理核心與該複數個處理核心之間。

11. 如申請專利範圍第 10 項之處理器晶片，其中該縱橫式網路包含兩或更多仲裁器節點。

12. 如申請專利範圍第 10 項之處理器晶片，其中位於該縱橫式網路、該複數個處理核心、及該複數個快取記憶庫記憶體間之一佈線配置包含由複數個輸入所驅動的一總體線。

13. 如申請專利範圍第 10 項之處理器晶片，其中位於該縱橫式網路、該複數個處理核心、及該複數個快取記憶庫記憶體間之一佈線配置包含一單方向線，該單方向線係自一輸入源延伸至一或更多輸出源，其中該單方向線可驅動多重輸出。

14. 如申請專利範圍第 11 項之處理器晶片，其中該兩仲裁器

中的每一個與用以儲存快取記憶庫存取請求用之參考資訊的一緩衝器相聯通。

15. 一種伺服器，包含：

一應用處理器晶片，該應用處理器晶片包含：

複數個快取記憶庫記憶體，位於該處理器晶片之中央區域；

複數個處理核心，各該處理核心為多線，該複數個處理核心係位於該中央區域外側；以及

一縱橫式網路，該縱橫式網路聯通該複數個處理核心與該複數個快取記憶庫記憶體，該縱橫式網路包含一位於中央之仲裁器，該仲裁器係用以排序由該複數個處理核心所接收之多重請求，該縱橫式網路係位於該複數個處理核心與該複數個處理核心之間。

16. 如申請專利範圍第 15 項之伺服器，其中該縱橫式網路包含兩或更多仲裁器節點。

17. 如申請專利範圍第 15 項之伺服器，其中位於該縱橫式網路、該複數個處理核心、及該複數個快取記憶庫記憶體間之一佈線配置包含由複數個輸入所驅動的一總體線。

18. 如申請專利範圍第 15 項之伺服器，其中位於該縱橫式網路、該複數個處理核心、及該複數個快取記憶庫記憶體間之一佈線配置包含一單方向線，該單方向線係自一輸入源延伸至一或更多輸出源，其中該單方向線可驅動多重輸出。

19. 如申請專利範圍第 16 項之伺服器，其中該兩仲裁器中的每一個與用以儲存快取記憶庫存取請求用之參考資訊的一緩衝器相聯通。

十一、圖式：

圖式

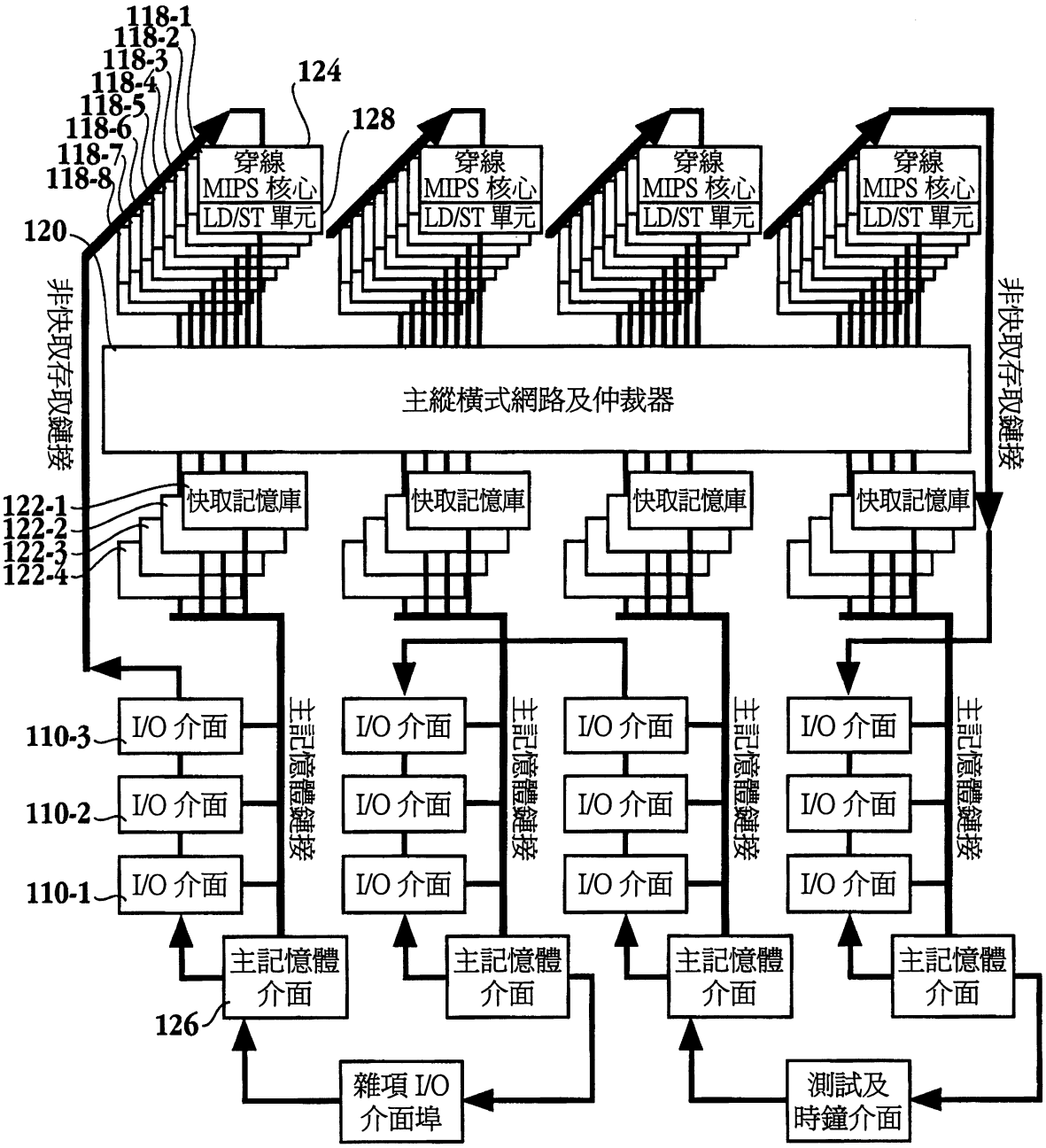

118-1
118-2
118-3
118-4
118-5
118-6
118-7
118-8
124
128
120
穿線
MIPS 核心
LD/ST 單元
穿線
MIPS 核心
LD/ST 單元
穿線
MIPS 核心
LD/ST 單元
穿線
MIPS 核心
LD/ST 單元
非快取存取鏈接
主縱橫式網路及仲裁器
非快取存取鏈接
122-1
122-2
122-3
122-4
快取記憶庫
快取記憶庫
快取記憶庫
快取記憶庫
110-3
110-2
110-1
I/O 介面
主記憶體鏈接
126
主記憶體介面
雜項 I/O 介面埠
測試及時鐘介面

圖 1

圖式

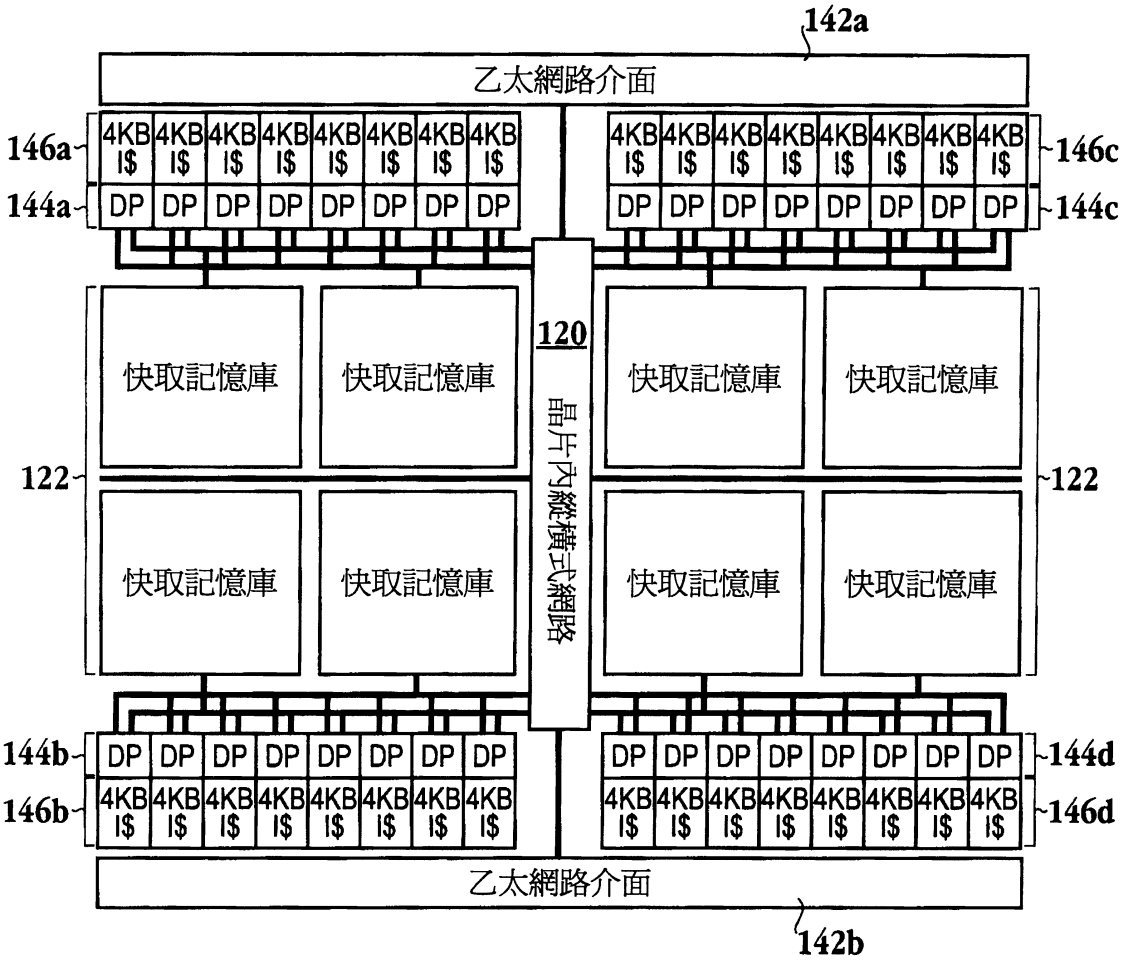

142a
乙太網路介面
146a
144a
4KB I$
DP
146c
144c
快取記憶庫
120
晶片內縱橫式網路
122
144b
146b
144d
146d
乙太網路介面
142b

圖 2

圖式

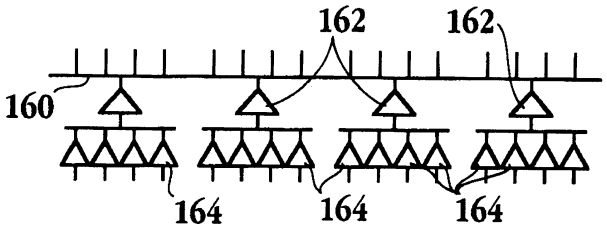


圖 3A

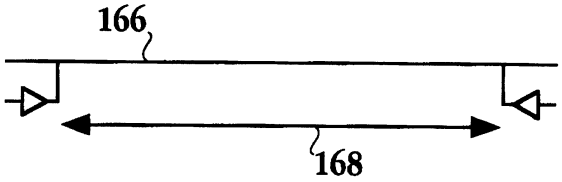


圖 3B

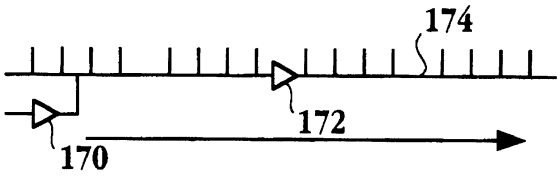


圖 3C

圖式

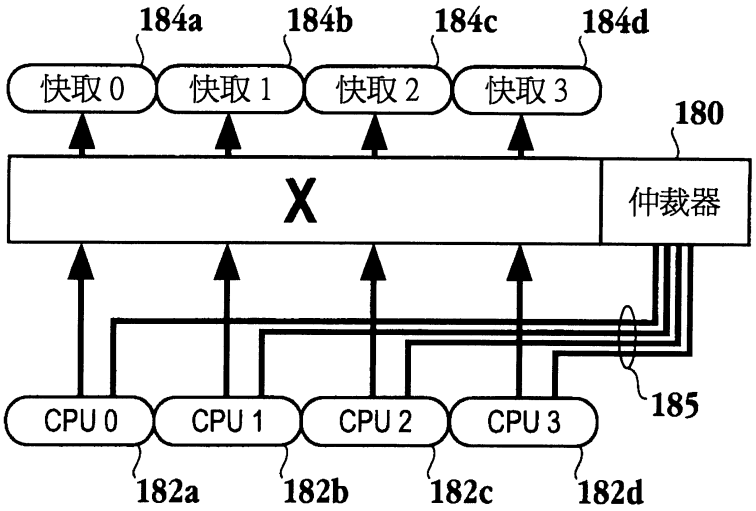

184a
184b
184c
184d
快取 0
快取 1
快取 2
快取 3
180
X
仲裁器
185
CPU 0
CPU 1
CPU 2
CPU 3
182a
182b
182c
182d

圖 4A

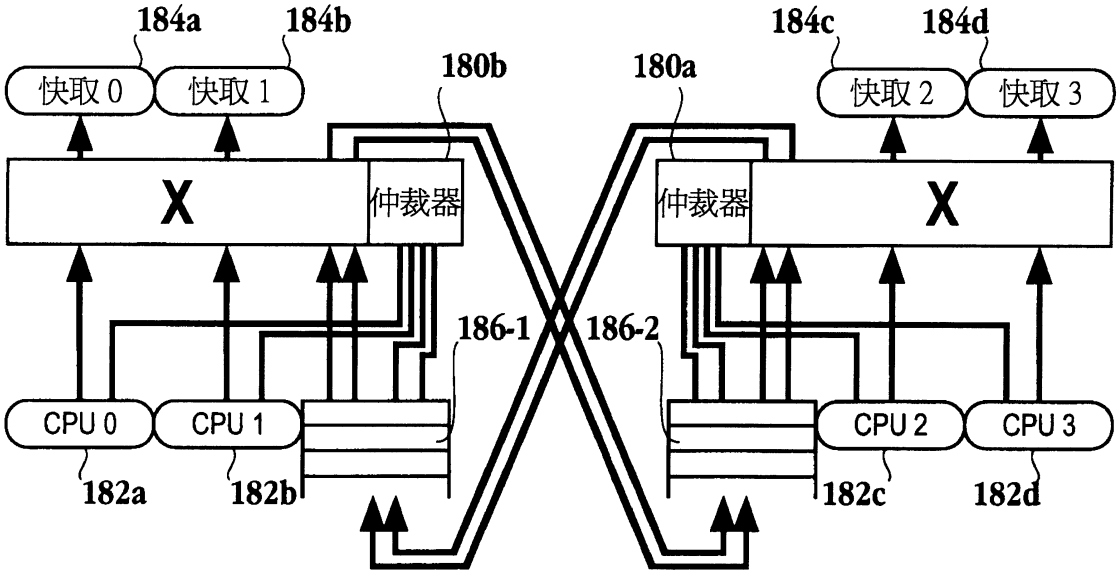

184a
184b
184c
184d
快取 0
快取 1
快取 2
快取 3
180b
180a
X
仲裁器
仲裁器
X
186-1
186-2
CPU 0
CPU 1
CPU 2
CPU 3
182a
182b
182c
182d

圖 4B

圖式

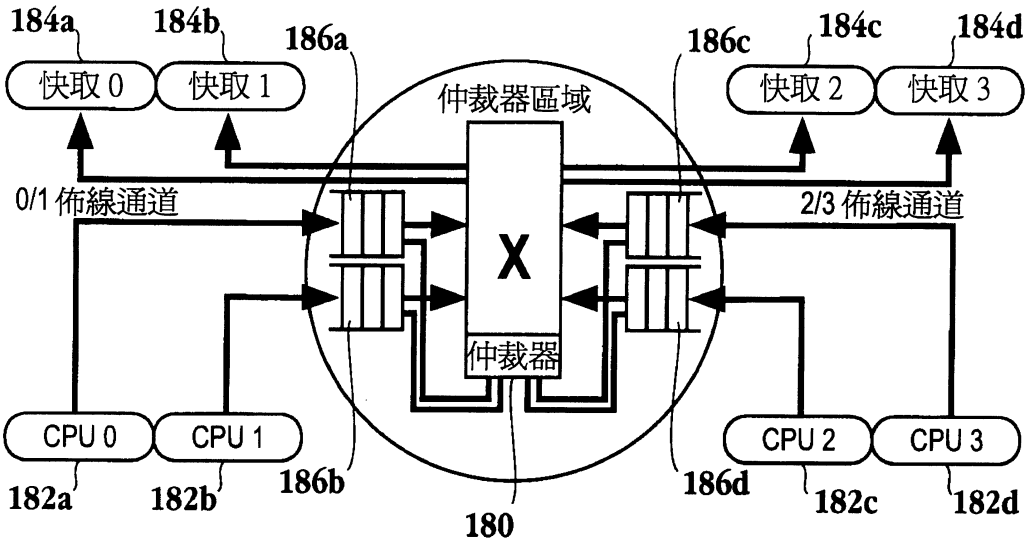

184a
184b
186a
186c
184c
184d
快取 0
快取 1
仲裁器區域
快取 2
快取 3
0/1 佈線通道
2/3 佈線通道
X
仲裁器
CPU 0
CPU 1
CPU 2
CPU 3
182a
182b
186b
186d
182c
182d
180

圖 4C

圖式

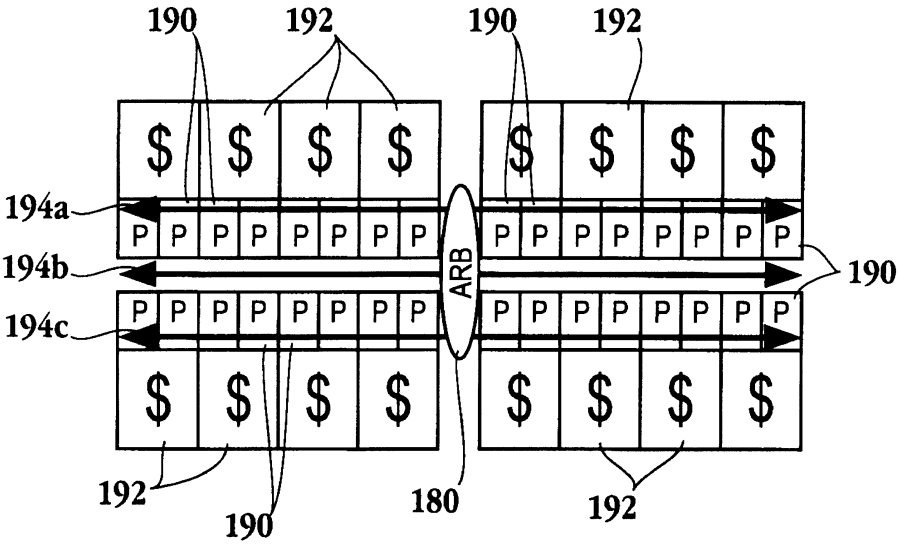

190
192
190
192
194a
194b
194c
ARB
190
192
190
180
192

圖 5A

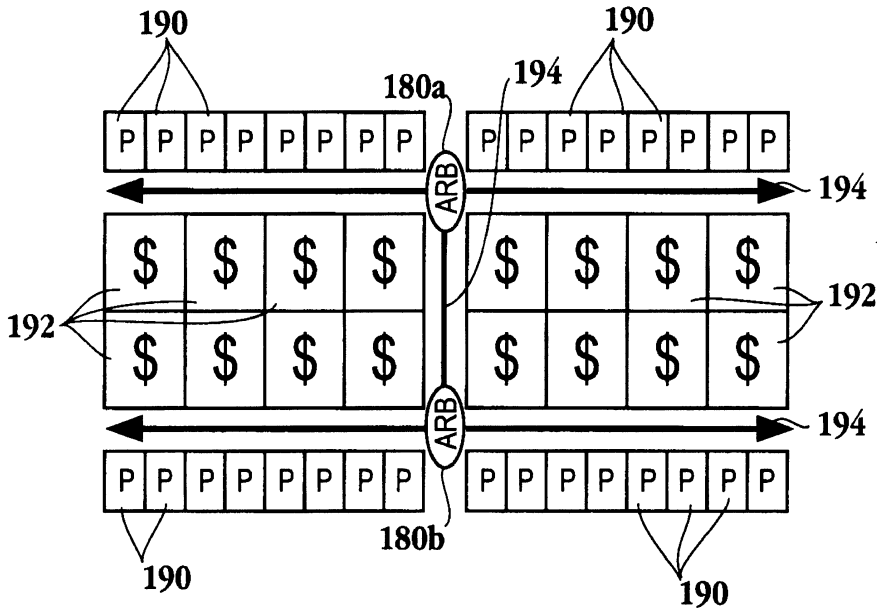

190
190
180a
194
ARB
194
192
192
ARB
194
180b
190
190

圖 5B

七、指定代表圖：

(一)本案指定代表圖為：第（1）圖。

(二)本代表圖之元件符號簡單說明:

110-1~110-3　輸入／輸出介面方塊

118-1~118-8　處理器核心

120　縱橫式仲裁器

122-1~122-4　快取記憶庫

124　階級 1 快取

126　主記憶體介面

128　載入／儲存單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）