

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 1 年 11 月 7 日 (2019.11.7)

【公表番号】特表 2019-525271 (P2019-525271A)

【公表日】令和 1 年 9 月 5 日 (2019.9.5)

【年通号数】公開・登録公報 2019-036

【出願番号】特願 2018-524749 (P2018-524749)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 12/00 5 7 1 B

【手続補正書】

【提出日】令和 1 年 9 月 24 日 (2019.9.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリアクセス要求を受信し、記憶するコマンドキュー（520）と、
 コントローラサイクル中に前記メモリアクセス要求の中から対応する複数のサブアービ
 トレーション勝者を提供する複数のサブアービタ（605）であって、対応するコントロ
 ーラサイクルにおいて複数のメモリコマンドをメモリに提供するために前記複数のサブア
 ービトレーション勝者の中から何れかを選択する複数のサブアービタ（605）を備える
 アービタ（538）と、を備え、
 メモリコマンドサイクルは前記対応するコントローラサイクルよりも短い、
 メモリコントローラ（500）。

【請求項 2】

前記コントローラサイクルは、コントローラクロック信号によって定義され、
 前記メモリコマンドサイクルは、メモリクロック信号によって定義され、
 前記メモリクロック信号は、前記コントローラクロック信号よりも高い周波数を有する
 、
 請求項 1 のメモリコントローラ（500）。

【請求項 3】

前記複数のサブアービタ（605）は、
 前記コマンドキュー（520）に接続された第 1 サブアービタ（610）であって、コ
 ントローラクロック信号に同期して、前記コマンドキュー（520）内のアクティブエン
 トリの中から第 1 サブアービトレーション勝者を決定する第 1 サブアービタ（610）と
 、
 前記コマンドキュー（520）に接続された第 2 サブアービタ（620）であって、前
 記コントローラクロック信号に同期して、前記コマンドキュー（520）内の前記アクテ
 イブエンタリの中から前記第 1 アービトレーション勝者とは異なる第 2 サブアービトレ
 ーション勝者を決定する第 2 サブアービタ（620）と、を備え、
 前記メモリコントローラ（500）は、メモリクロック信号の第 1 サイクルにおいて前
 記第 1 サブアービトレーション勝者を第 1 メモリコマンドとして出力し、前記メモリクロ
 ック信号の後続のサイクルにおいて前記第 2 サブアービトレーション勝者を第 2 メモリコ
 マンドとして出力するように動作し、前記メモリクロック信号の周波数は、前記コントロ

ーラクロック信号の周波数よりも高い、
請求項 1 のメモリコントローラ (5 0 0) 。

【請求項 4】

前記複数のサブアービタ (6 0 5) は、
前記コマンドキュー (5 2 0) に接続された第 3 サブアービタ (6 3 0) であって、前記コントローラクロック信号に同期して、前記コマンドキュー (5 2 0) 内のアクティブエントリの中から第 3 サブアービトレーション勝者を決定する第 3 サブアービタ (6 3 0) を備える、
請求項 3 のメモリコントローラ (5 0 0) 。

【請求項 5】

前記アービタ (5 3 8) は、
前記第 1 サブアービトレーション勝者、前記第 2 サブアービトレーション勝者及び前記第 3 サブアービトレーション勝者の中から 2 つの最終アービトレーション勝者を選択し、
前記 2 つの最終アービトレーション勝者を前記第 1 メモリコマンド及び前記第 2 メモリコマンドとして提供する最終アービタ (6 5 0) を備える、
請求項 4 のメモリコントローラ (5 0 0) 。

【請求項 6】

前記複数のサブアービタ (6 0 5) は、前記第 1 サブアービタ (6 1 0) 、前記第 2 サブアービタ (6 2 0) 及び前記第 3 サブアービタ (6 3 0) のうち何れかと同じタイプの少なくとも 1 つの他のサブアービタを備え、
前記最終アービタ (6 5 0) は、前記対応するコントローラサイクルにおいて前記複数のサブアービタ (6 0 5) のの中から前記同じタイプの 2 つの最終アービトレーション勝者を選択する、
請求項 5 のメモリコントローラ (5 0 0) 。

【請求項 7】

前記第 1 サブアービタ (6 1 0) は、前記コマンドキュー (5 2 0) 内のページヒットコマンドから前記第 1 サブアービトレーション勝者を選択し、
前記第 2 サブアービタ (6 2 0) は、前記コマンドキュー (5 2 0) 内のページ競合コマンドから前記第 2 サブアービトレーション勝者を選択し、
前記第 3 サブアービタ (6 3 0) は、前記コマンドキュー (5 2 0) 内のページミスコマンドから前記第 3 サブアービトレーション勝者を選択する、
請求項 4 のメモリコントローラ (5 0 0) 。

【請求項 8】

前記複数のサブアービタ (6 0 5) の各々は、前記コマンドキュー (5 2 0) 内の関連するタイプのコマンドの中からアービトレーション勝者を選択し、
前記複数のサブアービタ (6 0 5) のうち少なくとも 2 つは、同じタイプのアービトレーション勝者を選択し、
前記アービタ (5 3 8) は、前記対応するコントローラサイクルにおいて前記複数のサブアービタ (6 0 5) のの中から前記同じタイプの 2 つの最終アービトレーション勝者を選択する、
請求項 1 のメモリコントローラ (5 0 0) 。

【請求項 9】

メモリアクセス要求を提供するメモリアクセスエージェント (1 1 0 , 2 1 0 , 2 2 0) と、
メモリシステム (1 2 0) と、
請求項 1 ~ 8 の何れかのメモリコントローラと、を備える、
データ処理システム (1 0 0) 。

【請求項 10】

前記メモリアクセスエージェントは、
中央処理ユニットコア (2 1 2 , 2 1 4) と、

グラフィックス処理ユニットコア(220)と、

前記中央処理ユニットコア(212, 214)及び前記グラフィックス処理ユニットコア(220)を前記メモリコントローラ(292, 500)に相互接続するデータファブリック(250)と、を備える、

請求項9のデータ処理システム(100)。

【請求項11】

複数のメモリアクセス要求を受信することと、

前記複数のメモリアクセス要求をコマンドキュー(520)に記憶することと、

前記コマンドキュー(520)からメモリアクセス要求を選択することであって、第1コントローラサイクル中に前記メモリアクセス要求の中から複数のサブアービトレーション勝者を選択することと、対応するコントローラサイクルにおいて複数のメモリコマンドをメモリに提供するために前記複数のサブアービトレーション勝者の中から何れかを選択することとを含む、ことと、を含む、

メモリコマンドサイクルは前記対応するコントローラサイクルよりも短い、方法。

【請求項12】

前記複数のサブアービトレーション勝者を選択することは、

前記コマンドキュー(520)内のページヒットコマンドから第1サブアービトレーション勝者を選択することと、

前記コマンドキュー(520)内のページ競合コマンドから第2サブアービトレーション勝者を選択することと、

前記コマンドキュー(520)内のページミスコマンドから第3サブアービトレーション勝者を選択することと、を含む、

請求項11の方法。

【請求項13】

前記コマンドキュー内の前記ページヒットコマンド、前記ページ競合コマンド及び前記ページミスコマンドのうち何れかから第4サブアービトレーション勝者を選択することと、

前記第1コントローラサイクルにおいて、前記第1サブアービトレーション勝者、前記第2サブアービトレーション勝者、前記第3サブアービトレーション勝者及び前記第4サブアービトレーション勝者の中から同じタイプの2つの最終アービトレーション勝者を選択することと、を含む、

請求項12の方法。

【請求項14】

対応するコントローラサイクルにおいて第2の複数のメモリコマンドを前記メモリに提供するために、前記複数のサブアービトレーション勝者の中から何れかとオーバーヘッドコマンドとを選択することを含む、

請求項11の方法。