

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

104832

Patent dodatkowy
do patentu _____

Zgłoszono: 10.05.76 (P. 189454)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 05.12.77

Opis patentowy opublikowano: 01.12.1979

Int. Cl.². G06F 7/38

CEYTELINA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórca wynalazku: Stanisław Majerski

Uprawniony z patentu: Instytut Maszyn Matematycznych,
Warszawa (Polska)

Układ cyfrowy cyklicznego sumo-mnożenia liczb binarnych

Przedmiotem wynalazku jest układ cyfrowy cyklicznego sumo-mnożenia liczb binarnych do obliczania wartości wyrażenia $((... (a_1 + b_1) c_1 + d_1) c_2 + d_2) ... c_n + d_n$, gdzie symbole $a_1, b_1, c_1, d_1, c_2, d_2, ..., c_n, d_n$, oznaczają liczby binarne, a n jest liczbą cykli działania układu. W szczególności, jeśli $a_1 + b_1 = d_0, c_1 = c_2 = ... = c_n = x$ układ ten służy do obliczania wartości wielomianu $d_0 x^n + d_1 x^{n-1} + ... + d_{n-1} x + d_n$, zatem służy również do obliczania wartości dowolnej funkcji rozwiniętej w szereg zbieżny. Układ jest przeznaczony do zastosowania w dużych elektronicznych maszynach i systemach cyfrowych i wchodzących w ich skład bardzo szybkich procesorach przystosowanych specjalnie do złożonych obliczeń naukowo-technicznych. Ponadto w takich systemach sterowania obiektami, które wymagają bardzo szybkich obliczeń numerycznych.

Znany jest elektroniczny układ cyfrowy do bardzo szybkiego mnożenia dwóch liczb binarnych, w którym są do siebie równolegle dodawane równocześnie wszystkie, przyporządkowane kolejnym grupom bitów mnożnika, iloczyny, częściowe potrzebne do wyznaczenia iloczynu końcowego. W układzie mnożenia liczb 48-bitowych, w którym pojedyncze iloczyny częściowe przyporządkowane są parom kolejnych bitów mnożnika, dodawane jest równocześnie 24 takich iloczynów. Zespół cyfrowy wykonujący to dodawanie złożony jest z 22 sumatorów z zachowaniem przeniesień (carry save adders) i sumatora z propagacją przeniesień (carry propagating adder). Sumatory te są połączone w wielowarstwową kaskadę zawierającą w 7 warstwach kolejno 8, 5, 3, 2, 2, 1, 1 sumatorów z zachowaniem przeniesień i ósmej warstwie 1 sumator z propagacją przeniesień. Wszystkie te sumatory tworzą zespół cyfrowy stanowiący jedną łączną kombinacyjną sieć przełączającą bez elementów pamiętających. Czas wykonania dodawania 24 iloczynów częściowych w takim zespole sumatorów jest sumą maksymalnego czasu propagacji sygnałów przez 7 połączonych w szereg sumatorów jednopozycyjnych i propagacji przeniesień przez 1 sumator około 90 pozycyjny. Ten ostatni sumator posiada rozbudowane obwody przeskoków przeniesień (carry skips) dla zminimalizowania maksymalnego czasu propagacji przeniesień. Ilozyny częściowe dodawane w omówionym zespole sumatorów, stanowią wzajemnie przesunięte wielokrotności mnożnej, przyporządkowane parom bitów mnożnika, reprezentujących liczby całkowite z zakresu od 0 do 3.

Dla uniknięcia czasochłonnego wyznaczania 3-krotnej mnożnej wymagającego dodatkowego dodawania wzajemnie przesuniętych mnożnych, omawiany układ mnożenia zawiera sieć przełączającą, przekształcającą

równolegle mnożnik. Sygnały wyjściowe tej sieci przyporządkowane kolejnym grupom bitów mnożnika, reprezentują, zamiast liczb 0, 1, 2, 3, liczby -2, -1, 0, 1, 2. Dwukrotną mnożną otrzymuje się w omawianym układzie mnożenia przez przesunięcie mnożnej o jeden bit w lewo, a wielokrotności ujemne – przez zanegowanie bitów wielokrotności dodatnich i uwzględnienie korekcyjnej jedynki na najmniej znaczącej pozycji binarnej.

Układ mnożenia zawierający omówiony zespół sumatorów opisany został w pracach: C.S. Wallace „A. Suggestion for a Fast Multiplier”, The Institute of Electrical and Electronics Engineers, Transactions on Electronic Computers, tom EC-13, strony 14–17, luty 1964; T.G. Hallin, M.J. Flynn „Pipelining of arithmetic functions”, The Institute of Electrical and Electronics Engineers, Transactions on Electronic Computers, tom EC-21, strony 880–886, sierpień 1972, J.W. Gawriłow, A.N. Puczek „Arifmetičeskie ustroistwa bystrodejstwujuščich elektronnych cifrowych wycisliłiwnych maszin”, Izdatielstwo: Sowietkoje radio, Moskwa 1970, strony 133–180, a obwody przeskoków przeniesień w pracy: O.L. MacSorley: High Speed Arithmetic in Binary Computers, Proceedings of Institute of Radio Engineers, tom 49, numer 1, 1961, strony 67–91.

Uzupełniając omówiony układ mnożenia o dodatkowy jeden sumator z zachowaniem przeniesień, dołączony w trzeciej lub czwartej warstwie zespołu sumatorów, otrzymuje się układ wykonujący dodatkowo dodawanie liczby binarnej do iloczynu, bez zwiększania czasu jego działania.

Zastosowanie takiego układu do występującego często w obliczeniach numerycznych wielokrotnego wykonywania na przemian dodawania i mnożenia, wymaga jednak pewnego czasu na propagację przeniesień po każdym cyklu obliczeń obejmującym mnożenie i dodawanie. Łączna procentowa strata czasu na propagację przeniesień jest wówczas jednak dość znaczna. Stanowi to istotną wadę znanych dotychczas rozwiązań bardzo szybkich układów realizujących na przemian dodawanie i mnożenie liczb binarnych. Wady tej można wprawdzie uniknąć stosując redundancyjne zapisy liczb. Można wówczas wykonywać działania dodawania i mnożenia bez propagacji przeniesień. Wykonywanie działań na zapisach redundancyjnych ma jednak z kolei tę wadę, że wymaga więcej środków technicznych na pamiętanie i przetwarzanie informacji, a również dodatkowego czasu na odpowiednie przekodowanie informacji.

Zgodnie z wynalazkiem, układ cyklicznego sumo-mnożenia do obliczania wartości wyrażenia $((...((a_1 + b_1)c_1 + d_1)c_2 + d_2).....)c_n + d_n$, gdzie symbole $a_1, b_1, c_1, d_1, c_2, d_2, ..., c_n, d_n$ oznaczają liczby przedstawione w zapisie binarnym, a n jest liczbą cykli działania układu, zawiera dwa rejestry, pamiętające składniki mnożnika, rejestr pamiętający mnożną, rejestr pamiętający liczbę dodawaną do iloczynu zespół cyfrowy służy do przygotowania iloczynów częściowych w postaci wzajemnie przesuniętych wielokrotności mnożnej, stanowiących składniki pełnego iloczynu, oraz zespół cyfrowy służący do redukowania liczby k składników dodawania do 2 składników o takiej samej sumie, gdzie $k > 2$.

Pojęcie rejestru obejmuje dowolny zespół cyfrowy, na którego wyjściach utrzymywane są, przez wystarczająco długi czas, sygnały reprezentujące bity pamiętanej liczby. Korzystne jest stosowanie rejestrów równoległych dostarczających równocześnie sygnały reprezentujące wiele bitów pamiętanych liczb. Korzystne jest również wyposażenie rejestrów pamiętających składniki mnożnika, w środki umożliwiające utrzymywanie na ich wyjściach niezakłóconych sygnałów poprzednich, aż do momentu zapamiętania nowej zawartości rejestrów (np. „master-slave registers”).

Składowe elementy logiczne zespołu przygotowania iloczynów częściowych jak również składowe elementy logiczne zespołu redukowania składników, tworzą warstwową strukturę równoległą. Liczba warstw składowych elementów logicznych w tych zespołach i odpowiadająca jej maksymalna liczba połączonych ze sobą szeregowo elementów logicznych nie zależy od ilości bitów mnożnej i ilości bitów liczby dodawanej do iloczynu, o ile nie brać pod uwagę elementów służących do wzmocnienia lub powielenia sygnałów.

Korzystne jest stosowanie takiej struktury logicznej zespołu przygotowania iloczynów częściowych, w której liczba warstw elementów logicznych jest bardzo mała i nie zależy od liczby bitów mnożnika wprowadzanych równoległe do tego zespołu. Korzystne jest również stosowanie takiej struktury logicznej zespołu redukowania składników, w której liczba warstw elementów logicznych jest możliwie najmniejsza.

Wszystkie cztery wymienione rejestry posiadają wejścia wyprowadzone na zewnątrz układu sumo-mnożenia. Wyjścia rejestrów pamiętających składniki mnożnika i mnożną stanowią wejścia zespołu przygotowania iloczynów częściowych. Zespół ten posiada $k-1$ wyjść, odpowiadających $k-1$ iloczynom częściowym, stanowiącym równocześnie wejścia zespołu redukowania składników. Pozostałe wejście tego ostatniego zespołu połączone jest z wyjściem rejestru pamiętającego liczbę dodawaną do iloczynu. Zespół redukowania składników posiada dwa wyjścia połączone z wejściami obu rejestrów pamiętających składniki mnożnika. Rejestry pamiętające składniki mnożnika, zespół przygotowania iloczynów częściowych oraz zespół redukowania składników tworzą zatem pętlę zamkniętą. Poza pętlą pozostaje rejestr pamiętający mnożną i rejestr pamiętający liczbę dodawaną do iloczynu. Z pętli tej wyprowadzone są na zewnątrz układu

sumomnożenia oba wyjścia zespołu redukowania składników, i/lub wyjścia obu rejestrów pamiętających składniki mnożnika.

Każde z wymienionych połączeń i wyprowadzeń zewnętrznych dostosowane jest do równoległego przesyłania sygnałów reprezentujących wiele bitów jednej liczby.

Pod pojęciem objętego niniejszym zgłoszeniem układu sumo-mnożenia rozumie się nie oddzielną jednostkę konstrukcyjną, ale zestaw współpracujących z sobą elementów logicznych, które mogą obejmować jeden lub więcej modułów konstrukcyjnych, albo stanowić część jednego modułu konstrukcyjnego.

Korzystne jest, jeśli układ według wynalazku zawiera dodatkowo równoległy sumator do dodawania dwóch liczb, którego dwa wejścia połączone są z dwoma wyjściami zespołu redukowania składników i/lub z wyjściami obu rejestrów pamiętających składniki mnożnika. Wyjście sumatora jest jednocześnie wyjściem zewnętrznym układu sumo-mnożenia. Celowe jest stosowanie równoległego sumatora o jak najkrótszym czasie propagacji przeniesień i jak największej szybkości działania.

W szczególności układ według wynalazku zawiera jeden lub kilka dodatkowych rejestrów, pamiętających kolejne nieparzyste wielokrotności mnożnej, których połączone są z dodatkowymi wejściami zespołu przygotowania iloczynów częściowych.

Dla uzyskania maksymalnych szybkości działania układu według wynalazku zespół przygotowania iloczynów częściowych i zespół redukowania składników łączy się w jedną kombinacyjną sieć przełączającą, nie zawierającą elementów pamiętających i w której elementy składowe nie tworzą pętli zamkniętych.

Zgodnie z wynalazkiem dla uzyskania maksymalnych szybkości działania układu zawierającego wyjściowy sumator do dodawania dwóch liczb, łączy się zespół przygotowania iloczynów częściowych, zespół redukowania składników i sumator w jedną kombinacyjną sieć przełączającą nie zawierającą elementów pamiętających i w której elementy składowe nie tworzą pętli zamkniętych. Dwa wyjścia tej sieci połączone są z wejściami rejestrów pamiętających składniki mnożnika, a trzecie wyjście jest wyjściem zewnętrznym układu cyklicznego sumo-mnożenia.

Dla zmniejszenia liczby elementów stosuje się układ, w którym zespół redukowania składników zawiera sieć przełączającą oraz rejestry lub inne elementy pamiętające połączone w zamkniętą pętlę o cyklu pracy co najmniej dwukrotnie krótszym niż pojedynczy cykl pracy całego układu. Liczba $k-1$ wejść tego zespołu przeznaczonych do wprowadzania iloczynów częściowych jest wtedy znacznie mniejsza od liczby iloczynów częściowych koniecznych do otrzymania pełnego iloczynu.

Układ cyfrowy cyklicznego sumo-mnożenia liczb binarnych, według niniejszego zgłoszenia, działa w sposób niżej opisany. Pierwszy cykl pracy układu sumomnożenia rozpoczyna się od wprowadzenia składników mnożnika a_1 , b_1 mnożnej c_1 i liczby dodawanej do iloczynu d_1 do rejestrów pamiętających te liczby. W wyniku działania zespołu przygotowania iloczynów częściowych i zespołu redukowania składników, otrzymuje się na wyjściach tego ostatniego liczby a_2 , b_2 , których suma $a_2 + b_2$ równa jest wartości wyrażenia $(a_1 + b_1)c_1 + d_1$. Otrzymane liczby a_2 , b_2 wprowadzone zostają do rejestrów pamiętających składniki mnożnika, co przy równoczesnym wprowadzeniu nowych liczb c_2 , d_2 do rejestrów, pamiętających mnożną i liczbę dodawaną do iloczynu kończy pierwszy cykl działania układu sumo-mnożenia i rozpoczyna drugi. Drugi i dalsze cykle działania układu sumo-mnożenia przebiegają identycznie jak pierwszy.

Wynik działania kolejnych n cykli można zapisać następująco:

$$(a_1 + b_1)c_1 + d_1 = a_2 + b_2$$

$$(a_2 + b_2)c_2 + d_2 = a_3 + b_3 \dots (a_n + b_n)c_n + d_n = a_{n+1} + b_{n+1}$$

z czego wynika, że suma składników a_{n+1} , b_{n+1} otrzymanych w n -tym cyklu działania układu sumo-mnożenia na wyjściach zespołu redukowania składników i ewentualnie na wyjściach rejestrów pamiętających składniki mnożnika, równa jest wartości wyrażenia $((\dots(a_1 + b_1)c_1 + d_1)c_2 + d_2) \dots c_n + d_n$.

W przypadku obliczania wartości wielomianu $d_0x^n + d_1x^{n-1} + \dots d_{n-1}x + d_n$ działanie układu sumo-mnożenia różni się tym, że na początku pierwszego cyklu działania wyprowadza się liczbę d_0 tylko do jednego z rejestrów pamiętających składniki mnożnika, a liczbę x do rejestru pamiętającego mnożną, przy czym liczba x pozostaje w tym rejestrze aż do końca n -tego cyklu pracy układu sumo-mnożenia.

Redukowanie liczby składników odbywa się całkowicie równoległe, z wyeliminowaniem procesu propagacji przeniesień wzdłuż liczb, to znaczy w czasie praktycznie niezależnym, od ilości bitów mnożnej i ilości bitów liczby dodawanej do iloczynu.

Otrzymanie wyniku obliczenia w postaci jednej liczby binarnej, bez bitów z nadmiarem informacji, wymaga dodania liczb a_n b_n po ostatnim n -tym cyklu działania układu sumo-mnożenia. Może to być przeprowadzone albo poza układem sumomnożenia, albo w układzie samo-mnożenia uzupełnionym w równoległy sumator do

dodawania dwóch liczb.

Dołączenie do układu sumo-mnożenia dodatkowych rejestrów pamiętających kolejne nieparzyste wielokrotności mnożnej ma na celu zwiększenie liczby różnych wielokrotności mnożnej, co umożliwia zmniejszenie liczby iloczynów częściowych stanowiących składniki pełnego iloczynu, a w konsekwencji zmniejszenie liczby elementów składowych zespołu redukowania składników. Rozwiązanie zespołów przygotowania iloczynów częściowych i redukowania składników w postaci jednej łącznej kombinacyjnej sieci przełączającej, oraz bezpośrednie połączenie wejść tej sieci z wyjściami wymienionych poprzednio czterech rejestrów powoduje, że bezpośrednio po wprowadzeniu do nich, w i -tym cyklu działania układu, liczb a_i, b_i, c_i, d_i a zatem po pojawieniu się na wejściach sieci sygnałów reprezentujących bity tych liczb, następuje propagacja sygnałów przez sieć, w wyniku której ustalają się na wyjściach sieci sygnały reprezentujące bity liczb a_{i+1}, b_{i+1} spełniających równanie $(a_i + b_i)c_i + d_i = a_{i+1}, b_{i+1}$.

Dołączając bezpośrednio do wyjść omawianej kombinacyjnej sieci przełączającej sumator do dodawania dwóch liczb zrealizowany również w postaci kombinacyjnej sieci przełączającej, otrzymuje się w n -tym cyklu na wyjściu tej ostatniej sieci sygnały reprezentujące bity liczby $a_{n+1} + b_{n+1}$ stanowiącej końcowy wynik działania całego układu. Sygnały te ustalają się po wprowadzeniu liczb a_n, b_n, c_n, d_n do wspomnianych czterech rejestrów, oraz po propagacji sygnałów przez całą kombinacyjną sieć przełączającą złożoną z wymienionych wyżej sieci składowych.

Rozwiązanie układu, w którym zespół redukowania składników zawiera sieć przełączającą oraz rejestry lub inne elementy pamiętające połączone w zamkniętą pętlę pozwala na kilkakrotne zmniejszenie ilości jego elementów składowych. Zespół redukowania składników wykonuje wówczas kilka cykli pracy w jednym cyklu działania całego układu cyklicznego sumo-mnożenia, redukując w każdym z tych cykli kilkakrotnie mniejszą liczbę iloczynów częściowych.

Podstawową zaletą cyfrowego układu cyklicznego sumo-mnożenia jest prawie całkowite uniknięcie czasochłonnego procesu propagacji przeniesień i uzyskanie przez to znacznie większej szybkości obliczeń niż w innych układach cyfrowych, wykonujących analogiczne obliczenia również na liczbach binarnych w zapisie nieredundancyjnym, to znaczy w zapisie wymagającym minimalnej liczby bitów. Obliczenie wyrażenia wymagającego n -krotnego wykonania na przemian dodawania i mnożenia odbywa się mianowicie w omawianym układzie albo w ogóle bez procesu propagacji przeniesień wzdłuż przetwarzanych liczb, jeśli końcowy wynik obliczenia może być przedstawiony w formie dwóch składników dodawania, albo wymaga jednokrotnego procesu propagacji przeniesień, gdy wymagany jest wynik w postaci jednej liczby w binarnym zapisie nieredundancyjnym.

Wynalazek zostanie bliżej wyjaśniony w przykładzie wykonania, pokazanym na rysunku przedstawiającym układ w schemacie blokowym.

Zgodnie z rysunkiem układ zawiera cztery rejestry równoległe A, B, C, D pamiętające dwa składniki mnożnika, mnożną i liczbę dodawaną do iloczynu. Zawiera również zespół cyfrowy P do przygotowania iloczynów częściowych zespół cyfrowy R do redukowania liczby składników oraz szybki sumator równoległy S do dodawania dwóch liczb binarnych. Każde z wejść i wyjść wymienionych rejestrów i zespołów cyfrowych umożliwia równoległe wprowadzenie lub wyprowadzenie równocześnie wszystkich bitów jednej liczby binarnej.

Pokazane na rysunku wejścia w_1A, w_1B, w_1C, w_1D rejestrów A, B, C, D wyprowadzone są na zewnątrz układu sumomnożenia. Wyjścia zA, zB, zC rejestrów A, B, C połączone są z wejściami $w_1P, w_2P, \dots, w_kP$ zespołu P, którego wyjścia $z_1P, z_2P, \dots, z_{k-1}P$ stanowią wejścia w $1R, 2R, \dots, w_{k-1}R$ zespołu R. Pozostałe wejście w_kR tego zespołu jest połączone z wyjściem zD rejestru D. Wyjścia z_1R, z_2R zespołu R stanowią wejścia w_1S, w_2S sumatora S i niezależnie od tego połączone są z wejściami w_2A, w_2B rejestrów A, B. Wyjście zS sumatora S wyprowadzone jest na zewnątrz układu sumo-mnożenia.

Rejestry A, B, pamiętające składniki mnożnika są podwójnymi równoległymi rejestrami (master-slave registers). Rejestr C pamiętający mnożną i rejestr D pamiętający liczbę dodawaną do iloczynu są pojedynczymi równoległymi rejestrami. Zespoły cyfrowe P, R i sumator S zrealizowane są w postaci kombinacyjnych sieci przełączających i nie zawierają elementów pamiętających.

Zespół cyfrowy P służy do przygotowania iloczynów częściowych, z których każdy przyporządkowany jest jednej parze odpowiadających sobie grup dwubitowych z obu składników mnożnika. Iloczyny te stanowią wzajemnie przesunięte wielokrotności mnożnej o krotnościach całkowitych -2, -1, 0, 1, 2. Zespół P składa się z dwóch części. Większa z nich złożona jest z wielu jednakowych dwuwarstwowych sieci przełączających uporządkowanych w wiersze i kolumny. Na wejścia każdego wiersza takiej dwuwymiarowej macierzy sieci przełączających wprowadzane są z rejestru C sygnały reprezentujące bity mnożnej i bity negacji mnożnej, a na wejścia każdej kolumny wprowadzane są z drugiej części zespołu P sygnały reprezentujące całkowite krotności mnożnej z zakresu od -2 do +2. Ta druga część zespołu P zawiera inne, również jednakowe sieci przełączające,

z których każda przyporządkowana jest dwom pozycjom binarnym obu rejestrów A i B.

W wyniku wprowadzenia na wejściach każdej z tych sieci sygnałów reprezentujących bity z trzech kolejnych odpowiadających sobie par dwubitowych obu składników mnożnika z rejestrów A i B, otrzymuje się na jej wyjściu sygnały reprezentujące jedną z liczb całkowitych od -2 do $+2$. Na wyjściach sieci przełączających z pierwszej omawianej części zespołu P, stanowiących poszczególne wiersze macierzy, otrzymuje się bity poszczególnych iloczynów częściowych. Wszystkie wyjścia bitowe jednego iloczynu częściowego stanowią jedno wyjście zespołu P.

Analogicznie wszystkie wejścia bitowe tego zespołu połączone z wyjściami bitowymi jednego rejestru stanowią jedno wejście zespołu P. Otrzymywane na wyjściach zespołu P iloczyny częściowe wprowadzane są na wejścia zespołu R. Na pozostałe jedno wejście tego zespołu wprowadzana jest równolegle z rejestru D liczba dodawana do iloczynu.

Zespół R, służy do redukowania liczby składników i złożony jest z wielu warstw jednopozycyjnych sumatorów binarnych, nie połączonych ze sobą wewnątrz poszczególnych warstw. Sumatory te są kombinacyjnymi sieciami przełączającymi posiadającymi po 3 jednobitowe wejścia i po 2 jednobitowe wyjścia. Są one uporządkowane w każdej warstwie w wiersze i kolumny dwuwymiarowej macierzy sumatorów. Jeden wiersz pierwszej warstwy sumatorów redukuje trzy iloczyny częściowe do dwóch składników o takiej samej sumie. W każdej następnej warstwie pojedynczy wiersz sumatorów redukuje również trzy składniki wejściowe do dwóch składników o takiej samej sumie. W ten sposób, w 8-warstwowej kaskadzie jednopozycyjnych sumatorów, redukuje się, bez propagacji przeniesień wzdłuż wierszy sumatorów w poszczególnych warstwach, 32 iloczyny częściowe i 1 liczbę dodawaną do iloczynu do 2 składników o takiej samej sumie. Liczby wierszy sumatorów w kolejnych warstwach zespołu R przedstawiają w tym przypadku wyrazy ciągu 11, 7, 5, 3, 2, 1, 1, 1, a liczby odpowiadających im składników wejściowych w tych warstwach wyrazy ciągu 33, 22, 15, 10, 7, 5, 4, 3.

Otrzymane na wyjściach z_1R , z_2R zespołu R dwa składniki wprowadzane są następnie na wejścia w_1S , w_2S sumatora S, oraz na wejścia w_2A , w_2B rejestrów A, B, gdzie stanowią one składniki mnożnika w następnym cyklu działania układu sumomnożenia. Składniki wprowadzone w ostatnim cyklu działania układu sumomnożenia, na wejścia w_1S , w_2S sumatora S, są w nim dodawane, dając na jego wyjściu zS końcowy wynik obliczenia.

Zastrzeżenia patentowe

1. Układ cyfrowy cyklicznego sumo-mnożenia liczb binarnych do obliczenia wartości wyrażenia $((... (a_1 + b_1)c_1 + d_1)c_2 + d_2)...)c_n + d_n$, gdzie symbole $a_1, b_1, c_1, d_1, c_2, d_2, ..., c_n, d_n$ oznaczają liczby przedstawione w zapisie binarnym, a n jest liczbą cykli działania układu, **z n a m i e n n y t y m**, że zawiera dwa rejestry (A, B) pamiętające składniki mnożnika, rejestr (C) pamiętający mnożną, rejestr (D) pamiętający liczbę dodawaną do iloczynu, zespół cyfrowy (P) do przygotowania iloczynów częściowych w postaci wzajemnie przesuniętych wielokrotności mnożnej, stanowiących składniki pełnego iloczynu, oraz zespół cyfrowy (R) do redukowania liczby k składników dodawania do 2 składników o takiej samej sumie, gdzie $k > 2$, przy czym zarówno składowe elementy logiczne zespołu (P) przygotowania iloczynów częściowych jak i zespołu (R) redukowania składników tworzą warstwową strukturę równoległą, taką, że liczba warstw składowych elementów logicznych każdego z tych zespołów (P, R) i odpowiadająca jej maksymalna liczba połączonych z sobą szeregowo elementów logicznych, nie zależy bezpośrednio od ilości bitów mnożnej i ilości bitów liczby dodawanej do iloczynu, a wszystkie wymienione rejestry (A, B, C, D) posiadają wejścia (w_1A , w_1B , wC , wD) z zewnątrz układu sumomnożenia, podczas gdy wyjścia (zA , zB) rejestrów (A, B) pamiętających składniki mnożnika i wyjście (zC) rejestru (C) pamiętającego mnożną stanowią wejścia (w_1P , w_2P , w_3P) zespołu (P) przygotowania iloczynów częściowych, a wyjście (zD) rejestru (D) pamiętającego liczbę dodawaną do iloczynu połączone jest z wejściem (w_kP) zespołu (R) redukowania składników, którego pozostałe $k-1$ wejść (w_1R , w_2R , ..., $w_{k-1}R$) stanowią wyjścia (z_1P , z_2P , ..., $z_{k-1}P$) zespołu (P) przygotowania iloczynów częściowych, oraz którego dwa wyjścia (z_1R , z_2R) połączone są z wejściami (w_2A , w_2B) obu rejestrów (A, B) pamiętających składniki mnożnika, tworząc pętlę zamkniętą obejmującą rejestry (A, B) pamiętające składniki mnożnika oraz zespoły (P, R) przygotowania iloczynów częściowych i redukowania składników, poza którą pozostają rejestry (C, D) pamiętające mnożną i liczbę dodawaną do iloczynu oraz z której wyprowadzone są na zewnątrz układu sumomnożenia oba wyjścia (z_1R , z_2R) zespołu (R) redukowania składników i/lub wyjścia (zA , zB) obu rejestrów (A, B) pamiętających składniki mnożnika, gdzie każde z wymienionych połączeń i wyprowadzeń zewnętrznych dostosowane jest do równoległego przesyłania sygnałów reprezentujących wiele bitów jednej liczby.

2. Układ według zastrz. 1, **z n a m i e n n y t y m**, że zawiera dodatkowo sumator (S) do dodawania dwóch liczb, którego dwa wejścia (w_1S , w_2S) połączone są z dwoma wyjściami (z_1R , z_2R) zespołu (R)

redukowania składników, i/lub z wyjściami (zA , zB) obu rejestrów (A , B) pamiętających składniki mnożnika i którego wyjście (zS) stanowi wyjście zewnętrzne układu sumomnożenia.

3. Układ według zastrz. 1, z n a m i e n n y t y m, że zawiera jeden lub kilka dodatkowych rejestrów pamiętających kolejne nieparzyste wielokrotności mnożnej, których wyjścia połączone są z dodatkowymi wejściami zespołu (P) przygotowania iloczynów częściowych.

4. Układ według zastrz. 1, z n a m i e n n y t y m, że zespół (P) przygotowania iloczynów częściowych i zespół (R) redukowania liczby składników tworzą łącznie jedną kombinacyjną sieć przełączającą, nie zawierającą elementów pamiętających i w której elementy składowe nie tworzą pętli zamkniętych.

5. Układ według zastrz. 2, z n a m i e n n y t y m, że zespół (P) przygotowania iloczynów częściowych, zespół (R) redukowania składników i sumator (S) tworzą łącznie jedną kombinacyjną sieć przełączającą, nie zawierającą elementów pamiętających i w której elementy składowe nie tworzą pętli zamkniętych.

6. Układ według zastrz. 1, z n a m i e n n y t y m, że zespół (R) redukowania składników zawiera sieć przełączającą i rejestry lub inne elementy pamiętające, tworzące razem zamkniętą pętlę o cyklu pracy co najmniej dwukrotnie krótszym niż pojedynczy cykl pracy całego układu sumomnożenia, a liczba $k-1$ wejść ($w_1R, w_2R, \dots, w_{k-1}R$) tego zespołu, przeznaczonych do wprowadzania iloczynów częściowych jest mniejsza od liczby iloczynów częściowych koniecznych do otrzymania pełnego iloczynu.

