

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 9 月 14 日 (2006.9.14)

【公開番号】特開 2006-196859 (P2006-196859A)
 【公開日】平成 18 年 7 月 27 日 (2006.7.27)
 【年通号数】公開・登録公報 2006-029
 【出願番号】特願 2005-209882 (P2005-209882)
 【国際特許分類】

H 0 5 K 3/46 (2006.01)

H 0 5 K 1/02 (2006.01)

【F I】

H 0 5 K 3/46 Q

H 0 5 K 3/46 N

H 0 5 K 3/46 Z

H 0 5 K 1/02 P

【手続補正書】
 【提出日】平成 18 年 7 月 27 日 (2006.7.27)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】請求項 1
 【補正方法】変更
 【補正の内容】
 【請求項 1】

半導体集積回路が実装された第 1 の表層と、バイパスコンデンサが実装された前記第 1 の表層と反対面の第 2 の表層と、第 1、第 2 の表層の内部に基幹電源配線層と基幹グラウンド層とを有する多層プリント回路板において、

前記基幹電源配線層から前記半導体集積回路の電源端子への配線経路の途中に前記バイパスコンデンサの一方の電源端子が接続されており、前記基幹電源配線層から前記バイパスコンデンサの電源端子までの第 1 の配線経路のインピーダンスが、前記バイパスコンデンサの電源端子から前記 IC の電源端子までの第 2 の配線経路のインピーダンスよりも大きいことを特徴とする多層プリント回路板。

【手続補正 2】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】請求項 2
 【補正方法】変更
 【補正の内容】
 【請求項 2】

半導体集積回路が実装された第 1 の表層と、バイパスコンデンサが実装された前記第 1 の表層と反対面の第 2 の表層と、第 1、第 2 の表層の内部に基幹電源配線層と基幹グラウンド層とを有する多層プリント回路板において、

前記基幹電源配線層から前記半導体集積回路の電源端子への配線経路の途中に前記バイパスコンデンサの一方の電源端子が接続されており、前記基幹電源配線層から前記バイパスコンデンサの電源端子までの第 1 の配線経路のインダクタンスが、前記バイパスコンデンサの内部の寄生インダクタンスよりも大きいことを特徴とする多層プリント回路板。

【手続補正 3】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】請求項 3
 【補正方法】変更

【補正の内容】

【請求項 3】

半導体集積回路が実装された第 1 の表層と、バイパスコンデンサが実装された前記第 1 の表層と反対面の第 2 の表層と、第 1、第 2 の表層の内部に基幹電源配線層と基幹グラウンド層とを有する多層プリント回路板において、

前記第 1 の表層から第 2 の表層を貫き、前記基幹電源配線層とは電氣的に接続されない第 1 の電源ビアと、前記第 1 の表層に配置され前記半導体集積回路の電源端子と前記第 1 の電源ビアを接続する第 1 の導体パターンと、前記第 2 の表層から第 1 の表層を貫き、前記基幹電源配線層と電氣的に接続される第 2 の電源ビアと、前記第 2 の表層に配置され、前記第 1 の電源ビアと前記第 2 の電源ビアとを接続する第 2 の導体パターンと、前記第 2 の表層から第 1 の表層を貫き、前記グラウンド層と電氣的に接続されるグラウンドビアとを具備し、前記第 2 の導体パターンと、グラウンドビアとが前記バイパスコンデンサの一方の端子と接続されていることを特徴とする多層プリント回路板。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

前記課題を解決するために本発明は、半導体集積回路が実装された第 1 の表層と、バイパスコンデンサが実装された前記第 1 の表層と反対面の第 2 の表層と、第 1、第 2 の表層の内部に基幹電源配線層と基幹グラウンド層とを有する多層プリント回路板において、

前記基幹電源配線層から前記半導体集積回路の電源端子への配線経路の途中に前記バイパスコンデンサの一方の電源端子が接続されており、前記基幹電源配線層から前記バイパスコンデンサの電源端子までの第 1 の配線経路のインピーダンスが、前記バイパスコンデンサの電源端子から前記 IC の電源端子までの第 2 の配線経路のインピーダンスよりも大きい多層プリント回路板を提供している。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

また本発明は、半導体集積回路が実装された第 1 の表層と、バイパスコンデンサが実装された前記第 1 の表層と反対面の第 2 の表層と、第 1、第 2 の表層の内部に基幹電源配線層と基幹グラウンド層とを有する多層プリント回路板において、前記基幹電源配線層から前記半導体集積回路の電源端子への配線経路の途中に前記バイパスコンデンサの一方の電源端子が接続されており、前記基幹電源配線層から前記バイパスコンデンサの電源端子までの第 1 の配線経路のインダクタンスが、前記バイパスコンデンサの内部の寄生インダクタンスよりも大きい多層プリント回路板を提供している。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

また本発明は、半導体集積回路が実装された第 1 の表層と、バイパスコンデンサが実装された前記第 1 の表層と反対面の第 2 の表層と、第 1、第 2 の表層の内部に基幹電源配線層と基幹グラウンド層とを有する多層プリント回路板において、前記第 1 の表層から第 2 の表層を貫き、前記基幹電源配線層とは電氣的に接続されない第 1 の電源ビアと、前記

第 1 の表層に配置され前記半導体集積回路の電源端子と前記第 1 の電源ヴィアを接続する第 1 の導体パターンと、前記第 2 の表層から第 1 の表層を貫き、前記基幹電源配線層と電氣的に接続される第 2 の電源ヴィアと、前記第 2 の表層に配置され、前記第 1 の電源ヴィアと前記第 2 の電源ヴィアとを接続する第 2 の導体パターンと、前記第 2 の表層から第 1 の表層を貫き、前記グラウンド層と電氣的に接続されるグラウンドヴィアとを具備し、前記第 2 の導体パターンと、グラウンドヴィアとが前記バイパスコンデンサの一方の端子と接続されている多層プリント回路板を提供している。