

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 05.10.92.

③0 Priorité : 10.10.91 GB 9121450.

④3 Date de la mise à disposition du public de la demande : 16.04.93 Bulletin 93/15.

⑤6 Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : SMITHS INDUSTRIES PUBLIC LIMITED COMPANY — GB.

⑦2 Inventeur(s) : Fitzpatrick Roger Sean.

⑦3 Titulaire(s) :

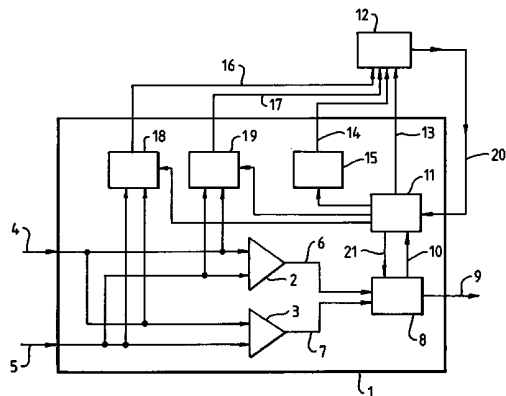
⑦4 Mandataire : Cabinet Nithardt & Burkard.

⑤4 Calculateur comportant au moins deux voies.

⑤7 L'invention concerne un système calculateur à deux voies qui est capable de détecter une discordance entre les résultats fournis par les deux voies, mettre hors service une voie défectueuse et pouvoir conserver tout de même la redondance du système.

Le calculateur comporte au moins un processeur (2, 3) dans chaque voie, chaque processeur étant pourvu d'une mémoire associée (18, 19) qui enregistre les données entrant dans le processeur et leur heure d'arrivée. Un comparateur (8) détecte toute discordance entre les signaux de sortie des voies. En cas de discordance, un processeur externe (12) est chargé d'un logiciel qui simule le fonctionnement des voies à l'aide des données enregistrées dans les mémoires associées (18, 19) juste avant la détection de la discordance, pour identifier l'élément défectueux. Il peut remplir la fonction d'une voie défectueuse.

Application aux calculateurs électroniques ou autres, analogiques ou numériques, notamment dans un aéronef.



FR 2 682 504 - A1



CALCULATEUR COMPORTANT AU MOINS DEUX VOIES

5 La présente invention concerne un calculateur comportant au moins deux voies, ayant chacune au moins un processeur, ces processeurs produisant des signaux de sortie respectifs nominalement identiques, et des moyens pour détecter une discordance entre lesdits signaux de sortie et signaler un défaut.

10 Dans les calculateurs où une panne serait tout à fait indésirable, il est connu de prévoir deux ou plusieurs voies matérielles pour effectuer des répliques du traitement à exécuter, de manière que chaque voie soit capable d'exécuter indépendamment les fonctions voulues du
15 calculateur afin que celui-ci continue à fonctionner si une voie est défaillante. Il est également connu de comparer les signaux de sortie de tels systèmes à voies multiples pour rechercher des discordances entre eux, la détection d'une discordance signifiant qu'une voie présente un défaut.

20 Quand il n'y a que deux voies, celle qui présente un défaut est indéterminée et le calculateur n'est plus utilisable. S'il y a plus de deux voies, il est connu d'employer un processus de sélection majoritaire pour identifier la voie qui diverge et l'isoler, le système continuant ensuite à fonctionner en n'utilisant que les voies dont les
25 signaux de sortie concordent.

Les calculateurs actuels ayant une telle architecture comportent au moins une voie de plus que ce qu'exige strictement leur fonction, et ils doivent avoir au moins deux voies supplémentaires si l'on exige un
30 fonctionnement continu après la découverte d'une panne, et en cas de découverte d'une telle panne et de déconnexion d'une voie défectueuse, la redondance du calculateur est réduite d'une voie.

La présente invention a pour objet un calculateur perfectionné,
35 capable de mettre en oeuvre des procédures qui permettent d'éviter certains des inconvénients susmentionnés.

A cet effet, l'invention concerne un calculateur du genre indiqué en préambule, caractérisé en ce que chaque processeur est pourvu d'une mémoire associée où sont enregistrées des données d'entrée délivrées à ce processeur, en ce que le calculateur comporte un simulateur qui simule le fonctionnement d'au moins une partie d'une des voies en cas de détection d'une discordance entre les voies, et en ce que le simulateur reçoit de ladite mémoire d'une des voies les données qui ont été délivrées au processeur associé juste avant la détection d'une discordance, de sorte que le simulateur simule le fonctionnement de ladite voie en utilisant les données reçues de ladite mémoire.

Ladite mémoire associée peut enregistrer l'heure d'arrivée des données qu'elle reçoit. Le calculateur peut comporter une mémoire de logiciel contenant un logiciel de simulation du fonctionnement des voies, qui est séparée du simulateur et dont le contenu n'est chargé dans le simulateur que lors de la détection d'une discordance entre les deux voies. De préférence, le calculateur comporte un comparateur agencé pour comparer le signal de sortie du simulateur aux signaux de sortie des voies et pour déconnecter celle des voies qui est en désaccord avec le simulateur. Le signal de sortie du simulateur peut constituer un signal de remplacement à la sortie du calculateur.

Dans une forme de réalisation particulière, chaque voie comporte au moins deux processeurs, chaque processeur est pourvu d'une mémoire associée où sont enregistrées des données d'entrée délivrées à ce processeur, et le simulateur simule le fonctionnement d'un premier des processeurs et délivre un signal de sortie à un second des processeurs à la place du signal de sortie du premier processeur en cas de détection d'un défaut dans le premier processeur. Le simulateur peut simuler le fonctionnement du second des processeurs. Le simulateur peut effectuer deux simulations du second processeur, dont l'une utilise le signal de sortie du premier processeur et l'autre utilise le signal produit par simulation du premier processeur. Lesdites mémoires associées aux processeurs peuvent être agencées pour

restituer des données d'entrée aux processeurs associés en cas de redémarrage du calculateur après une interruption.

5 On décrira ci-dessous à titre d'exemple un calculateur tolérant des défauts et son procédé de fonctionnement conformément à la présente invention, en référence aux dessins annexés, dans lesquels :

la figure 1 est une représentation schématique d'un calculateur simplifié, montrant les principaux composants utilisés dans
10 l'invention,

la figure 2 représente, dans chacune de ses différentes parties 2(a), 2(b) et 2(c), une voie du calculateur selon l'invention et montre différents modes possibles de défaillance,
15

la figure 3 représente trois diagrammes 3(a), 3(b) et 3(c) d'un programme de simulation analysant les défaillances illustrées à la figure 2 et

20 la figure 4 est une représentation schématique du calculateur, montrant l'invention plus en détail.

On se référera tout d'abord à la figure 1 qui montre un système calculateur simplifié à deux voies, défini par une limite 1 et comportant deux processeurs 2 et 3 dont chacun reçoit des signaux d'entrée
25 identiques par des lignes 4 et 5 provenant de sources (non représentées) extérieures au système. Les processeurs 2 et 3 effectuent des traitements mathématiques identiques sur les données d'entrée, pour produire des signaux de sortie nominalement identiques sur des
30 lignes 6 et 7. Ces signaux de sortie sont comparés dans un comparateur 8 et, s'ils concordent, l'un ou l'autre des signaux reçus par les lignes 6 et 7 est délivré à une sortie du système par une ligne 9.

Dans le cas où le comparateur 8 trouve une discordance entre les signaux des sorties 6 et 7, ce défaut est signalé par une ligne 10 à
35 un superviseur ou moniteur 11 du système, qui peut être un composant du système calculateur ou peut être extérieur à celui-ci.

Le moniteur 11 commande aussi un processeur 12 pour que celui-ci reçoive, par des lignes 16 et 17 provenant de deux mémoires 18 et 19, les données délivrées à l'entrée des processeurs 2 et 3 au moment où la discordance s'est produite, c'est-à-dire juste avant la détection de cette discordance. A cet effet, les mémoires 18 et 19 contiennent des informations relatives à l'heure de réception des données respectivement par les processeurs associés 2 et 3. Le processeur 12 fonctionne de façon à effectuer une simulation du système calculateur afin de déterminer le signal de sortie correct que celui-ci aurait dû donner.

Le signal de sortie correct calculé par le processeur de simulation 12 est communiqué par une ligne 20 au moniteur 11, qui peut alors, par comparaison avec les signaux des sorties 6 et 7, déterminer laquelle des voies du calculateur présente un défaut. Le moniteur permet de continuer le calcul en utilisant la ou les autres voies et délivre des commandes au comparateur 8 par une ligne 21 pour que celui-ci laisse de côté les signaux de la ligne défaillante.

On se réfèrera maintenant à la figure 2(a) qui montre un schéma plus détaillé d'une seule voie fonctionnant correctement dans un système calculateur logique simple dans lequel des données progressent de gauche à droite. Au stade A, les valeurs données entrent dans le système en provenance des sources externes. En B, il y a une mémoire qui enregistre les deux valeurs entrant dans l'un des processeurs 2 ou 3. En C, on voit les valeurs entrant effectivement dans le processeur 2 ou 3. En D, on a représenté le processeur 2 ou 3 effectuant sa fonction logique, consistant à additionner les deux valeurs d'entrée et à délivrer le résultat en E. F représente une mémoire enregistrant les valeurs d'entrée du prochain processeur, lesquelles comprennent la valeur de sortie E. On voit en G les valeurs effectives entrant dans le prochain processeur. En H, on a représenté la fonction du prochain processeur, consistant à nouveau à additionner les valeurs entrantes et délivrer le résultat à sa sortie en I. J correspond à la mémorisation des valeurs entrant dans le prochain processeur, lesquelles comprennent la sortie I. En K figurent les valeurs effectives entrant dans le prochain processeur,

dont la fonction est représentée en L et consiste à nouveau à additionner et délivrer le résultat en M. Ce résultat est mémorisé en N et il est délivré en O à la sortie du système.

5 La figure 2(b) représente le même système, mais présentant un défaut dans le processeur H où l'addition des valeurs d'entrée 5+1 donne un résultat faux de valeur 7.

10 La figure 2(c) représente à nouveau le même système, où cette fois tous les processeurs fonctionnent correctement, mais où la mémoire F enregistre de manière incorrecte la valeur de sortie 5 du processeur D, en enregistrant un 6.

15 La figure 3(a) représente schématiquement la simulation logicielle d'un système selon l'invention fonctionnant correctement et correspondant à la figure 2(a). Dans les pas d'un programme indiqué par P, les valeurs 2 et 3 enregistrées dans la mémoire B par le système réel sont introduites dans l'équation D. Cette équation simule la fonction du processeur D du système réel, additionne les valeurs d'entrée, 20 délivre la valeur de sortie 5, et compare dans un comparateur X cette valeur de sortie à la valeur de sortie 5 enregistrée par la mémoire F du système réel. La comparaison s'avère correcte et la simulation continue pour extraire les valeurs de la mémoire F, simuler la fonction H, comparer le signal de sortie à la valeur mémorisée en J 25 en utilisant le comparateur X et constater la concordance. La simulation utilise les valeurs mémorisées J pour simuler la fonction L, comparer son résultat avec la valeur enregistrée N et conclure que le système réel fonctionne correctement.

30 La figure 3(b) représente la simulation logicielle correspondant à la situation 2(b) du système réel où, dans les pas de programme P, le processus de simulation atteste que le processeur D fonctionne correctement. Par contre, en simulant la fonction H, la simulation produit la valeur 6 par l'addition 5+1, tandis que le résultat enregistré par le système pour la même fonction dans la mémoire J s'avère 35 être égal à 7. Le processeur de simulation achève alors la séquence de traitement en utilisant les valeurs enregistrées dans J (valeurs 7

et 1) pour simuler la fonction L et produire la valeur additionnée 8 qui donne, dans le comparateur X, une comparaison correcte avec la valeur 8 enregistrée comme signal de sortie de L dans la mémoire N. Ensuite, le simulateur exécute son programme de rechange, indiqué
5 par PP, qui utilise sa propre valeur 6 calculée dans la fonction H, pour en déduire que la valeur de sortie obtenue par L aurait dû être $6+1=7$. Il en résulte une non-concordance avec la valeur mémorisée en N, ce qui prouve que le processeur H du système réel ne fonctionne pas correctement, puisque des discordances sont apparues entre les
10 deux programmes P et PP à l'examen d'un seul élément de traitement du système réel.

La figure 3(c) représente l'autre simulation logicielle, correspondant à la figure 2(c), où des valeurs mémorisées B sont prises dans le
15 système réel et traitées dans l'étape D pour simuler la fonction du processeur D. Ceci produit le résultat $2+3=5$, que le comparateur X trouve être différent de la valeur 6 enregistrée dans la mémoire F par le système réel. Le simulateur accomplit la prochaine étape de la séquence de traitement en utilisant les valeurs réelles F pour simuler
20 la fonction H et produire la valeur résultante $6+1=7$, qui diffère à nouveau de la valeur de sortie 6 enregistrée dans la mémoire J par le système réel. Le simulateur exécute alors son programme de rechange PP en utilisant dans la fonction D la valeur 5 calculée par lui-même. Cela produit le résultat $5+1=6$ qui concorde avec J et amène à la
25 conclusion que, puisque deux discordances se sont présentées dans le même programme P, la mémoire F présentait un défaut et avait enregistré une valeur fautive. Ensuite, le simulateur continue sa simulation par le pas L, en produisant un résultat qui confirme le fonctionnement correct du système réel testé.

30

La figure 4 représente une mise en oeuvre de l'invention dans un système calculeur à deux voies, défini par une limite 22 du système. Chaque voie du système effectue trois phases de calcul au moyen de processeurs I, II et III de sorte que les données entrent
35 dans le système à partir de sources externes 23, 24, 25, 26 et 27 par des lignes 28, 29, 30, 31 et 32 vers la première voie, et par des lignes 28', 29', 30', 31' et 32' vers la seconde voie (dont les numéros

de référence sont affectés d'un '). Les données sont employées sans modification par les processeurs I, IIa, I' et IIa', et en combinaison avec les signaux de sortie des processeurs I et I', par l'intermédiaire de lignes 33 et 33', par les processeurs IIb et IIb'. Les signaux de sortie des processeurs IIa et IIb sont employés par un processeur III par l'intermédiaire de lignes 34 et 35. Les signaux de sortie des processeurs IIa' et IIb' sont employés par un processeur III' par l'intermédiaire de lignes 34' et 35', afin de produire sur des lignes 36 et 36' les signaux finals de sortie du système qui seront identiques quand le système fonctionne correctement. Les calculs effectués par les processeurs ne sont pas représentés.

Les signaux finals de sortie 36 et 36' des deux voies sont comparés par un comparateur 37. En cas de détection d'une discordance, le comparateur 37 délivre une alarme par une ligne 38 à destination d'un superviseur ou moniteur 39 qui lance un traitement de recherche de défauts conformément à l'invention.

On se réfèrera uniquement à la voie supérieure parmi les deux voies représentées, chaque fonction décrite étant exécutée de manière symétrique dans la voie inférieure.

Les données binaires traversant le système passent d'un processeur au suivant une fois par cycle d'horloge du système, sur commande d'une horloge de système (non représentée). Lorsqu'il reçoit une alarme indiquant qu'une discordance a été détectée, le moniteur 39 enclenche un indicateur d'avertissement 40 annonçant à l'extérieur, par une ligne 41, que le système est en mode de recherche de défauts, et il commande à un gestionnaire de contrôle de défauts 42, par une ligne 43, d'exécuter un contrôle du système par simulation. Le gestionnaire de contrôle 42 délivre une commande d'arrêt aux éléments de traitement du système (par des lignes non représentées) et la réception de cette commande détermine que le moment où les flux de données dans le système sont arrêtés constitue le cycle d'horloge zéro. En comptant en arrière à partir du cycle d'horloge zéro, on dira que le gestionnaire de contrôle 42 délivre sa commande d'arrêt au cycle d'horloge un et que le moniteur 39 délivre sa

commande de contrôle au cycle d'horloge deux. Le comparateur 38 délivre son alarme au cycle d'horloge trois et la discordance initiale, si elle est apparue dans le processeur III, se sera produite au cycle d'horloge quatre. Si la discordance est apparue dans le processeur
5 IIa ou IIb, elle se sera produite au cycle d'horloge cinq, alors que si la discordance est apparue dans le processeur I, elle se sera produite au cycle d'horloge six.

Le gestionnaire de contrôle 42 délivre une commande par une ligne 44
10 à un processeur externe 45 pour qu'il interrompe sa tâche courante de traitement (indiquée par les flèches 46 représentant un flux de données). Le gestionnaire 42 délivre aussi une commande par une ligne 47 à une bibliothèque de logiciels 48 pour charger dans le processeur 45, par une ligne 49, un logiciel par lequel ce processeur
15 peut simuler les fonctions du système calculateur suspect. Une commande est aussi délivrée par une ligne 50 à un dispositif de consultation de mémoires 51 pour qu'il fournisse au processeur 45 les données qui ont été délivrées à l'entrée de chacun des processeurs du système calculateur suspect au moment où la discordance a pu se
20 produire, c'est-à-dire juste avant la détection de la discordance.

Le dispositif de consultation de mémoires 51 délivre des instructions, à travers un bus de consultation 52, à des extracteurs de mémoire 53 pour que ceux-ci transfèrent les données voulues, par un bus de
25 vidage 54, à un chargeur de données mémorisées 55 et par conséquent au processeur 45, comme cela est nécessaire pour l'exécution d'une simulation du système suspect.

Les extracteurs de mémoire 53 extraient les données binaires nécessaires des mémoires tampons cycliques associées aux lignes d'entrée
30 de chacun des processeurs du système calculateur.

Pour le processeur III, une mémoire tampon cyclique 56 enregistre les données d'entrée du processeur associé pendant quatre cycles
35 d'horloge, l'extracteur 53 extrayant les bits qui sont entrés dans le processeur par les lignes 34 et 35 au cycle d'horloge quatre.

Pour le processeur IIa, une mémoire tampon cyclique 57 enregistre les données d'entrée arrivant par les lignes 28 et 32 pendant cinq cycles d'horloge, et l'extracteur 53 de cette mémoire extrait les bits qui sont arrivés au cycle d'horloge cinq. Le processeur IIa effectue
5 aussi une fonction de bascule qui délivre séparément à une mémoire 58 un signal d'état qui est également extrait par un extracteur 53.

Pour le processeur IIb, une mémoire tampon cyclique 59 enregistre les données d'entrée arrivant par les lignes 29 et 32, et les bits qui
10 sont arrivés au cycle d'horloge cinq sont extraits par l'extracteur 53 de cette mémoire. Le processeur IIb remplit également une fonction de bascule, mais il ne fournit pas de signal séparé indiquant cet état. C'est pourquoi un processeur séparé 60 reçoit les données d'entrée des lignes 29 et 33 pour reproduire la fonction de bascule
15 du processeur IIb et délivrer à une mémoire 61 un signal analogue à cet état, qui est accessible par l'extracteur de mémoire 53 correspondant.

Pour le processeur I, une mémoire tampon cyclique 62 enregistre les
20 données d'entrée arrivant par les lignes 30 et 31. L'extracteur 53 correspondant extrait les bits qui sont arrivés au cycle d'horloge six, mais on voit que la mémoire tampon 62 a la capacité d'enregistrer un historique plus large des arrivées de données, dans l'éventualité où l'on aurait besoin de processus analytiques ou d'historiques plus
25 étendus que ce qui est nécessaire pour une simple simulation du moment où la discordance a eu lieu. Ce peut être le cas lorsque des historiques de redémarrage sont nécessaires ou si des données ultérieures ont été reçues pendant que le système était testé.

30 Le processeur 45 effectue une simulation des deux voies du système calculateur suspect en utilisant les données fournies et il transmet le résultat de son analyse par une ligne 63 au gestionnaire de contrôle 42, qui à son tour donne l'état du système et l'identité de tout composant s'avérant défaillant au moniteur 39 par une ligne 64.

35

Selon les règles applicables au calculateur, le moniteur 39 peut, si un défaut est confirmé, enregistrer les détails de ce défaut dans un

journal de défauts 65 et enclencher un indicateur de panne du système 66 qui signalera la panne à l'extérieur par une ligne 67. Autrement, le moniteur 39 peut ordonner au système de reprendre son fonctionnement en utilisant uniquement sa voie qui fonctionne bien, ou il peut ordonner au système de reprendre son fonctionnement en utilisant le processeur externe 45 à la place du composant s'avérant défectueux.

Quand les règles du système permettent de reprendre le calcul, le moniteur 39 délivre des commandes par une ligne 68 à un formateur de reconfiguration 69. Le formateur 69 délivre, par une ligne 70, une alarme de relance aux utilisateurs externes des données du système et il délivre des instructions d'initialisation aux éléments de traitement du système par une ligne 71. Le formateur 69 commande aussi, par une ligne 73, à une mémoire de calendrier de relance 72 de délivrer, par une ligne 74, aux éléments de traitement du système les données nécessaires à relancer le fonctionnement tel qu'il était au moment initial de l'arrêt, ces données étant continuellement transmises et enregistrées dans la mémoire de calendrier de relance à chaque cycle d'horloge du système au moyen du bus de vidage de mémoires 54.

La relance satisfaisante du système peut nécessiter un historique complet ou partiel, sur la base d'un échantillonnage au cours du temps, des données pouvant être entrées dans le système au cours de la période où il était inactif pendant le test. Le formateur de reconfiguration 69 peut extraire ces données de mémoires d'entrée ayant la même configuration que la mémoire 62.

Dans les cas où les règles du système prescrivent de déconnecter toute voie contenant un composant défaillant, le moniteur 39 délivre par une ligne 75 une commande ordonnant à un sélecteur de voie 76 d'isoler la voie qui comporte le composant défaillant identifié.

Dans les cas où des composants redondants en attente sont incorporés à l'architecture du système, le moniteur 39 peut commander leur activation pour remplacer tout composant défaillant identifié, par

exemple une commande délivrée par une ligne 77 à un processeur en attente 78 (représenté partiellement par des traits interrompus) pour remplacer celui des processeurs I1b ou I1b' qui serait en panne dans le système.

5

Dans les cas où les règles du système permettent un allégement des critères de séparation des voies du système, le moniteur 39 peut délivrer une commande par une ligne 79 à un commutateur de voies 80. Ceci peut se produire par exemple quand un des processeurs du premier stade du système a été identifié comme défaillant, en permettant de dupliquer le signal de sortie de celui des processeurs I et I' qui subsiste, pour l'utiliser à la fois dans sa propre voie et dans le processeur de deuxième stade I1b ou I1b' de la voie adjacente (comme indiqué en traits interrompus). Par ce moyen, le premier stade de traitement peut être effectué par le processeur I ou I' s'avérant fonctionner correctement, et ensuite les deux voies peuvent continuer à fonctionner en utilisant le signal de sortie de ce processeur fonctionnant correctement. Dans ces circonstances, on peut garder le processeur 45 pour exécuter des contrôles continus par simulation de l'unique processeur de premier stade qui fonctionne encore correctement, afin de maintenir la dualité de l'architecture originale à deux voies du système.

10

15

20

25

Afin d'enregistrer le fonctionnement du système, les flux de données entrant dans chaque processeur du système sont transmis en continu par une ligne 81 à un enregistreur de données 82 pour être conservés à long terme.

30

Les processeurs contrôlés conformément à l'invention peuvent être de n'importe quelle taille, par exemple comprendre chacun un module amovible d'un grand système électronique, ou comprendre chacun un seul composant électronique sur une carte à circuit imprimé d'un tel module amovible, ou encore constituer chacun un élément fonctionnel à l'intérieur d'un circuit intégré monté sur une telle carte.

35

Les moyens de traitement utilisés peuvent être électroniques, photoniques, analogiques ou numériques, ou une combinaison quelconque de ces moyens, apte à produire des résultats calculés.

- 5 Dans le cas d'un aéronef, le calculateur selon l'invention peut être un système critique pour le vol, tel que les calculateurs associés au système d'affichage par les instruments de bord, tandis que le processeur de simulation auquel on recourt pour tester les calculateurs du système d'affichage peut être un dispositif de traitement
- 10 spécialement prévu pour remplir une telle fonction de test, mais sera de préférence le processeur d'un autre système existant à bord de l'aéronef, non critique pour le vol, par exemple un système de stockage de données, un système de gestion des communications ou un système de divertissement en cabine. De tels dispositifs calcu-
- 15 lateurs non critiques pour le vol sont généralement disponibles à profusion à bord des aéronefs et permettent ainsi de tolérer un grand nombre de pannes potentielles, d'effectuer des tests et de relancer n'importe quel système ne fonctionnant pas correctement, avec une redondance continuellement rétablie des voies multiples.

REVENDEICATIONS

1. Calculateur comportant au moins deux voies, ayant chacune au moins un processeur, ces processeurs produisant des signaux de sortie respectifs nominalement identiques, et des moyens pour détecter une discordance entre lesdits signaux de sortie et signaler un défaut, caractérisé en ce que chaque processeur (2, 3, I, I', IIa, IIb, IIa', IIb', III, III') est pourvu d'une mémoire associée (18, 19, 62, 59, 57, 56) où sont enregistrées des données d'entrée délivrées à ce processeur, en ce que le calculateur comporte un simulateur (12, 42, 45) qui simule le fonctionnement d'au moins une partie d'une des voies en cas de détection d'une discordance entre les voies, et en ce que le simulateur reçoit de ladite mémoire d'une des voies les données qui ont été délivrées au processeur associé juste avant la détection d'une discordance, de sorte que le simulateur simule le fonctionnement de ladite voie en utilisant les données reçues de ladite mémoire.

2. Calculateur selon la revendication 1, caractérisé en ce que ladite mémoire associée (18, 19, 62, 59, 57, 56) enregistre l'heure d'arrivée des données qu'elle reçoit.

3. Calculateur selon la revendication 1 ou 2, caractérisé en ce qu'il comporte une mémoire de logiciel (48) contenant un logiciel de simulation du fonctionnement des voies, en ce que la mémoire de logiciel (48) est séparée du simulateur (45) et en ce que le contenu de la mémoire de logiciel n'est chargé dans le simulateur (45) que lors de la détection d'une discordance entre les deux voies.

4. Calculateur selon l'une des revendications précédentes, caractérisé en ce qu'il comporte un comparateur (8, 37) agencé pour comparer le signal de sortie du simulateur (12, 45) aux signaux de sortie des voies et pour déconnecter celle des voies qui est en désaccord avec le simulateur.

5. Calculateur selon l'une des revendications précédentes, caractérisé en ce que le signal de sortie du simulateur constitue un signal de remplacement à la sortie du calculateur.
- 5 6. Calculateur selon l'une des revendications précédentes, caractérisé en ce que chaque voie comporte au moins deux processeurs (I, I', IIa, IIa', IIb, IIb', III, III'), en ce que chaque processeur est pourvu d'une mémoire associée (62, 59, 57, 56) où sont enregistrées des données d'entrée délivrées à ce processeur, et en ce que le
10 simulateur simule le fonctionnement d'un premier des processeurs et délivre un signal de sortie à un second des processeurs à la place du signal de sortie du premier processeur en cas de détection d'un défaut dans le premier processeur.
- 15 7. Calculateur selon la revendication 6, caractérisé en ce que le simulateur simule le fonctionnement du second des processeurs.
8. Calculateur selon la revendication 7, caractérisé en ce que le
20 simulateur effectue deux simulations du second processeur, dont l'une utilise le signal de sortie du premier processeur et l'autre utilise le signal produit par simulation du premier processeur.
9. Calculateur selon l'une des revendications précédentes, caractérisé en ce que lesdites mémoires associées aux processeurs sont agencées
25 pour restituer des données d'entrée aux processeurs associés en cas de redémarrage du calculateur après une interruption.

Fig.1.

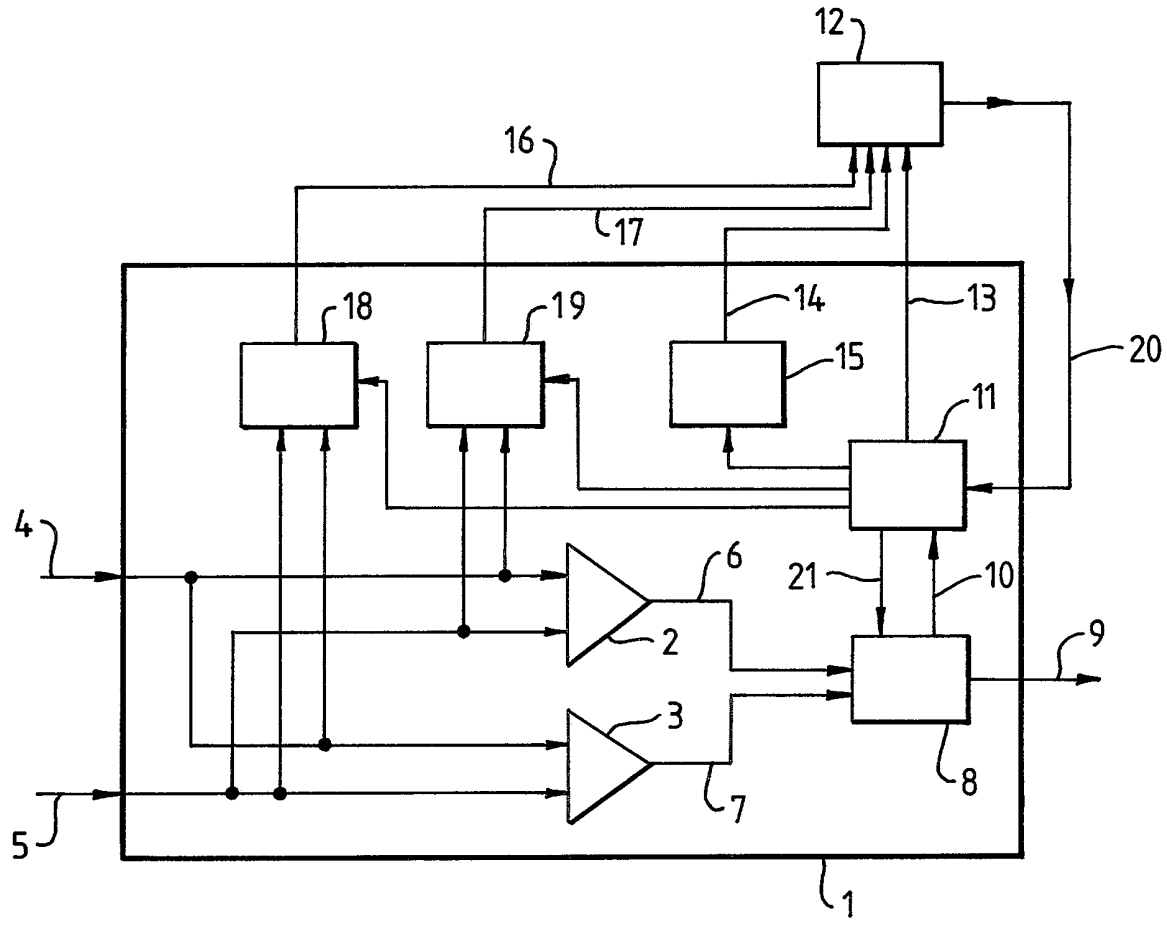


Fig. 2(a).

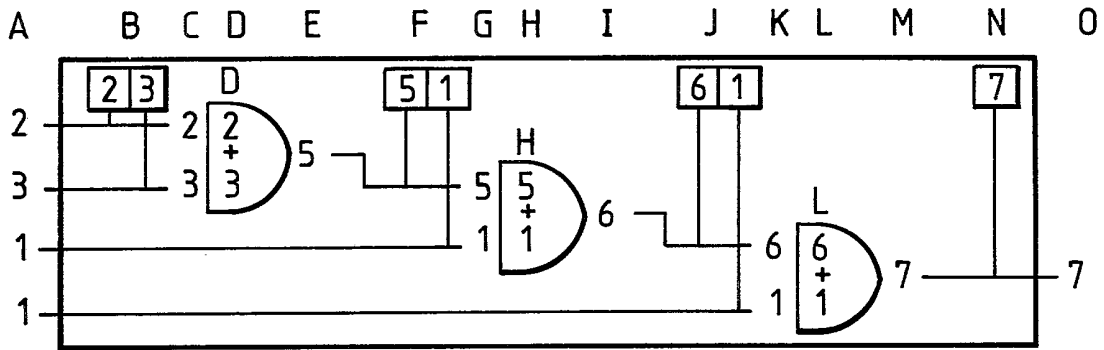


Fig. 2 (b).

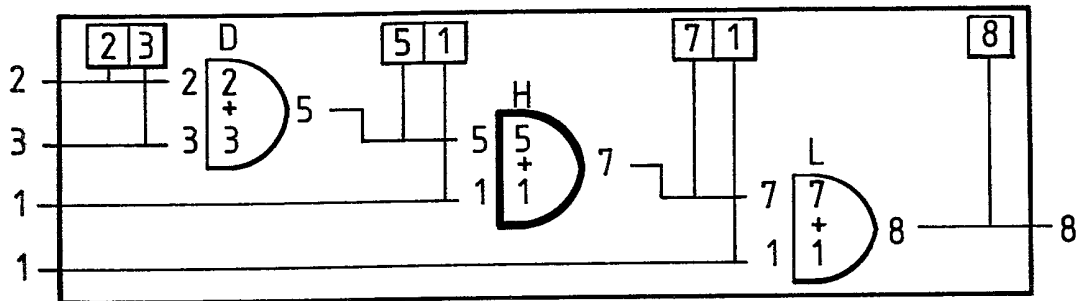


Fig. 2(c).

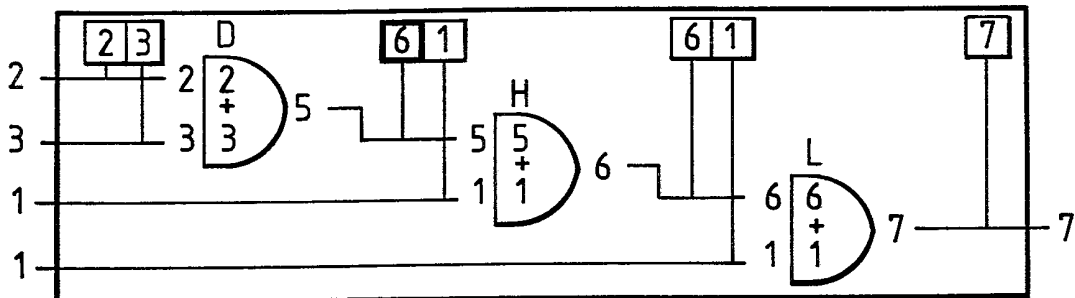


Fig. 3 (a).

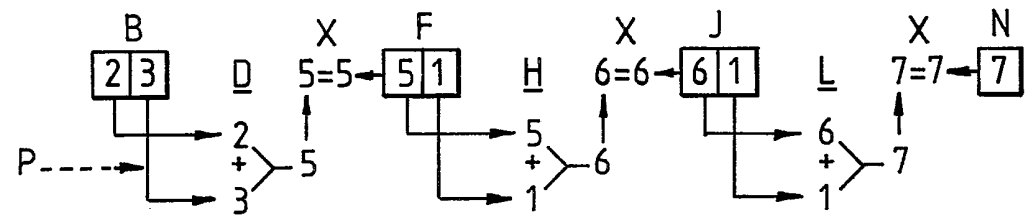


Fig. 3 (b).

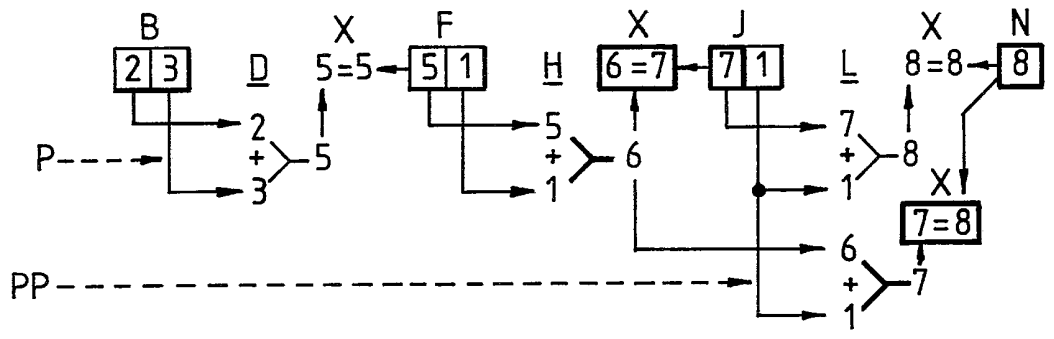


Fig. 3 (c).

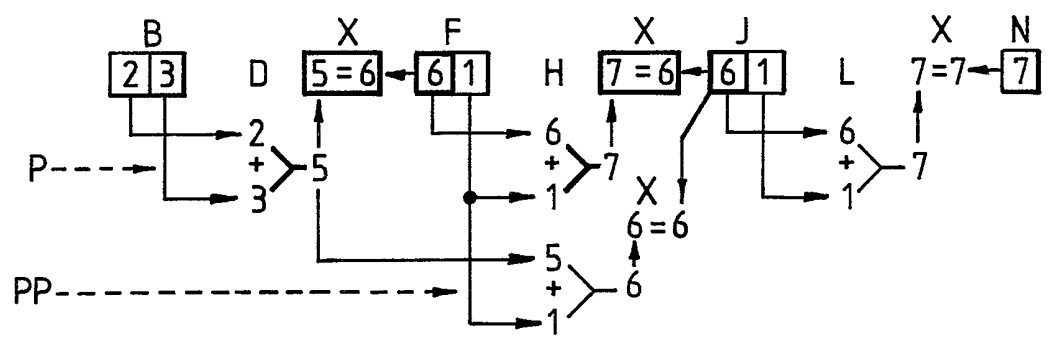


Fig. 4.

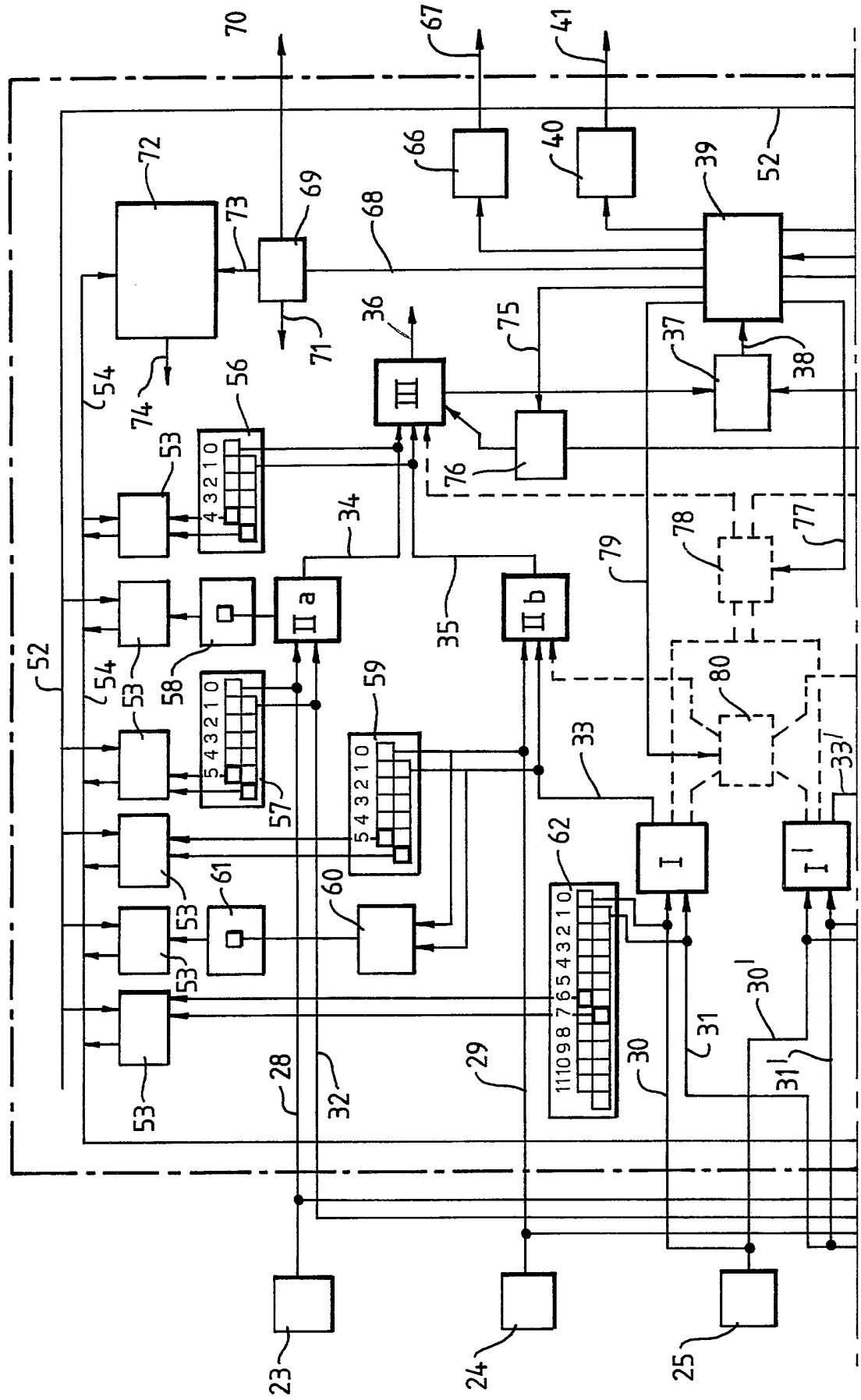


Fig. 4 (cont.)

