

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成27年3月12日(2015.3.12)

【公開番号】特開2012-169602(P2012-169602A)
 【公開日】平成24年9月6日(2012.9.6)
 【年通号数】公開・登録公報2012-035
 【出願番号】特願2012-11653(P2012-11653)
 【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 1 L 21/205 (2006.01)

【F I】

H 0 1 L 29/78 6 1 8 A

H 0 1 L 29/78 6 1 8 E

H 0 1 L 29/78 6 2 1

H 0 1 L 29/78 6 1 7 N

H 0 1 L 29/78 6 1 8 Z

G 0 2 F 1/1368

H 0 1 L 21/205

【手続補正書】

【提出日】平成27年1月21日(2015.1.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】微結晶半導体膜の作製方法、及び、半導体装置の作製方法

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁膜上に、シリコンを含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上50000Pa以下とする第1の条件を用いたプラズマCVD法により種結晶を形成し、

前記種結晶上に、シリコンを含む堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上50000Pa以下とする第2の条件を用いたプラズマCVD法により第1の微結晶半導体膜を形成し、

前記処理室内の圧力を1333Pa以上50000Pa以下とし、且つ微結晶半導体を堆積する第1の周期と、前記微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする前記第1の周期より長い第2の周期とを交互に行う第3の条件を用いたプラズマCVD法により、第1の微結晶半導体膜上に第2の微結晶半導体膜を形成することを特徴とする微結晶半導体膜の作製方法。

【請求項2】

基板上に、ゲート電極を形成し、
前記基板及び前記ゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に、第1の条件により種結晶を形成し、
前記種結晶上に、第2の条件により第1の微結晶半導体膜を形成し、
前記第1の微結晶半導体膜上に、第3の条件により第2の微結晶半導体膜を形成し、
前記第2の微結晶半導体膜上に、微結晶半導体領域及び非晶質半導体領域を有する半導体膜を形成し、

前記半導体膜上に第1の不純物半導体膜を形成し、

前記第1の不純物半導体膜の一部をエッチングして、島状の第2の不純物半導体膜を形成するとともに、前記種結晶、前記第1の微結晶半導体膜、前記第2の微結晶半導体膜、及び前記半導体膜の一部をエッチングして、島状の第1の半導体積層体を形成し、

前記第2の不純物半導体膜上に、ソース電極及びドレイン電極として機能する配線を形成し、

前記第2の不純物半導体膜をエッチングして、ソース領域及びドレイン領域として機能する一对の不純物半導体膜を形成し、

前記第1の条件は、シリコンを含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上5000Pa以下とする条件であり、

前記第2の条件は、シリコンを含む堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上50000Pa以下とする条件であり、

前記第3の条件は、前記処理室内の圧力を1333Pa以上50000Pa以下とし、且つ微結晶半導体を堆積する第1の周期と、前記微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする前記第1の周期より長い第2の周期とを交互に行う条件であることを特徴とする半導体装置の作製方法。

【請求項3】

請求項2において、

前記第1の半導体積層体を形成し、前記第1の半導体積層体上に、ソース電極及びドレイン電極として機能する配線を形成する前において、

前記第1の半導体積層体の側面をプラズマに曝して、前記第1の半導体積層体の側面に絶縁領域を形成することを特徴とする半導体装置の作製方法。

【請求項4】

請求項2または請求項3において、

前記第1の半導体積層体の一部をエッチングして、微結晶半導体領域及び一对の非晶質半導体領域が積層される第2の半導体積層体を形成し、

前記配線、前記一对の不純物半導体膜、前記第2の半導体積層体、及び前記ゲート絶縁膜上に絶縁膜を形成し、

前記絶縁膜上に、バックゲート電極及び画素電極を形成することを特徴とする半導体装置の作製方法。