(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 27/115

(45) 공고일자 2000년05월15일
(11) 등록번호 10-0256322
(24) 등록일자 2000년02월22일

(21) 출원번호	10-1996-0704938	(65) 공개번호	특1997-0701929
(22) 출원일자	1996년09월03일	(43) 공개일자	1997년04월12일
번역문제출일자	1996년09월03일		
(86) 국제출원번호	PCT/US 95/02240	(87) 국제공개번호	WO 95/24057
(86) 국제출원일자	1995년02월22일	(87) 국제공개일자	1995년09월08일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴 국내특허 : 캐나다 중국 일본 대한민국		
(30) 우선권주장	8/205,327 1994년03월03일 미국(US)		

(73) 특허권자 롬 코포레이션 제니 필더
미합중국 캘리포니아주 (우편번호:95161-9038) 산호세 카머스 드라이브 2150
(72) 발명자 샹데 창
미합중국 캘리포니아주 프레몬트 사우서랜드 웨이 43570
지아황 창
미합중국 캘리포니아주 쿠퍼티노 미르틀우드 드라이브 6432
에드윈 초
미합중국 캘리포니아주 사라토가 트리샤웨이 20447
(74) 대리인 김명신

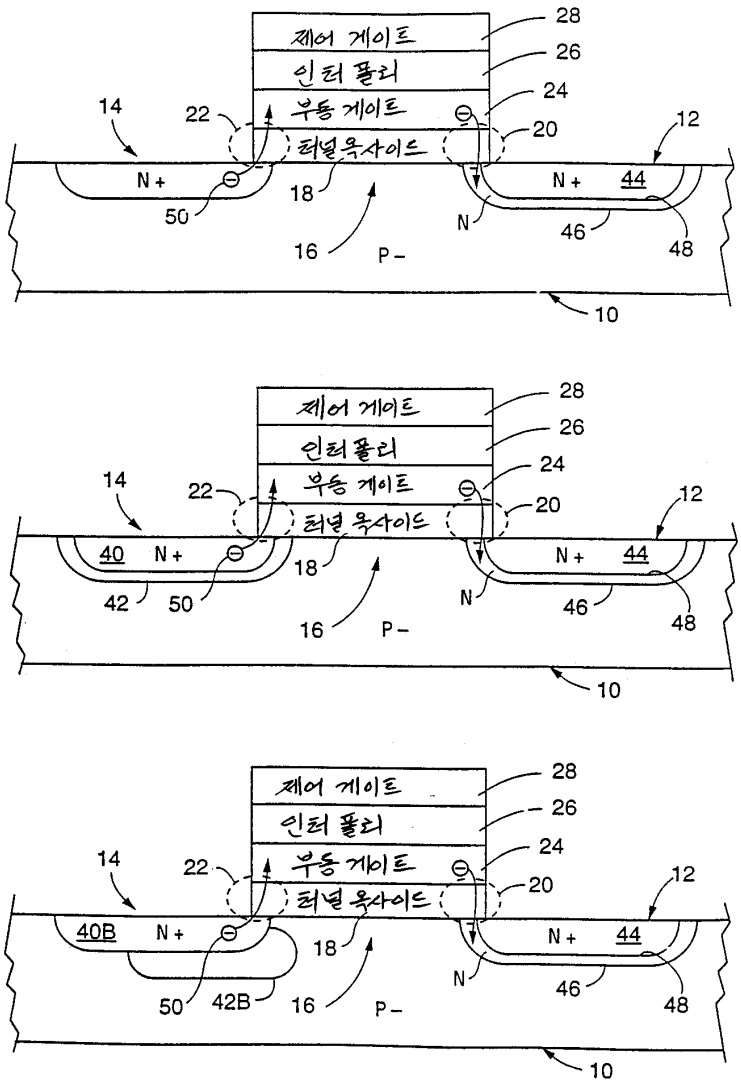
심사관 : 임동우

(54) 파울러-노드하임 프로그래밍 및 이레이즈를 이용한 저전압 단일트랜지스터 플래쉬 이이피롬셀

요약

본 발명은 파울-노드하임 터널링을 사용하여 프로그램 및 이레이즈가 가능하고 저전압을 사용하여 동작할 수 있는 단일 트랜지스터 전기적 프로그램 및 이레이즈가능 메모리 장치에 관한 것이다. 소스 및 드레인 영역의 각부는 제 1 게이트 절연층과 중첩되어 있고, 인터폴리 절연층은 부동 게이트, 제어 게이트, 소스 및 드레인 사이의 용량 결합비를 최대화하기 위하여 큰 유전상수를 갖는 것으로 선택된다. 어레이 내의 셀의 논리적 조건은 먼저 셀의 블록을 고전압 임계치로 올리고 선택된 셀의 전압 임계치를 개별적으로 낮춤으로써 설정된다.

대표도



명세서

[발명의 명칭]

파울러-노드하임 프로그래밍 및 이레이즈를 이용한 저전압 단일 트랜지스터 플래쉬 이이피롬(EEPROM) 셀

[발명의 분야]

본 발명은 전기적으로 이레이즈(erase : 소거)가능하고 프로그램가능한 디바이스와 그 디바이스를 제조하는 방법에 관한 것이다. 특히, 본 발명은 파울러-노드하임터널링(Fowler-Nordheim tunneling)을 이용하여 프로그램 및 이레이즈될 수 있는 저전류의 단일 트랜지스터 플래쉬(flash) EEPROM에 관한 것이다.

[발명의 배경]

전기적으로 이레이즈가능하고 프로그램가능한 ROM 디바이스(EEPROMs) 및 그러한 디바이스의 제조방법은 본 기술분야에서는 잘 알려져 있다. 그러한 디바이스의 하나로서, 플래쉬 EEPROM이 있는데, 미합중국 특허 제4,698,787호 및 제4,868,619호에 개시되어 있으며, Mukherjee 등에게 특허되고 본 명세서에서 참고로 제시된 상기 제목의 출원의 양수인에게 이전되었다. 플래쉬 EEPROM 메모리는 고밀도(예를들어 1 메가비트 정도의 차수) 셀 배열로 형성되어있다. 각 셀은 단일의 결정 반도체물질의 바디를 포함하는 단일 트랜지스터이며, 소오스, 드레인 및 상기 바디 상에 위치한 제 1 절연물질층을 구비한다. 플로팅 게이트(floating gate)가 상기 제 1 절연물질층과 제 2 절연물질층 사이에 위치해 있고, 게이트가 상기 제 2 절연물질층 위에 위치해 있다.

소스는 인과 같은 제1 물질의 깊은 영역과 비소 및 인 같은 제2 물질의 얕은 영역으로 형성되어 있다. 상기 깊은 영역부분은 상기 제 1 절연물질층의 아래에 있고, 이레이즈 과정이 진행되는 동안 밴드간의 터널링을 감소시키기 위해 상기 제 1 물질은 상기 게이트와의 접합 오버랩이 최적화되도록 선택된다. 상기 드레인은 상기 제2 물질의 얕은 영역으로 형성되어 있다.

상기 제 2 절연물질층은 캐패시턴스를 최적화하기 위해 높은 유전상수를 가진다. 이것은 기판과 상기 플로팅 게이트 사이의 전압을 최대화하고, 그 때문에 상기 디바이스가 플로팅 게이트상에 전하를 저장 또는

제거하는 능력을 최대화한다.

종래의 플래쉬 EEPROM의 프로그래밍에서는 약 10V 내지 12V를 제어 게이트에, 약 4V 내지 6V를 드레인에 인가하여야만 했으며, 소오스와 기판을 그라운드 전위(ground potential)로 유지해야만 했다. 이러한 전압상태는 상기 소스와 드레인 사이의 상기 기판의 일부분(채널영역)에서 고온전자(hot electron)를 발생시키고 상기 플로팅 게이트로 가속시키는 결과를 초래한다. 플래쉬 EEPROM 셀을 이레이즈하기 위해서, 상기 드레인은 플로팅 되고 상기 제어 게이트와 기판이 그라운드 전위를 유지하는 동안 10V 내지 13V의 전압이 소오스에 인가된다. 이 방법에서, 전자가 파울러-노드하임 터널링에 의해 상기 플로팅 게이트에서 상기 소오스 영역으로 통과한다.

판독(read)이 진행되는 동안, 셀의 논리상태는 상기 드레인에는 1V 내지 2V전위가, 상기 제어 게이트에는 3V 내지 6V 전위가, 그리고 상기 소스에는 그라운드 전위가 인가되는 것으로 결정된다. 프로그램된 셀은 상기 플로팅 게이트상의 존재하는 전자들에 기인하여 높아진 드레숄드 전압(v_t)을 갖기 때문에, 상기 프로그램된 셀의 채널영역은 상기 판독이 진행되는 동안은 전도성이 없게된다. 반면에, 이레이즈된 셀은 약 1V의 드레숄드 전압을 갖게되어 판독이 진행되는 동안 그 채널영역은 도전성을 갖게된다.

종래의 플래쉬 EEPROM 기술에는 여러 단점들이 있다. 그러한 단점들 중 하나는 고온 전자 주입 프로그래밍(hot electron injection programming)의 사용에 그 원인이 있다. 이 프로그래밍은 많은 전류를 소비하고, 저전압(5V이하)이 사용될 때 내부에서 온-칩 전하펌프(on-chip charge pump) 사용을 할 수 없게된다.

현재의 플래쉬 EEPROM 기술의 다른 단점으로는 셀 내구성에 영향을 미치는 인자로부터 기인한다. 예를 들어, 셀을 프로그램할 때 프로그램될 셀과 칼럼(column)을 공유하는 모든 셀들의 드레인이 프로그래밍에 요구되는 상대적으로 높은 드레인 전위를 받게된다. 이것은 칼럼 안의 모든 셀들이 전형적으로 공통의 비트 라인을 공유하기 때문이다. 상기 드레인(4V내지6V)과 상기 기판(그라운드 전위)간의 전위차에 기인하여 선택되지 않은 셀들 내에서 혼란상태가 발생한다. 프로그래밍 동안의 상기 드레인과 기판사이의 상대적으로 높은 전압은 상기 드레인 접합에서 고온 홀(hot hole)을 형성시킬 수 있다. 이러한 고온홀은 상기 게이트 유전체로 이동하여 그곳에 계속적으로 트래핑되어서 상기 셀이 일찍 망가지는 결과를 가져온다.

상기 게이트 유전체에 트래핑된 고온홀들은 상기 디바이스의 판독 기능을 방해하고, 상기 게이트 유전체에 의해 정상적으로 제공된 상기 플로팅 게이트와 상기 기판간의 에너지 장벽을 감소시키는 원인이 된다. 이 에너지 장벽의 감소는 이제 전자들을 선택되지 않은 셀의 상기 플로팅 게이트로 이동시킨다. 고온 홀의 생성은 상기 고온전자의 에너지레벨이 전자의 에너지레벨을 초과하는 정도를 증대시키고, 밴드간 터널링을 유발하고, 상기 터널링은 부가적인 고온전자/고온홀 쌍을 놓아주어서, 상기 게이트 유전체에서 추가적인 고온홀의 트래핑을 유발한다.

종래의 플래쉬 EEPROM 디바이스를 이레이즈하는 동안에는, 상기 소스(약 10V내지 13V) 및 상기 그라운드 기판간의 높은 전위차가 있기 때문에 고온홀을 생성하고 트래핑하는 상기 소오스-기판 접합에서의 브레이크다운(breakdown)이 발생하기 쉽다. 이 브레이크다운은 이중으로 확산된 소스영역을 형성하는 것으로 충분히 감소될 수 있으나, 확산층을 부가하는 것에 의해 브레이크다운 현상을 완전히 제거할 수 있는 것은 아니다.

현재의 플래쉬 EEPROM 기술에 있어서의 또 다른 단점으로는 과도하게 이레이즈된(over-erased) 셀들을 비트별로 탐색할 수 없다는 것이다. 오버 이레이즈 상태는 이레이즈 과정에서 너무 많은 전자가 셀의 플로팅 게이트에서 제거될 때 발생하며, 상기 셀이 V_t 미만의 전압(0V 내지 V_t사이)에서 이레이즈되게 하여 상기 셀의 단어라인이 선택되지 않은 경우에도 셀이 전도성을 갖게 된다. 오버 이레이즈된 셀의 낮은 드레숄드 전압은 상기 셀이 부정확한 프로그래밍 및 판독을 하게 하고, 오버이레이즈된 셀들은 보통 드레인에 누설 전류를 유발하여 같은 비트 라인을 공유 다른 셀들의 논리상태를 감추어 버린다. 따라서 오버 이레이즈된 셀의 존재가 비트마다 탐색될 수 없는데, 이는 오버 이레이즈된 하나의 셀이 어떤 칼럼에 있으면, 그 셀은 선택되지 않은 경우에 조차도 상기 칼럼에 결합된 상기 비트 라인으로 전류를 흐르게 하여 상기 오버 이레이즈된 셀들의 구별을 불분명하게 하기 때문이다. 오버이레이즈된 셀들은 탐색하는 것이 어렵기 때문에, 그러한 셀이 포함된 것이 발견된 메모리는 버려지거나 오버 이레이즈된 셀을 포함하는 블럭은 격리되며 여분의 메모리로 대체된다. 이러한 방법들은 보통 원가나 효율성 면에서 좋지 않다.

위에서 언급한 고온홀 트래핑효과를 감소시키는 플래쉬 EEPROM 디바이스를 개선시키기 위한 많은 시도가 있어왔다. 그러한 디바이스중 하나가 Haddad 등에게 특허되어 USP 5,077,691에 개시되어 있다. 상기 공보에는 제어 게이트에는 약 -17V내지 -12V 전압이, 소오스에는 약 0.5V 내지 5.0V전압이 인가될 때 플로팅 게이트에서 상기 소오스로의 파울러-노드하임 터널링을 이용하여 이레이즈되는 플래쉬 EEPROM이 개시되어 있다. 비록 상기의 특허에 개시된 것과 같은 디바이스는 이레이즈가 진행되는 동안 고온홀 트래핑 효과를 감소시킬 수는 있지만, 이 디바이스들은 프로그래밍을 수행하는 경우 증가한 드레인 전위를 사용하기 때문에 상기에서 언급한 바와 같이 선택되지 않은 셀에서 발생하는 상기 드레인 방해문제를 다룰 수 없다. 더욱이, 이러한 디바이스의 프로그래밍은 앞서 언급했던 많은 전류를 소비하는 고온홀 주입 프로그래밍으로 이루어진다.

종래의 플래쉬 EEPROM 디바이스 및 상기 Haddad 특허에 개시된 디바이스의 또 다른 단점으로는, 그러한 디바이스의 프로그래밍은 세 단계로 이루어진다는 것이다. 첫번째로, 모든 셀들이 약 10msec 동안 상기 프로그래밍 상태를 인가하는 것에 의해 높은 V_t로 프로그램된다. 고온전자 주입이 사용되기 때문에 상기 첫번째 단계는 바이트(byte)마다 많은 전류를 사용하여 수행될 수밖에 없다. 다음으로, 모든 셀들이 플래시 이레이즈 기능을 사용하여 약 10msec동안 이레이즈 상태를 인가하는 것에 의해 동시에 이레이즈된다. 마지막으로, 약 10msec동안 지속되는 프로그래밍 펄스를 다시 사용하여 바이트(byte)마다 상기 셀을 프로그래밍하여 데이터가 칩 상에 위치하게 한다. 그러므로 이러한 칩의 프로그래밍은 시간 낭비, 특히 바이트 단위로 수행되는 두 개의 프로그래밍 단계가 요구되기 때문에 발생하는 시간낭비를 낳는다.

현재의 플래쉬 EEPROM 디바이스의 또 다른 단점으로는 상기 메모리 셀의 상기 제어 게이트에서 높은 포지티브 전위가 사용되어 주변 회로소자내의 트랜지스터가 상기 높은 게이트 전위가 인가되는 동안 브레이크다운을 예방하기 위해 충분히 높은 브레이크다운 드레숄드(breakdown threshold)를 갖게 제조될 것을 요

구한다. 따라서, 상기 제어 게이트에 21.0V의 전위가 인가되는 것에 의해 프로그래밍이 실시되는 셀들에 있어서, 주변의 장치들은 적어도 21.0V의 역바이어스 전위를 견딜 수 있도록 제조되어야 할 것이다.

조기 공개된 일본특허 제57-114282호에 개시된 디바이스는 상기 디바이스를 프로그램하고 이레이즈하기 위해 상기 기판과 상기 플로팅 게이트사이에서 파울러-노드 하임 터널링을 사용하고 있다. 더욱이, 상기 디바이스의 상기 드레인에 높은 전압을 이용하여 이레이징이 수행되므로, 브레이크다운 및 상기 드레인-기판 접합을 포함하는 다른 문제를 피하기 위해서는 특별한 주의가 요구된다.

[본 발명의 요약 및 목적]

현재의 플래쉬 EEPROM 기술에 대한 상기 문제점 및 또 다른 문제점에 대해서 본 발명에서 다루어진다.

본 발명인 상기 전기적으로 이레이즈가능하고 프로그램가능한 메모리 디바이스는 소스 및 드레인을 갖고 있는 기판물질의 바디(body), 상기 바디 위에 위치하는 제 1 절연물질층, 상기 제 1 절연물질층 위에 위치한 플로팅 게이트, 상기 플로팅 게이트 위에 위치한 제 2 절연물질층, 및 상기 제 2 절연물질층 전체에 있는 게이트를 구비하고 있다. 상기 소스 및 드레인의 각 부분은 상기 제 1 절연물질층 및 상기 플로팅 게이트와 겹쳐있다. 상기 제 2 절연물질층은 플로팅 게이트, 제어 게이트, 소스 및 드레인 사이의 용량 결합 비를 최적화하기 위해서 높은 유전상수를 갖도록 선택된다.

상기 서술한 구조들의 상기 용량 결합 비는 전자들이 파울러-노드하임 터널링을 이용하여 상기 플로팅 게이트로 놓이고 제거되는 (상기 드레인과 플로팅 게이트 사이에서 파울러-노드하임 터널링 방법에 의해 상기 플로팅 게이트상에 전자가 놓이고; 상기 플로팅 게이트와 소스사이에서 파울러-노드하임 터널링 방법에 의해 상기 플로팅 게이트로부터 전자가 제거됨.) EEPROM 셀이 제공되도록 구성된다. 그러한 셀의 배열에서, 프로그래밍을 위해 상기 셀을 준비하기위해, 상기 셀들 모두가 플래쉬 프로그램 동작에서 상기 플로팅 게이트상에 전자가 놓이게 되어 약 6V 내지 7.5V로 올라가는 높은 V_t로 상승된다. 이것은 상기 제어 게이트의 전위상승 및 상기 소스의 그라운딩과 상기 드레인의 플로팅에 의해 이루어진다. 다음으로, 셀들은 파울러-노드하임 터널링을 이용하여 선택된 셀의 상기 플로팅 게이트로부터 전자가 제거되는 선별적 이레이즈 동작에서 이레이즈되어 약 1.2V 내지 2.2V의 낮은 V_t가 된다. 상기 선별적 이레이즈기능은 상기 제어 게이트에 상대적으로 큰 네가티브 전위를 인가하고, 상기 드레인에는 보통의 높은 포지티브 전위를 인가하며, 그리고 상기 소스를 플로팅하는 것으로 수행된다. 상기 기판은 상기 플래쉬 프로그램과 선별적 이레이즈상태가 진행되는 동안 그라운드 전위로 유지된다.

위에서 설명한 본 발명인 상기 디바이스의 프로그래밍 특성들은 상기 소스와 기판간 및 상기 드레인과 기판간의 역 바이어스 전압차이를 최소화하여 고온홀 트래핑 및 밴드간의 터널링 가능성을 감소시킨다. 또한, 본 발명의 상기 구조를 사용하면, 인공적으로 낮은 V_t를 갖는 오버 이레이즈 상태(즉, 상기 플로팅 게이트에서 너무 많은 전자들이 제거되는 상태)가 되는 셀들을 비트별로 검색할 수 있는 셀의 배열이 구성될 수 있다. 본 발명의 구조는 또한 오버 이레이즈된 셀들을 수리할 수도 있다. 더욱이, 본 발명은 상기 셀의 구조 및 동작은 파울러-노드하임 터널링을 이용하여 프로그램 및 이레이즈되기 때문에, 상기 디바이스는 최소한의 전류 유입을 나타내어 낮은 인가전압 및 온-셀 전하펌프의 사용에 알맞다. 마지막으로, 프로그래밍이 종래의 플래쉬 디바이스에서 요구된 3단계보다 적은 단지 2단계로만 수행되기 때문에 처리시간이 감소된다.

그러므로, 본 발명의 목적은 저전압, 저전류, 단일 셀 EEPROM 트랜지스터를 제공하는 것이며, 또 다른 목적은 파울러-노드하임 터널링을 이용하여 프로그램되고 이레이즈될 수 있는 EEPROM 트랜지스터를 제공하는 것이다. 본 발명의 또 다른 목적은 오버 이레이즈된 셀들(over-erased cells)에 대해 비트(bit)별로 검색 및 수리 모드를 갖는 EEPROM 트랜지스터를 제공하는 것이다.

상기 및 다른 목적, 특성 및 장점들을 다음에 이어지는 본 발명의 적절한 실시예를 통해 더욱 명확히 알 수 있을 것이다.

[도면의 간단한 설명]

제1a도는 종래 플래쉬 EEPROM 디바이스의 단면도,

제1b도는 메모리 배열내에 결합된 종래의 플래쉬 EEPROM 셀들의 간단한 개략도,

제2a도 내지 2c도는 소스영역의 선택적인 3가지 구조를 보여주는 본 발명의 상기 EEPROM 디바이스의 단면도,

제3a 내지 3c도는 제2a 내지 2c도 각 각의 상기 EEPROM 디바이스의 평면도,

제4a도는 제3a도의 4A-4A 선을 따라 취해진 셀의 단면도,

제4b도는 제4a도의 셀의 투시도,

제5도는 본 발명의 플래쉬 프로그래밍 동작을 설명하는 간단한 플로우 다이어그램,

제6도는 본 발명의 선별적 이레이즈 동작을 설명하는 간단한 플로우 다이어그램,

제7도는 플래쉬 프로그램 특성 및 선별적인 이레이즈기능으로 메모리 배열에 연결된 본 발명의 EEPROM 셀의 간단한 개략도,

제8도는 본 발명의 상기 디바이스의 등가 용량 회로 예시도.

제9도는 본 발명의 상기 오버 이레이즈 검색방법을 설명하는 간단한 플로우 다이어그램,

제10a도 및 제10b도는 본 발명의 오버 이레이즈 복구방법을 설명하는 간단한 플로우 다이어그램,

제11도는 4개의 셀이 있는 배열을 보여주는 본 발명에 따른 메모리 디바이스의 간단한 개략도,

제12도는 오버 이레이즈 복구방법 전을 설명하는데 사용되는 간단한 개략도,

제13도는 3중웰(triple-well)구조의 사용을 설명하는 본 발명에 따른 메모리 디바이스의 부분 측 단면도,

제14도는 제13도의 상기 디바이스를 나타내는 간단한 개략도이다.

[발명의 상세한 설명]

종래의 기술에서 나타낸 종래 형태의 플래쉬 EEPROM 장치의 단면도가 제1a도에 도시되어 있다. 상기 장치는 그 내부에 상대적으로 얕은 드레인영역(102)과 깊은 소스영역(104)을 구비한 기판(100)으로 구성된다. 소스 영역(104)은 이중 확산되어, 얕은 확산영역(106)과 깊은 확산영역(108)을 갖는다. 채널(110)은 소스(104)와 드레인(102) 사이에 의하여 한정된다.

실질적으로 균일한 두께를 갖는 게이트 유전체(112)가 채널(110)에 걸쳐서 형성된다. 게이트 유전체(112)는 드레인으로부터 뻗어나와 영역(114)에서 소스(104)와 살짝 겹친다. 플로팅 게이트(116)가 게이트 유전체(112)에 걸쳐서 형성되며, 제2유전물질층(118)이 플로팅 게이트(116)에 걸쳐서 형성된다. 마지막으로 제어 게이트(120)가 제2유전체층(118)에 걸쳐서 형성된다. 상기 제2층(118)은 전형적으로 "공중합 유전체(interpoly dielectric)"로 언급되는데, 이는 상기 제2층(118)이 폴리실리콘("폴리") 또는 폴리사이드(polycide) 재료로 만들어지는 제어 게이트와 플로팅 게이트 사이에 위치하기 때문이다.

제 1a 도에 도시된 플래쉬 EEPROM 셀의 프로그래밍은 약 10 내지 20V의 전압을 제어 게이트(120)에 인가하고, 약 4 내지 6V의 전압을 드레인(102)에 인가하며, 0V의 전위를 소스(104) 및 기판(100)에 인가함에 의하여 실행된다.

프로그래밍은 고에너지 전자(132)가 기판(100)의 채널영역(110)에서 생성되어 플로팅 게이트(116)상으로 가속되는 현상인 고온전자주입(hot electron injection)에 의하여 일어난다. 플로팅 게이트상의 전자의 존재는 트랜지스터의 드레숄드 전압(thresold voltage, Vt)을 증가시키고 따라서 판독(read) 동작동안에 채널을 통한 전류의 흐름을 방지한다.

이레이즈는 드레인(102)를 플로팅 시키고, 제어 게이트(120)를 그라운드 전압으로 유지시키며, 소스(104)에 고압(즉, 10에서 13V 사이) 펄스를 가함에 의하여 실행된다. 이 조건하에서는 파울러-노드하임(Fowler-Nordheim) 터널링이 플로팅 게이트(116)와 영역 114의 플로팅 게이트(116) 밑에 있는 소스 확산부분(104) 사이에서 일어난다. 이레이즈동작은 셀의 Vt를 1V의 차수의 레벨로 감소시키며 따라서 판독동작동안에 채널(110)을 통한 전류의 흐름을 허용한다.

제 1b 도는 전형적인 종래의 플래쉬 EEPROM 메모리의 배열을 나타낸다. 여기서 인접한 트랜지스터들은 역방향이다. 따라서 상기 배열의 좌측 상단 구석부에서 셀(124)은 다음 칼럼내의 셀(128)의 소스에 접속된 소스를 갖는다. 셀(124)의 드레인은 동일 칼럼내의 셀(128)의 드레인에 접속되어 있다. 셀(124) 및 셀(128)의 드레인의 접합점은 칼럼 어드레스 디코드 회로소자(column address decode circuitry, 132)로부터의 비트 라인(130)에 접속되어 있다. 비트 라인(130)은 셀(124) 및 셀(128)에 의해 공유되는 칼럼내 셀의 다른 모든 드레인 접합점에 연결되어 있다. 셀(124)의 게이트는 로우(row) 어드레스 디코드 회로소자(142)로부터의 워드 라인(140)에 접속되어 있다. 워드 라인(140)은 셀(124) 및 셀(126)에서와 같이 동일 로우(row)내의 모든 셀의 게이트에 접속되어 있다. 공통 소스 라인(144)은 배열(122)내의 모든 셀의 소스에 접속되어 있다.

전술한 셀을 사용하는 이레이즈동작은 특정 로우(row)내의 모든 셀이 이레이즈되도록 한다. 이는 이레이즈될 로우(row)의 워드 라인(140)을 접지하면서 높은 전압을 공통 소스 라인(144)에 공급함에 의하여 실행된다. 비트 라인(130)은 장치가 이레이즈모드에 있는 동안에 플로팅 상태이다.

각각의 셀은 선택된 셀을 포함하는 워드라인과 그 셀의 칼럼과 연결된 비트 라인을 필요한 전위로 상승시킴에 의해 개별적으로 프로그램될 수 있다.

전술한 바와 같이 고온전자 프로그래밍의 사용은 많은 양의 전류를 소비하기 때문에 낮은 전압의 공급원과 내부 전하 펌프를 사용할 수 없게 한다. 더우기 프로그래밍 및 이레이즈동안의 드레인/기판 및 소스/기판 접합에서의 역방향 바이어스 전압 강하는 고온 홀(hole)이 생성되어 게이트 유전체층에 트래핑되어 밴드간 터널링의 경향을 증가시킬 확률을 높인다. 이와 같은 현상 모두는 셀 내구성에 나쁜 영향을 미친다. 마지막으로 기존의 기술을 사용하여 오버-이레이즈된 셀을 수리하는 것은 오버-이레이즈된 셀이 비트 단위로 검출되지 않기 때문에 어렵다.

[셀 구조]

본 발명의 구조가 이하에서 설명된다. 본 발명에 따른 한 실시예의 단면도가 제2a도에 도시되어 있다. 본 발명의 셀이 그라운드 포텐셜 시스템을 사용하여 설명되지만, 또한 본 발명에 따른 셀의 형태가 "가상 그라운드(virtual ground)" 배열로서 사용될 수 있음을 주목해야 한다.

기판(10)은 그 안에 형성된 드레인(12) 및 소스(14)를 구비한다. 채널영역(16)은 드레인과 소스사이에 의해 한정된다. 채널영역(16)에 걸쳐서 게이트 유전체층(18) 또는 "터널 산화물(tunnel oxide)"이 형성되어 있다. 플로팅 게이트(24)가 게이트 유전체층(18)에 걸쳐서 형성되며, 제2유전물질층인 공중합 유전체층(26)이 플로팅 게이트(24)에 걸쳐서 형성된다. 마지막으로 제어 게이트(28)가 공중합 절연층(26)에 걸쳐서 형성된다.

드레인(12) 및 소스(14)의 부분이 각각 파울러-노드하임 터널링을 허용하게 하기 위해 게이트 절연층(18) 아래에 위치한다(원으로 표시한 영역 "20" 및 "22" 참조). 소스(14)는 제2a도에 도시된 바와 같이 단일 확산 N^+ 영역일 수 있다. 소스는 다른 형태로서 제2b도에서 "14A"로 표시된 소스와 같은 N^+ 재료의 이중확산을 구비할 수 있다. 상기 첫번째 다른 형태의 소스(14A)는 얕은 영역(40) 및 깊은영역(42)를 구비하며, 이들 양자 모두는 N^+ 타입의 재료로 형성된다. 제2c도에 "14B"로 나타낸 두번째 다른 형태의 소스 영역은 N^+ 재료의 얕은 영역(40B)과 약간 도핑된 P 타입 재료(예컨대, P^-)의 깊은 홀 포켓(42B)으로 형성되어 있

다. 제2a도의 소스의 바람직한 깊이는 약 0.25㎛이다(수직확산에 대한 측면 확산의 비율이 약 0.7 내지 0.8 이라고 가정함).

드레인(12)은 얕은 영역(44) 및 깊은 영역(66)을 형성하도록 이중확산된 N^+ 타입 재료인 것이 바람직하다. 다른 형태로 드레인은 단일확산일 수 있으며, 이경우 제2a도에 도시된 확산 에지(48)가 나타나지 않는다. 바람직한 드레인 깊이는 약 0.36㎛이다. 깊은 드레인 영역은 상승된 전위차가 드레인에 인가될 때 밴드간 터널링을 방지하고 홀 트래핑 효과를 방지하기 위해 필요하다.

제 2a 도의 실시예는 0.8㎛ 기술과 함께 사용하기 위한 바람직한 실시예이며, 제 2c 도의 실시예는 0.5㎛ 기술과 함께 사용하기 위한 바람직한 실시예이다.

본 발명의 셀의 배치를 제3a, 3b 및 3c도의 평면도에 나타냈으며, 각각은 미러(mirror)배열에 있는 두 개의 셀을 나타낸다. 상기와 같은 미러 배열의 경우, 셀의 칼럼내에서 각각의 셀은 인접한 셀과 공통 드레인을 공유하며, 다른 인접한 셀과 공통 소스를 공유한다. 도면에서 알수 있는 바와 같이 제어 게이트(28) 및 플로팅 게이트(24)는 차례로 채널(16)위에 위치한다. 도면에서 제어 게이트(28)의 경계가 플로팅 게이트의 경계로부터 단차로 표시되었지만, 이들 영역들이 "자기 정렬"되어 플로팅 게이트에지(24A)는 제어 게이트(28A)와 수직정렬이며, 플로팅 게이트(24B)는 제어 게이트(28B)와 수직정렬 됨을 알아야 한다. 이 자기정렬 배열은 제2a, 2b 및 2c로 나타나 있다.

공통 소스라인(34) 및 특정 로우(row)내 모든 셀의 제어 게이트(28)에 의해서 부분적으로 형성되는 워드라인은 배열의 전 넓이에 걸쳐서 연장되어 워드 라인을 공유하는 셀이 또한 공통 소스 라인(34)을 공유하도록 한다.

드레인 컨택트(32)가 드레인 영역(12)에 인접하여 형성된다. 동일한 셀들이 거울상배열(mirror image orientation)로 셀을 둘러싼다. 예를들면, 인접한 셀의 드레인 영역(12A)은 상기 컨택트(32)과 바로 이웃해있고, 다른 인접 셀의 소스(14A)는 소스(14)에 대향하는 소스라인(34)에 연결된다.

제 4a 및 4b 도에 도시된 필드 산화층(30)은 게이트 유전체층(18) 아래에 형성되어 동일 칩상에 형성된 인접하여 둘러싸는 셀들로부터 셀을 절연시킨다.

본 발명에 따른 셀의 여러 층의 상대적인 위치는 제3a도의 4A-4A선을 따른 제 4a 도 및 제 4b 도에서 알 수 있다. 상기에서 이와 같은 치수일때 필드 산화층(30) 및 게이트 유전체층(18)사이에 약간의 중첩이 있음을 알 수 있다. 플로팅 게이트(24)는 게이트 절연층(18)을 넘어서는 지점까지 필드 산화층(30)과 중첩된다. 공중합 절연층(26)이 플로팅 게이트(24)에 걸쳐서 플로팅 게이트 에지를 넘어서 연장됨이 도시되어 있다. 공중합 절연층(26)은 다른 태양으로 플로팅 게이트(24)의 외부 에지와 실질적으로 정열하는 외부 에지를 가질 수 있다. 마지막으로 제어 게이트(28)가 공중합 절연층(26)을 덮고 그 에지를 넘어서 연장되는 것이 도시되어 있다.

[셀 동작]

두 단계의 프로세스가 본 발명에 따르면 셀의 논리 상태를 정한다. 다음의 표1에서 보는 바와 같이, 이 동작은 종래 플래쉬 EEPROM 장치의 프로그래밍 및 이레이즈와는 다르다.

[표 1]

단 계	종래 EEPROM	본 발명
Ⅰ	모든 셀을 높은 Vt까지 프로그램 (바이트마다)	모든 셀을 높은 Vt까지 플래시 프로그램 (동시 또는 페이지마다)
Ⅱ	낮은 Vt까지 플래시 소거 (동시)	낮은 Vt까지 선택 소거 (비트, 바이트 또는 페이지마다)
Ⅲ	선택된 셀을 높은 Vt까지 프로그램 (바이트-바이-바이트)	

종래의 플래쉬 장치는 세 단계가 사용된다. 첫번째로 모든 셀이 전자를 플로팅 게이트상에 올려놓음에 의해 바이트마다 프로그램된다. 다음으로 모든 셀이 플로팅 게이트로부터 전자를 제거하는 플래쉬 이레이즈 기능을 사용하여 동시에 이레이즈된다. 마지막으로 셀을 높은 Vt까지 바이트마다 프로그래밍함에 의해서 칩상에 데이타가 위치된다.

본 발명의 논리 상태의 세팅은 기존의 플래쉬 장치에 사용되는 종래의 과정과는 다음의 점에서 다르다. 즉. 플래쉬 프로그램 동작중에 어느 페이지나 섹터에 있는 모든 셀들이 먼저 높은 드레숄드 전압까지 상승하는(즉, 전자가 플로팅 게이트상에 위치하는) 2단계 과정인 점에서 그렇다. 두 번째 단계에서 선택된 셀은 바이트마다 혹은 페이지마다 이레이즈된다(즉, 전자가 상기 플로팅 게이트로부터 제거됨).

다음의 표2는 본 발명에 따른 셀의 바람직한 동작 변수를 요약한 것이다.

[표 2]

동 작	V_G	V_D	V_S	Vt	V_{SUB}
플래쉬 프로그램	17	F	0	> 6	0
선택소거	-12	5	F	0 < Vt < 2.2	0
오버-이레이즈 검출	1.5 내지 2.0	1	0.6	N/A	0
오버-이레이즈 회복	12	F	0	0 < Vt < 2.2	0
리드(read)	5	1	0	N/A	0

표 2는 각각의 나열된 동작을 위한 게이트, 드레인, 소스 및 기판상의 적정 전압을 제공한다. Vt 값은 각 동작의 결과로부터 나온 셀의 드레숄드 전압(threshold voltage)의 크기를 나타낸다. 표2에서 부호 "F"는 플로팅 조건을 나타낸다.

플래쉬 프로그램 단계는 소스에서 플로팅 게이트로의 파울러-노드하임 터널링을 사용하여 각각의 셀이 높은 Vt까지 상승하는 예비단계이다. 이 동작은 제5도의 흐름도를 참조하면 보다 쉽게 이해될 수 있다.

플래쉬 프로그래밍(500)은 12V 내지 12V, 10msec의 펄스를 제어 게이트(28)에 인가하는 동안에 드레인(12)을 플로팅 시키고 소스(14) 및 기판(10)을 접지함에 의해 실행된다. 따라서 단계(502)에서 전압을 칼럼에 전하는 "패스 게이트"는 오프 상태(turn-off)가 된다. 이는 셀의 "비트 라인"을 플로트 시키고, 이에 따라 셀의 드레인을 플로트 시킨다. 단계(502)에서 모든 소스는 접지된단. 따라서 단계(504)에서 모든 워드 라인은 10μs 내지 200μs의 상승시간을 사용하여 높은 전위(즉, 17V)로 상승된다. 단계(506)은 워드라인이 단일 펄스를 형성하도록 약 10ms동안 높게 유지시킨다. 단계(504)및 단계(506)에서 셀에 공급된 전압 때문에, 전자(50)는 소스(14)로부터 게이트 절연 영역(18)의 부분(22)를 통해서 플로팅 게이트(24)상으로 터널링한다. 제 2a 도 참조, 플래쉬 프로그래밍은 바람직하게 6V보다 높은 드레숄드 전압을 나타낸다. 단계(508)은 워드라인이 12V내지 22V로부터 3V 내지 6V까지로 방전하도록 6μsec의 타임아웃을 제공한다. 단계(510)은 프로그램된 셀로부터 판독된 논리 상태가 셀에 요구되는 논리상태와 비교되는 확인 단계이다. 만약 프로그램이 확인되면 단계(511)가 프로그램이 완료되었음을 지시한다.

만일 단계(510)에서 프로그램이 확인되지 않으면, 펄스 카운트가 증가한다. 단계(514)에서는 펄스 카운트가 체크되어 펄스가 소정의 수(즉, 10개)와 같지않거나 이를 초과하는지 확인한다. 상기와 같은 조건이 검출되면 프로그래밍 시도는 실패하게 된다(단계(516)).

워드라인에 인가된 펄스의 수가 소정의 수와 같지 않거나 또는 초과하는 때에는, 단계(514)는 동작을 단계(504)로 되돌림으로써 워드라인에 추가의 펄스를 인가하게 한다.

바람직한 실시예에서, 플래쉬 프로그램 단계는 모든 비트 라인(130A)을 플로팅 시키고, 공통 소스라인(144A)을 접지하고, 각각의 로우(row)의 워드라인(140A)을 상승시킴에 의해서 로우(row)마다 수행된다.

P-타입 기판(10)이 플래쉬 프로그램 동작 동안에 접지되기 때문에, 높은 공핍용량(depletion capacitance)에 기인하여 이 동작에 대한 채널영역(16)의 영향은 작다. 이 영향은 플래쉬 프로그램 동안에 기판을 플로팅 시킴에 의해서 더욱 감소될 수 있다. 그러나 채널아래 기판영역이 N-타입 웰(well)에 의해서 나머지 기판과 고립되지 않으면, 전체 EEPROM 셀이 동일 기판상에 집적되어 있기 때문에 기판을 플로트 시킬 수 없다. 상기와 같은 웰은 3중 웰 프로세스로 형성될 수 있는데, 예를 들어 N^- 웰이 P^- 기판에 형성되고, 그리고 나서 P^- 영역이 N^- 웰에 형성되는 경우에는 본 발명의 셀을 위한 효과적인 기판으로

작용할 수 있다.

선택 이레이즈 단계(600)에서는, 드레인에서 파울러-노드하임 터널링을 사용하여 선택된 셀로부터 전자를 제거하는 것에 의해 상기 셀이 낮은 Vt로 되도록 하여 각각의 셀이 요구되는 논리상태로 세트된다. 제6도의 흐름도는 선택 이레이즈 동작을 설명한다.

단계(602)에서 선택 이레이즈는 드레인에 2.0V 내지 5.0V의 전압을 공급하면서 처음에 소스를 플로팅하고 기판을 접지하여 실행된다. 따라서 단계(604)에서 -10V 내지 -15V의 10ms 펄스가 제어 게이트(워드라인)에 공급된다. 그 다음에 6μs의 타임아웃 단계(606)가 뒤따르고, 이후에 이레이즈확인단계(608)가 계속된다. 이레이즈가 성공적이면 단계(610)에서 규정된 바와 같이 이레이즈동작은 단계(612)에서 완료된다. 반대로 이레이즈가 단계(68)에서 확인되지 않으면 단계(614)가 실행되어 펄스카운트를 증가시키고 단계(616)을 경유하여 되돌아가서 다른 이레이즈 펄스를 인가한다. 단계(616)에서 열개 또는 그 이상의 펄스가 성공적인 이레이즈됨이 없이 이미 공급된 경우에는 단계(618)은 이레이즈실패를 지시한다.

이하에서 설명되는 바와 같이 이 단계는 적당한 전위를 선택된 셀의 워드라인(140A) 및 비트라인(130A)에 공급함에 의해서 비트단위로 실행된다. 올바르게 이레이즈된 셀은 바람직하게는 약 0V 내지 2.2V의 드레쇨드 전압을 가질 것이다.

또한 이레이즈는 양의 게이트 전압을 사용하여 실행될 수 있다. 그러나 사용되는 게이트 전압이 종래기술과 관련하여 설명된 브레이크 다운 문제를 피하기 위해서는 주변의 회로내 트랜지스터의 브레이크 다운 전위보다 상대적으로 충분히 낮아야만 하는 점에 주의해야 한다.

[오버 이레이즈와 검출]

선택적인 이레이즈 단계동안 셀 어레이(array)에 있는 일부 셀로부터 잘못되어 너무 많은 전자가 제거되어 셀이 매우 낮은 전압(Vt)(예컨대, 0볼트 이하)으로 되는 경우가 있다. 이러한 낮은 스레스홀드 전압에 기인하여 셀이 부정확하게 판독하게 되는 경우가 있다. 특히, 비정상적으로 낮은 전압(Vt)을 갖는 셀은 비트라인상에서의 전류흐름을 정상적으로 유도하게 되고 이때 동일 비트라인을 공유하는 다른 셀의 논리상태의 검출을 방해하게 된다. 이러한 원인은 적당하게 이레이즈된 셀이 정상적으로 전도되게 하는 것을 막는 상태에서 상기 셀이 전류를 전도하기 때문이다. 이러한 상태를 오버-이레이즈(over-erase)라고 한다.

바람직한 프로그램과 이레이즈 모드가 사용될 경우 본 발명의 메모리장치는 바이트마다 이레이즈를 허용하므로, 오버-이레이즈된 셀의 위치를 찾는 것이 종래의 장치에 의한 것보다 훨씬 더 쉽다. 그러나, 본 발명의 셀이 종래의 프로그램과 이레이즈 기술에 의해 프로그램되고 이레이즈된다면, 오버-이레이즈를 검출하는 데 있어서의 어려움은 종래의 장치의 경우와 거의 동일하게 된다.

본 발명의 셀이 오버이레이즈 되었는지의 여부는 적당하게 이레이즈된 셀의 채널을 통한 전도를 정상적으로 야기시키는 것보다 훨씬 더 낮은 판독전압을 인가하는 것에 응답하여 셀을 통해 흐르는 전류가 있는지의 여부를 측정하는 것에 의해 판정될 수 잇다. 즉, 선택이 해제된 셀을 통해 전도가 생길 정도로 셀의 드레쇨드 전압이 낮을 때, 셀이 오버-이레이즈된다.

오버이레이즈 검출을 위해 테스트전압(V_{test})이 약 10msec동안 제어게이트(28)에 인가되고 동시에 바이어스 전압(Vs)이 소스(14)에 인가된다. 약 1~2볼트의 전압이 드레인(12)에 인가된다. 테스트전압은 정상적으로 0~2볼트 정도이고, 바람직하기로는 1.5~2볼트가 좋으며, 바람직한 바이어스전압(Vs)은 약 0.6볼트이다.

정상적으로 이레이즈된 셀은 이러한 테스트조건하에서는 채널전도를 가지지 않게 된다. 이것은 정상 셀의 드레쇨드 전압이 제어게이트(28)에 인가되는 1.5~2.0볼트의 낮은 전압이 채널(16)을 온(turn-on)시키기에 불충분한 낮은 그러한 전압이기 때문이다. 그러나 오버-이레이즈된 셀은 플로팅게이트(24)로부터 너무 많은 전자가 제거되어서 플로팅게이트(24)에 대응하는 전자가 없이 남게되는 홀을 발생시키기 때문에 매우 낮은(예컨대, 0볼트이하) 전압의 스레스홀드값을 가지게 된다. 그러므로, 이러한 잔류 홀은 1.5~2.0볼트의 제어게이트에 인가되는 테스트전압에 의해 증강될때 채널내에서 전도를 야기시키는 필드를 생성시킨다.

소스 바이어스 전압(Vs)은 오버-이레이즈 조건을 위한 셀 어레이의 테스트 셀과 연관되어 사용된다. 어레이에 있는 모든 소스를 약간의 +전압(예컨대, 0.6볼트)으로 바이어스시키면 선택되지 않은 로우(row)(V_G=0V)에 있는 오버이레이즈된 셀은 오프된 상태를 유지하고, 그리고 이에 의해 선택된 로우(row)(V_G=V_{test})에서 오버-이레이즈된 셀을 검출하는 것이 방해받지 않게 된다.

테스트전압(V_{test})은 오버-이레이즈된 셀의 게이트에 인가될 때 소스바이어스 전압(Vs)이 소스에 인가되어도 오버-이레이즈된 셀이 전도되게 하는 크기를 가지도록 선택되어 진다.

그러므로, 테스트전압(V_{test})은 오버-이레이즈 검출동작 동안 소스에 인가되는 전압(Vs)과 오버-이레이즈 조건을 한정하는 스레스홀드 값(Vt)의 함수이다. 그것은 또 칼럼의 논리조건을 판독하는 센스 증폭기에 의해 사용되는 기준전압(reference voltage)의 함수이다. 테스트전압(V_{test})의 선택에 대해서는 후술하기로 한다.

셀을 통하는 전류(I_{cell})는 $V_G-V_S-V_t$ 〉 0N 일때 0볼트 이상이다.

상기에서, V_G와 V_S는 각각 제어게이트(28)와 소스(14)에 인가되는 전압이다.

오버-이레이즈된 셀의 전압스레스홀드 값은 오버이레이즈된 셀이 선택해제되어도, 즉 V_G=0볼트가 되어도 전도를 허용하는 값이다.

오버이레이즈 검출의 바람직한 방법에서, 약 -0.5V 이하의 전압스레스홀드 값을 가지는 셀은 오버이레이즈 된 셀인 것으로 정의되어져 왔다. 실질적인 전압스레스홀드 값이 바디효과(body effect)에 기안하여

유효 전압스레스홀드 값과 다르기 때문에, 실질적인 전압스레스홀드 값이 $V_{t\phi}$로 나타내는 반면에 유효 전압스레스홀드 값은 V_A로 나타낼 것이다. 이러한 용어표기법을 사용하면 실질적인 전압 스레스홀드값은

오버이레이즈된 셀에 대해 예컨대 $V_{t\phi}$=0.5V인 것으로 정의될 수 있다. 오버-이레이즈된 셀을 정의하기 위해 다른 크기들도 선택될 수 있고, 소스바이어스전압(Vs)과 테스트전압(V_{test})은 이에 따라 조정되게 된다는 것을 이해하여야 한다. 유효 스레스홀드전압(V_t)은 다음과 같이 정의될 수 있다.

$$V_t = V_{t\phi} + \triangle V_{body\ effect}$$

상기에서, $\triangle V_{body\ effect}$는 바디효과에 의해 야기되는 전압스레스홀드 값에서의 변화량을 나타낸다. 이러한 값은 본 발명의 장치에 대해서 약 1.5볼트 정도이다.

오버이레이즈된 셀에 대한 $\triangle V_{t\phi}$의 값이 약 0.5볼트이기 때문에

$V_t \simeq (-0.5) + (1.5) \simeq 1.0$

이 된다.

상기한 것과 같이, 바이어스 조건용으로 사용되는 소스 전압(Vs)은 오버이레이즈 되었지만 선택되지 않은 셀의 채널을 오프(turn-off)시키기에 충분한 전압으로 선택되게 된다. 본 발명에 대해서, 약 0.6볼트와 소스전압이 만족스러운 것으로 확인되었다.

그러므로

$V_G - V_S - V_t > 0$ 이면,

$V_G - 0.6V - 1.0V > 0$이고,

$V_G > 1.6V = V_{test}$의 식이 성립되게 된다.

상기에서, V_{test}는 오버이레이즈 검출과정의 일부분으로서 제어게이트(28)에 인가되는 테스트전압이다.

그러므로, V_{test} = 1.6V는 소스가 그에 인가되는 소스바이어스 전압 V_S = 0.6v를 가질때 오버이레이즈 된 셀이 전도되게 하는 데 충분한 정도로 큰 값이 되지만, 상기 V_{test} = 1.6V는 올바른 전압스레이스홀드 값을 가지는 셀이 전도되게 하는 데는 너무 낮은 값이 되게 된다는 것을 인식하여야 한다. 이런 식으로 오버이레이즈된 셀은 개별적으로 검출될 수 있다. 다른 소스 바이어스 전압(Vs)과 테스트전압(V_{test})이 본 발명의 범위내에서 사용될 수 있고, 그리고 다른 스레스홀드 전압이 오버이레이즈 셀의 지시값으로 지정될 경우 이러한 전압의 적당한 조정이 가해짐은 물론이다.

[오버이레이즈복구]

표2를 다시 참조하면, 하나의 바람직한 복구방법에 있어서, 12V의 펄스가 10초동안 게이트(28)에 공급되어지는 동안에 소스(14)를 그라운딩하고, 플로우팅한 드레인(12)을 그대로 두는 것에 의해 파울러-노드하임 터널링을 사용하여 전자가 플로우팅 게이트상에 대치된다. 그후 오버이레이즈셀은 다시 테스트되고, 상기 셀이 테스트 전압으로 아직 전도되면, 복구 및 테스트 모드는 부적당한 오버출력셀(over-written cell)이 모두 복구될 때까지 반복되거나 또는 복구불능으로서 간주된다. 선택적으로, 오버이레이즈셀을 복구하기 위해 소스는 그라운드될 수 있고 드레인은 플로우트될 수 있다.

셀의 논리조건은 게이트에 3V 내지 5V의 입력전압(read voltage)을 공급하고 드레인에 대략 1V의 전압을 공급하는 것에 의해 결정되어질 수 있다. 플로우팅 게이트상에 충분히 높은 드레쇼울드 전압을 발생시키는 전자를 가지는 프로그램된 셀의 채널은 입력 작동동안 전류를 전도하지 않는 반면, 이레이즈된 셀은 전도될 것이다. 모든 작동에서 처럼, 기판은 입력 작동(read operation)동안 그라운드되는 것이 바람직하다.

[셀성능최적화]

셀의 제어 게이트, 플로우팅 게이트, 소스, 채널 및 드레인 영역사이의 적당한 용량 결합은 프로그래밍 및 이레이즈 기능을 나타내는 동안 플로우팅 게이트로 전하를 이동시키고 상기 플로우팅 게이트로부터 전하를 이동시키는 장치의 성능에 있어 중요하다. 상기 구성요소사이의 용량결합을 나타내는 회로가 제 8도에 도시되어 있다. 플로우팅 게이트와 제어 게이트사이의 정전용량은 커패시터 C_{FG-CG}로 표시되며, 플로우팅 게이트와 소스, 플로우팅 게이트와 채널 및 플로우팅 게이트와 드레인 사이의 정전용량은 커패시터 C_{FG-S}, C_{FG-C} 및 C_{FG-D}로 각각 표시된다.

장치의 용량 결합비(커플링비)는 다음 식으로 표시된다.

$$\text{커플링비} = \frac{C_{FG-CG}}{C_{FG-CG} + C_{FG-S} + C_{FG-C} + C_{FG-D}}$$

본 발명의 바람직한 실시예의 파울러 노드하임 터널링은 소스측에서는 소스(14)로 부터 플로우팅 게이트(24)로 전자가 터널링하도록 사용되며, 드레인측에서는 플로우팅 게이트(24)로부터 드레인(12)으로 전자가 터널링하도록 사용되었다는 것에 주목하여야 한다. 소스에서 플로우팅 게이트로의 터널링 동작 동안의 커플링비는 플로우팅 게이트에서 드레인으로의 터널링 동작 동안의 커플링비보다 셀의 다른 부분에 의해 결정된다.

플래쉬 프로그래밍 스텝동안 제어 게이트와 물질사이의 커플링비는 다음과 같이 표시된다.

$$\text{커플링비} = \frac{C_{FG-CG}}{C_{FG-CG}+C_{FG-S}+C_{FG-C}+C_{FG-D}} = \frac{A_1/T_1}{A_1/T_1+A_2/T_2}$$

여기에서, A_1과 T_1은 각각 공중합유전체층(26)의 영역 및 유효두께를 나타내며, A_2와 T_2는 각각 채널, 소스 및 드레인과 겹치는 게이트유전체층(18)의 영역 및 유효두께를 나타낸다.

선택 이레이즈 스텝동안, 소스가 플로우트되기 때문에 제어 게이트와 물질사이의 커플링비는 다음과 같이 표시될 수 있다.

$$\text{커플링비} = \frac{C_{FG-CG}}{C_{FG-CG}+C_{FG-C}+C_{FG-S}} = \frac{A_1/T_1}{A_1/T_1+A_3/T_3}$$

여기에서, A_3와 T_3는 채널, 드레인 및 소스와 중첩되는 게이트유전체층(18)의 영역 및 유효두께를 나타낸다.

커플링비는 최대화되어야 하며, 바람직하게는 적어도 65%가 되어서 플로팅 게이트(24) 양단에 걸리는 전압이 최대가 되도록 하여야 한다. 커플링비는 다수의 방법으로 최적화되어진다. 예를 들어, 높은 유전상수를 갖는 공중하유전체층(26)의 물질의 선택은 보다 작은 유효두께의 공중합유전체층(26)을 제공할 것이며, 따라서 큰 영역을 요구하지 않고도 제어 게이트(28)와 플로우팅 게이트(24)사이에 높은 정전용량을 제공할 수 있을 것이다. 제어 게이트(28)와 플로우팅 게이트(24)사이의 정전용량 C_{FG-CG}이 더 커질수록 잔존 정전용량은 플로우팅 게이트 양단에 걸리는 전압에 더 작은 영향을 줄 것이다.

공중합유전체물질은 185Å±15Å의 두께를 갖는 산화물-질화물-산화물(ONO)층이다. 바람직한 실시예에 있어서, 공중합유전체물질은 최적의 내구성을 가지도록 표준고온산화물침전(HTO)처리의 종래의 산화물-질화물-산화물 프로세스를 사용하여 형성된 70Å의 2개의 산화물층의 사이에 끼워진 120Å의 질화물층을 포함한다. 질화물의 높은 유전상수 때문에 바람직한 공중합유전체층(26)의 유효두께는 200Å이며, 실제 물리적인 두께는 260Å이다.

공중합유전체층은 이레이즈 및 프로그래밍 작동동안 층상에 다른 응력이 부과되는 것을 피하기 위해 대칭적으로 만들어져야 한다. 대칭적인 ONO를 사용하는 것은 종래의 플래쉬 EPROMS에 약간의 내구성(즉, ONO 브레이크다운의 감소)개선을 얻기 위해 사용되는 반면에, 본 발명의 ONO층내의 대칭적인 사용은 극적인 내구성 개선을 얻을 수 있다.

커플링비를 최적화하는 다른 방법은 소스(14)와 드레인(12)가 각각 게이트유전체층(18)와 중첩되는 부분(22, 20)의 폭을 한정하는 것이다. 이는 플로우팅 게이트와 드레인 및 플로우팅 게이트와 소스 사이의 최적화된 정전용량을 유지하며, 따라서 플로우팅 게이트와 드레인 및 플로우팅 게이트와 소스사이의 전압을 최대로 할 수 있다. 폭 0.8㎛의 제어게이트와 플로우팅 게이트를 갖는 장치("0.8㎛ 기술")의 경우에, 소스 중첩부(22)는 0.2㎛, 드레인 중첩부(20)는 0.3㎛이며, 유효채널(16)의 길이는 0.3㎛인 것이 바람직하다. 0.5㎛ 기술에서는 바람직하게는 소스 중첩부(22)는 0.12-0.15㎛, 드레인 중첩부(20)는 0.3㎛이며, 유효채널길이는 0.15-0.18㎛이다. 게이트 유전체를 선택하는데 있어서 추가적으로 고려되어야 할 사항들은 최적의 트래핑 특성을 갖는 게이트유전체물질의 선택을 필요로 하는 최대의 내구성; 얇은 게이트유전체를 요구하는 파울러-노드하임의 촉진을 포함한다. 실리콘디옥사이드(silicon dioxide)가 이들 기준들에 적합하기 때문에 게이트유전체로 바람직한 물질이다.

파울러-노드하임 터널링은 비록 바람직한 터널링 조건은 전기장이 대략 10 내지 12메가볼트/cm일 때 얻어지지만, 적어도 6메가볼트/cm의 전기장이 소스(14)와 플로우팅 게이트(24)사이의 중첩영역을 가로질러 발생될 때 얻어진다. 게이트유전체층(18)의 두께는 플래쉬 프로그램과 선택이레이즈 모드 동안 상기 범위의 크기를 갖는 전기장이 형성되도록 선택되어져야 한다. 84Å±4Å의 두께가 본 발명에 적당하며, 80Å의 두께가 바람직하다는 것이 확인되었다.

게이트유전체층(18)이 얇아야 하기 때문에, 커플링비 계산에서 T_2, T_3는 대단히 낮고 따라서 커플링비를 한정하게 된다. 커플링비에 대하여 얇은 게이트유전체가 주는 역효과는 공중합유전제층(26)이 필드 산화물과 중첩하는 총량을 증가시켜 보상할 수 있다(제 4a 도 참조). 상기 중첩부의 증가는 공중합유전체층(26)의 영역 A_1을 증가시키기 때문에 커플링비가 최적화되는데 도움을 준다. 더욱이, 특별한 영역이 단지 필드 산화물층(30)위에서만 발생되고 소스와 드레인 영역에서는 발생되지 않기 때문에, 장치의 정전용량에 나쁜 영향을 주지 않는다.

선택 이레이즈 스텝동안 기판에 대한 플로우팅 게이트의 전압 V_{FG}는 다음과 같이 표시된다.

$$V_{FG} = \frac{V_G C_{FG-CG} + V_D C_{FG-D}}{C_{FG-CG}+C_{FG-C}+C_{FG-D}}$$

여기에서, V_G와 V_D는 제어 게이트(28)와 드레인(12)에 인가된 전압을 각각 나타낸다. 커플링비는 선택 이레이즈 스텝보다 플래쉬 프로그래밍 스텝동안에 더 중요하다. 선택 이레이즈 모드동안 정전용량의 비는 아래와 같이 표시된다.

C_{FG-CG} : C_{FG-D} : C_{FG-C} : C_{FG-S}는

바람직하게는 65 : 13 : 13 : 9 이다.

따라서, 전술한 바와 같이 유전체층을 가로지르는 정전용량의 관한 영역 및 두께 파라미터는 플래쉬 프로그램 스텝에 대해서 결정되어져야 한다. 상기 값들이 결정 되면, 전압 V_G와 V_D는 원하는 전압 V_{FG}를 얻기 위해 상기 방정식을 사용하여 결정되어진다.

대표적으로, 5V의 전압이 선택 이레이즈 작동동안 드레인에 공급되면 전압 V_{FG}는 대략 -5V가 될 것이다. 드레인상의 3V의 전압은 플로우팅 게이트의 전압이 대략 -7V의 전압으로 되도록 할 것이다. 전술한 홀 트래핑 효과에 기인하여 가능한 한 낮은 전압이 드레인에 인가될 때 내구성이 최적화된다. 게이트유전체층(18)과 공중합유전체층(26)의 두께를 최소화함으로써 선택이레이즈스텝동안 필요한 드레인 전압을 최소화할 수 있으며, 따라서 높은 드레인 전압과 관련된 내구성 문제점을 최소화할 수 있다.

본 발명의 채널내 도핑은 통상적인 플래쉬 EPROM 셀에서 사용될 때보다 훨씬 농도가 높은데(대략 10 배나 농도가 높음), 이는 전압 드레숄드치를 증가시켜서 플래쉬 프로그래밍과 선택적인 이레이즈 중에 장치상 가해지는 응력의 균형을 맞추기 위한 것이다. 더욱이, 드레숄드 전압이 증가할 때, 보다 낮은 게이트 전압이 필요하므로 주변 장치를 위한 브레이크다운 전압 요구가 따라서 낮아진다. 바람직한 도핑은 장치의 초기 전압 드레숄드치인 Vt_i를 4V 내지 5V로, 바람직하게는 대략 4.5V로 올리는 것이다.

하기의 표는 본 발명의 장치의 채널내에 더욱 농도가 높은 도핑을 사용함으로써 얻어지는 장점들을 보여주고 있다.

[표 3]

	V_G(플래쉬프로그래밍)	V_G(선택적인 이레이즈)
통상적인 도핑 (Vt_i=1.5V)	21 V	-8 V
농도가 높은 도핑 (Vt_i=4.5V)	18 V	-11 V

통상의 장치에서, 초기 전압 드레숄드치는 대략 1.5V이다. 통상적인 도핑이 본 발명의 장치에서 사용된다면, 플래쉬 프로그램 기능은 대략 21V의 게이트 전압을 요구하게 될 것이고 선택적인 이레이즈 모드에 필요한 게이트 전압은 대략 -8V가 된다. 주변 장치에 3V의 안전 마진(safety margin)을 주면 주변 장치를 위한 브레이크다운 전압 요구는 대략 24V가 된다. 표 3에 나타나 있듯이, 더욱 농도가 높은 도핑에 의한 전압 드레숄드치의 증가는 선택적인 이레이즈 전압을 18V까지 감소시키고, 3V의 안전 마진을 기본으로 하여 브레이크다운 전압 요구를 12V 까지 감소시킨다.

[3중 웰(triple well)]

본 발명의 장치로 네가티브 게이트 전압을 사용하여 선택적인 이레이즈 기능을 수행할 수 있기 때문에, 상기 장치들의 접합에서 높은 전압 응력을 막기 위하여 주위회로로부터 커다란 네가티브 포텐셜을 분리시키는 수단을 제공해야할 필요가 있을 것이다.

네가티브 게이트 전압이 주변 회로를 교란시키지 않게 하는 두 가지의 가능한 수단이 존재한다. 하나는 네가티브 게이트 전압과 연결된 PMOS 장치들만을 사용하며, 전압 통과가 필요하다면 공핍 P-채널 장치를 사용하는 것이다. 그러나, 이러한 구조는 칩의 디자인을 상당히 제한시키기 때문에 이러한 이유로 어떤 경우에는 바람직하지 않을 수 있다.

또 다른 방법은 이후 기술될 "3중 웰" 구조를 사용하는 것이다. 상기 3중 웰 구조는 이레이즈 작동 중에 제어 게이트에 인가되는 -12V의 포텐셜에 기인하여 생기는 높은 전압 응력을 감소시키는 구조이다. NMOS 장치가 선택적인 이레이즈 작동중 네가티브 게이트 전압을 전달하기 위해 사용된다면, 상기 3중 웰 구조가 사용되어야 한다. 이레이즈 동작시 네가티브 전압을 사용하는 것이 바람직하지 않다면, 3중 웰은 사용되지 않아야 하는데, 이는 3중 웰의 제조에 두개의 추가적인 마스크 단계가 필요하며 처리 시간과 비용이 증가되기 때문이다.

상기 3중 웰 구조가 제 13 도 및 제 14 도에 간단하게 나타나 있다. 제 13 도는 다른 트랜지스터 구조를 나타내는 단순화된 단면인 반면에, 제 14 도는 워드 라인 WL을 통해서 메모리 셀에 포지티브 전압과 네가티브 전압을 공급하는 구조의 단순화된 회로도이다.

상기 3중 웰 구조는 보통 단일-웰 트랜지스터(252)와 이중-웰 트랜지스터(254)로 구성되어 있으며, 각각

은 본 발명의 저장 셀(250)의 제어 게이트(28)와 연결된 워드 라인 WL에 결합되어 있다. 단일 메모리 셀(250)이 제 13 도에 나타나 있고, 메모리 셀(250)의 한 로우(row)이 제 14 도에 나타나 있지만, 3중 웰 구조가 사용된다면 본 발명에 따른 배열로 모든 셀에 전압을 전달시키기 위해서는 트랜지스터(252, 254)의 그것들과 유사한 트랜지스터가 사용되어야 한다는 것을 이해해야 된다. 또한, 상기를 간단히 설명하기 위해서 포지티브와 네가티브 포텐셜의 인가의 조절에 관계하는 모든 장치가 전부 나타나있지는 않으며 상기 장치는 통상의 배열로 사용된다는 것도 이해되어야 한다.

단일 웰 트랜지스터는 N^-형 물질의 웰(256)내에 형성된 PMOS 트랜지스터(252)이다. 상기는 포지티브 전압(즉, 대략 17 내지 18 V)이 플래쉬 프로그래밍 사이클중 메모리 셀(250)의 제어 게이트(28)로 전달되는 트랜지스터이다. 상기 포지티브 전압은 단일-웰 트랜지스터의 소스(268)에 가해지며, 플래쉬 프로그래밍 작동 중에 제어 전압이 단일-웰 트랜지스터의 게이트(270)에 가해질 때에 (상기 포지티브 전압은) 워드 라인 WL을 통해 메모리 셀(250)의 제어 게이트로 전달된다. 플래쉬 프로그래밍 작동 중, NMOS 트랜지스터(254)는 바이어스 오프(biased off)된다.

이중-웰 트랜지스터는 NMOS 트랜지스터(254)이고, N^-형 물질의 웰(260)에 의하여 기판으로부터 분리된 P^-형 물질의 웰(258)내에 형성된다. 상기 NMOS 장치(254)는 플래쉬 이레이즈 작동을 위한 네가티브 게이트 전압(즉 대략 -11V 내지 -12V)이 선택적인 이레이즈 작동 중에 메모리 셀(250)의 제어 게이트로 전달되도록 되어 있다. 상기 네가티브 전압은 이중-웰 트랜지스터의 소스(262)에 인가되고, 제어 전압이 선택적인 이레이즈 작동 중 이중-웰 트랜지스터의 게이트(264)에 인가될 때(상기 네가티브 전압은) 워드 라인 WL을 통해 선택된 셀의 제어 게이트로 전달된다. 상기 작동중, 웰(260)은 Vcc이거나 그 보다 작고, 기판(266)은 접지된다. 따라서 두개의 역-바이어스된 접합이 존재하는데, 하나는 기판(266)과 웰(260) 사이에 있고, 다른 하나는 웰(260, 258) 사이에 있어서 칩상의 다른 장치로부터 네가티브 전압을 분리시킨다.

[어레이 작동]

제 7 도처럼 셀 어레이가 배치될 수 있다. 알 수 있는 바와 같이 상기 형태는 제 1a 도의 플래쉬 EERPOM 어레이로 도시된 것과 실질적으로 동일하다. 다수의 칼럼 라인(130A) 각각은 연관된 칼럼의 셀의 드레인(12)에 연결되고, 공통 소스 라인(144A)는 어레이(122A)내의 모든 소스(14A)와 결합된다. 다수의 워드 라인(140A) 각각은 연관된 로우(row)의 셀의 제어 게이트에 연결된다.

상기 장치의 주변 회로는 통상의 로우(row) 어드레스 디코딩 회로(142A), 칼럼 어드레스 디코딩 회로(132A), 센스 증폭기 회로(134A), 출력 버퍼 회로(136A) 및 입력 버퍼 회로(138A)를 포함하고 있다. 상기 기술된 플래쉬 프로그래밍, 선택적인 이레이즈, 판독, 오버이레이즈 탐색 및 오버이레이즈 복구 모드를 위해 통상의 방식으로 칼럼과 로우(row) 및 소스 전압의 공급을 제어하는 회로 블록이 주변 회로에 위치한다.

본 발명의 셀의 어레이의 작동을 기술하기 위해, 셀의 어레이(200)에서 4개의 셀(202, 204, 206, 208)을 보여주는 메모리 장치의 고도로 단순화된 도해가 제 11 도에 도시되어있다. 셀(202, 206)의 드레인이 비트 라인 BL1에 결합되어 있고, 셀(204, 208)의 드레인은 비트 라인 BL2에 결합되어 있다. 셀(202,204)의 게이트들은 워드 라인 WL1에 결합되어 있고, 셀(206,208)의 게이트들은 워드 라인 WL2에 결합되어 있다. 모든 셀의 소스는 공통 소스 라인 SL에 결합되어 있다.

하기 표는 어레이에서 타겟 셀(202)에 대한 판독, 플래쉬 프로그램, 및 선택적인 이레이즈 작동을 위한 파라메터들을 제공하고 있다 :

[표 4]

(타겟 셀 202)

	판독	플래쉬 프로그램	선택적인 이레이즈
V_{BL1}	1 - 2 V	F	5 V
V_{BL2}	F 내지 V_{SS}	F	F
V_S	0 V	0 V	F
V_{WL1}	V_{CC}	17 V	-11 V
V_{WL2}	0 V	0 V	0 V

제 11 도에 있어서, 선택된 셀(202)의 논리적인 조건을 결정하기 위해서, 판독 전압 Vcc가 선택된 셀(202)과 연관된 워드라인인 WL1로 전달된다. 노트북 컴퓨터에서 사용시 배열된 것과 같은 장치에서 예를 들면 Vcc는 대략 3V 이지만, Vcc는 통상 5V이다. 선택된 셀(202)과 연관된 비트라인 BL1은 공통 소스 라인 SL에서처럼 그라운드 포텐셜로 유지된다. 모든 비선택된 셀을 위한 워드 라인, 즉 제 11 도에서 WL2는 플로팅(floating)되거나, Vss (보통 0V임) 만큼의 전압으로 유지될 수 있다.

로우(210) 내의 모든 셀에 대한 플래쉬 프로그래밍 단계를 수행하기 위해, 공통 소스 라인 SL 및 나머지 워드 라인(즉 제 11 도의 WL2)은 그라운드 포텐셜로 유지되는 반면, 상기 로우(210)와 연관된 워드 라인

WL1이 대략 17V의 포텐셜로 상승된다. 모든 비트 라인 BL1, BL2는 플로팅한 채 남아있다. 어레이내의 모든 셀은 모든 워드 라인을 대략 17V로 상승시킴으로써 플래쉬 프로그램될 수 있다. 앞서 기술된 것처럼, 플래쉬 프로그래밍 동작중에 전자들은 소스에서 플로팅 게이트로의 파울러-노드하임 터널링의 발생에 의하여 프로그램될 셀의 플로팅 게이트상에 놓이게 된다.

상기 선택적인 이레이즈는 개별적인 셀 또는 셀의 블록에 대해서 수행될 수 있다. 선택적으로 셀(202)을 이레이즈하기 위해서, 대략 -11V 내지 -12V의 전압이 셀(202)과 연관된 워드 라인 WL1에 인가되고, 대략 5V의 전압이 셀(202)와 연관된 비트 라인 BL1에 가해진다. 나머지 비트 라인 BL2는 플로팅인 채로 남게 되고 나머지 워드 라인 WL2는 접지된다. 공통 소스 라인 SL은 선택적인 이레이즈 작동 중에 플로팅 상태로 남게 된다. 셀의 블록들은 선택적 이레이즈 파라메터를 이레이즈되어야 할 셀과 연관된 비트 라인 및 워드 라인에 가함으로써 선택적으로 이레이즈될 수 있다. 앞서 기술한 것처럼, 선택적인 이레이즈 작동은 파울러-노드하임 터널링의 작용에 의하여 전자를 플로팅 게이트로부터 선택된 셀 또는 셀들의 드레인으로 떠나게 한다.

본 발명에 따른 어레이의 오버이레이즈 검색 및 복구 작동이 다음에 논의될 것이다.

종래의 오버이레이즈 검색 기술이 제 12 도를 참고로 기술될 것이다. 상기 기술은 오버이레이즈된 셀이 있는 셀의 블록 또는 칼럼을 식별하기 위한 것이며, 오버이레이즈된 셀의 구체적인 식별은 제공하지 않는다.

종래의 검색 방법에서는 칼럼 선택 회로(300)가 사용되어 검사되어야 할 셀의 칼럼을 선택한다. 칼럼(302)이 선택된다고 할때, 판독 바이어스 전압은 칼럼(302)과 결합된 비트 라인(B1)에 가해진다. 0V의 전위가 상기 칼럼(302)내의 셀들과 연관된 모든 워드 라인 WL1, WL2, WL3에 가해지고, 상기 칼럼내의 모든 셀의 소스 S1, S4, S7은 접지된다. 센스 증폭기(도시되지 않음)는 전류가 비트 라인 B1 내로 흐르는지의 여부를 결정하는 데 사용되며, 이는 오버이레이즈된 셀이 칼럼(302)에 존재함을 나타낸다. 따라서, 상기 방법으로는 단지 셀의 칼럼내에 오버이레이즈된 셀이 존재하는지의 여부를 결정할 수 있다.

오버이레즈된 셀의 존재에 여부를 위해 셀의 전체 블록을 검사하는 것이 요구되면, 모든 칼럼(302, 304, 306)이 칼럼 선택 회로(300)를 사용하여 선택된다. 모든 소스 S1 내지 S9는 접지된다. 상기 바이어스 전위가 모든 비트 라인 B1, B2, B3에 인가되고, 특정한 비트 라인을 통해 흐르는 전류의 존재 여부를 탐색하기 위해 센스 증폭기가 배치된다.

따라서, 종래의 오버이레이즈 탐색으로, 오버이레이즈된 셀이 개별적으로 탐색될 수는 없다.

일반적으로, 종래의 장치에 사용되는 센스 증폭기는 비트 라인에 전류의 흐름이 없다면 0을 출력하고(따라서 칼럼내에 오버이레이즈된 셀이 없음), 비트 라인을 통해 전류가 흐르면 오버이레이즈 상태의 존재를 나타내기 위해 1을 출력한다.

오버이레이즈된 셀의 전압 드레숄드값을 적당한 수준까지 올리기 위한 몇 가지 느린 프로그래밍 방법이 종래 기술로 기술된다. 이러한 방법의 각각이 제 12 도를 참고로 이제 기술될 것이다. 상기의 오버이레이즈 복구 방법중 하나는 칼럼마다 수행되는 것이다. 상기에서는 선택된 칼럼(302)의 비트 라인(B1)을 5V로 올리고, 소스 S1, S4, S7을 접지하고, 1V 내지 2V의 포텐셜을 상기 칼럼(302)내 셀과 연관된 워드 라인 WL1, WL2, WL3에 인가한다. 상기 칼럼은 주기적으로 재검사되어 오버이레이즈된 셀이 남아있는지의 여부를 결정하고, 만약 남아있다면, 칼럼이 더이상 오버이레이즈된 셀을 포함하지 않는 것으로 결정될 때까지 검사 조건을 다시 가한다.

종래의 방법중 두 번째로 설명될 오버이레이즈 복구 방법은 마찬가지로 칼럼마다 수행되는 것을 기본으로 하며, 칼럼(302)내 셀과 연관된 워드 라인 WL1, WL2, WL3을 접지하고, 모든 소스 S1, S4, S7을 접지하고, 5V 전압을 상기 칼럼과 연관된 비트 라인 B1에 인가하는 것을 포함하고 있다. 세 번째 방법 및 이와 유사한 복구 방법으로서, 복구될 셀의 칼럼(302)과 연관된 워드 라인 WL1, WL2, WL3 및 비트 라인(B1, B2, B3)은 접지시키고, 상기 칼럼내 셀의 소스 S1, S4, S7은 5V 전위로 상승하는 것을 기술하고 있다.

네 번째 종래 기술의 복구 방법은 전체 셀 어레이 내에서 모든 오버이레이즈된 셀을 복구하는 쪽으로 가는 방법이다. 상기는 소스 라인 S1 내지 S9 및 비트 라인 B1, B2, B3를 접지시키는 한편, 12V의 전압이 워드 라인 WL1, WL2, WL3로 가해지는 것을 포함하고 있다.

[어레이에서 오버-이레이즈(over-erase) 검출]

본 발명의 기억장치에서 오버-이레이즈된 셀의 존재가 제9도, 제10a도, 제10b도 및 제11도의 순서도에 의해 나타나는 과정을 사용하여 검출되고 교정될 것이다. 먼저 어느 셀 그룹이 오버-이레이즈된 셀을 포함하는지가 결정된다. 상기의 그룹이 결정되면, 오버-이레이즈된 특정한 셀을 식별하기 위해 상기 그룹내의 모든 셀들이 셀마다(cell-by-cell) 체크된다.

하기의 표는 오버-이레이즈 검색 및 복구 동작을 실시하기 위해 사용되는 변수를 제공한다.

[표 5]

	선택된 셀 오버-이레이즈 검색	선택된 셀 오버-이레이즈 복구	
		방법 1	방법2
V_{BL1}	1-2V	F	0V
V_{BL2}	F	F	0V
V_S	~0.6V	V_{SS}	F
V_{WL1}	V_{TEST}	12V	12V
V_{WL2}	0V	0V	0V

오버-이레이즈된 검색에는 먼저 일정한 값 이하이면 셀을 오버-이레이즈되었다고 말할 수 있는 전압 드레숄드 값을 정하고나서, 셀 동작에 관해서 앞에서 언급된 바의 과정을 사용하여 소스 전압(Vs) 및 검사 전압(V_{test})을 계산하는 것이 요구된다. 제11도의 도식적인 배열 다이아그램을 참고하여, 어느 셀(202)이 오버-이레이즈된 것인지를 결정하기 위해, 셀(202)과 연관된 비트 라인(BL1)이 대략 1.5V로 높아지고, 공통 소스 라인(SL)은 바이어스 전압(바람직하게는 0.6V)까지 올려진다. 검사 전압(V_{test})이 셀(202)과 연관된 워드 라인(WL1)에 인가된다. 선택되지 않은 셀에만 연관된 워드 라인(WL2)은 0V의 전위로 유지되고, 선택되지 않은 셀에만 연관된 비트 라인(BL2)은 플로팅 상태로 남는다. 상기 셀(202)이 오버-이레이즈되었다면, 전류는 비트 라인(BL1)을 통해 흐를 것이다.

검사는 먼저 오버-이레이즈된 셀을 갖는 첫번째 표적까지 차례대로 블록이나 칼럼을 검사하고, 다음으로 연속하여 오버-이레이즈된 셀의 위치를 지적하기 위해 개개의 셀을 시험하는 방법으로서 효율적으로 수행될 수 있다. 예를 들면, 셀(202)을 갖는 셀의 전체 칼럼은 BL1에 1.5V를 가하고, 상기 로우(row)에서 셀과 연관된 모든 워드 라인(WL1, WL2)에 V_{test}를 가하는 것에 의해 검사될 수 있다. 앞 문단에서 기술된 비트 단위 검사법(bit-by-bit test)은 오버-이레이즈된 셀 모두가 식별될 때까지 오버-이레이즈된 셀을 가진 것이 확인된 칼럼안에서 사용된다.

제 9도에 따르면, 일반화된 오버-이레이즈 검출 순서도가 본 발명에 따라서 도시되어 있다. 먼저, 모든 소스는 0보다 큰 전압(바람직하게는 0.6V)으로 바이어스된다. 상기는 단계(902)에서 실시된다. 상기 단계(904)에서, 한 개 이상의 워드라인은 V_{test}로 설정하고, 한 개 이상의 칼럼이 판독을 위해 선택된다. 선택되지 않은 워드라인은 연관된 셀을 오프(off)시키기 위해 0V로 바이어스된다.

단일 칼럼 및 단일 워드라인이 그와 같이 선택되었다면, 상기 셀들은 셀단위를 기초로 하여 체크될 것이다. 로우(row) 또는 칼럼에서 셀의 서로 다른 병렬점은 V_{test}가 인가된 워드라인의 수 및 판독을 위해 선택된 칼럼의 수에 의존하여 한번에 체크될 수 있다. 예를 들면, V_{test}를 모든 워드라인에 인가하고, 단일 칼럼이 판독되기 위해 선택되면, 상기 칼럼안의 모든 셀은 오버-이레이즈된 상태가 한 번에 체크될 것이다. 단일 워드 라인이 V_{test}로 바이어스되고, 모든 칼럼이 선택된다면, 바이어스된 워드 라인에 대응하는 로우(row)의 모든 셀은 오버-이레이즈된 상태를 찾기 위해 체크될 것이다. 단계(906)는 V_{test}가 인가되는 셀의 상태를 판독한다. 단계(908)에서, 논리 "1"이 검색된다면, 이것은 오버-이레이즈된 셀이 발견되었다는 것을 가리킨다. 이것은 단계(910)에서 표시되었다. 단계(912)는 전체 칩이 판독될 때까지 오버-이레이즈 검색이 계속되도록 한다.

칼럼에 의한 오버-이레이즈 검색이 사용된다면, 오버-이레이즈된 셀을 갖는 칼럼이 식별되기만 하면, 오버-이레이즈된 셀을 식별하기 위해 상기 칼럼안의 셀이 비트단위로 체크된다.

표5 및 제11도를 참고로 하여 기술될 다음의 두 가지 방법은 오버-이레이즈된 셀을 복구하기 위하여 사용될 수 있다. 방법1을 사용하는 제11도에서 오버-이레이즈 셀(202)을 복구하기 위해서, 12V의 20msec 펄스가 WL1에 전달된다. 셀(202)과 연관된 비트 라인(BL1)은 플로팅 상태로 두고, Vss의 전압(바람직하게 0V)을 소스라인(SL)에 인가한다. 비트라인(BL2)은 플로팅 상태에 있고, WL2는 접지된다.

다음에 상기 셀은 오버-이레이즈 검출법을 사용하여 검사된다. 상기 셀이 여전히 오버-이레이즈 상태로 있다면, 상기 복구방법이 반복될 것이다. 바람직한 장치에서, 복구된 셀은 보통 대략 1.3V 내지 2.5V의 전압 드레숄드값을 가질 것이다.

방법 2을 사용하여 오버-이레이즈된 셀을 복구하기 위하여, 12V의 20msec 펄스가 WL1에 전달된다. 셀(202)과 결합된 비트 라인(BL1)은 접지되고, 소스라인(SL)은 플로팅된다. 셀(202)과 연관되지 않은 비트라인(BL2) 및 워드라인(WL2)은 접지된다.

방법 1에서처럼, 다음에 셀은 오버-이레이즈 검출법을 사용하여 검사되고, 셀이 충분히 복구되지 않는다면 상기 복구 방법이 반복된다.

방법 1 및 2는 제10a도 및 제10b도에서 더욱 일반화된 형태로 설명된다. 상기 도면에서, 상기 방법은 한번에 단일 셀보다 더 많이 복구하기 위해 적용된다. 제10a도는 본 발명에 따른 방법 1을 설명한다. 단계(1002)에서는 모든 소스가 플로팅된다. 그에 따라 단계(1004)에서는 선택된 칼럼들이 접지되었다. 그리고 단계(1006)는 20msec 이상 동안 바람직하게는 12V의 전위를 모든 워드라인들 또는 선택된 워드 라인에 설정한다. 모든 워드라인이 상기의 전위로 설정되면, 선택된 칼럼의 모든 셀은 저수준출력동작(low level write operation)을 하게된다. 선택된 워드 라인에 상기 전위가 설정되면, 선택된 칼럼 및 로우(row)내의 상기 셀이 복귀된다.

제10b도에서, 복구 방법 2가 설명된다. 여기서, 셀의 상기 드레인은 단계(1010)에서 플로팅되고 모든 소스는 단계(1012)에서 접지되었다. 그러므로, 단계(1014)에서 워드라인 전부 또는 선택된 것은 20 msec 이상 동안 바람직하게는 12V의 전위로 올려진다.

[프로세싱]

본 발명의 셀은 CMOS프로세싱에 적합하다. 상기 기판(10)은 1-0-0 방향성 및 17 내지 33 Ωcm의 고유저항을 갖는 p-형 물질로 형성된다. 이것은 제2a도 내지 제2c도에서 상기 p-기판(10)을 나타낸다. 인(31) 물질이 5.0×10^{12}/㎠의 밀도로 150KeV를 가지고 N^- 웰에 주입된다. 상기 주입은 950℃에서 45분 동안 습윤산화(wet oxidation)에 의해 상기 웰로 유도되고, 다음으로 N_2가 1150℃에서 유도된다.

이에 따라 바람직하게는 80Å의 두께를 갖는 게이트 산화물이 형성된다. 다음으로 필드 영역이 정해지는데, 50KeV 에너지로 4×10^{13}/㎠의 선량을 가지고 BF_2가 주입된다.

필드 산화물이 O_2대기에서 40분 동안 1000℃에서 형성된 후, N_2대기에서 920℃ 85분 동안 형성된다. 12000Å의 두께를 얻기 위해서 H_2/O_2에서 1000℃로 6시간 40분 동안 실시한다. 상기 셀 영역은 정해지고, 50KeV의 에너지 및 6×10^{13}/㎠ 의 선량으로 붕소(11)가 주입된다. 상기의 제작방법은 통상적인 것이다.

다음의 단계에서 플로팅 게이트(24)가 상기 게이트 유전체상에 증착된다. 이것은 폴리실리콘이 플로팅 게이트로서 증착될 때 폴리실리콘의 본래 장소로의 도핑을 포함한다. 상기는 SiH_4 및 PH_3가 Si(인이 도핑됨)를 형성하기 위해 화학기상증착법(CVD)에 의해 결합된다. 폴리실리콘 물질의 현장 도핑에 의해, 추가적인 고온 제작단계를 피할 수 있다. 이것은 폴리실리콘에서 입자(grain)의 크기를 최소화하는데 중요하다. 폴리실리콘의 보다 작은 입자 크기에 의해 보다 부드러운 폴리실리콘 표면이 얻어지고 상기 폴리실리콘 표면에서 성장된 옥사이드가 더 얇은 층을 갖게 하는 것이 확인되었다.

상기 공중합 유전체는 내구력을 최적화하기 위하여 표준 고온 옥사이드 증착 방법을 사용하여 형성된 200Å의 유효두께를 갖는 ONO층이 바람직하다. 그러나 HTO 증착에 대한 요구는 선택적인 이레이즈 동작 동안 네가티브한 게이트 전위가 사용되지 않는다면 필요한 것은 아니다. 우선, 옥사이드 층이 8분 동안 950℃에서 O_2 5% 및 N_2 95%의 대기에서 플로팅 게이트위에 형성된다. 그리고 나서 질화물(Nitride)이 30Å/분의 속도로 4분 동안 증착된다. 그 후 HTO증착은 4 내지 5Å/분의 속도로 15분동안 실시된다.

ONO 공중합체 층을 형성하기 위한 선택적인 방법론은 12분 동안 950℃에서 O_2 5% 및 N_2 95%의 대기에서 플로팅 게이트위에 옥사이드 층을 형성하는 것을 포함한다. 그리고 질화물이 120Å의 두께에 증착된다. 그 후 1 내지 3시간 동안 940℃에서 습윤산화(wet oxidation)가 실시된다.

그 후에, 센스 트랜지스터, 어드레스 트랜지스터 등과 같은 주변회로가 통상의 수단에 의해 제작된다. 계속하여 제어 게이트(28)가 형성되는데, 바람직하게는 폴리실리콘으로 형성되고, 통상의 방법으로 도핑된다.

소스(14) 및 드레인(12) 영역의 주입은 다음에 기술될 것이다. 네 개의 선택적인 구체적 실시예가 기술될 것이며, 0.8㎛ 기술을 사용한 셀 두개 및 0.5㎛ 기술을 사용한 셀 두 개가 기술될 것이다.

0.8㎛기술을 사용하여 셀의 소스 및 드레인 영역을 형성하기 위한 바람직한 방법으로, 소스 영역(14)은 80KeV의 에너지로 5.0×10^{15}/㎠의 선량을 가진 비소로 주입된다. 바람직한 드레인 영역은 먼저 150KeV의 에너지 및 1.0×10^{14}/㎠을의 선량으로 인(31)을 주입함에 의해 형성된 이중 확산 영역이다. 다음으로 상기 드레인 영역은 N_2에서 900℃의 온도로 60분 동안 어닐링한 후, 확산이 일어나기 위하여 O_2에서 900℃로 20분동안 어닐링한다. 다음에 80KeV 및 5.0×10^{15}/㎠ 선량으로 비소를 드레인 영역에 주입한다.

0.8㎛ 기술을 이용한 셀에서 소스 및 드레인 지역을 형성하기 위한 선택적인 방법은 감소된 마스크 세트를 가지는 더 단순한 과정이지만, 바람직한 방법보다는 못한 내구성을 제공하는 것이다. 선택적인 방법에서, 소스 영역은 제2a도에서 보여진 것과 같이 단일 확산 소스를 형성하기 위해 80KeV 및 5.0×10^{15}/㎠로 비소를 주입한다. 드레인 영역은 80KeV의 비소 5.0×10^{15}/㎠ 양을 주입한다.

0.5㎛기술을 사용한 셀에서 상기 소스 및 드레인 영역을 형성하기 위한 바람직한 방법으로, 상기 소스 영역은 제2c도에서 보여지는 것과 같이 P-형 물질(4B)의 포켓을 갖는 N^+ 물질의 얕은 영역(40B)으로 형성되고, 상기는 펀치드루(punch-trough) 문제를 최소화하는데 도움이 된다. 상기 소스 영역은 80KeV 및 1.5×10^{15}/㎠의 비소로 주입된다. 붕소(11)의 5×10^{13}/㎠ 선량의 주입은 상기 P-포켓을 형성하기 위해 45° 각으로 주입된다. 상기 드레인 지역은 먼저 150KeV 및 1.0×10^{14}/㎠의 인을 주입함에 의해 형성되고, N_2에서 45분 동안 및 O_2에서 20분 동안 900℃에서 어닐링 하는 것에 의해 형성된다. 다음에 비소가 5.0×10^{15}/㎠의 선량으로 80KeV의 에너지를 가지고 주입된다.

0.5㎛기술을 사용하는 셀에서 소스 및 드레인 영역을 주입하기 위한 선택적인 방법은 상기에서 기술된 방

법을 사용하여 형성된 P-형 포켓을 갖는 소스영역을 사용하는 것이다. 드레인 지역에는 5.0×10^{15} 선량으로 80KeV를 가진 비소가 주입된다.

상기 선택적인 구체적 실시예는 바람직한 실시예에서 보다 제조하는 것이 더 간단하지만, 바람직한 구체적 실시예보다 내구성을 덜 갖는다.

다음의 표는 본 발명의 셀을 사용하여 얻을 수 있는 결과를 나타낸다. 실험은 상기 플래쉬 프로그램, 선택적인 이레이즈 및 오버-이레이즈 복구 동작이 실행중인 셀의 테스팅에서 실시되었다. 드레쇨드 전압이 다음의 각 동작에서 측정되었다. 테스트에서 셀은 본 발명의 바람직한 셀보다 더 가벼운 채널 도핑을 가지고 있어서 본 발명의 바람직한 Vt(예를 들면 대략 4.5V)에서 보다 낮은 초기 전압 드레쇨드를 갖는 것에 주목해야한다. 그리하여, 제어 게이트에 인가된 전압(V_{CG})이 바람직한 채널 도핑을 갖는 장치에 대해 요구되는 것보다 더 높다. 더욱이, 본 발명의 장치는 대략 80Å의 두께의 터널 옥사이드가 바람직하나, 상기 테스트 장치는 200Å 터널 옥사이드를 가진다.

상기 실험동안, 10msec 펄스가 플래쉬 프로그램, 선택적인 이레이즈 및 오버-이레이즈 복구기능을 실시하기 위해 사용되었다.

[표 6]

셀 번호	V_{ti}	플래쉬 프로그램 V_{CG}=20V	선택적인 이레이즈 V_{CG}=-8V V_D=5V	오버 이레이즈 복구 V_{CG}=2.5V
1	1.42	5.54	1.66	2.58
2	1.26	4.86	1.44	1.84
3	1.24	5.04	1.26	1.52
4	1.32	5.7	1.28	1.52
5	1.36	5.46	1.62	1.92
6	1.32	4.84	2.06	2.12
7	1.40	4.86	2.04	2.08
8	1.30	5.42	1.62	1.90
9	1.30	5.40	1.54	1.82
10	1.38	5.72	1.82	1.82

상기에서 사용되고 있는 용어 및 표현은 묘사를 위한 용어이며 제한을 가하는 것이 아니다. 도시되고 묘사된 형태, 혹은 그 일부와 동등한 것을 배제하는 표현을 사용하였더라도 이는 의도적인 것이 아니며, 다양한 변형이 본 발명의 청구범위내에서 가능하다는 것이 인식되어야 할 것이다.

(57) 청구의 범위

청구항 1

복수의 저장영역, 복수의 로우(row) 어드레스 라인, 복수의 칼럼 어드레스 라인 및 복수의 소스 라인을 구비하며, 상기 로우(row) 어드레스 라인중 한 라인과 상기 칼럼 어드레스 라인중 한 라인의 조합 각각이 상기 복수의 저장영역중 서로 다른 하나를 규정하고, 상기 복수의 저장영역이 각각 선택 전위의 기판위에 형성된 단일 트랜지스터를 포함하고, 상기 단일 트랜지스터는 복수의 소스 라인중 연관된 하나의 라인에 결합된 소스; 복수의 칼럼 어드레스 라인중 연관된 하나의 라인에 결합된 드레인; 복수의 로우(row) 어드레스 라인중 연관된 하나의 라인에 결합된 제어 게이트; 및 게이트와 소스 및 드레인 사이에 위치한 플로팅 게이트를 포함하고, 연관된 로우(row) 어드레스 라인이 소스 라인중 연관된 하나의 라인의 전위보다 높은 제 1 지정 전위로 높여질 때, 소스로부터 플로팅 게이트로 전자의 파울러-노드하임 터널링을 유도하는 제 1 유도수단; 및 상기 기판의 선택 전위보다 낮은 지정 네거티브 전위가 연관된 로우(row) 어드레스 라인에 공급될 때 플로팅 게이트로부터 드레인으로 전자의 파울러-노드하임 터널링을 유도하는 제 2 유도수단을 추가로 포함하는, 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 2

제1항에 있어서, 상기 제 1 유도수단은 상기 제어 게이트와 플로팅 게이트 사이에 위치하는 절연물질의 제 1 층; 상기 플로팅 게이트와 소스 및 드레인 사이에 위치하는 절연물질의 제 2 층; 상기 절연물질의 제 2 층과 플로팅 게이트를 오버랩하는 오버랩 부분을 가지는 소스 확산 영역을 포함하고, 상기 제 1 층의 절연물질은 소정의 유효 두께를 가지고, 상기 제어 게이트와 플로팅 게이트 사이에 높은 정전용량을 제공하기 위해 높은 유전상수를 가지며, 상기 제 2 층은 상기 플로팅 게이트와 소스 사이의 용량 결합을 최적화하는 동시에 파울러 노드하임(Fowler-Nordheim) 터널링을 허용하도록 선택되어진 것이며, 상기 오버랩 부분은 프로그래밍 동작 동안 소스 확산 영역으로부터 플로팅 게이트로 전자의 터널링을 허용하도록 할당된 것임을 특징으로 하는, 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 3

제2항에 있어서, 상기 소스 확산 영역이 소정의 깊이를 가지는 N^+형 물질의 단일 확산 영역을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 4

제3항에 있어서, 상기 단일 확산 영역이 비소(As)로 형성되는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 5

제2항에 있어서, 상기 소스 확산 영역이 소정 깊이를 가지는 N^+형 물질의 제 1 확산 영역; 및 상기 제 1 확산 영역의 깊이보다 깊은 깊이를 가지는 N^+형 물질의 제 2 확산 영역을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 6

제2항에 있어서, 상기 소스 확산 영역이 N^+형 물질의 제 1 확산 영역; 및 상기 제 1 확산 영역에 대해 각을 이루고 형성된 P형 물질의 포킷(pocket)을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 7

제6항에 있어서, 제 1 확산영역은 비소(As)로 형성되며, 상기 포킷은 붕소(B)로 형성되는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 8

제2항에 있어서, 상기 절연물질의 제 1 층의 유효 두께가 약 200Å인 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 9

제2항에 있어서, 상기 절연물질의 제 1 층이 두 개의 산화물층 사이에 삽입된 질화물층을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 10

제2항에 있어서, 상기 절연물질의 제 2 층이 약 80Å의 두께인 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 11

제1항에 있어서, 상기 제 2 유도수단은 상기 제어 게이트와 플로팅 게이트 사이에 위치하는 절연물질의 제 1 층; 상기 플로팅 게이트와 소스 및 드레인 사이에 위치하는 절연물질의 제 2 층; 상기 절연물질의 제 2 층과 플로팅 게이트를 오버랩하는 제 2 오버랩 부분을 가지는 드레인 확산 영역을 포함하고, 상기 제 1 층의 절연물질은 소정의 유효 두께를 가지고, 상기 제어 게이트와 플로팅 게이트 사이에 높은 정전용량을 제공하기 위해 높은 유전상수를 가지며, 상기 제 2 층은 상기 플로팅 게이트와 드레인 사이의 용량 결합을 실질적으로 최적화하는 동시에 파울러 노드하임(Fowler-Nordheim) 터널링을 허용하도록 선택되어진 것이며, 상기 제 2 오버랩 부분은 이레이즈 동작 동안 플로팅 게이트로부터 드레인 확산 영역으로 전자의 터널링을 허용하도록 할당된 것임을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 12

제11항에 있어서, 상기 드레인 확산 영역이 소정 깊이를 가지는 N^+형 물질의 단일 확산 영역을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 13

제12항에 있어서, 상기 드레인 확산 영역이 비소(As)로 형성되는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 14

제11항에 있어서, 상기 드레인 확산 영역이 소정 깊이를 가지는 N^+형 물질의 제 1 확산 영역; 및 제 1 확산의 깊이보다 깊은 깊이를 가지는 N^+형 물질의 제 2 확산 영역을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 15

제14항에 있어서, 상기 제 1 확산 영역은 비소(As)로 형성되며, 상기 제 2 확산 영역은 인(P)으로 형성되는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 16

제11항에 있어서, 상기 절연물질의 제 1 층의 유효 두께가 약 200Å인 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 17

제11항에 있어서, 상기 절연물질의 제 1 층이 두 개의 산화물층 사이에 삽입된 질화물층을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 18

제11항에 있어서, 상기 절연물질의 제 2 층이 약 80Å의 두께인 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 19

제1항에 있어서, 상기 트랜지스터가 기판위에 형성되고, 채널 영역이 상기 기판위의 드레인과 소스 사이에서 확장되며, 상기 제 1 유도수단은 프로그래밍 동작 동안 트랜지스터 블록의 각각의 트랜지스터의 제어 게이트에 제 1 전압을 인가하는 수단; 및 상기 프로그래밍 동작 동안 상기 트랜지스터 블록의 각각의 트랜지스터의 소스에 제 2 전압을 인가하는 수단을 포함하고, 상기 제 2 전압은 상기 제어게이트에 인가된 상기 제 1 전압 보다 낮은 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 20

제1항에 있어서, 상기 트랜지스터가 기판위에 형성되고, 채널영역이 상기 기판위의 드레인과 소스사이에서 확장되며, 상기 제 2 유도수단은 이레이즈 동작 동안 선택된 트랜지스터의 제어 게이트에 네거티브 전압을 인가하는 수단; 상기 이레이즈 동작 동안 선택된 트랜지스터의 소스를 플로팅하는 수단; 및 상기 이레이즈 동작 동안 상기 선택된 트랜지스터의 드레인에 낮은 포지티브 전압을 인가하는 수단을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 21

제1항에 있어서, 상기 복수의 저장 영역이 하나의 어레이(array)로 배열되어 저장 영역의 로우(row)과 칼럼을 형성하고, 상기 복수 저장 영역 각각과 연관된 소스 라인이 공통으로 연결되고, 하나의 칼럼의 각 저장 영역에 대한 칼럼 어드레스 라인이 공통으로 연결되고, 하나의 로우(row)의 각 저장 영역에 대한 로우(row) 어드레스 라인이 공통으로 연결되는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 22

제21항에 있어서, 상기 트랜지스터가 기판위에 형성되고, 채널영역이 상기 기판위의 드레인과 소스 사이에서 확장되며, 상기 제 1 유도수단은 프로그래밍 동작 동안 선택된 로우(row)의 트랜지스터의 제어 게이트와 연관된 로우(row) 어드레스 라인에 실질적으로 높은 전압을 인가하는 수단; 상기 프로그래밍 동작 동안 소스 라인에 상기 로우(row) 어드레스 라인에 가해진 전압보다 낮은 전압을 인가하는 수단; 및 상기 프로그래밍 동작 동안 선택된 로우(row)의 트랜지스터의 드레인을 플로팅하는 수단을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 23

제21항에 있어서, 상기 트랜지스터가 기판위에 형성되고, 채널 영역이 상기 기판위의 드레인과 소스 사이에서 확장되며, 상기 제 2 유도수단은 이레이즈 동작 동안 선택된 트랜지스터와 연관된 로우(row) 어드레스 라인에 네거티브 전압을 인가하는 수단; 상기 이레이즈 동작 동안 선택된 트랜지스터의 소스를 플로팅하는 수단; 및 상기 이레이즈 동작 동안 선택된 트랜지스터와 연관된 칼럼 라인에 낮은 포지티브 전압을 인가하는 수단을 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 메모리 장치.

청구항 24

소스, 드레인, 제어 게이트 및 상기 제어 게이트와 소스 및 드레인 사이에 위치하는 플로팅 게이트를 가지는 형태의 전기적으로 이레이즈가능하고 프로그램가능한 장치가 오버-이레이즈되었는지를 결정하는 방법에 있어서, 상기 방법은

(a) 드레인에 제 1 전압을 인가하는 단계;

(b) 소스에 제 1 전압보다 낮으며, 오버-이레이즈되었지만 선택되지 않은 셀들을 비전도상태로 바이어스하기 위해 선택된 제 2 전압을 인가하는 단계;

(c) 제어 게이트에 일정 범위의 전위를 개별적으로 가하는 단계; 및

(d) 상기 제어 게이트의 전위가 상기 범위내이면 셀이 오버-이레이즈되었다는 것을 나타내는 표시로서, 상기 제어 게이트에 상기 범위내의 전위가 인가되는 동안 상기 드레인으로부터 상기 소스로 전류가 흐르는지를 결정하는 단계를 포함하는 전기적으로 이레이즈가능하고 프로그램가능한 장치가 오버-이레이즈되었는지를 결정하는 방법.

청구항 25

제24항에 있어서, 상기 단계 (a)는 약 1.5V의 전압을 상기 드레인에 인가하는 단계를 포함하고, 상기 단계 (b)는 약 0.6V의 전압을 상기 소스에 인가하는 단계를 포함하며, 상기 단계 (c)는 약 0V 내지 약 0.5V 범위의 전압을 상기 제어 게이트에 인가하는 단계를 포함하는 것을 특징으로 하는 전기적으로 이레이즈가

능하고 프로그램 가능한 장치가 오버-이레이즈되었는지를 결정하는 방법.

청구항 26

제24항에 있어서, 상기 단계 (a)는 약 1.2V의 전압을 상기 드레인에 인가하는 단계를 포함하고, 상기 단계 (b)는 약 0.6V의 전압을 상기 소스에 인가하는 단계를 포함하며, 상기 단계 (c)는 약 1.6V의 전압을 상기 제어 게이트에 인가하는 단계를 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램 가능한 장치가 오버-이레이즈되었는지를 결정하는 방법.

청구항 27

소스, 드레인, 제어 게이트 및 상기 제어 게이트와 소스 및 드레인 사이에 위치하는 플로팅 게이트를 가지는 단일 트랜지스터를 각각 포함하는 복수의 셀을 가지며, 연관된 로우(row)의 셀의 제어 게이트에 각각 결합된 복수의 로우(row) 어드레스 라인, 연관된 칼럼의 셀의 드레인에 각각 결합된 복수의 칼럼 어드레스 라인 및 셀의 소스에 결합된 복수의 소스 라인을 가지는 형태의 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버-이레이즈된 셀을 식별하는 방법에 있어서, 상기 방법은

(a) 오버-이레이즈된 셀을 찾기 위해 각 칼럼을 개별적으로 검사하는 단계; 및

(b) 어느 셀이 오버이레이즈되는지를 결정하기 위해, 상기 칼럼내의 모든 셀의 소스를 상기 칼럼내의 오버-이레이즈되었지만 선택되지 않은 셀을 비전도상태로 바이어스하는 전위로 높이는 단계를 포함하는 오버-이레이즈된 셀을 가지는 것으로 확인된 칼럼의 셀들 각각을 검사하는 단계를 포함하는, 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버-이레이즈된 셀을 식별하는 방법.

청구항 28

제27항에 있어서, 상기 단계 (a)는

(i) 각 칼럼의 셀을 소정의 전기적 조건하에 두는 단계;

(ii) 각 칼럼의 셀들을 동시 판독 동작으로 판독하는 단계; 및

(iii) 셀이 상기 소정의 전기적 조건에 있을 때 오버레이즈된 셀이 상기 칼럼에 존재한다는 것을 나타내는 표시로서, 전류가 각 칼럼으로 흐르는지를 결정하는 단계를 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버이레이즈된 셀을 식별하는 방법.

청구항 29

제28항에 있어서, 상기 단계 (i) 및 (ii)은 각 칼럼과 연관된 칼럼 어드레스 라인에 약 1.2V의 전압을 인가하는 단계; 각 칼럼의 셀과 연관된 소스 라인에 약 0.6V의 전압을 인가하는 단계; 및 각 칼럼의 셀과 연관된 로우(row) 어드레인 라인에 약 0V 내지 약 2.0V 범위의 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버레이즈된 셀을 식별하는 방법.

청구항 30

제27항에 있어서, 상기 단계(b)는

(i) 소정의 전기적 조건에 각 셀을 위치시키는 단계;

(ii) 판독 동작에서 각 셀을 판독하는 단계; 및

(iii) 셀이 상기 소정의 전기적 조건에 있을 때 오버이레이즈된 것임을 나타내는 표시로서, 전류가 각 셀로 흐르는지를 결정하는 단계를 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버이레즈된 셀을 식별하는 방법.

청구항 31

제30항에 있어서, 상기 단계 (i) 및 (ii)는 약 1.2 볼트의 전압을 상기 셀과 연관된 칼럼 어드레스에 인가하는 단계; 약 0.6 볼트의 전압을 상기 셀과 연관된 소스라인에 인가하는 단계; 및 약 0 볼트 내지 약 2.0 볼트의 범위에 있는 전압을 상기 셀과 연관된 로우(row) 어드레스 라인에 인가하는 단계를 포함하는 것을 특징으로 하는 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버이레이즈된 셀을 식별하는 방법.

청구항 32

소스, 드레인, 제어 게이트 및 상기 제어 게이트와 소스 및 드레인 사이에 위치하는 플로팅 게이트를 가지는 단일 트랜지스터를 각각 포함하는 복수의 셀을 가지며; 상기 소스로부터 상기 플로팅게이트로 전자를 터널링시키고, 상기 플로팅 게이트로부터 상기 드레인으로 전자를 터널링시키기 위해 파울러-노드하임 터널링이 사용되며; 연관된 로우(row)의 셀의 제어 게이트에 각각 결합된 복수의 로우(row) 어드레스 라인, 연관된 칼럼의 셀의 드레인에 각각 결합된 복수의 칼럼 어드레스 라인 및 셀의 소스에 결합된 복수의 소스 라인을 가지는 형태의 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버-이레이즈된 셀을 식별하는 방법에 있어서, 상기 방법은

(a) 오버-이레이즈된 셀을 찾기 위해 상기 장치내의 모든 셀을 동시에 검사하는 단계 ; 및

(b) 상기 장치가 오버이레이즈된 셀을 갖는 것으로 확인되면 오버이레이즈된 셀이 어느 것인지 결정하기 위해 상기 셀을 개별적으로 검사하는 단계를 포함하는 것을 특징으로 하는 오버이레이즈된 셀을 식별하는 방법.

청구항 33

제32항에 있어서, 상기 (a)단계는

(i) 상기 장치내의 상기 셀을 소정의 전기적 조건하에 두는 단계;

(ii) 상기 셀을 동시 판독 동작으로 판독하는 단계; 및

(iii) 상기 셀이 상기 소정의 전기적 조건하에 있을 때, 상기 장치내에 오버-이레이즈된 셀이 존재함을 나타내는 표시로서, 전류가 셀로 흘러 들어가는지 여부를 결정하는 단계를 포함하는 것을 특징으로 하는 오버-이레이즈된 셀을 식별하는 방법.

청구항 34

제33항에 있어서, 상기 단계 (i) 및 (ii)는 약 1.2 볼트의 전압을 각각의 칼럼과 연관된 칼럼 어드레스 라인에 인가하는 단계, 약 0.6 볼트의 전압을 각각의 칼럼내의 상기 셀과 연관된 소스 라인에 인가하는 단계, 및 약 0 볼트 내지 약 2.0 볼트의 범위에 있는 전압을 각 칼럼의 상기 셀과 연관된 로우(row) 어드레스 라인에 인가하는 단계를 포함하는 것을 특징으로 하는 오버-이레이즈된 셀을 식별하는 방법.

청구항 35

제32항에 있어서, 상기 단계 (b)는

(i) 각각의 셀을 소정의 전기적 조건하에 두는 단계;

(ii) 판독 동작으로 각각의 셀을 판독하는 단계; 및

(iii) 상기 셀이 소정의 전기적 조건하에 있을 때, 상기 셀이 오버이레이즈된 것을 나타내는 표시로서, 전류가 각각의 셀로 흘러 들어가는지 여부를 결정하는 단계를 포함하는 것을 특징으로 하는 오버-이레이즈된 셀을 식별하는 방법.

청구항 36

제35항에 있어서, 상기 단계 (i) 및 (ii)는 약 1.2 볼트의 전압을 상기 셀과 연관된 칼럼 어드레스 라인에 인가하는 단계, 약 0.6 볼트의 전압을 상기 셀과 연관된 소스 라인에 인가하는 단계, 및 약 0 볼트 내지 약 2.0 볼트의 범위에 있는 전압을 상기 셀과 연관된 로우(row) 어드레스 라인에 인가하는 단계를 더 포함하는 것을 특징으로 하는 오버-이레이즈된 셀을 식별하는 방법.

청구항 37

소스, 드레인, 제어 게이트 및 상기 제어 게이트와 소스 및 드레인 사이에 위치하는 플로팅 게이트를 가지는 단일 트랜지스터를 각각 포함하는 복수의 셀을 가지며; 상기 소스로부터 상기 플로팅게이트로 전자를 터널링시키고, 상기 플로팅 게이트로부터 상기 드레인으로 전자를 터널링시키기 위해 파울러-노드하임 터널링이 사용되며; 연관된 로우(row)의 셀의 제어 게이트에 각각 결합된 복수의 로우(row) 어드레스 라인, 연관된 칼럼의 셀의 드레인에 각각 결합된 복수의 칼럼 어드레스 라인 및 셀의 소스에 결합된 복수의 소스 라인을 가지는 형태의 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버-이레이즈된 셀을 식별하고 복구하는 방법에 있어서, 상기 방법은

(a) 오버이레이즈된 셀을 찾기 위해 각각의 칼럼을 개별적으로 검사하는 단계;

(b) 오버이레이즈된 셀을 갖는 것으로 판명된 칼럼에 있는 셀 중 어느 셀이 오버이레이즈된 것인지 결정하기 위하여 개별적으로 상기 셀을 검사하는 단계; 및

(c) 오버-이레이즈된 것으로 확인된 셀을 복구하는 단계를 포함하고,

상기 단계 (c)는

(i) 제 1 전압을 오버이레이즈된 셀의 제어 게이트와 연관된 로우(row) 어드레스 라인에 인가하고;

(ii) 상기 오버이레이즈된 셀의 소스와 연관된 사이 소스 라인을 접지시키고 ;

(iii) 상기 오버이레이즈된 셀의 드레인과 연관된 상기 칼럼 어드레스라인을 플로팅시킴으로써 수행되는 것임을 특징으로 하는 오버-이레이즈된 셀을 식별하고 복구하는 방법.

청구항 38

소스, 드레인, 제어 게이트 및 상기 제어 게이트와 소스 및 드레인 사이에 위치하는 플로팅 게이트를 가지는 단일 트랜지스터를 각각 포함하는 복수의 셀을 가지며; 상기 소스로부터 상기 플로팅게이트로 전자를 터널링시키고, 상기 플로팅 게이트로부터 상기 드레인으로 전자를 터널링시키기 위해 파울러-노드하임 터널링이 사용되며; 연관된 로우(row)의 셀의 제어 게이트에 각각 결합된 복수의 로우(row) 어드레스 라인, 연관된 칼럼의 셀의 드레인에 각각 결합된 복수의 칼럼 어드레스 라인 및 셀의 소스에 결합된 복수의 소스 라인을 가지는 형태의 전기적으로 이레이즈가능하고 프로그램가능한 장치에서 오버-이레이즈된 셀을 식별하고 복구하는 방법에 있어서, 상기 방법은

(a) 오버이레이즈된 셀을 찾기 위해 각각의 칼럼을 개별적으로 검사하는 단계;

(b) 오버이레이즈된 셀을 갖는 것으로 판명된 칼럼에 있는 셀 중 어느 셀이 오버이레이즈된 것인지 결정하기 위하여 개별적으로 상기 셀을 검사하는 단계; 및

(c) 오버-이레이즈된 것으로 확인된 셀을 복구하는 단계를 포함하고,

상기 단계 (c)는

(i) 제 1 전압을 오버이레이즈된 셀의 제어 게이트와 연관된 로우(row) 어드레스 라인에 인가하고;

(ii) 오버이레이즈된 셀의 소스와 연관된 소스라인을 플로팅시키고;

(iii) 오버이레이즈된 셀의 드레인과 연관된 칼럼 어드레스 라인을 접지시키는 것에 의해 수행되는 것을 특징으로 하는 오버-이레이즈된 셀을 식별하고 복구하는 방법,

청구항 39

소스, 드레인, 제어 게이트 및 상기 제어 게이트와 소스 및 드레인사이에 위치하는 플로팅 게이트를 가지는 단일 트랜지스터를 각각 포함하고, 각각이 전압 드레숄드치를 가지는 복수의 셀을 가지는 형태의 전기적으로 이레이즈가능하고 프로그램 가능한 메모리 장치에 있는 셀의 논리 조건을 설정하는 방법에 있어서, 상기 방법은

(a) 상기 전압 드레숄드치를 제 1 레벨로 높이기 위하여 각 셀의 상기 소스로부터 상기 플로팅 게이트로 전자의 파울러-노드하임 터널링을 유도하는 단계; 및

(b) 상기 전압 드레숄드치를 제 2 레벨로 낮추기 위하여 소정의 네거티브 전위가 상기 제어 게이트에 인가되어 선택된 셀의 상기 플로팅 게이트로부터 상기 드레인으로 전자의 파울러-노드하임 터널링을 유도하는 단계를 포함하는 것을 특징으로 하는 셀의 논리 조건을 설정하는 방법.

청구항 40

제39항에 있어서, 상기 단계(a)가 상기 셀의 제어 게이트를 상기 소스의 전위 이상의 소정의 전위로 높이는 단계를 포함하는 것을 특징으로 하는 셀의 논리 조건을 설정하는 방법.

청구항 41

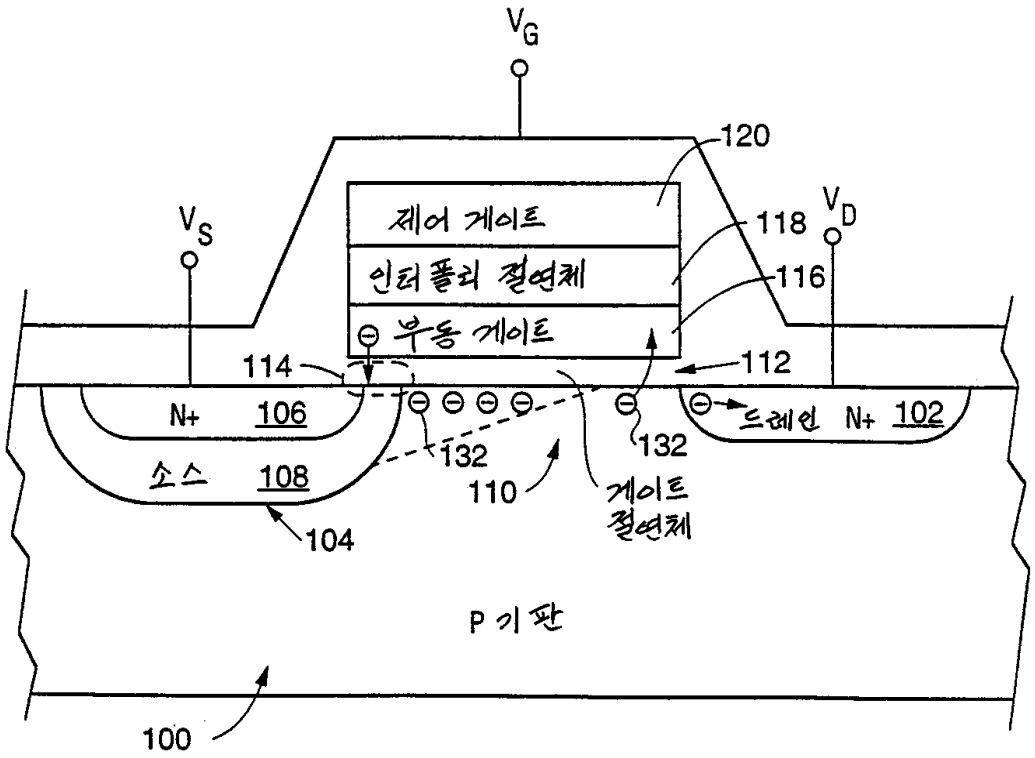
제39항에 있어서, 상기 메모리 장치는, 연관된 로우(row)의 셀의 제어 게이트에 각각 결합된 복수의 로우(row) 어드레스 라인, 연관된 칼럼의 셀의 드레인에 각각 결합된 복수의 칼럼 어드레스 라인 및 셀의 소스에 결합된 복수의 소스 라인을 추가로 구비하고, 상기 스텝(b)는 소정의 네가티브 전위를 상기 선택된 셀과 연관된 로우(row)어드레스 라인에 공급하는 단계를 포함하는 것을 특징으로 하는 셀의 논리 조건을 설정하는 방법.

청구항 42

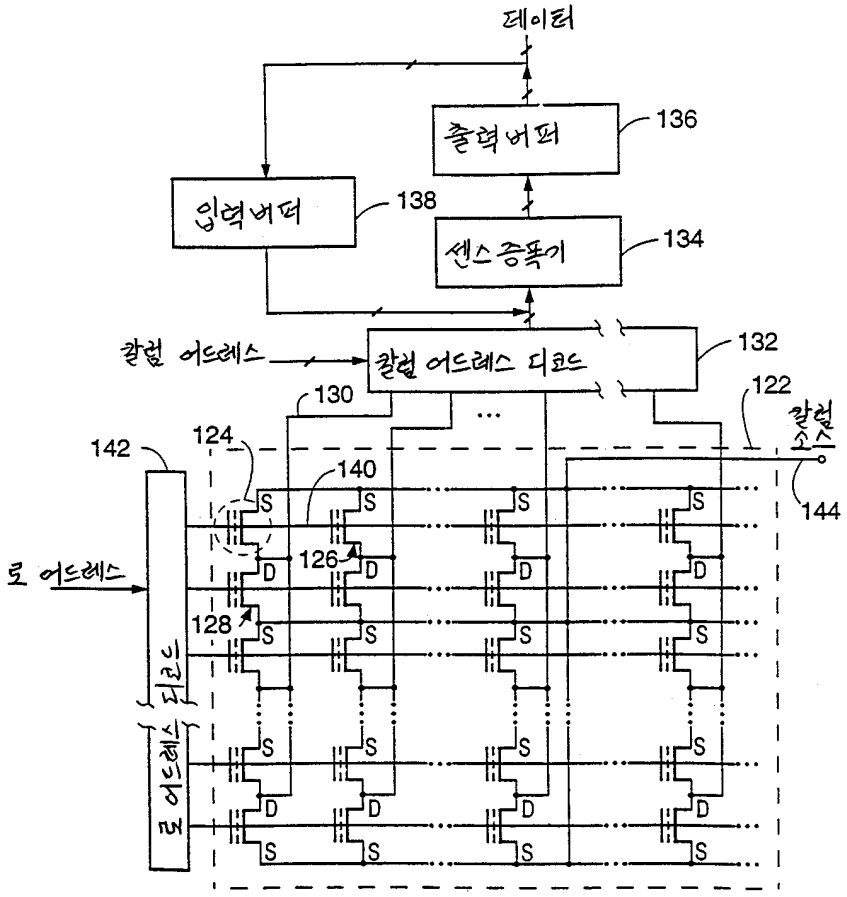
제41항에 있어서, 상기 단계(a)가, 상기 셀의 로우(row) 어드레스 라인을 상기 소스 라인의 전위 이상의 소정 전위로 올리는 단계를 포함하는 것을 특징으로 하는 셀의 논리 조건을 설정하는 방법.

도면

도면1a

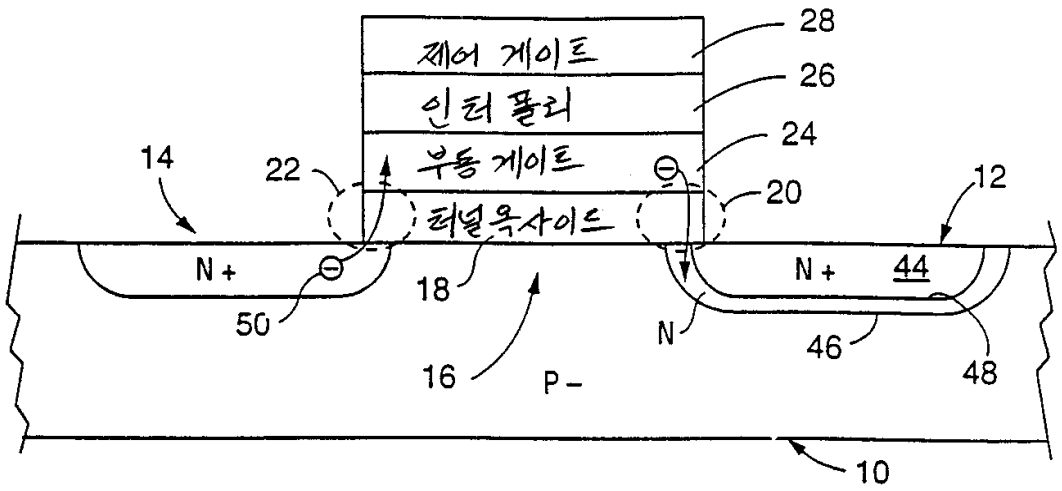


도면1b

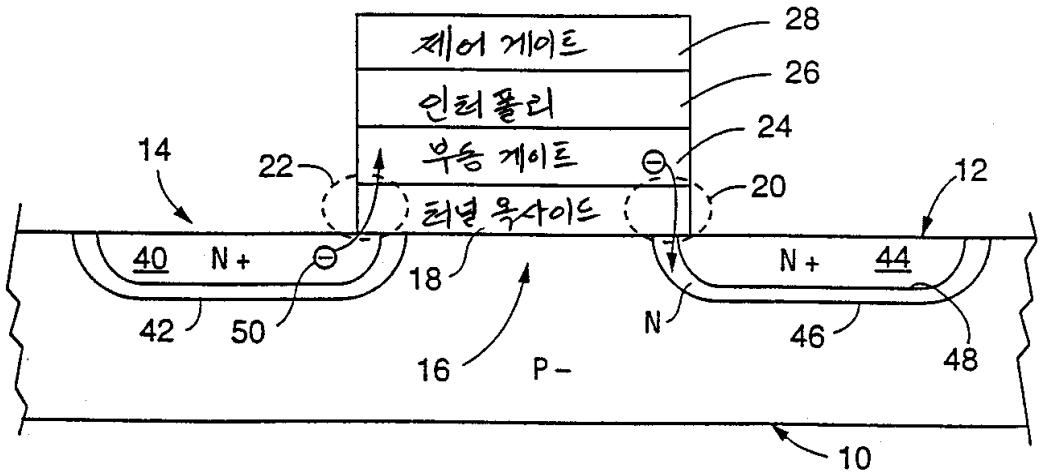


(선행 기술)

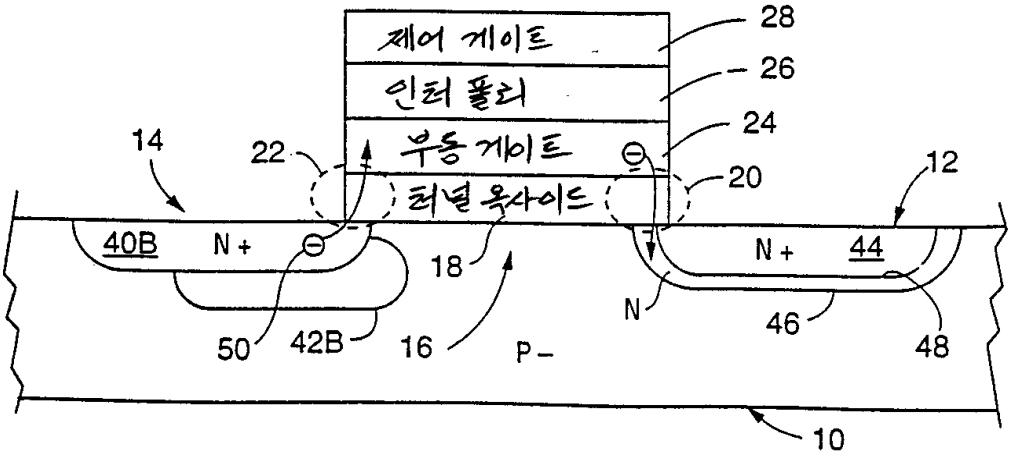
도면2a



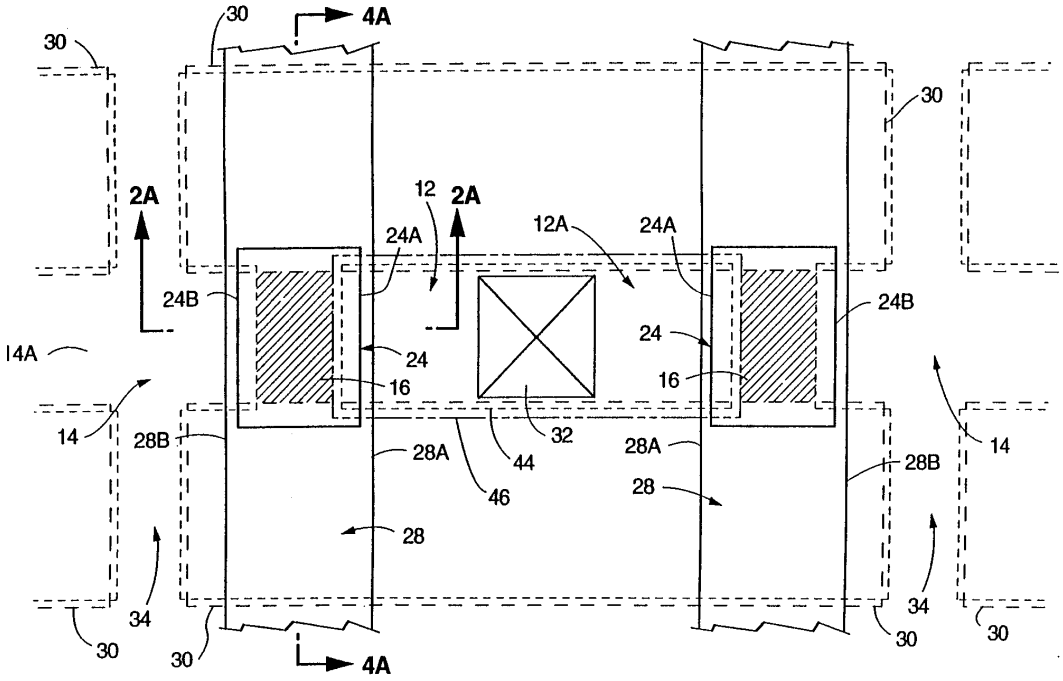
도면2b


제어 게이트
인터 폴리
부동 게이트
터널 옥사이드
28
26
24
20
14
22
12
40
N+
18
N+
44
42
50
N
46
48
16
P-
10

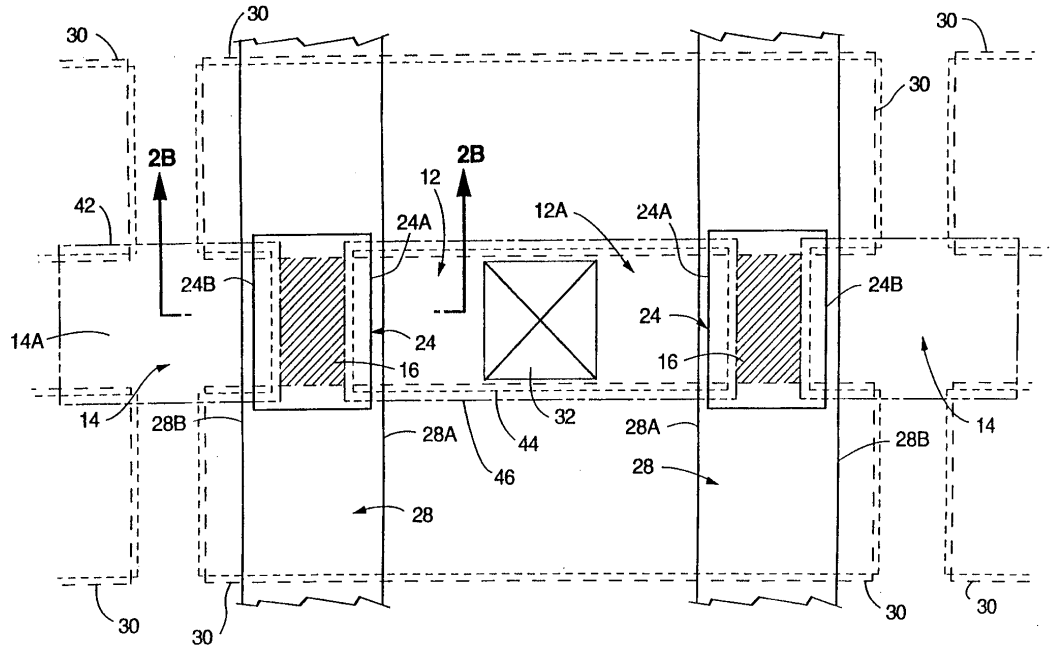
도면2c


제어 게이트
인터 폴리
부동 게이트
터널 옥사이드
28
26
24
20
14
22
12
40B
N+
18
N+
44
50
42B
16
N
46
48
P-
10

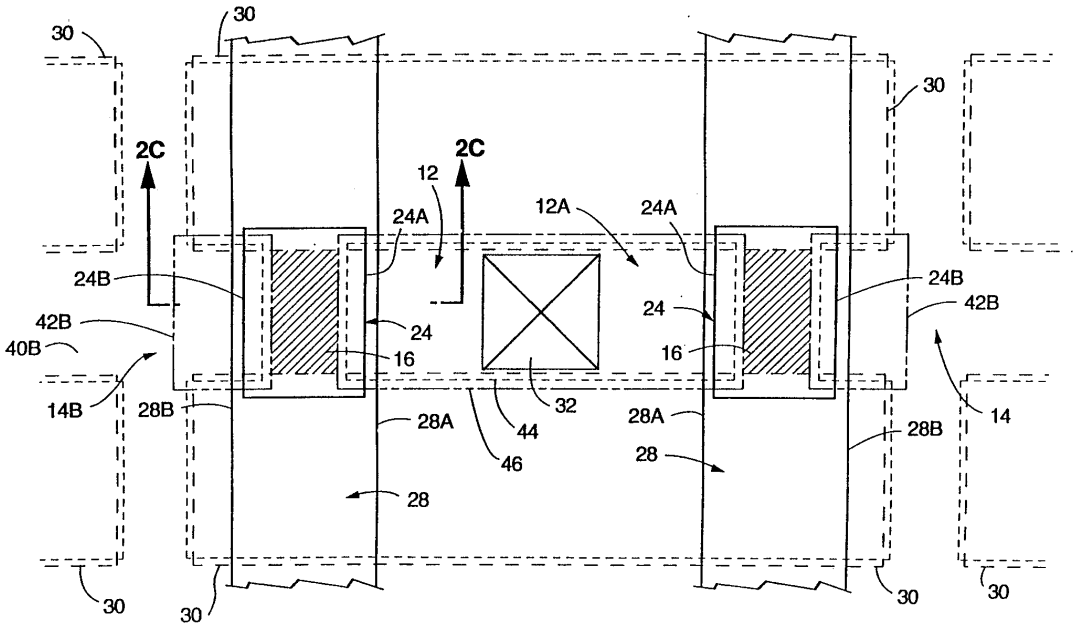
도면3a


30
4A
30
2A
12
2A
12A
24A
24A
24B
24B
24
24
16
16
14A
14
14
28B
28A
44
32
28A
28B
46
28
28
34
34
30
30
30
30
30
4A

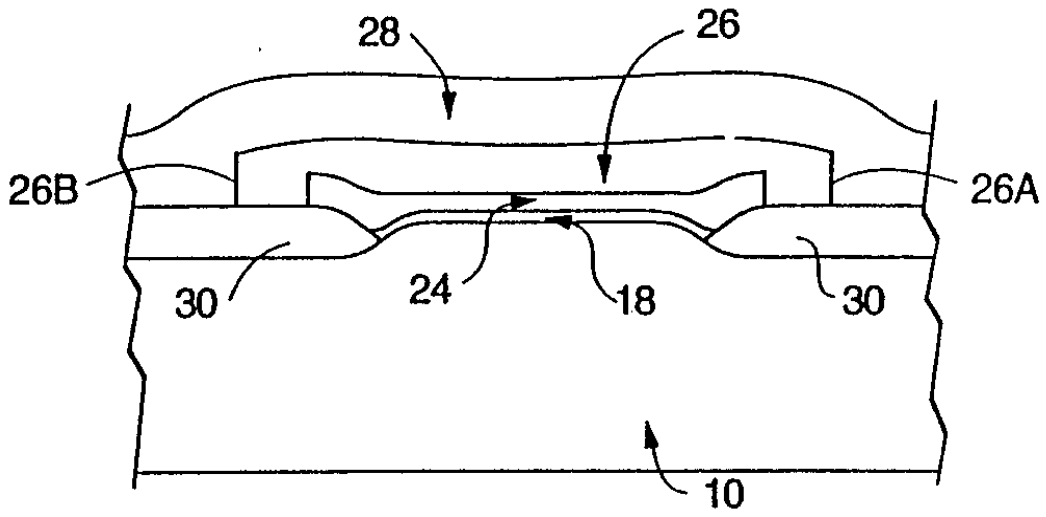
도면3b


30
30
30
30
2B
2B
42
12
12A
24A
24A
24B
24B
24
24
16
16
14A
14
14
28B
28A
44
32
28A
28B
46
28
28
30
30
30
30

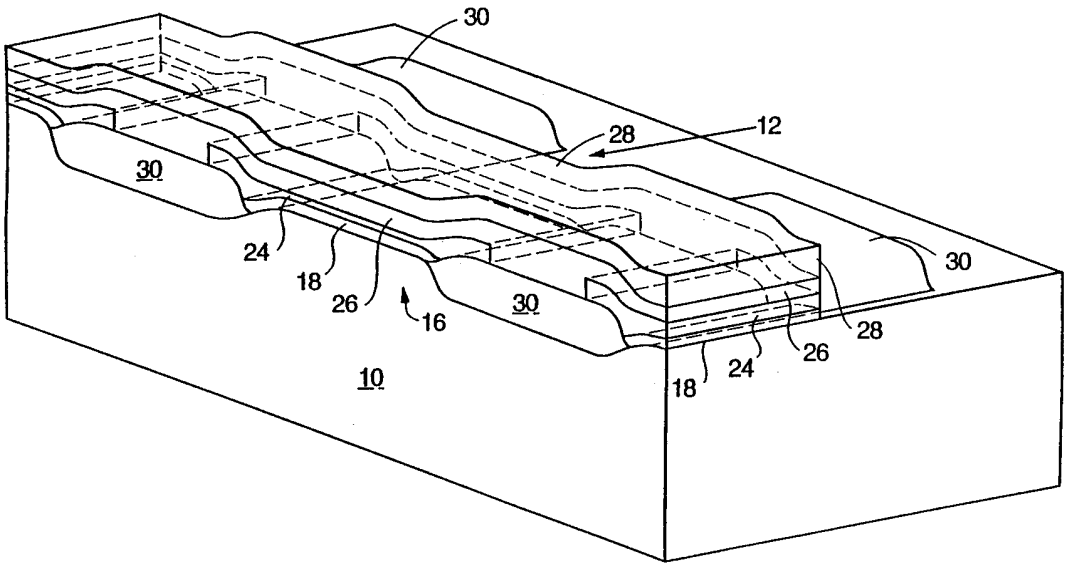
도면3c


30
30
30
2C
2C
12
12A
24A
24A
24B
24B
42B
42B
40B
24
24
16
16
14B
14
28B
28B
28A
28A
44
46
32
28
28
30
30
30
30

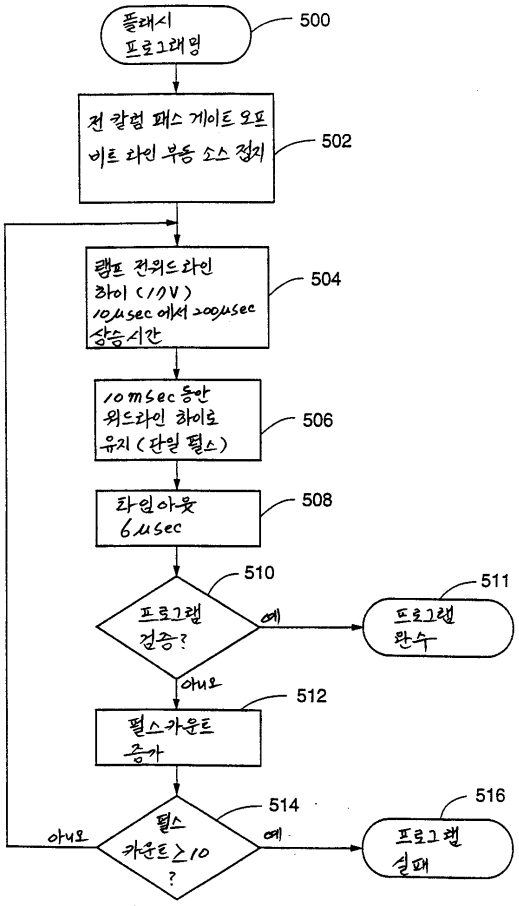
도면4a


28
26
26B
26A
30
24
18
30
10

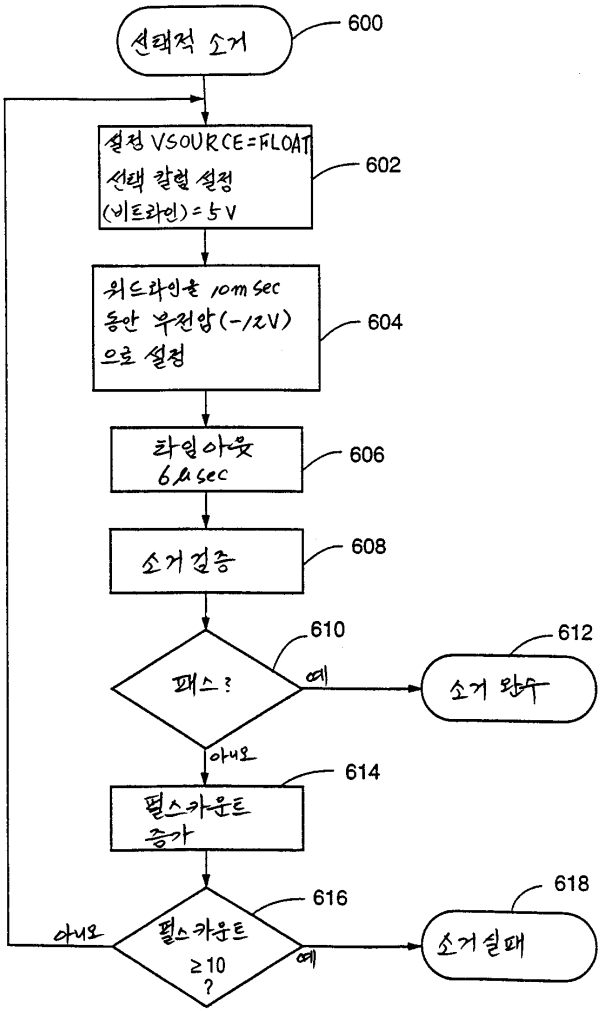
도면4b


30
28
12
30
24
18
26
16
30
10
18
24
26
28
30

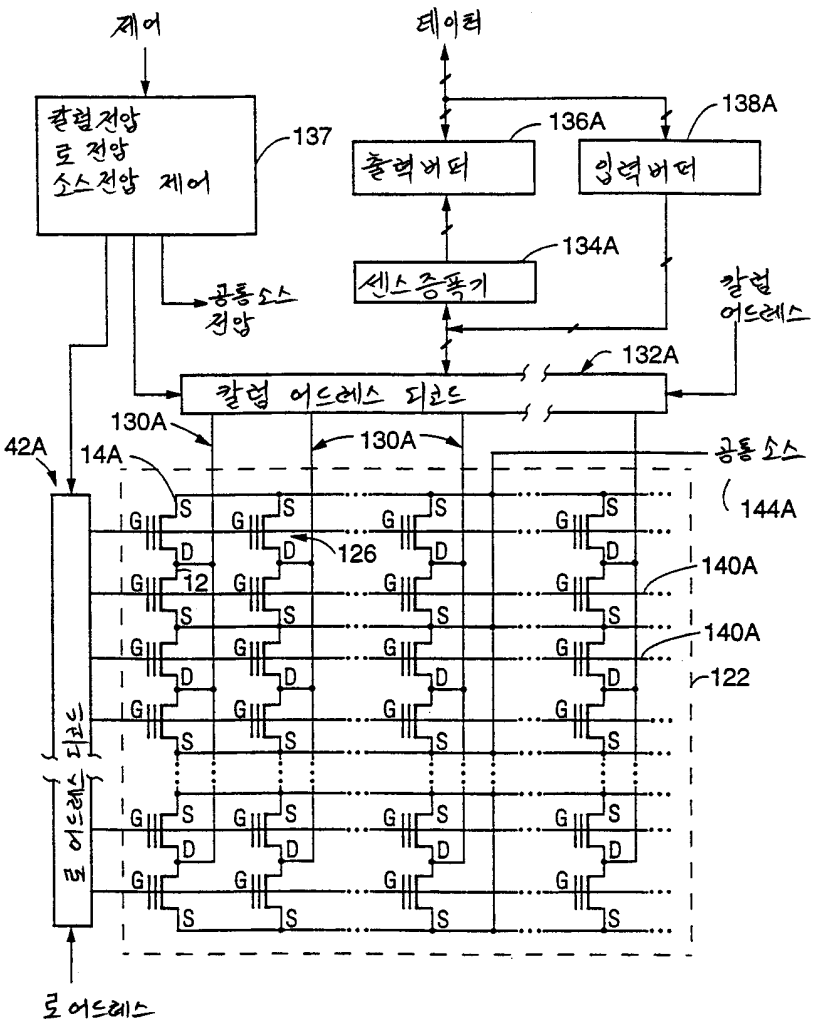
도면5


플래시 프로그래밍
500
전 칼럼 패스 게이트 오프 비트 라인 부동 소스 접지
502
램프 컨위드라인 하이 (17V) 10μsec 에서 200μsec 상승시간
504
10msec 동안 위드라인 하이로 유지 (단일 펄스)
506
타임아웃 6μsec
508
프로그램 검증?
510
예
프로그램 완수
511
아니오
펄스카운트 증가
512
펄스 카운트≥10 ?
514
아니오
예
프로그램 실패
516

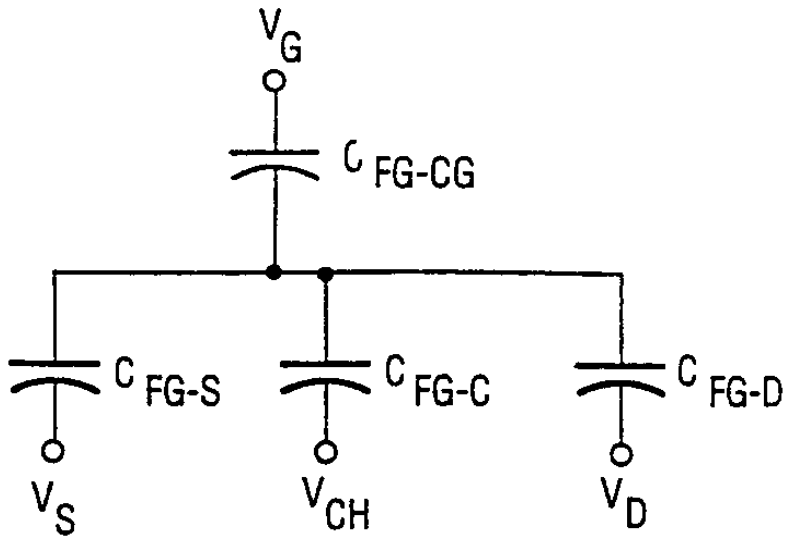
도면6


선택적 소거
600
설정 VSOURCE=FLOAT
선택 칼럼 설정
(비트라인)=5V
602
워드라인을 10m sec
동안 부전압(-12V)
으로 설정
604
타임아웃
6μsec
606
소거검증
608
610
패스?
예
612
소거 완수
아니오
614
펄스카운트
증가
616
펄스카운트
≥10
?
아니오
예
618
소거실패

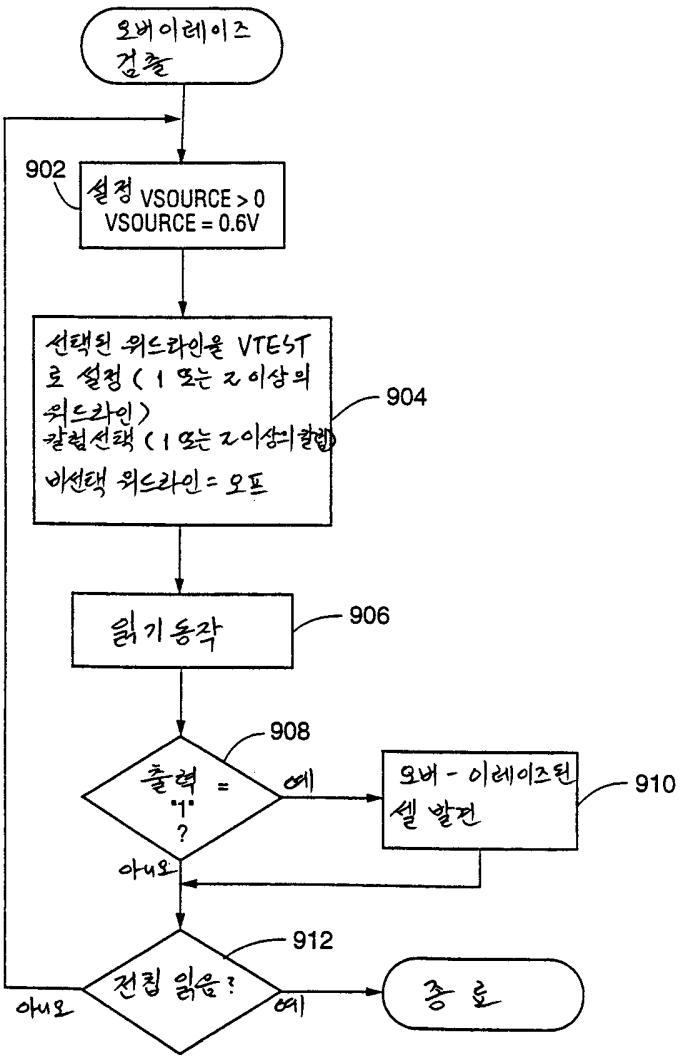
도면7


제어
데이터
칼럼전압
로 전압
소스전압 제어
137
출력버퍼
136A
입력버퍼
138A
센스증폭기
134A
공통소스
전압
칼럼
어드레스
132A
칼럼 어드레스 디코드
130A
130A
42A
14A
공통 소스
144A
126
12
140A
140A
122
로 어드레스 디코드

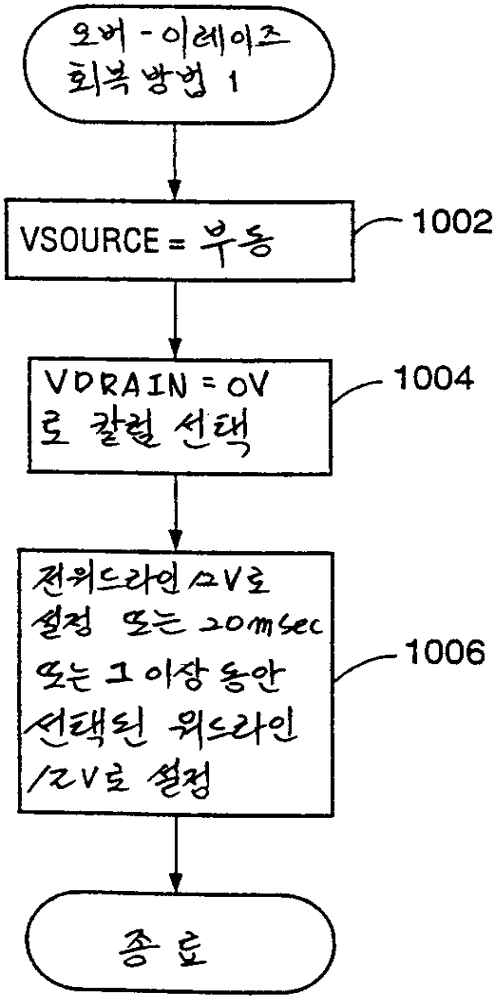
도면8


V_G
C_{FG-CG}
C_{FG-S}
C_{FG-C}
C_{FG-D}
V_S
V_{CH}
V_D

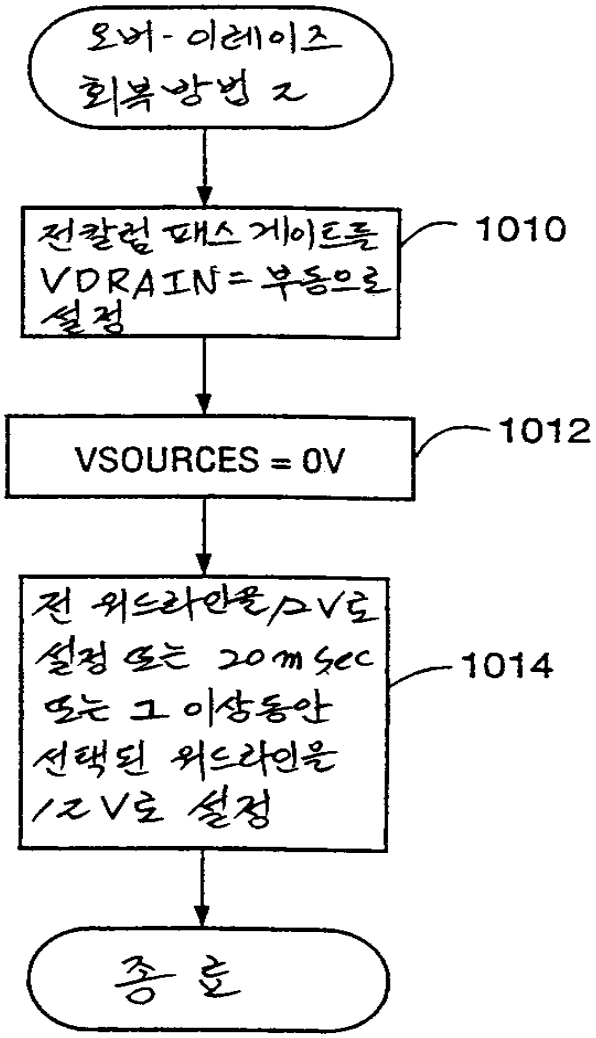
도면9


오버이레이즈 검출
902
설정 VSOURCE > 0
VSOURCE = 0.6V
선택된 워드라인을 VTEST로 설정 (1 또는 2 이상의 워드라인)
칼럼선택 (1 또는 2 이상의 칼럼)
비선택 워드라인 = 오프
904
읽기 동작
906
908
출력 = "1" ?
예
오버-이레이즈된 셀 발견
910
아니오
912
전칩 읽음?
아니오
예
종료

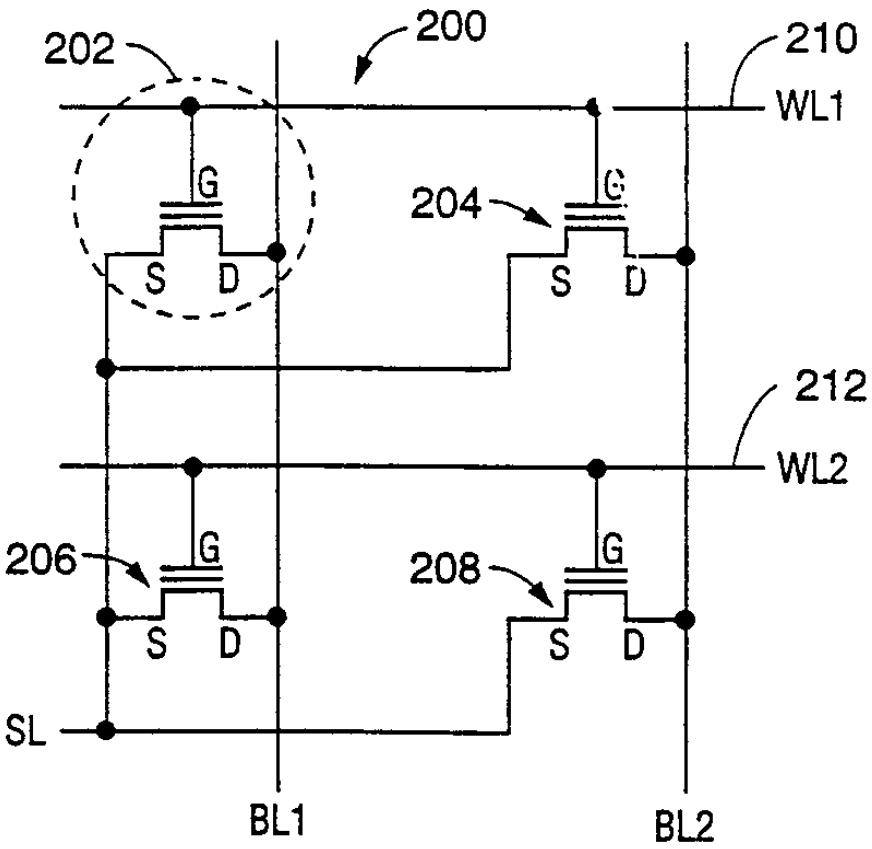
도면10a


오버-이레이즈
회복 방법 1
VSOURCE = 부동
1002
VDRAIN = 0V
로 칼럼 선택
1004
전워드라인 ΔV로
설정 또는 20msec
또는 그 이상 동안
선택된 워드라인
/2V로 설정
1006
종 료

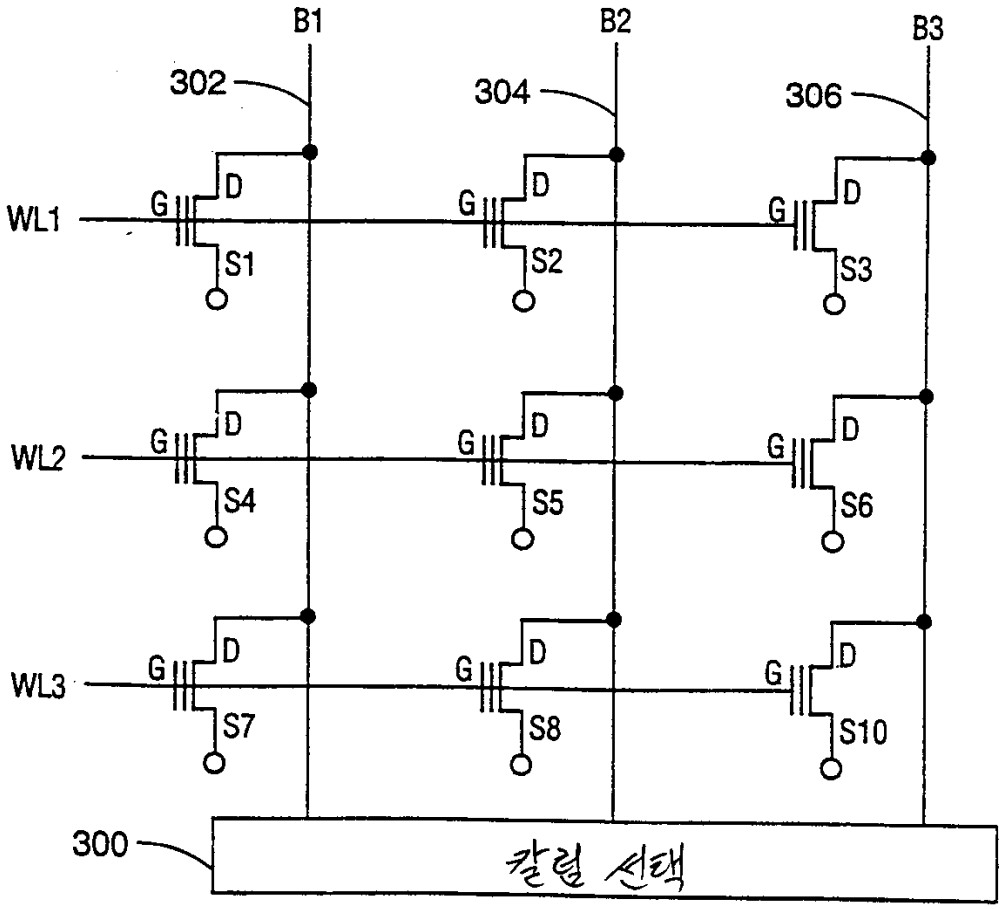
도면10b


오버-이레이즈 회복방법 2
전칼럼 패스 게이트를 VDRAIN=부동으로 설정
1010
VSOURCES = 0V
1012
전 워드라인을 0V로 설정 또는 20msec 또는 그 이상동안 선택된 워드라인을 12V로 설정
1014
종료

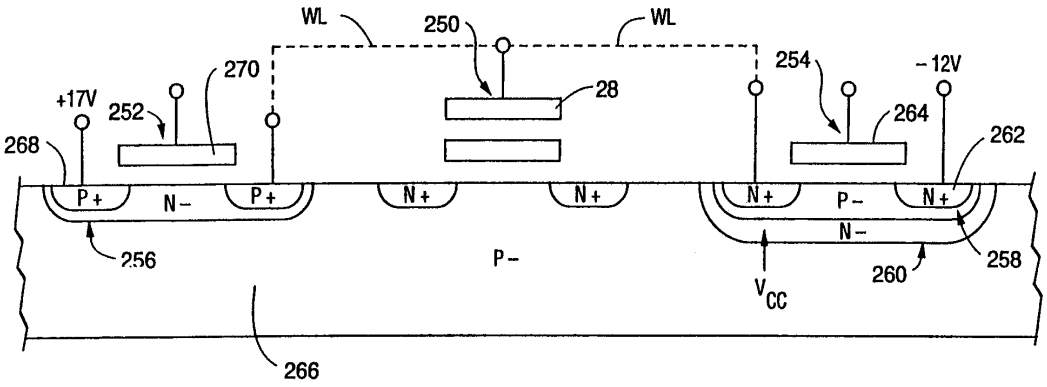
도면11



도면12


B1
B2
B3
302
304
306
WL1
WL2
WL3
G
D
S1
S2
S3
S4
S5
S6
S7
S8
S10
300
칼럼 선택

도면13


WL
250
WL
270
+17V
252
28
254
-12V
264
262
268
P+
N-
P+
N+
N+
N+
P-
N+
256
P-
N-
260
258
V_{CC}
266

도면14

