



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0054184
(43) 공개일자 2023년04월24일

(51) 국제특허분류(Int. Cl.)
H04L 25/06 (2006.01) H04B 1/12 (2006.01)
H04L 25/02 (2006.01) H04L 25/03 (2006.01)
(52) CPC특허분류
H04L 25/06 (2021.08)
H04B 1/12 (2020.08)
(21) 출원번호 10-2021-0137892
(22) 출원일자 2021년10월15일
심사청구일자 2021년10월15일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
최종혁
경기도 수원시 영통구 삼성로 11(신동, 래미안 영
통마크원 2단지)
(74) 대리인
특허법인주연케이알피

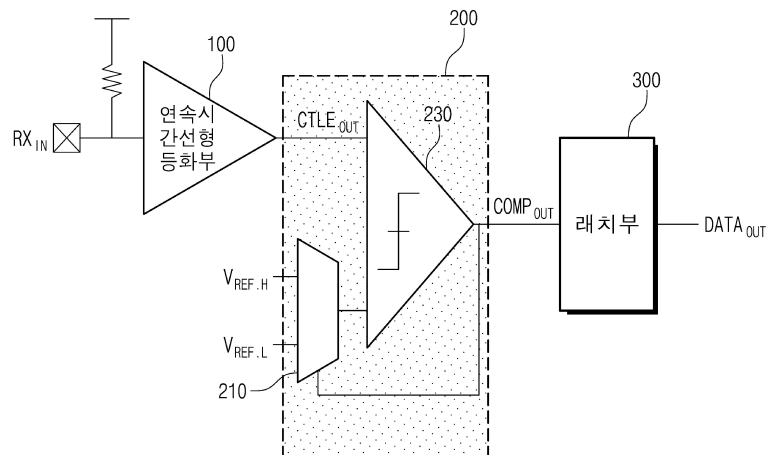
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 액티브 인덕터 연속 시간 선형 등화기와 기준 전압 선택 등화기를 포함하는 단일 신호법 수신기 및 그 동작방법

(57) 요약

본 발명은 단일 신호법 수신기에 관한 것으로, 좀 더 자세하게는 액티브 인덕터 연속 시간 선형 등화기와 기준 전압 선택 등화기를 포함하는 단일 신호법 수신기에 관한 것이다. 본 발명의 일 실시예에 따른 단일 신호법 수신기는 단일 신호를 입력받고, 상기 단일 신호의 왜곡을 보상하여 출력하는 연속 시간 선형 등화부, 및 비교기의 이전 출력에 기초하여 제1 및 제2 기준 전압값 중 하나를 선택하고, 선택된 상기 제1 및 제2 기준 전압값 중 하나에 기초하여 상기 연속 시간 선형 등화부의 출력을 샘플링하는 기준 전압 선택 등화부를 포함한다.

대표도 - 도2



(52) CPC특허분류

H04L 25/0292 (2013.01)

H04L 25/03267 (2013.01)

명세서

청구범위

청구항 1

단일 신호를 입력받고, 상기 단일 신호의 왜곡을 보상하여 출력하는 연속 시간 선형 등화부; 및
비교기의 이전 출력에 기초하여 제1 및 제2 기준 전압값 중 하나를 선택하고, 선택된 상기 제1 및 제2 기준 전압값 중 하나에 기초하여 상기 연속 시간 선형 등화부의 출력을 샘플링하는 기준 전압 선택 등화부를 포함하는, 단일 신호법 수신기.

청구항 2

제1항에 있어서,
상기 연속 시간 선형 등화부는 고주파 계인을 증폭시켜 신호를 보상하는, 단일 신호법 수신기.

청구항 3

제2항에 있어서,
상기 연속 시간 선형 등화부는,
2 pole과 1 zero를 가지는 제1형 액티브 인덕터 등화부; 및
2 pole과 2 zero를 가지는 제2형 액티브 인덕터 등화부를 포함하는, 단일 신호법 수신기.

청구항 4

제2항에 있어서,
상기 연속 시간 선형 등화부는 제1형 액티브 인덕터 등화부 및 제2형 액티브 인덕터 등화부를 포함하고,
상기 제1형 액티브 인덕터 등화부는,
전원 전압과 출력 노드 사이에 연결된 제1 트랜지스터;
상기 출력 노드 및 접지 전압 사이에 직렬로 연결된 제2 및 제3 트랜지스터;
상기 제1 트랜지스터의 게이트 및 상기 출력노드 사이에 연결된 저항을 포함하는, 단일 신호법 수신기.

청구항 5

제4항에 있어서,
상기 제2 트랜지스터는 입력 전압에 기초하여, 상기 출력 노드와 제1 노드 사이에 전류 통로를 형성하고,
상기 제3 트랜지스터는 바이어스 전압에 기초하여, 상기 제1 노드와 상기 접지 전압 사이에 전류 통로를 형성하는, 단일 신호법 수신기.

청구항 6

제5항에 있어서,
상기 제1 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 및 제3 트랜지스터는 NMOS 트랜지스터이며, 상기 저항은 가변 저항인, 단일 신호법 수신기.

청구항 7

제5항에 있어서,
상기 제1 트랜지스터는 NMOS 트랜지스터이고, 상기 제2 및 제3 트랜지스터는 PMOS 트랜지스터인, 단일 신호법

수신기.

청구항 8

제4항에 있어서,

상기 제2형 액티브 인덕터 등화부는,

전원 전압과 출력 노드 사이에 연결된 제1 트랜지스터;

상기 출력 노드 및 접지 전압 사이에 직렬로 연결된 제2 및 제3 트랜지스터;

상기 제1 트랜지스터의 게이트 및 상기 출력노드 사이에 연결된 제1 저항; 및

상기 제1 트랜지스터의 드레인 및 상기 출력노드 사이에 연결된 제2 저항을 포함하는, 단일 신호법 수신기.

청구항 9

제8항에 있어서,

상기 제1 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 및 제3 트랜지스터는 NMOS 트랜지스터이며, 상기 제1 및 제2 저항은 가변 저항인, 단일 신호법 수신기.

청구항 10

제8항에 있어서,

상기 제1 트랜지스터는 NMOS 트랜지스터이고, 상기 제2 및 제3 트랜지스터는 PMOS 트랜지스터인, 단일 신호법 수신기.

청구항 11

제9항에 있어서,

상기 가변 저항은 제1 및 제2 방식을 통해 조절되는, 단일 신호법 수신기.

청구항 12

제11항에 있어서,

상기 제1 방식은 상기 저항과 병렬로 트랜지스터를 연결하고, 상기 트랜지스터의 게이트 전압값에 따라 저항값을 조절하는, 단일 신호법 수신기.

청구항 13

제12항에 있어서,

상기 제2 방식은 바이너리 혹은 thermometer 크기의 트랜지스터를 병렬로 연결하고, 상기 트랜지스터의 게이트에 0 또는 1의 신호를 입력해 상기 저항값을 조절하는, 단일 신호법 수신기.

청구항 14

제1항에 있어서,

상기 기준 전압 선택 등화부는,

상기 제1 및 제2 기준 전압을 입력받고, 비교기의 이전 출력을 입력받는 믹스; 및

상기 믹스에서 선택된 상기 제1 및 제2 기준 전압 중 하나와 상기 연속 시간 선행 등화부의 출력을 비교하는 비교기를 포함하는, 단일 신호법 수신기.

청구항 15

제1항에 있어서,

상기 제1 기준 전압은 high 상태의 기준 전압이고,

상기 제2 기준 전압은 low 상태의 기준 전압인, 단일 신호법 수신기.

청구항 16

제15항에 있어서,

상기 비교기의 이전 출력이 high일 때, 상기 먹스는 상기 제1 기준 전압을 선택하여 상기 비교기에 입력하고,

상기 비교기의 이전 출력이 low일 때, 상기 먹스는 상기 제2 기준 전압을 선택하여 상기 비교기에 입력하는, 단일 신호법 수신기.

청구항 17

단일 신호를 입력받고, 상기 단일 신호의 왜곡을 보상하여 출력하는 단계; 및

비교기의 이전 출력에 기초하여 제1 및 제2 기준 전압값 중 하나를 선택하고, 선택된 상기 제1 및 제2 기준 전압값 중 하나에 기초하여 상기 연속 시간 선형 등화부의 출력을 샘플링하는 단계를 포함하는 단일 신호법 수신기의 동작방법.

청구항 18

제17항에 있어서,

상기 상기 연속 시간 선형 등화부의 출력을 샘플링하는 단계는,

상기 제1 및 제2 기준 전압을 입력받고, 비교기의 이전 출력을 입력받는 단계; 및

상기 제1 및 제2 기준 전압 중 하나를 선택하고, 선택된 기준 전압과 상기 연속 시간 선형 등화부의 출력을 비교하는 단계를 포함하는, 단일 신호법 수신기의 동작방법.

청구항 19

제18항에 있어서,

상기 비교기의 이전 출력이 high일 때, 먹스는 상기 제1 기준 전압을 선택하여 상기 비교기에 입력하는 단계; 및

상기 비교기의 이전 출력이 low일 때, 상기 먹스는 상기 제2 기준 전압을 선택하여 상기 비교기에 입력하는 단계를 포함하는, 단일 신호법 수신기의 동작방법.

발명의 설명

기술 분야

[0001] 본 발명은 단일 신호법 수신기에 관한 것으로, 좀 더 자세하게는 액티브 인덕터 연속 시간 선형 등화기와 기준 전압 선택 등화기를 포함하는 단일 신호법 수신기에 관한 것이다.

배경 기술

[0002] 종래의 연속 시간 선형 등화기 회로의 경우 차동 신호를 입력받아 특정 주파수의 성분을 증폭시켜 채널 ISI(Inter-symbol interference)를 제거했다. 이 경우 차동 신호를 입력 받아야만 출력이 선형적으로 왜곡없이 증폭이 가능했다. 이를 단일 신호법에 적용하기 위해서는 연속 시간 선형 등화기 전에 단일 신호를 차동 신호로 바꿔주는 증폭기가 필요했으며, 단일 신호를 차동 신호로 바꿔주는 증폭기는 단일 입력 신호를 받아 고정된 전압값과 비교해 차동 신호를 출력했다.

[0003] 그러나, 증폭기의 두 입력이 차동신호가 아니어서 출력 또한 완전히 대칭적인 차동신호가 아니게되어 신호에 왜곡이 발생할 수 있다는 문제점이 있다.

[0004] 또한, 종래의 차동 판정 궤환 등화기의 경우 회로로 채널을 통과하며 생긴 ISI와 반대되는 전류를 가산시켜 ISI를 제거하였다. 그러나 이 또한 차동 구조를 기반으로하기 때문에 입력 신호는 차동 신호여야하며, 고정된 전류원을 사용하기 때문에 항상 전류를 소모하게되는 문제점이 있다.

- [0005] 이에 더해, 차동 판정 궤환 등화기는 연속 시간 선형 등화기 회로의 뒤에 연결되기 때문에, 비대칭적인 연속 시간 선형 등화기 회로의 출력에 기초하여 차동 판정 궤환 등화기의 출력 또한 비선형적일 수 있다는 문제점이 있다.
- [0006] 이와 같이, 차동 구조를 기반으로 하는 등화기에 단일 신호법을 적용할 경우, 정상적으로 동작하지 않거나 성능이 제한되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 신호의 왜곡 없이 단일 입력 신호에 사용 가능한 액티브 인덕터 연속 시간 선형 등화기와 기준 전압 선택 등화기를 포함하는 단일 신호법 수신기를 제공하는 것에 목적이 있다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 단일 신호법 수신기는 단일 신호를 입력받고, 상기 단일 신호의 왜곡을 보상하여 출력하는 연속 시간 선형 등화부, 및 비교기의 이전 출력에 기초하여 제1 및 제2 기준 전압값 중 하나를 선택하고, 선택된 상기 제1 및 제2 기준 전압값 중 하나에 기초하여 상기 연속 시간 선형 등화부의 출력을 샘플링하는 기준 전압 선택 등화부를 포함한다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 연속 시간 선형 등화부는 고주파 게인을 증폭시켜 신호를 보상할 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 연속 시간 선형 등화부는, 2 pole과 1 zero를 가지는 제1형 액티브 인덕터 등화부 및 2 pole과 2 zero를 가지는 제2형 액티브 인덕터 등화부를 포함할 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 연속 시간 선형 등화부는 제1형 액티브 인덕터 등화부 및 제2형 액티브 인덕터 등화부를 포함하고, 상기 제1형 액티브 인덕터 등화부는, 전원 전압과 출력 노드 사이에 연결된 제1 트랜지스터, 상기 출력 노드 및 접지 전압 사이에 직렬로 연결된 제2 및 제3 트랜지스터, 상기 제1 트랜지스터의 게이트 및 상기 출력노드 사이에 연결된 저항을 포함할 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 제2 트랜지스터는 입력 전압에 기초하여, 상기 출력 노드와 제1 노드 사이에 전류 통로를 형성하고, 상기 제3 트랜지스터는 바이어스 전압에 기초하여, 상기 제1 노드와 상기 접지 전압 사이에 전류 통로를 형성할 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 제1 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 및 제3 트랜지스터는 NMOS 트랜지스터이며, 상기 제1 및 제2 저항은 가변 저항일 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 제1 트랜지스터는 NMOS 트랜지스터이고, 상기 제2 및 제3 트랜지스터는 PMOS 트랜지스터 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 제2형 액티브 인덕터 등화부는, 전원 전압과 출력 노드 사이에 연결된 제1 트랜지스터, 상기 출력 노드 및 접지 전압 사이에 직렬로 연결된 제2 및 제3 트랜지스터, 상기 제1 트랜지스터의 게이트 및 상기 출력노드 사이에 연결된 제1 저항, 및 상기 제1 트랜지스터의 드레인 및 상기 출력노드 사이에 연결된 제2 저항을 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 제1 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 및 제3 트랜지스터는 NMOS 트랜지스터이고, 상기 제1 및 제2 저항은 가변 저항일 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 제1 트랜지스터는 NMOS 트랜지스터이고, 상기 제2 및 제3 트랜지스터는 PMOS 트랜지스터 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 가변 저항은 제1 및 제2 방식을 통해 조절될 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 제1 방식은 상기 저항과 병렬로 트랜지스터를 연결하고, 상기 트랜지스터의 게이트 전압값에 따라 저항값을 조절할 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 제2 방식은 바이너리 혹은 thermometer 크기의 트랜지스터를 병렬로 연결하고, 상기 트랜지스터의 게이트에 0 또는 1의 신호를 입력해 상기 저항값을 조절할 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 기준 전압 선택 등화부는, 상기 제1 및 제2 기준 전압을 입력받고, 비교기

의 이전 출력을 입력받는 먹스, 및 상기 먹스에서 선택된 상기 제1 및 제2 기준 전압 중 하나와 상기 연속 시간 선형 등화부의 출력을 비교하는 비교기를 포함할 수 있다.

[0022] 본 발명의 일 실시예에 있어서, 상기 제1 기준 전압은 high 상태의 기준 전압이고, 상기 제2 기준 전압은 low 상태의 기준 전압일 수 있다.

[0023] 본 발명의 일 실시예에 있어서, 상기 비교기의 이전 출력이 high일 때, 상기 먹스는 상기 제1 기준 전압을 선택하여 상기 비교기에 입력하고, 상기 비교기의 이전 출력이 low일 때, 상기 먹스는 상기 제2 기준 전압을 선택하여 상기 비교기에 입력할 수 있다.

[0024] 본 발명의 일 실시예에 따른 단일 신호법 수신기의 동작방법은 단일 신호를 입력받고, 상기 단일 신호의 왜곡을 보상하여 출력하는 단계, 및 비교기의 이전 출력에 기초하여 제1 및 제2 기준 전압값 중 하나를 선택하고, 선택된 상기 제1 및 제2 기준 전압값 중 하나에 기초하여 상기 연속 시간 선형 등화부의 출력을 샘플링하는 단계를 포함할 수 있다.

[0025] 본 발명의 일 실시예에 있어서, 상기 상기 연속 시간 선형 등화부의 출력을 샘플링하는 단계는, 상기 제1 및 제2 기준 전압을 입력받고, 비교기의 이전 출력을 입력받는 단계, 및 상기 제1 및 제2 기준 전압 중 하나를 선택하고, 선택된 기준 전압과 상기 연속 시간 선형 등화부의 출력을 비교하는 단계를 포함할 수 있다.

[0026] 본 발명의 일 실시예에 있어서, 상기 비교기의 이전 출력이 high일 때, 먹스는 상기 제1 기준 전압을 선택하여 상기 비교기에 입력하는 단계, 및 상기 비교기의 이전 출력이 low일 때, 상기 먹스는 상기 제2 기준 전압을 선택하여 상기 비교기에 입력하는 단계를 포함할 수 있다.

발명의 효과

[0027] 본 발명의 단일 신호법 수신기는 신호의 왜곡 없이 단일 입력 신호에 사용할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 단일 신호법 수신기의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 단일 신호법 수신기를 구체적으로 도시한 것이다.

도 3a는 본 발명의 일 실시예에 따른 제1형 액티브 인덕터 등화부를 도시한 것이고, 도 3b는 제1형 액티브 인덕터 등화부의 AC 응답을 도시한 것이다.

도 4a는 본 발명의 일 실시예에 따른 제2형 액티브 인덕터 등화부를 도시한 것이고, 도 4b는 제2형 액티브 인덕터 등화부의 AC 응답을 도시한 것이다.

도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 기준 전압 선택 등화부의 동작에 따른 eye 마진을 보여주는 도이다.

도 6a 및 도 6b는 본 발명의 다른 실시예에 따른 기준 전압 선택 등화부를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 본 출원의 기술적 사상을 본 출원의 기술분야에서 통상의 지식을 가진자가 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 출원의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다. 도 1은 본 발명의 일 실시예에 따른 단일 신호법 수신기의 블록도이다.

[0030] 도 1을 참조하면, 본 발명의 일 실시예에 따른 단일 신호법 수신기는 연속 시간 선형 등화부(100), 기준 전압 선택 등화부(200), 및 래치부(300)를 포함할 수 있다.

[0031] 연속 시간 선형 등화부(100)는 단일 신호를 입력받고, 단일 신호의 왜곡을 보상하여 출력할 수 있다. 연속 시간 선형 등화부(100)는 고주파 계인을 증폭시켜 신호를 보상할 수 있다.

[0032] 일 실시예에 있어서, 연속 시간 선형 등화부(100)는 제1 액티브 인덕터 등화부 및 제2 액티브 인덕터 등화부를 포함할 수 있다. 제1 액티브 인덕터 등화부는 다이오드 연결(diode connected) 트랜지스터에 저항 하나를 추가하여 구현될 수 있다. 이때, 제1 액티브 인덕터 등화부는 DC 계인은 그대로 유지하고, 저항 값이 커질수록 고주파 계인이 증가할 수 있다.

- [0033] 제2 액티브 인덕터 등화부는 제1 액티브 인덕터 등화부에 저항 하나를 더 추가하여 구현될 수 있다. 이때, 제2 액티브 인덕터 등화부는 DC 게인이 증가하고, 고주파 피킹 게인은 더욱 증가할 수 있다. 이에 따라, 연속 시간 선형 등화부(100)는 신호의 크기는 유지하면서 채널 감쇄를 보상할 수 있다.
- [0034] 이에 대한 구체적인 설명은 도 3a, 도 3b, 도 4a 및 도 4b에서 후술될 것이다.
- [0035] 기준 전압 선택 등화부(200)는 비교기의 이전 출력에 기초하여 제1 및 제2 기준 전압값 중 하나를 선택하고, 선택된 제1 및 제2 기준 전압값 중 하나에 기초하여 연속 시간 선형 등화부(100)의 출력을 샘플링할 수 있다. 이때, 기준 전압 선택 등화부(200)는 판정 궤환 등화기 회로(Decision-feedback equalizer)일 수 있다.
- [0036] 일 실시예에 있어서, 기준 전압 선택 등화부(200)는 풀 레이트(full rate) 구조, 하프 레이트(half rate) 구조, 및 하프 레이트 루프 풀기(half rate loop unrolling) 구조 중 하나로 구현될 수 있다. 아래에서는 설명의 편의를 위해 풀 레이트(full rate) 구조로 구현된 기준 전압 선택 등화부(200)를 기준으로 설명될 것이다. 기준 전압 선택 등화부(200)는 믹스 및 비교기를 포함할 수 있다.
- [0037] 믹스는 제1 및 제2 기준 전압을 입력받고, 비교기의 이전 출력 데이터를 입력받을 수 있다. 즉, 믹스는 비교기로부터 이전 출력 데이터를 입력받고, 비교기의 이전 출력 데이터에 기초하여 제1 및 제2 기준 전압 중 하나를 선택할 수 있다. 이전 출력 데이터에 기초하여 선택된 기준 전압은 비교기로 입력되어 비교기의 현재 출력 데이터를 제어할 수 있다.
- [0038] 비교기는 믹스에서 선택된 제1 및 제2 기준 전압 중 하나와 연속 시간 선형 등화부(100)의 출력을 비교하여 샘플링할 수 있다. 비교기는 이전 출력 데이터에 기초하여 선택된 제1 및 제2 기준 전압과 현재의 연속 시간 선형 등화부(100)의 출력을 비교하여 현재의 디지털 신호를 샘플링할 수 있다. 이때, 비교기의 현재 출력 데이터가 믹스로 피드백 됨으로써, eye 마진의 영역을 넓힐 수 있다. 이에 대한 구체적인 설명은 도 5a 내지 도 5c에서 후술될 것이다.
- [0039] 래치부(300)는 기준 전압 선택 등화부(200)의 출력을 NRZ 신호로 변환할 수 있다. 래치부(300)는 SR 래치를 이용하여 비교기의 출력인 RZ 신호를 NRZ 신호로 변환할 수 있다. 즉, 래치부(300)는 RZ 신호를 입력받아 NRZ 신호로 변환하여 출력할 수 있다.
- [0040] 상술한 바와 같이, 본 발명의 일 실시예에 따른 단일 신호법 수신기(10)는 단일 신호를 입력 받아 신호의 왜곡을 보상하고, 이전 데이터에 기초하여 제1 및 제2 기준 전압값 중 하나의 기준 전압값을 선택하며, 선택된 기준 전압값과 신호의 왜곡이 보상된 단일 신호를 비교하여 eye 마진의 영역이 넓은 신호를 출력할 수 있다.
- [0041] 좀 더 자세하게, 단일 신호법 수신기(10)는 단일 신호를 입력받고, 단일 신호의 왜곡을 보상하여 출력할 수 있다. 단일 신호법 수신기(10)는 비교기의 이전 출력에 기초하여 제1 및 제2 기준 전압값 중 하나를 선택할 수 있다. 단일 신호법 수신기(10)는 제1 및 제2 기준 전압값 중 선택된 하나의 전압값과 왜곡이 보상된 단일 신호를 비교하여 출력할 수 있다.
- [0042] 이에 따라, 단일 신호법 수신기(10)는 단일 입력 신호에도 신호의 왜곡 없이 출력 신호를 제공할 수 있다. 또한, 단일 신호법 수신기(10)는 이전 데이터에 기초하여 기준 전압을 변경함으로써, 데이터를 복원할 수 있는 범위는 eye 마진을 늘릴 수 있다.
- [0043] 도 2는 본 발명의 일 실시예에 따른 단일 신호법 수신기(10)를 구체적으로 도시한 것이다.
- [0044] 도 2를 참조하면, 본 발명의 일 실시예에 따른 단일 신호법 수신기(10)는 연속 시간 선형 등화부(100), 기준 전압 선택 등화부(200), 및 래치부(300)를 포함할 수 있다. 도 2의 단일 신호법 수신기(10)는 도 1의 단일 신호법 수신기(10)와 동일하거나 유사하므로 자세한 설명은 생략될 것이다.
- [0045] 연속 시간 선형 등화부(100)는 단일 입력 신호(RX_{IN})를 입력받을 수 있다. 이때, 연속 시간 선형 등화부(100)는 입력된 단일 입력 신호의 왜곡을 보상하여 출력 신호($CTLE_{OUT}$)를 출력할 수 있다. 이때, 출력 신호는 기준 전압 선택 등화부(200)의 비교기(230)로 입력될 수 있다.
- [0046] 기준 전압 선택 등화부(200)는 믹스(210) 및 비교기(230)를 포함할 수 있다. 비교기(230)는 연속 시간 선형 등화부(100)의 출력 신호($CTLE_{OUT}$)와 믹스(210)의 출력을 입력받고, 출력 신호($CTLE_{OUT}$)와 믹스(210)의 출력을 비교하여 디지털 신호로 샘플링 하여 디지털 신호($COMP_{OUT}$)를 출력할 수 있다. 이때, 디지털 신호는 믹스(210)로 피드백 될 수 있다.

- [0047] 비교부(230)는 이전 신호에 대한 이전 디지털 신호($COMP_{OUT}$)를 출력하고, 이전 디지털 신호($COMP_{OUT}$)를 믹스(210)로 피드백할 수 있다. 믹스(210)는 피드백된 이전 디지털 신호($COMP_{OUT}$)에 기초하여, 제1 및 제2 기준 전압값($V_{REF,H}$, $V_{REF,L}$) 중 하나를 선택할 수 있다. 이때, 출력된 믹스(210)의 출력은 다음 동작을 수행하기 위한 비교기(230)에 입력될 수 있다.
- [0048] 예를 들어, 이전 디지털 신호($COMP_{OUT}$)가 high일 경우, 믹스(210)는 이전 디지털 신호($COMP_{OUT}$)인 high를 피드백받아, 제1 기준 전압값($V_{REF,H}$)을 선택할 수 있다. 비교기(230)는 연속 시간 선형 등화부(100)의 현재 출력 신호($CTLE_{OUT}$)와 이전 디지털 신호($COMP_{OUT}$)에 기초한 제1 기준 전압값($V_{REF,H}$)을 비교하여 현재의 디지털 신호($COMP_{OUT}$)를 출력할 수 있다.
- [0049] 또한, 디지털 신호($COMP_{OUT}$)는 래치부(300)로 입력될 수 있다. 래치부(300)는 RZ 형태의 디지털 신호($COMP_{OUT}$)를 입력받아 NRZ 형태로 변환하여 출력 신호($DATA_{OUT}$)를 출력할 수 있다.
- [0050] 도 3a는 본 발명의 일 실시예에 따른 제1형 액티브 인덕터 등화부를 도시한 것이고, 도 3b는 제1형 액티브 인덕터 등화부의 AC 응답을 도시한 것이다.
- [0051] 도 3a를 참조하면, 제1형 액티브 인덕터 등화부는 제1 내지 제3 트랜지스터 및 저항을 포함할 수 있다.
- [0052] 제1 트랜지스터(P1)는 전원 전압과 출력 노드(A1) 사이에 연결되고, 제2 및 제3 트랜지스터(N1, N2)는 출력 노드(A1) 및 접지 전압 사이에 직렬로 연결될 수 있다. 저항(R_G)은 제1 트랜지스터(P1)의 게이트 및 출력 노드(A1) 사이에 연결되어 있을 수 있다. 이때, 저항은 트랜지스터와 병렬로 연결되어 가변저항의 기능을 할 수 있다.
- [0053] 일 실시예에 있어서, 제1 트랜지스터(P1)는 PMOS 트랜지스터이고, 제2 및 제3 트랜지스터(N1, N2)는 NMOS 트랜지스터이며, 저항(R_G)은 가변 저항일 수 있다. 이 경우, 제1형 액티브 인덕터 등화부는 2pole과 1zero를 가질 수 있다.
- [0054] 이는 NMOS 트랜지스터를 입력으로 받는 형태로 설명되었지만, 제1 트랜지스터를 NMOS 트랜지스터로 구현하여 PMOS 트랜지스터를 입력으로 받는 형태로 구현될 수도 있다. 예를 들어, 제1 트랜지스터(P1)는 NMOS 트랜지스터이고, 제2 및 제3 트랜지스터(N1, N2)는 PMOS 트랜지스터일 수 있다.
- [0055] 제3 트랜지스터는 $BIAS_N$ 을 입력받아, 균일한 전류를 흘려주는 전류원이 되어 제2 트랜지스터의 트랜스컨덕턴스를 유지시켜줄 수 있다. 이때, 제1 트랜지스터와 저항은 다이오드 연결(diode connected) 트랜지스터로 해석될 수 있다. 이에 따라, 제1형 액티브 인덕터 등화부는 제1 트랜지스터와 저항이 로드(load) 기능을 하여, 고주파에서 정점(peaking)이 일어나, 연속 시간 선형 등화기 회로의 역할을 수행할 수 있다.
- [0056] 일 실시예에 있어서, 저항값은 제1 및 제2 방식에 기초하여 변경될 수 있다.
- [0057] 제1 방식은 아날로그 방식으로, 저항과 병렬로 트랜지스터를 연결하고, 트랜지스터의 게이트 전압값에 따라 저항값을 조절할 수 있다. 예를 들어, PMOS 트랜지스터의 경우, 게이트의 전압이 0에 가까워지면 저항이 작아지게 되고, 이에 따라 총 저항값도 작아지게 될 수 있다.
- [0058] 제2 방식은 디지털 방식으로, 저항과 병렬로 복수개의 트랜지스터를 연결하고, 게이트 전압값에 0 또는 1의 신호를 입력하여 저항값을 조절할 수 있다. 예를 들어, 0인 신호를 받는 트랜지스터의 수가 많아지면 트랜지스터의 저항이 작아져 총 저항값이 작아지게 될 수 있다. 이때, 트랜지스터의 사이즈는 바이너리 혹은 thermometer 방식으로 설계될 수 있다. 바이너리 방식일 경우, 트랜지스터의 크기는 배수로 커질 수 있다. 예를 들어, N번째 트랜지스터의 크기는 첫번째 트랜지스터의 크기의 N배일 수 있다. 반면, thermometer 방식일 경우, 트랜지스터의 크기는 동일 할 수 있다.
- [0059] 제2 트랜지스터(N1)는 입력 전압(V_{IN})에 기초하여, 출력 노드(A1)와 제1 노드 사이(A2)에 전류 통로를 형성하고, 제3 트랜지스터(N2)는 바이어스 전압($BIAS_N$)에 기초하여, 제1 노드(A2)와 접지 전압 사이에 전류 통로를 형성할 수 있다.
- [0060] 제3 트랜지스터(N2)는 바이어스 전압($BIAS_N$)에 기초하여 전류 통로를 형성함으로써, 균일한 전류를 흘려줄 수

있다. 이에 따라, 제2 트랜지스터(N1)의 트랜스컨덕턴스를 유지시켜줄 수 있다.

[0061] 도 3b를 참조하면, 제1형 액티브 인덕터 등화부의 AC 응답을 확인할 수 있다. 제1형 액티브 인덕터 등화부의 경우, 1개의 zero를 가지기 때문에, DC 게인은 그대로 유지한 채로 저항의 크기가 커질수록 고주파 게인이 증가하는 양상을 보였다. 이에 따라, 신호의 크기는 유지하면서 채널 감쇄를 보상할 수 있다.

[0062] DC 게인은 수학식 1을 통해 산출될 수 있다.

수학식 1

$$DCgain = \frac{g_{m,N1} r_{o,P1}}{g_{m,P1} r_{o,P1} + 1}$$

[0063]

[0064] 이때, $r_{o,P1}$ 은 제1 트랜지스터의 기생저항이고, $g_{m,P1}$ 은 제1 트랜지스터의 트랜스컨덕턴스이며, $g_{m,N1}$ 은 제2 트랜지스터의 트랜스컨덕턴스일 수 있다.

[0065] 도 4a는 본 발명의 일 실시예에 따른 제2형 액티브 인덕터 등화부를 도시한 것이고, 도 4b는 제2형 액티브 인덕터 등화부의 AC 응답을 도시한 것이다.

[0066] 도 4a를 참조하면, 제2형 액티브 인덕터 등화부는 전원 전압과 출력 노드(A1) 사이에 연결된 제1 트랜지스터(P1), 출력 노드(A1) 및 접지 전압 사이에 직렬로 연결된 제2 및 제3 트랜지스터(N1, N2), 제1 트랜지스터(P1)의 게이트 및 출력 노드(A1) 사이에 연결된 제1 저항(R_G), 및 제1 트랜지스터(P1)의 드레인 및 출력 노드(A1) 사이에 연결된 제2 저항(R_D)을 포함할 수 있다. 일 실시예에 있어서, 제1 트랜지스터(P1)는 PMOS 트랜지스터이고, 제2 및 제3 트랜지스터(N1, N2)는 NMOS 트랜지스터이며, 제1 및 제2 저항(R_G , R_D)은 가변 저항일 수 있다. 이 경우, 제2형 액티브 인덕터 등화부는 2pole과 2zero를 가질 수 있다.

[0067] 제2 트랜지스터(N1)는 입력 전압에 기초하여, 출력 노드(A1)와 제1 노드 사이에 전류 통로를 형성하고, 제3 트랜지스터(N2)는 바이어스 전압에 기초하여, 제1 노드와 접지 전압 사이에 전류 통로를 형성할 수 있다.

[0068] 제3 트랜지스터(N2)는 바이어스 전압에 기초하여 전류 통로를 형성함으로써, 균일한 전류를 흘려줄 수 있다. 이에 따라, 제2 트랜지스터(N1)의 트랜스컨덕턴스를 유지시켜줄 수 있다.

[0069] 즉, 제3 트랜지스터는 BIA_{S_N} 을 입력받아, 균일한 전류를 흘려주는 전류원이 되어 제2 트랜지스터의 트랜스컨덕턴스를 유지시켜줄 수 있다. 이때, 제1 트랜지스터와 제1 및 제2 저항은 다이오드 연결(diode connected) 트랜지스터로 해석될 수 있다. 이에 따라, 제2형 액티브 인덕터 등화부는 제1 트랜지스터와 저항이 로드(load) 기능을 하여, 고주파에서 정점(peaking)이 일어나, 연속 시간 선형 등화기 회로의 역할을 수행할 수 있다. 도 4b를 참조하면, 제2형 액티브 인덕터 등화부의 AC 응답을 확인할 수 있다. 파란선의 경우 공통 소스 증폭기의 AC 응답이고, 빨간선의 경우 제1형 액티브 인덕터 등화부의 AC 응답이며, 초록선의 경우 제2형 액티브 인덕터 등화부의 AC 응답이다.

[0070] 제2형 액티브 인덕터 등화부의 경우, 2개의 zero를 가지기 때문에, DC 게인도 증가하고, 2개의 zero로 인해 상승하는 경사가 더 가파르게 되고 제1형 액티브 인덕터 등화부의 고주파 게인보다 고주파 게인이 증가하는 양상을 보였다. 이에 따라, 고주파의 게인이 더욱 증가하여, 신호의 크기가 더 크게 됨으로써, 채널 감쇄를 보상할 수 있다.

[0071] DC 게인은 수학식 2을 통해 산출될 수 있다.

수학식 2

$$DCgain = \frac{g_{m,N1} (R_D + r_{o,P1})}{g_{m,P1} r_{o,P1} + 1}$$

[0072]

[0073] 이때, $r_{o,P1}$ 은 제1 트랜지스터의 기생저항이고, $g_{m,P1}$ 은 제1 트랜지스터의 트랜스컨덕턴스이고, $g_{m,N1}$ 은 제2 트랜지

스터의 트랜스컨덕턴스이며, R_0 는 제2 저항의 저항값일 수 있다.

- [0074] 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 기준 전압 선택 등화부의 동작에 따른 eye 마진을 보여주는 도이다.
- [0075] 도 5a를 참조하면, 기준 전압 선택 등화부의 이전 출력이 high일 때의 eye 마진의 영역을 확인할 수 있다. 기준 전압 선택 등화부의 이전 출력이 high일 경우, 현재 신호를 입력받는 기준 전압 선택 등화부는 eye의 앞쪽에선 기준 전압값을 $V_{REF,H,F}$ 로 변경하고, eye의 뒤쪽에선 기준 전압값을 $V_{REF,H,B}$ 로 변경하여 eye 마진의 영역을 넓힐 수 있다.
- [0076] 도 5b를 참조하면, 기준 전압 선택 등화부의 이전 출력이 low일 때의 eye 마진의 영역을 확인할 수 있다. 기준 전압 선택 등화부의 이전 출력이 low일 경우, 현재 신호를 입력받는 기준 전압 선택 등화부의 eye의 앞쪽에선 기준 전압값을 $V_{REF,L,F}$ 로 변경하고, eye의 뒤쪽에선 기준 전압값을 $V_{REF,L,B}$ 로 변경하여 eye 마진의 영역을 넓힐 수 있다.
- [0077] 도 5c를 참조하면, 제1 및 제2 기준 전압을 모두 이용하여 입력 신호에 영향을 주지 않을 때의 eye 마진의 영역을 확인할 수 있다. 기준 전압 선택 등화부의 이전 출력이 low일 경우에는 현재 데이터를 샘플링할 때, 비교기에서 기준 전압으로 $V_{REF,L}$ 를 사용하고, 기준 전압 선택 등화부의 이전 출력이 high일 경우에는 현재 데이터를 샘플링할 때, 비교기에서 기준 전압으로 $V_{REF,H}$ 를 사용할 수 있다. 이와 같이, 기준 전압 선택 등화부의 이전 출력에 기초하여 기준 전압을 선택하여 사용할 경우, 입력 신호에 영향 없이 eye 마진의 영역을 늘릴 수 있다.
- [0078] 도 6a 및 도 6b는 본 발명의 다른 실시예에 따른 기준 전압 선택 등화부를 도시한 것이다.
- [0079] 도 6a는 본 발명의 다른 실시예에 따라 하프 레이트(half rate) 구조로 구현된 기준 전압 선택 등화부를 도시한 것이다.
- [0080] 하프 레이트(half rate) 구조로 구현된 기준 전압 선택 등화부(201)는 클럭의 속도를 데이터 속도의 절반으로 사용하는 구조일 수 있다. 예를 들어, 20Gb/s의 데이터라면 제1 클럭(CKD)과 제2 클럭(CKB)은 데이터 속도의 절반인 10GHz 속도로 데이터를 번갈아가면서 샘플링할 수 있다.
- [0081] 제1 믹스(211_1)의 경우, 제2 비교기(231_2) 출력($COMP_{ODD}$)에 기초하여 제1 및 제2 기준 전압값($V_{REF,H}$, $V_{REF,L}$) 중 하나의 기준 전압값을 선택하여 제1 비교기(231_1)에 입력할 수 있다. 즉, 제1 비교기(231_1) 출력($COMP_{EVEN}$)의 입장에서는 제2 비교기(231_2) 출력($COMP_{ODD}$)이 이전 데이터가 될 수 있다.
- [0082] 반면, 제2 믹스의 경우, 제1 비교기(231_1) 출력($COMP_{EVEN}$)에 기초하여 제1 및 제2 기준 전압값 중 하나의 기준 전압값($V_{REF,H}$, $V_{REF,L}$)을 선택하여 제2 비교기(231_2)에 입력할 수 있다. 즉, 제2 비교기(231_2)의 출력 입장에서는 제2 비교기(231_2) 출력($COMP_{ODD}$)의 입장에서는 제1 비교기(231_1) 출력($COMP_{EVEN}$)이 이전 데이터가 될 수 있다.
- [0083] 이때, 피드백되는 loop 딜레이는 $T_{comp}+T_{mux}$ 가 될 수 있다. 피드백되는 loop 딜레이는 1UI보다 짧아야 다음 데이터로 이전 데이터 정보가 전달될 수 있다.
- [0084] 도 6b는 본 발명의 다른 실시예에 따라 하프 레이트 루프 풀기(half rate loop unrolling) 구조로 구현된 기준 전압 선택 등화부(203)를 도시한 것이다. 도 6b는 피드백되는 루프 딜레이를 줄이기 위해 루프 풀기(loop unrolling) 방식을 적용할 수 있다.
- [0085] 루프 풀기(loop unrolling) 방식은 제1 및 제2 기준 전압값($V_{REF,H}$, $V_{REF,L}$)에 모두에 대해 먼저 샘플링을 진행한 후에 나중에 기준 전압값을 선택하는 방식일 수 있다. 예를 들어, 연속 선형 시간 등화부(203)의 출력이 제1 내지 제4 비교기(233_1 ~ 233_4)로 입력될 수 있다. 이때, 제1 및 제3 비교기(233_1, 233_3)는 제1 기준 전압값($V_{REF,H}$)과 연속 선형 시간 등화부의 출력을 샘플링하고, 제2 및 제4 비교기(233_2, 233_4)는 제2 기준 전압값($V_{REF,L}$)과 연속 선형 시간 등화부(203)의 출력($CTLE_{OUT}$)을 샘플링할 수 있다.
- [0086] 제1 클럭(CKD)과 제2 클럭(CKB)은 데이터를 번갈아가면서 샘플링하기 때문에, 제1 출력($DATA_{EVEN}$) 입장에서는 제2 출력($DATA_{ODD}$)이 이전 데이터이고, 제2 출력($DATA_{ODD}$) 입장에서는 제1 출력($DATA_{EVEN}$)이 이전 데이터일 수 있다.

즉, 이전 데이터는 제1 및 제2 맥스(213_1, 213_2)를 통해 비교한 결과인 COMP_H와 COMP_L 중 데이터를 선택할 수 있다. 이때, loop 딜레이는 T_mux뿐이기 때문에 loop 딜레이가 도 6a보다 줄어들어 동작 속도를 높일 수 있다.

[0087] 도 7은 본 발명의 일 실시예에 따른 단일 신호법 수신기의 동작방법을 도시한 순서도이다.

[0088] 도 7을 참조하면, S100 단계에서 연속 시간 선형 등화부는 단일 신호를 입력받고, 단일 신호의 왜곡을 보상하여 출력할 수 있다. 예를 들어, 연속 시간 선형 등화부는 제1 액티브 인덕터 등화부 및 제2 액티브 인덕터 등화부를 포함할 수 있다. 제1 액티브 인덕터 등화부는 다이오드 연결(diode connected) 트랜지스터에 저항 하나를 추가하여 구현될 수 있다. 이때, 제1 액티브 인덕터 등화부는 DC 게인은 그대로 유지하고, 저항 값이 커질수록 고주파 게인이 증가할 수 있다.

[0089] 제2 액티브 인덕터 등화부는 제1 액티브 인덕터 등화부에 저항 하나를 더 추가하여 구현될 수 있다. 이때, 제2 액티브 인덕터 등화부는 DC 게인이 증가하고, 고주파 피킹 게인은 더욱 증가할 수 있다. 이에 따라, 연속 시간 선형 등화부는 신호의 크기는 유지하면서 채널 감쇄를 보상할 수 있다.

[0090] S200 단계에서 기준 전압 선택 등화부는 비교기의 이전 출력에 기초하여 제1 및 제2 기준 전압값 중 하나를 선택할 수 있다. 예를 들어, 기준 전압 선택 등화부의 맥스는 비교기로부터 출력을 입력받고, 비교기의 출력에 기초하여 제1 및 제2 기준 전압 중 하나를 선택할 수 있다. 제1 및 제2 기준 전압 중 선택된 기준 전압은 비교기로 입력되어 비교기의 다음 출력을 제어할 수 있다.

[0091] S300 단계에서, 기준 전압 선택 등화부는 선택된 기준 전압값 중 하나에 기초하여 연속 시간 선형 등화부의 출력을 샘플링할 수 있다. 예를 들어, 기준 전압 선택 등화부의 비교기는 제1 및 제2 기준 전압 중 입력된 기준 전압과 연속 시간 선형 등화부의 출력을 비교하여 디지털 신호로 샘플링할 수 있다. 이때, 비교기의 출력이 맥스로 피드백됨으로써, eye 마진의 영역을 넓힐 수 있다.

[0092] S400 단계에서, 래치부는 기준 전압 선택 등화부의 출력을 NRZ 신호로 변환할 수 있다. 래치부는 SR 래치를 이용하여 비교기의 출력인 RZ 신호를 NRZ 신호로 변환할 수 있다.

[0093] 상술한 설명에서 제안 방식에 대한 일례들 또한 본 개시의 구현 방법들 중 하나로 포함될 수 있으므로, 일종의 제안 방식들로 간주될 수 있음은 명백한 사실이다. 또한, 상기 설명한 제안 방식들은 독립적으로 구현될 수도 있지만, 일부 제안 방식들의 조합 (혹은 병합) 형태로 구현될 수도 있다.

[0094] 상술한 바와 같이 개시된 본 개시의 예들은 본 개시와 관련된 기술분야의 통상의 기술자가 본 개시를 구현하고 실시할 수 있도록 제공되었다. 상기에서는 본 개시의 예들을 참조하여 설명하였지만, 해당 기술 분야의 통상의 기술자는 본 개시의 예들을 다양하게 수정 및 변경시킬 수 있다. 따라서, 본 개시는 여기에 기재된 예들에 제한되려는 것이 아니라, 여기서 개시된 원리들 및 신규한 특징들과 일치하는 최광의 범위를 부여하려는 것이다.

부호의 설명

[0095] 10 : 단일 신호법 수신기

100 : 연속 시간 선형 등화부

200 : 기준 전압 선택 등화부

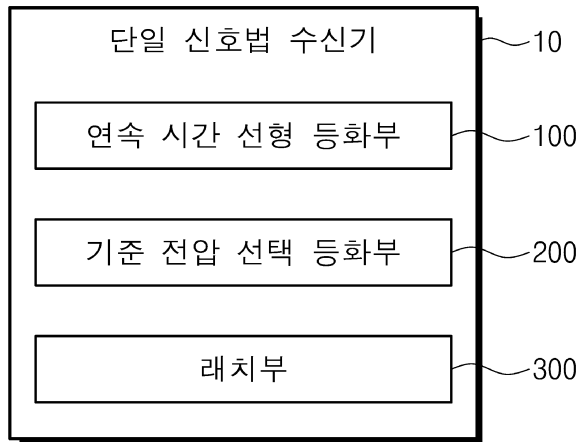
210, 211_1, 211_2, 213_1, 213_2 : 맥스

230, 231_1, 231_2, 233_1, 233_2, 233_3, 233_4 : 비교기

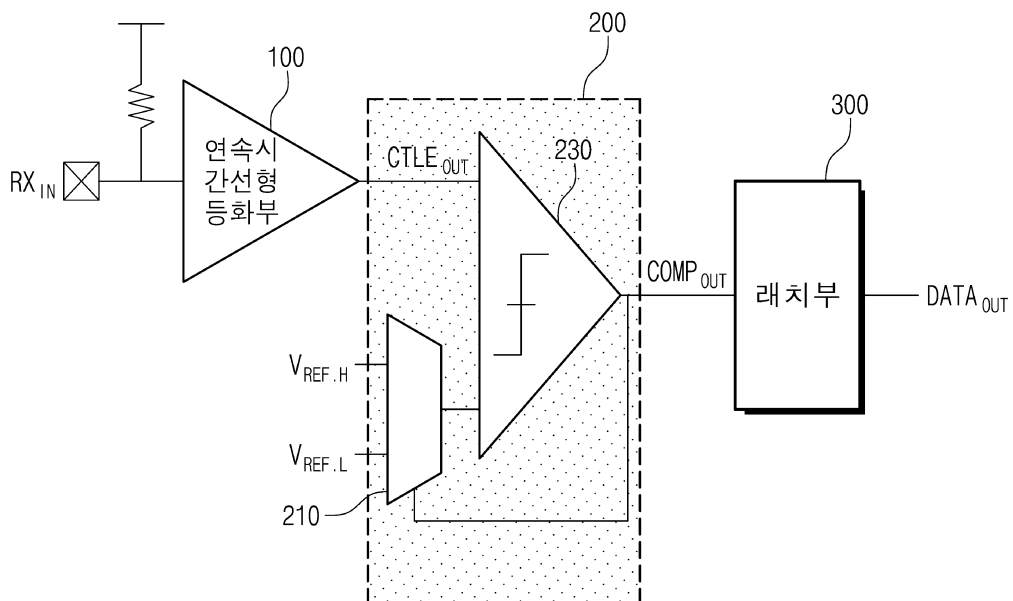
300 : 래치부

도면

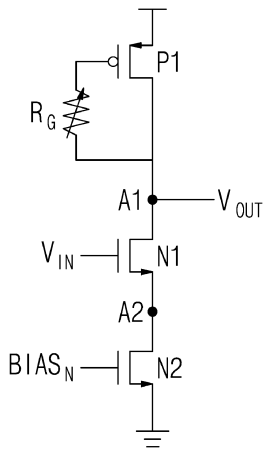
도면1



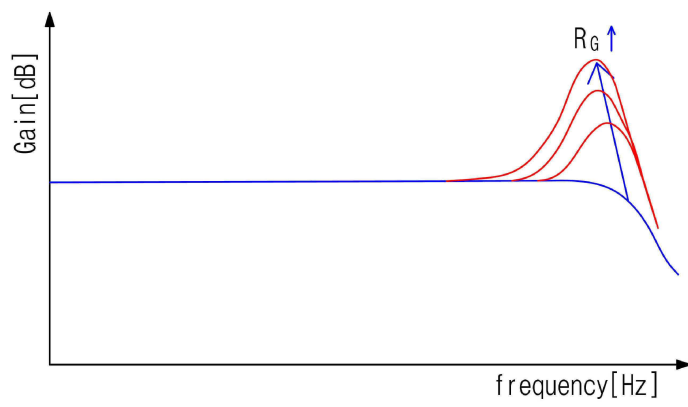
도면2



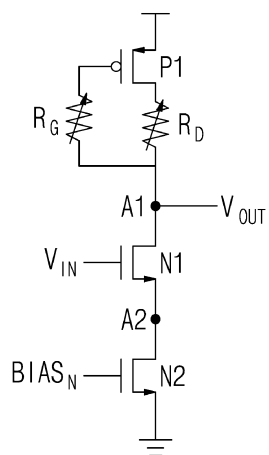
도면3a



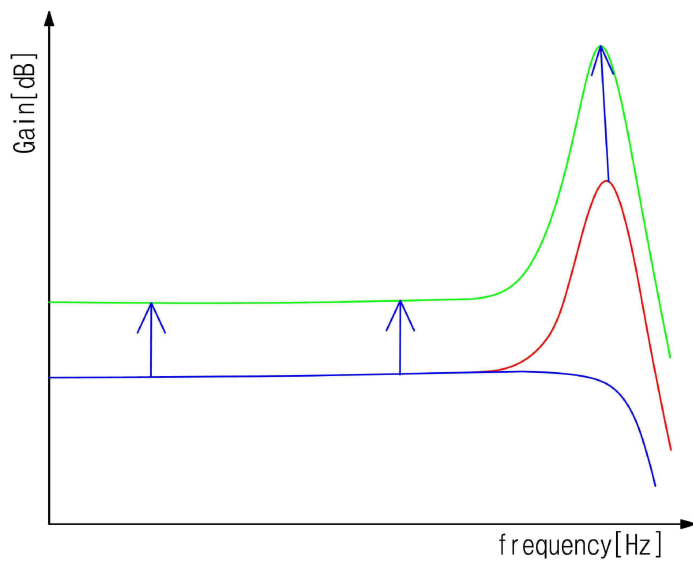
도면3b



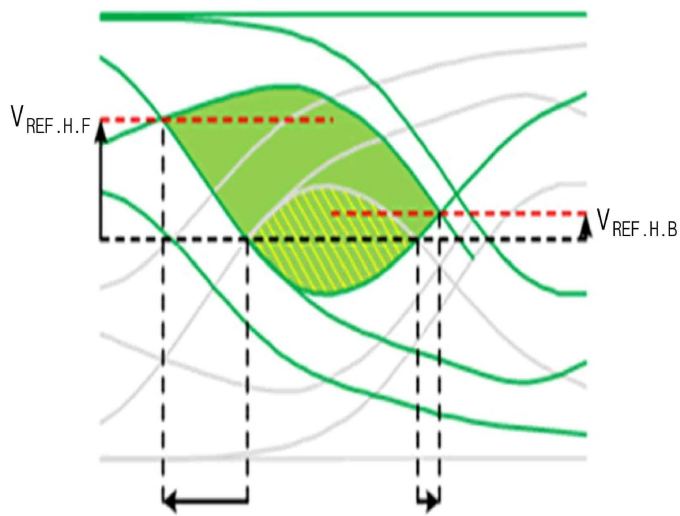
도면4a



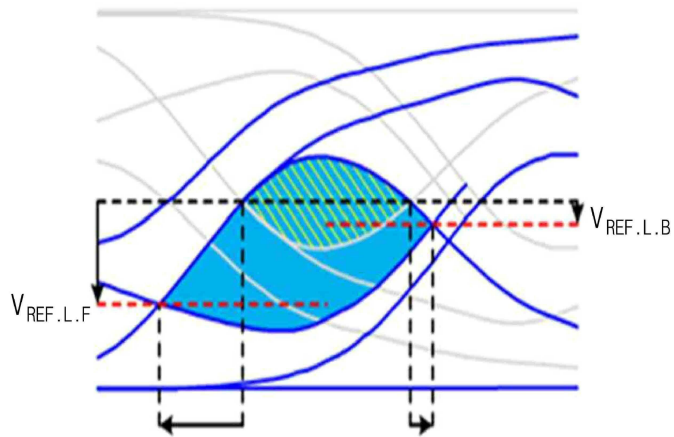
도면4b



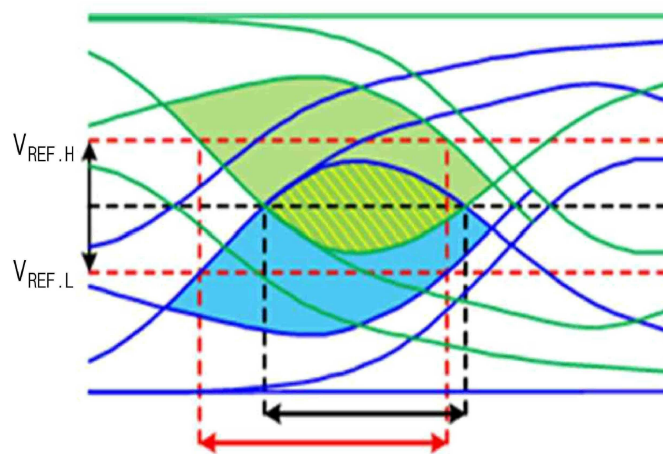
도면5a



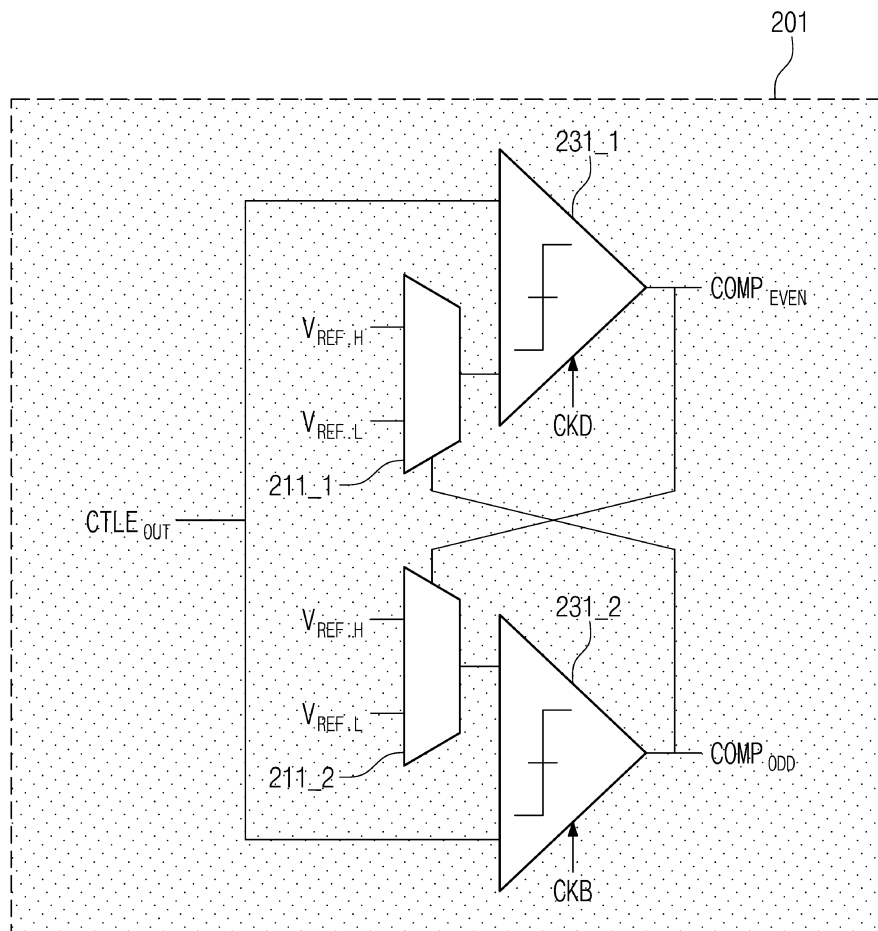
도면5b



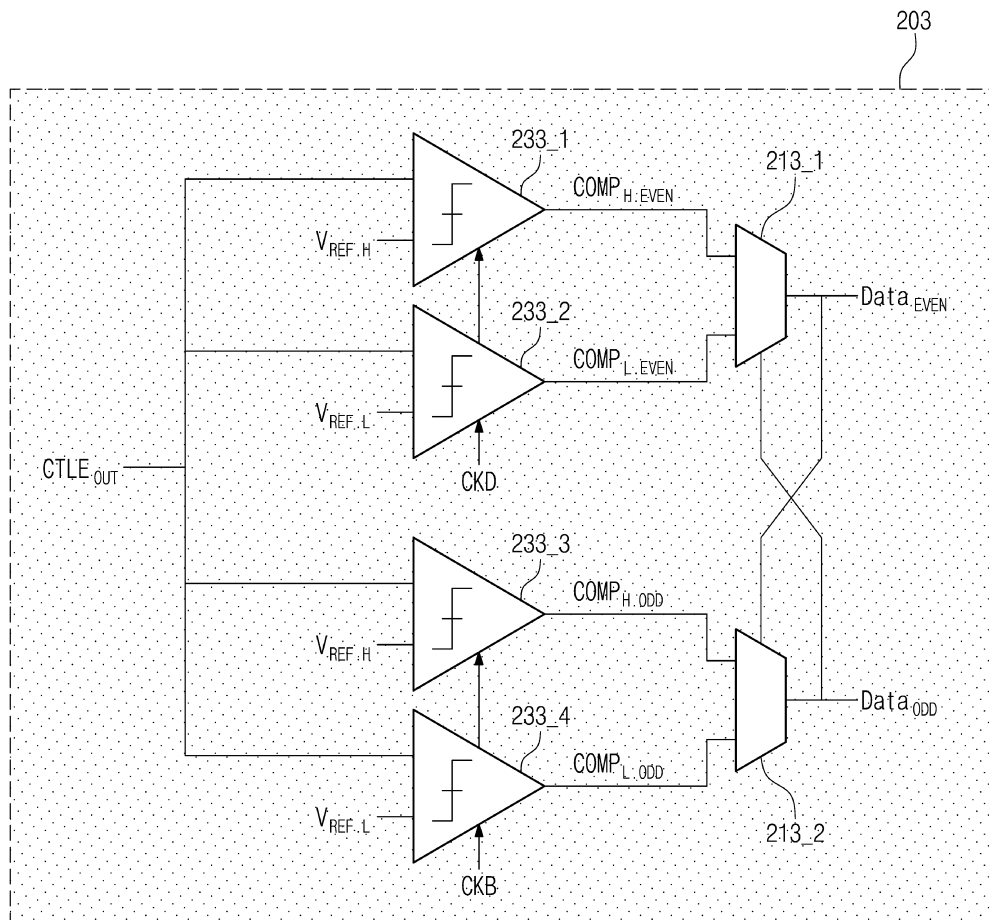
도면5c



도면6a



도면6b



도면7

