

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成31年4月18日(2019.4.18)

【公表番号】特表2018-512589(P2018-512589A)

【公表日】平成30年5月17日(2018.5.17)

【年通号数】公開・登録公報2018-018

【出願番号】特願2017-550179(P2017-550179)

【国際特許分類】

G 01 R 19/165 (2006.01)

【F I】

G 01 R 19/165 K

【手続補正書】

【提出日】平成31年3月5日(2019.3.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の供給電圧におけるドループを検出するための装置であって、

ドループを検出するための複数の手段と、ドループを検出するための各手段は、前記複

数の供給電圧のうちの1つの供給電圧を受け取り、ドループを検出するための各手段は、

前記供給電圧における前記ドループを検出するための入力追跡ループを含む、

ドループを検出するための前記複数の手段の出力を結合するための手段と、

前記ドループが前記供給電圧において検出されたとき、制御電圧を出力するために結合するための前記手段に結合された比較するための手段と

を備え、

ここにおいて、ドループを検出するための各手段は、ドループを検出するための他の手段が少なくとも1つのドループを検出する一方で、前記供給電圧においてドループが検出されないとき、結合するための前記手段からドループを検出するための各手段を切断するための手段を含む、装置。

【請求項2】

ドループを検出するための各手段は、ドループを検出するための前記複数の手段の間のミスマッチによって誘導されるドループ検出範囲の差を実質的に減らすための手段を含む、請求項1に記載の装置。

【請求項3】

請求項1に記載の前記装置を備える、ドループ検出器であって、

複数の入力ノードと、各入力ノードは、前記複数の供給電圧のうちのそれぞれの前記供給電圧を受け取るように構成される、

出力ノードと、

ドループを検出するための前記複数の手段を含む複数の検出器モジュールと、各検出器モジュールは、各入力ノードに結合された入力端子と、前記出力ノードに結合された出力端子と、各入力ノードに結合された前記供給電圧における前記ドループを検出し、前記供給電圧において前記ドループが検出されたとき、前記出力端子上の前記供給電圧に追従する出力電圧を出力するための電圧フォロワとして構成される入力追跡ユニットとを備える、

前記出力ノードに結合され、前記ドループが検出されたとき、前記制御信号を出力する

ように構成された、比較するための前記手段を含むコンパレータと
さらに備える、ドループ検出器。

【請求項 4】

各検出器モジュールは、前記複数の検出器モジュールのうちの他の検出器モジュールが前記複数の入力ノードのうちの他の入力ノードにおいて少なくとも1つのドループを検出する一方で、各検出器モジュールがその入力においてドループを検出しないとき、前記出力ノードから各検出器モジュールの前記出力端子を一時的に切断するために非線形フィードバックを提供するように構成される、請求項3に記載のドループ検出器。

【請求項 5】

各検出器モジュールは、前記入力端子と前記入力追跡ユニットとの間に配置された交流(A C)結合モジュールをさらに備える、請求項3に記載のドループ検出器。

【請求項 6】

前記A C結合モジュールは、キャパシタおよび抵抗器を含むハイパスフィルタを形成するように構成される、請求項5に記載のドループ検出器。

【請求項 7】

前記入力追跡ユニットは、
ゲート端子、ソース端子、およびドレイン端子を含む第1のp型金属酸化物半導体(P MOS)トランジスタと、

前記第1のP MOSトランジスタの前記ゲート端子に結合された出力ピンと、前記第1のP MOSトランジスタの前記ソース端子に結合された負の入力ピンと、前記A C結合モジュールの前記キャパシタを通じて各検出器モジュールの前記入力端子に結合された正の入力ピンを含む演算増幅器と

を備える、請求項6に記載のドループ検出器。

【請求項 8】

前記第1のP MOSトランジスタの前記ソース端子および電圧源に結合された第1の電流源をさらに備える、請求項7に記載のドループ検出器。

【請求項 9】

各検出器モジュールは、前記第1のP MOSトランジスタの前記ドレイン端子に結合され、前記複数の検出器モジュールの間のミスマッチによって誘導されるドループ検出範囲の差を減らすように構成されたオフセットキャンセルモジュールをさらに備える、請求項7に記載のドループ検出器。

【請求項 10】

前記オフセットキャンセルモジュールは、n型金属酸化物半導体(N MOS)トランジスタ、第2のP MOSトランジスタ、抵抗器、キャパシタ、および第2の電流源を含む電圧クランプを備える、請求項9に記載のドループ検出器。

【請求項 11】

前記第2のP MOSトランジスタおよび電圧源に結合された第3の電流源をさらに備える、請求項10に記載のドループ検出器。

【請求項 12】

前記コンパレータは、少なくとも1つの供給電圧において前記ドループが検出されると決定するために前記出力電圧を基準電圧と比較するように構成される、請求項3に記載のドループ検出器。

【請求項 13】

所定の範囲内の前記出力電圧の周波数のみをパスするように前記出力ノードと前記コンパレータとの間に配置されたバンドパスフィルタをさらに備える、請求項3に記載のドループ検出器。

【請求項 14】

請求項1に記載の前記装置を備える、複数の供給電圧におけるドループを検出するための回路であって、

出力ノードと、

ドループを検出するための前記複数の手段を含む複数の検出器モジュールと、各検出器モジュールは、入力端子および出力端子を有し、各検出器モジュールの前記入力端子は、前記複数の供給電圧のうちのそれぞれの前記供給電圧を受け取るためのものであり、前記複数の検出器モジュールの出力端子は、前記出力ノードで互いに結合される。

ここにおいて、各検出器モジュールは、前記供給電圧における前記ドループを検出するための前記入力追跡ループをさらに含み、

前記出力ノードに結合され、所定の範囲内の前記出力ノードで電圧の周波数をパスするように構成されたフィルタと、

前記フィルタに結合され、前記供給電圧において前記ドループが検出されたとき、前記制御電圧を出力するように構成された、比較するための前記手段を含むコンパレータとさらに備える、回路。

【請求項 1 5】

各検出器モジュールは、前記複数の検出器モジュールのうちの他の検出器モジュールが前記複数の入力ノードのうちの他の入力ノードにおいて少なくとも1つのドループを検出する一方で、各検出器モジュールがその入力においてドループを検出しないとき、前記出力ノードから各検出器モジュールの前記出力端子を一時的に切断するための非線形フィードバックを含む、請求項14に記載の回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

[0032] 本明細書で開示された実施形態に関連して説明された様々な例示的な論理ブロック、ユニット、ステップ、構成要素、およびモジュールは、汎用プロセッサ、デジタルシグナルプロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、離散ゲートまたはトランジスタ論理、離散ハードウェアコンポーネント、または本明細書で説明された機能を実施するように設計されたそれらの任意の組み合わせのようなプロセッサで実現または実施されることができる。汎用プロセッサは、マイクロプロセッサであることができるが、代替として、プロセッサは、任意のプロセッサ、コントローラ、マイクロコントローラ、またはストートマシンであることができる。プロセッサはまた、コンピューティングデバイスの組み合わせ、例えば、DSPとマイクロプロセッサ、複数のマイクロプロセッサ、DSPコアと連携した1つ以上のマイクロプロセッサ、または任意の他のそのような構成との組み合わせとして実現されることができる。さらに、本明細書で説明されたモジュールおよび機能ブロックおよび実施形態を実現する回路は、様々なトランジスタタイプ、論理ファミリ、および設計手順を使用して実現されることがある。

[0033] 開示された実施形態の上記説明は、いかなる当業者であっても本開示を製造または使用できるように提供されている。これらの実施形態に対する様々な変更は、当業者にとって容易に明らかであり、本明細書で説明された包括的な原理は、本開示の精神又は範囲から逸脱することなく、他の実施形態に適用されることができる。よって、本明細書で提示された説明および図面が、本開示の現在好ましい実施形態を表し、よって、本開示によって広く想定される主題事項を代表するものであることが理解されるべきである。本開示の範囲が、当業者に自明となり得る他の実施形態を完全に包含することと、本開示の範囲が、相応して、添付の特許請求の範囲以外のものによって限定されないことがさらに理解される。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1] ドループ検出器であって、

複数の入力ノードと、各入力ノードは、供給電圧を受け取るように構成される、

出力ノードと、

複数の検出器モジュールと、各検出器モジュールは、各入力モードに結合された入力端子と、前記出力ノードに結合された出力端子と、各入力ノードに結合された前記供給電圧におけるドロープを検出し、前記供給電圧において前記ドロープが検出されたとき、前記出力端子上の前記供給電圧に追従する出力電圧を出力するための電圧フォロワとして構成される入力追跡ユニットとを備える、

前記出力ノードに結合され、前記ドロープが検出されたとき、制御信号を出力するよう構成されたコンパレータと

備える、ドロープ検出器。

[C 2] 各検出器モジュールは、前記複数の検出器モジュールのうちの他の検出器モジュールが前記複数の入力ノードのうちの他の入力ノードにおいて少なくとも1つのドロープを検出する一方で、各検出器モジュールがその入力においてドロープを検出しないとき、前記出力ノードから各検出器モジュールの前記出力端子を一時的に切断するために非線形フィードバックを提供するように構成される、C 1 に記載のドロープ検出器。

[C 3] 各検出器モジュールは、前記入力端子と前記入力追跡ユニットとの間に配置された交流(A C)結合モジュールをさらに備える、C 1 に記載のドロープ検出器。

[C 4] 前記A C結合モジュールは、キャパシタおよび抵抗器を含むハイパスフィルタを形成するように構成される、C 3 に記載のドロープ検出器。

[C 5] 前記入力追跡ユニットは、

ゲート端子、ソース端子、およびドレイン端子を含む第1のp型金属酸化物半導体(P MOS)トランジスタと、

前記第1のP MOSトランジスタの前記ゲート端子に結合された出力ピンと、前記第1のP MOSトランジスタの前記ソース端子に結合された負の入力ピンと、前記A C結合モジュールの前記キャパシタを通じて各検出器モジュールの前記入力端子に結合された正の入力ピンを含む演算増幅器と

を備える、C 4 に記載のドロープ検出器。

[C 6] 前記第1のP MOSトランジスタの前記ソース端子および電圧源に結合された第1の電流源をさらに備える、C 5 に記載のドロープ検出器。

[C 7] 各検出器モジュールは、前記第1のP MOSトランジスタの前記ドレイン端子に結合され、前記複数の検出器モジュールの間のミスマッチによって誘導されるドロープ検出範囲の差を減らすように構成されたオフセットキャンセルモジュールをさらに備える、C 5 に記載のドロープ検出器。

[C 8] 前記オフセットキャンセルモジュールは、n型金属酸化物半導体(N MOS)トランジスタ、第2のP MOSトランジスタ、抵抗器、キャパシタ、および第2の電流源を含む電圧クランプを備える、C 7 に記載のドロープ検出器。

[C 9] 前記第2のP MOSトランジスタおよび電圧源に結合された第3の電流源をさらに備える、C 8 に記載のドロープ検出器。

[C 10] 前記コンパレータは、少なくとも1つの供給電圧において前記ドロープが検出されると決定するために前記出力電圧を基準電圧と比較するように構成される、C 1 に記載のドロープ検出器。

[C 11] 所定の範囲内の前記出力電圧の周波数のみをバスするように前記出力ノードと前記コンパレータとの間に配置されたバンドパスフィルタをさらに備える、C 1 に記載のドロープ検出器。

[C 12] 複数の供給電圧におけるドロープを検出するための回路であって、
出力ノードと、

複数の検出器モジュールと、各検出器モジュールは、入力端子および出力端子を有し、各検出器モジュールの前記入力端子は、前記複数の供給電圧のうちの1つの供給電圧を受け取るものであり、前記複数の検出器モジュールの出力端子は、前記出力ノードで互いに結合される、

ここにおいて、各検出器モジュールは、前記供給電圧における前記ドロープを検出するための入力追跡ループをさらに含み、

前記出力ノードに結合され、所定の範囲内の前記出力ノードで電圧の周波数をパスするように構成されたフィルタと、

前記フィルタに結合され、前記供給電圧において前記ドループが検出されたとき、制御電圧を出力するように構成されたコンパレータと

備える、回路。

[C 13] 各検出器モジュールは、前記複数の検出器モジュールのうちの他の検出器モジュールが前記複数の入力ノードのうちの他の入力ノードにおいて少なくとも1つのドループを検出する一方で、各検出器モジュールがその入力においてドループを検出しないとき、前記出力ノードから各検出器モジュールの前記出力端子を一時的に切断するための非線形フィードバックを含む、C 12 に記載の回路。

[C 14] 各検出器モジュールは、前記複数の検出器モジュールの間のミスマッチによって誘導されるドループ検出範囲の差を実質的に減らすためのオフセットキャンセルループをさらに含む、C 12 に記載の回路。

[C 15] 各検出器モジュールは、前記入力端子と前記入力追跡ループとの間に配置された交流(A C)結合モジュールをさらに備える、C 14 に記載の回路。

[C 16] 前記A C結合モジュールは、前記入力端子および前記入力追跡ループに結合されたキャバシタ、および前記入力追跡ループおよび前記オフセットキャンセルループに結合された抵抗器を含む、C 15 に記載の回路。

[C 17] 前記コンパレータは、前記複数の供給電圧のうちの少なくとも1つにおいて前記ドループが検出されると決定するために前記出力ノードにおける前記電圧を基準電圧と比較するように構成される、C 12 に記載の回路。

[C 18] 複数の供給電圧におけるドループを検出するための装置であって、
ドループを検出するための複数の手段と、ドループを検出するための各手段は、前記複数の供給電圧のうちの1つの供給電圧を受け取り、ドループを検出するための各手段は、前記供給電圧における前記ドループを検出するための入力追跡ループを含む、

ドループを検出するための前記複数の手段の出力を結合するための手段と、

前記ドループが前記供給電圧において検出されたとき、制御電圧を出力するために結合するための前記手段に結合された比較するための手段と
を備える、装置。

[C 19] ドループを検出するための各手段は、ドループを検出するための他の手段が少なくとも1つのドループを検出する一方で、前記供給電圧においてドループが検出されないとき、結合するための前記手段からドループを検出するための各手段を切断するための手段を含む、C 18 に記載の装置。

[C 20] ドループを検出するための各手段は、ドループを検出するための前記複数の手段の間のミスマッチによって誘導されるドループ検出範囲の差を実質的に減らすための手段を含む、C 18 に記載の装置。