(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 11 月 28 日 (28.11.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/223682 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) *H01L 27/12* (2006.01)
H01L 21/34 (2006.01)

(21) 国际申请号: PCT/CN2019/087785

(22) 国际申请日: 2019 年 5 月 21 日 (21.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810487978.3 2018年5月21日 (21.05.2018) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: 王玲 (WANG, Ling); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 林奕呈 (LIN, Yicheng); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 盖翠丽 (GAI, Cuili); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 徐攀 (XU, Pan); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR, ARRAY SUBSTRATE, AND DISPLAY DEVICE

(54) **发明名称**: 薄膜晶体管及其制作方法、阵列基板、显示装置

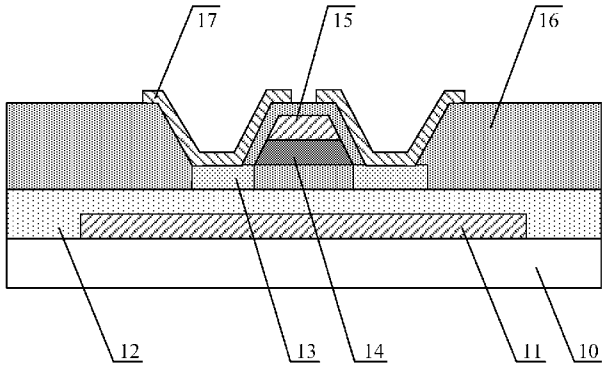


图 1

(57) **Abstract:** Provided are a thin-film transistor and a manufacturing method therefor, an array substrate, and a display device. The thin-film transistor comprises: a base substrate; a first gate located on one side of the base substrate; an active layer located on the side of the first gate distant from the base substrate; a second gate located on the side of the active layer distant from the base substrate; and a source-drain electrode located on the side of the second gate distant from the base substrate. The orthographic projection of the source-drain electrode on the base substrate at least partially overlaps the orthographic projection of the second gate on the base substrate.

(57) **摘要**: 提供了一种薄膜晶体管及其制作方法、阵列基板、显示装置。该薄膜晶体管包括：衬底基板；位于衬底基板一侧的第一栅极；位于第一栅极远离衬底基板的一侧的有源层；位于有源层远离衬底基板的一侧的第二栅极；以及位于第二栅极远离衬底基板的一侧的源漏电极。源漏电极在衬底基板上的正投影与第二栅极在衬底基板上的正投影至少部分重叠。

WO 2019/223682 A1

[见续页]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) **指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

薄膜晶体管及其制作方法、阵列基板、显示装置

相关申请

本申请要求享有 2018 年 5 月 21 日提交的中国专利申请 No. 201810487978.3 的优先权，其全部公开内容通过引用并入本文。

技术领域

本公开实施例涉及显示技术领域，具体涉及一种薄膜晶体管及其制作方法、阵列基板、显示装置。

背景技术

有机发光二极管（Organic Light-Emitting Diode，简称 OLED）是当前平板显示器研究领域的热点之一。与液晶显示器（Liquid Crystal Display，简称 LCD）相比，OLED 显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前，在手机、平板电脑、数码相机等显示领域，OLED 显示器已经开始取代传统的 LCD 显示器。

然而，OLED 显示器在工作过程中会出现亮度衰减的问题。为了保证 OLED 显示器均匀而持续的亮度，需要采用合适的补偿方法，其中一种就是光学补偿。光学补偿即利用光敏元件侦测像素亮度，根据得到的结果针对性地调整数据电压，进而补偿亮度的方法。目前，利用光敏元件进行补偿的设计仍有改善空间。

发明内容

根据本公开的一个方面，提供了一种薄膜晶体管，包括：衬底基板；位于衬底基板一侧的第一栅极；位于所述第一栅极远离所述衬底基板的一侧的有源层；位于所述有源层远离所述衬底基板的一侧的第二栅极；以及位于所述第二栅极远离所述衬底基板的一侧的源漏电极。所述源漏电极在所述衬底基板上的正投影与所述第二栅极在所述衬底基板上的正投影至少部分重叠。

在本公开的一些示例性实施例中，上述薄膜晶体管还包括：位于所述第一栅极远离所述衬底基板的一侧的缓冲层；位于所述有源层远离所述衬底基板的一侧的栅绝缘层；以及位于所述第二栅极远离所述衬底基板的一侧的层间介质层。

在本公开的一些示例性实施例中，上述薄膜晶体管还包括位于所述层间介质层远离所述衬底基板的一侧的连接电极。所述缓冲层包括

贯穿所述缓冲层的第一过孔，所述第一过孔在所述衬底基板上的正投影与所述第一栅极在所述衬底基板上的正投影至少部分重叠。所述层间介质层包括贯穿所述层间介质层的第二过孔和第三过孔，所述第二过孔在所述衬底基板上的正投影与所述有源层在所述衬底基板上的正投影至少部分重叠，所述第三过孔在所述衬底基板上的正投影覆盖所述第一过孔在所述衬底基板上的正投影。所述连接电极通过所述第一过孔和所述第三过孔电连接到所述第一栅极，并且通过所述第三过孔电连接到所述第二栅极。

在本公开的一些示例性实施例中，所述第一栅极在所述衬底基板上的正投影覆盖所述有源层在所述衬底基板上的正投影。

在本公开的一些示例性实施例中，所述有源层包括金属氧化物半导体材料。

在本公开的一些示例性实施例中，所述连接电极包括透明导电材料。

在本公开的一些示例性实施例中，上述薄膜晶体管还包括：位于所述源漏电极远离所述衬底基板的一侧的钝化层；以及位于所述钝化层远离所述衬底基板的一侧的遮光层，所述遮光层配置成吸收和/或反射环境光。

本公开的另一方面提供了一种阵列基板，包括上述任一种薄膜晶体管；以及位于所述薄膜晶体管的所述源漏电极远离所述衬底基板的一侧的光敏元件。所述光敏元件的第一电极与所述薄膜晶体管的源电极或漏电极连接。

在本公开的一些示例性实施例中，上述阵列基板还包括位于所述光敏元件远离所述衬底基板一侧的导出层。所述光敏元件的第二电极与所述导出层连接。

在本公开的一些示例性实施例中，上述阵列基板还包括与薄膜晶体管中的第二栅极同层设置的导电层。所述导电层与所述导出层连接，并且所述导电层在所述衬底基板上的正投影与所述薄膜晶体管的所述源漏电极在所述衬底基板上的正投影至少部分重叠。

在本公开的一些示例性实施例中，上述阵列基板还包括与所述薄膜晶体管的所述源漏电极同层设置的连接层。所述导电层通过所述连接层与所述导出层连接。

本公开另外的方面提供了一种显示装置，包括上述任一种阵列基板。

本公开另外的方面还提供了一种薄膜晶体管的制作方法，包括：提供衬底基板；在所述衬底基板的一侧形成第一栅极；在所述第一栅极远离所述衬底基板的一侧形成有源层；在所述有源层远离所述衬底基板的一侧形成第二栅极；以及在所述第二栅极远离衬底基板的一侧形成源漏电极。所述源漏电极在所述衬底基板上的正投影与所述第二栅极在所述衬底基板上的正投影至少部分重叠。

在本公开的一些示例性实施例中，所述在所述第一栅极远离所述衬底基板的一侧形成有源层包括：在所述第一栅极远离所述衬底基板的一侧形成缓冲层，所述缓冲层包括贯穿所述缓冲层的第一过孔，所述第一过孔在所述衬底基板上的正投影与所述第一栅极在所述衬底基板上的正投影至少部分重叠；以及在所述缓冲层远离所述衬底基板的一侧形成有源层。所述在所述第二栅极远离所述衬底基板的一侧形成源漏电极包括：在所述第二栅极远离所述衬底基板的一侧形成层间介质层，所述层间介质层包括贯穿所述层间介质层的第二过孔和第三过孔，所述第二过孔在所述衬底基板上的正投影与所述有源层在所述衬底基板上的正投影至少部分重叠，所述第三过孔在所述衬底基板上的正投影覆盖所述第一过孔在所述衬底基板上的正投影；以及在所述层间介质层远离所述衬底基板的一侧形成源漏电极和连接电极，所述连接电极通过所述第一过孔和所述第三过孔电连接到所述第一栅极，并且通过所述第三过孔电连接到所述第二栅极。

在本公开的一些示例性实施例中，上述方法还包括：在所述源漏电极远离所述衬底基板的一侧形成钝化层；以及在所述钝化层远离所述衬底基板的一侧形成配置成吸收和/或反射环境光的遮光层。

当然，实施本公开的任一产品或方法并不一定需要同时达到以上所述的所有优点。本公开的其它特征和优点将在随后的说明书实施例中阐述，并且，部分地从说明书实施例中变得显而易见，或者通过实施本公开而了解。本公开实施例的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本公开技术方案的进一步理解，并且构成说明书

的一部分，与本申请的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

图 1 为本公开实施例提供的一种薄膜晶体管的结构示意图；

图 2 为本公开实施例提供的另一薄膜晶体管的结构示意图；

图 3 为本公开实施例提供的薄膜晶体管的平面图；

图 4 为本公开实施例提供的又一薄膜晶体管的结构示意图；

图 5 为本公开实施例提供的薄膜晶体管的制作方法的流程图；

图 6A 为本公开实施例提供的薄膜晶体管的制作方法示意图；

图 6B 为本公开实施例提供的薄膜晶体管的制作方法示意图；

图 6C 为本公开实施例提供的薄膜晶体管的制作方法示意图；

图 6D 为本公开实施例提供的薄膜晶体管的制作方法示意图；

图 6E 为本公开实施例提供的薄膜晶体管的制作方法示意图；

图 6F 为本公开实施例提供的薄膜晶体管的制作方法示意图；

图 6G 为本公开实施例提供的薄膜晶体管的制作方法示意图

图 7 为本公开实施例提供的一种阵列基板的结构示意图；

图 8 为本公开实施例提供的另一阵列基板的结构示意图；以及

图 9 为本公开实施例提供的又一阵列基板的结构示意图。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互任意组合。

在附图的流程图示出的步骤可以在诸如一组计算机可执行指令的计算机系统中执行。并且，虽然在流程图中示出了逻辑顺序，但是在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤。

除非另外定义，本公开实施例公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开实施例中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“第一元件”等类似术语在本公开中的出现不意味着必然存在第二元件，并且“第二元件”等类似术语在本公开中的出现也不意味着必然存在第一元件。“包括”或者“包含”等类似的词语一直出该词前面的元件或误检涵盖出现在该词后面列举的元件或者物件及其等同，而不排除

其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述的对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

目前常用的光敏元件是 PIN 二极管，其控制器件是氧化物薄膜晶体管（Thin Film Transistor，简称 TFT）。但 PIN 二极管在制作过程中会产生较多的氢原子，这些氢原子会侵蚀 TFT 的有源层的沟道区域，导致 TFT 的阈值电压负向漂移，漏电流增大，造成光学检测时暗电流较大，无法保证信噪比，进而无法准确地进行光学补偿。

图 1 为本公开实施例提供的一种用于控制作为光敏元件的 PIN 二极管的薄膜晶体管的结构示意图。如图 1 所示，本公开实施例提供的薄膜晶体管包括设置在衬底基板 10 一侧的第一栅极 11、有源层 13、第二栅极 15 和源漏电极 17。

具体地，如图 1 所示，有源层 13 设置在第一栅极 11 远离衬底基板 10 的一侧，第二栅极 15 设置在有源层 13 远离衬底基板 10 的一侧，源漏电极 17 设置在第二栅极 15 远离衬底基板 10 的一侧，并且源漏电极 17 在衬底基板 10 上的正投影与第二栅极 15 在衬底基板 10 上的正投影至少部分重叠。

在本公开的上述实施例中，通过将有源层设置在第一栅极和第二栅极之间，并且使得源漏电极在衬底基板上的正投影与第二栅极在衬底基板上的正投影至少部分重叠，可以保证在后续的制作工艺中，有源层被源漏电极和第二栅极完全遮挡，从而避免当在该薄膜晶体管上形成 PIN 二极管时氢原子进入有源层，进而侵蚀薄膜晶体管有源层的沟道区域。因此，可以避免薄膜晶体管的阈值电压负向漂移，减少薄膜晶体管的漏电流，保证在光学检测时暗电流的减小以及改进的信噪比，以便能够准确地对显示器进行光学补偿。

需要说明的是，如图 1 所示，本公开实施例提供的薄膜晶体管还包括其它层，诸如缓冲层 12、栅绝缘层 14 和层间介质层 16 等。缓冲层 12 设置在第一栅极 11 远离衬底基板 10 的一侧，栅绝缘层 14 设置在有源层 13 远离衬底基板 10 的一侧，并且层间介质层 16 设置在缓冲层 12 远离衬底基板 10 的一侧。

衬底基板 10 可以是透明绝缘基板，比如玻璃基板、石英基板或其他合适的基板，本公开实施例对此不作任何限定。

第一栅极 11 设置在衬底基板 10 上，且第一栅极 11 的制作材料可以包括铜基金属、铝基金属、镍基金属等。例如，该铜基金属包括铜、铜锌合金、铜镍合金或铜锌镍合金等性能稳定的铜基金属合金，本公开实施例对此不作任何限定。

在示例性实施例中，缓冲层 12 覆盖整个衬底基板 10，从而不仅可以防止衬底基板中的有害杂质、离子等扩散到有源层之中，还可以吸收和反射环境光等光线，保证薄膜晶体管的光学稳定性。

缓冲层 12 的制作材料可以包括硅氧化物、硅氮化物或硅氮氧化物等。例如，该缓冲层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

有源层 13 设置在缓冲层 12 上，且有源层 13 的制作材料可以包括非晶硅、多晶硅或金属氧化物半导体等。

可选地，为了减小薄膜晶体管的漏电流，本公开实施例提供的有源层的制作材料可以采用金属氧化物半导体，例如氧化铟镓锌 IGZO、氧化铟锌 IZO、氧化锌或氧化镓锌 GZO 等。

栅绝缘层 14 设置在有源层 13 的沟道区域上，且栅绝缘层 14 的制作材料可以包括硅氧化物、硅氮化物或硅氮氧化物等。例如，该栅绝缘层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

第二栅极 15 设置在栅绝缘层 14 上，且第二栅极 15 的制作材料可以由选自钼、铜、铝、钛中的一种或多种或以上金属任意组合形成的合金中的一种或多种或其他合适的材料形成。例如，第二栅极可为单层或多层结构，本公开实施例对此不作任何限定。

层间介质层 16 覆盖衬底基板 10，且层间介质层 16 的制作材料可以包括硅氧化物、硅氮化物或硅氮氧化物等。例如，该层间介质层 16 还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

源漏电极 17 设置在层间介质层 16 上，且源漏电极 17 的制作材料可以由选自钼、铜、铝、钛中的一种或多种或以上金属任意组合形成

的合金中的一种或多种或其他合适的材料形成。例如，源漏电极可为单层或多层结构，本公开实施例对此不作任何限定。

图 2 为本公开实施例提供的另一薄膜晶体管的结构示意图，而图 3 为本公开实施例提供的该薄膜晶体管的顶视图。需要说明的是，顶视图中为了示意出位于源漏电极层下方的有源层 13，将源漏电极 17 的一部分以虚线框的形式表示。如图 2 和 3 所示，与图 1 所示的实施例相比，该薄膜晶体管还包括设置在层间介质层 16 远离衬底基板 10 一侧的连接电极 18。

连接电极 18 的制作材料可以为透明导电材料，例如氧化铟锡等，本公开实施例对此不作任何限定。例如，在示例性实施例中，连接电极 18 可以与薄膜晶体管的源漏电极在同一图案化工艺中形成，即与源漏电极材料相同。

进一步地，缓冲层 12 包括贯穿缓冲层 12 的第一过孔 21，第一过孔 21 在衬底基板 10 上的正投影与第一栅极 11 在衬底基板 10 上的正投影至少部分重叠。层间介质层 16 包括贯穿层间介质层 16 的第二过孔 22 和第三过孔 23，第二过孔 22 在衬底基板 10 上的正投影与有源层 13 在衬底基板 10 上的正投影至少部分重叠，并且第三过孔 23 在衬底基板 10 上的正投影覆盖第一过孔 21 在衬底基板 10 上的正投影。连接电极 18 通过第一过孔 21 和第三过孔 23 电连接第一栅极 11，并且通过第三过孔 23 电连接第二栅极 15。换言之，第一过孔 21 和第三过孔 23 暴露第一栅极 11 的一部分，并且第三过孔 23 暴露第二栅极 15 的一部分。

如本文中所使用的，“贯穿”是指在垂直于衬底基板的方向上穿过该层的整个厚度。

可选地，层间介质层 16 包括暴露有源层 13 在平行于衬底基板 10 的方向上的第一端的第四过孔和暴露有源层 13 在所述方向上的第二端的第五过孔，其中，源漏电极 17 分别通过第四过孔和第五过孔与有源层 13 连接，需要说明的是，参考图 3，第四过孔和第五过孔均以第二过孔 22 表示，源漏电极 17 通过第二过孔 22 连接至下方的有源层 13。

可选地，在示例性实施例中，如图 1 和 2 所示，第一栅极 11 设置在衬底基板 10 的一侧，并且缓冲层 12、有源层 13、栅绝缘层 14、第二栅极 15、层间介质层 16 和源漏电极依次设置在第一栅极 11 在远离

衬底基板 10 的一侧。当然，本公开实施例并不以此为限，还可以为其他结构。需要说明的是，尽管图 2 中并未示出源漏电极，但是在图 2 的实施例中源漏电极的布置可以与图 1 中的相同，并且图 1 和图 2 为薄膜晶体管在不同角度下的截面图。

在如图 2 所示的实施例中，第一栅极 11 和第二栅极 15 分别位于有源层 13 两侧，且通过连接电极 18 电连接，使得第一栅极 11 和第二栅极 15 能够同时接收到从栅线传输的相同的扫描信号，进而保证对有源层同时产生驱动作用。具体地，当栅线被施加开启信号时，在第一栅极和第二栅极的共同作用下，有源层表面产生感应电荷，使得该薄膜晶体管导通，并且源电极和漏电极通过有源层中的导电沟道与彼此电连接，因而可以在二者之间进行数据传输；当栅线被施加关断信号时，源漏电极彼此断开，因而不能在二者之间进行数据传输。由于该薄膜晶体管中的有源层受到第一栅极和第二栅极的相同电压驱动作用，因此使得有源层能够更加稳定地导通源漏电极，从而提高了薄膜晶体管的开关比，保证了薄膜晶体管的稳定性和驱动能力。

图 4 为本公开的另一实施例提供的薄膜晶体管的结构示意图。与图 1 所示的实施例相比，如图 4 所示，该实施例提供的薄膜晶体管还包括钝化层 19 和遮光层 20。

具体地，钝化层 19 设置在源漏电极 17 远离衬底基板 10 的一侧，而遮光层 20 设置在钝化层 19 远离衬底基板 10 的一侧，并且配置成吸收和/或反射环境光。

钝化层 19 覆盖整个衬底基板 10，且钝化层 19 的制作材料可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该钝化层 19 可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

可选地，为了充分地吸收和/或反射环境光，避免光线进入到有源层的沟道区域，遮光层 20 在衬底基板 10 上的正投影覆盖整个有源层 13 在衬底基板 10 上的正投影。

在本公开的实施例中，通过设置缓冲层 12 和遮光层 20 二者，能够保证环境光和 OLED 光线被吸收和/或反射，从而进一步地减少或消除有源层的沟道区域中的漏电流现象的发生，提高产品良率，保证薄膜晶体管的光学稳定性。

可选地，如图 1 和图 4 所示，为了能够保证环境光和 OLED 光线被更加充分地反射，从而进一步地减少或消除有源层的沟道区域中的漏电流现象的发生，提高产品良率，保证薄膜晶体管的光学稳定性，第一栅极 11 在衬底基板 10 上的正投影可以覆盖有源层 13 在衬底基板 10 上的正投影。

本公开实施例还提供了一种薄膜晶体管的制作方法，并且图 5 为本公开实施例提供的薄膜晶体管的制作方法的流程图。

在步骤 100 处，提供衬底基板。衬底基板可以是透明绝缘基板，比如玻璃基板、石英基板或其他合适的基板，本公开实施例对此不作任何限定。

在步骤 200 处，在衬底基板的一侧形成第一栅极。第一栅极的制作材料可以包括铜基金属、铝基金属、镍基金属等。例如，该铜基金属包括铜、铜锌合金、铜镍合金或铜锌镍合金等性能稳定的铜基金属合金，本公开实施例对此不作任何限定。

在步骤 300 处，在第一栅极远离衬底基板的一侧形成有源层。

在示例实施例中，步骤 300 可以具体包括：在第一栅极远离衬底基板的一侧形成缓冲层；在缓冲层中形成第一过孔，第一过孔在衬底基板上的正投影与第一栅极在衬底基板上的正投影至少部分重叠；以及在缓冲层远离衬底基板的一侧形成有源层。

可选地，缓冲层可以覆盖整个衬底基板，使得该缓冲层不仅可以防止衬底基板中的有害杂质、离子等扩散到有源层之中，还可以吸收和反射环境光等光线，保证薄膜晶体管的光学稳定性。

缓冲层的制作材料可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该缓冲层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

有源层的制作材料可以包括非晶硅、多晶硅或金属氧化物半导体等。

进一步地，为了减小薄膜晶体管的漏电流，本公开实施例提供的有源层的制作材料可以为金属氧化物半导体，例如氧化铟镓锌 IGZO、氧化铟锌 IZO、氧化锌或氧化镓锌 GZO 等。

在步骤 400 处，在有源层远离衬底基板的一侧形成第二栅极。

在示例实施例中，步骤 400 可以具体包括：在有源层远离衬底基板的一侧形成栅绝缘层；以及在栅绝缘层远离衬底基板的一侧形成第二栅极。

栅绝缘层的制作材料可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该栅绝缘层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

第二栅极的制作材料可以由选自钼、铜、铝、钛中的一种或多种或以上金属任意组合形成的合金中的一种或多种或其他合适的材料形成。例如，第二栅极可为单层或多层结构，本公开实施例对此不作任何限定。

在步骤 500 处，在第二栅极远离衬底基板的一侧形成源漏电极。源漏电极在衬底基板上的正投影与第二栅极在衬底基板上的正投影至少部分重叠。

在本公开实施例提供的薄膜晶体管的制作方法中，通过将有源层设置在第一栅极和第二栅极之间，且源漏电极在衬底基板上的正投影与第二栅极在衬底基板上的正投影至少部分重叠，能够避免在后续工艺中氢原子进入有源层，进而侵蚀薄膜晶体管有源层的沟道区域，从而避免薄膜晶体管的阈值电压负向漂移，减小薄膜晶体管中的漏电流。

在示例性实施例中，步骤 500 可以具体包括：在第二栅极远离衬底基板的一侧形成层间介质层；在层间介质层中形成第二过孔和第三过孔，第二过孔在衬底基板上的正投影与有源层在衬底基板上的正投影至少部分重叠，第三过孔在衬底基板上的正投影覆盖第一过孔在衬底基板上的正投影；以及在层间介质层远离衬底基板的一侧形成源漏电极和连接电极，连接电极通过第一过孔和第三过孔电连接第一栅极，并且通过第三过孔电连接第二栅极。

可选地，层间介质层覆盖整个衬底基板，且层间介质层的制作材料可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该层间介质层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

连接电极的制作材料可以为透明导电材料，例如氧化铟锡等，本公开实施例对此不作任何限定。

可选地，源漏电极的制作材料可以由选自钼、铜、铝、钛中的一种或多种或以上金属任意组合形成的合金中的一种或多种或其他合适的材料形成。例如，源漏电极可为单层或多层结构，本公开实施例对此不作任何限定。

在本实施例中，第一栅极和第二栅极分别位于有源层两侧，且通过连接电极电连接，使得第一栅极和第二栅极能够同时接收到从栅线传输的相同的扫描信号，进而保证对有源层同时产生驱动作用。具体地，当栅线被施加开启信号时，在第一栅极和第二栅极的共同作用下，有源层表面产生感应电荷，使得该薄膜晶体管导通，并且源电极和漏电极通过有源层中的导电沟道与彼此电连接，因而可以在二者之间进行数据传输；当栅线被施加关断信号时，源漏电极彼此断开，因而不能在二者之间进行数据传输。由于该薄膜晶体管中的有源层受到第一栅极和第二栅极的相同电压驱动作用，因此使得有源层能够更加稳定地导通源漏电极，从而提高了薄膜晶体管的开关比，保证了薄膜晶体管的稳定性和驱动能力。

可选地，在步骤 500 之后，上述薄膜晶体管的制作方法还可以包括：在源漏电极远离衬底基板的一侧形成钝化层；以及在钝化层远离衬底基板的一侧形成配置成吸收和/或反射环境光的遮光层。

可选地，钝化层覆盖整个衬底基板，且钝化层的制作材料可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该钝化层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

可选地，为了吸收和反射环境光，避免光线进入到有源层的沟道区域，在示例性实施例中，遮光层在衬底基板上的正投影覆盖有源层在衬底基板上的正投影。

在上述实施例中，通过同时设置缓冲层和遮光层，能够保证环境光和 OLED 光线被吸收和反射，从而进一步地减少或消除有源层的沟道区域中的漏电流现象的发生，提高产品良率，保证薄膜晶体管的光学稳定性。

下面结合图 6A-图 6G，进一步地描述本公开实施例提供的薄膜晶体管的制作方法，其中，构图工艺例如可以为光刻构图工艺，其流程主要包括：在需要被构图的结构层上涂覆光刻胶，使用掩膜板对光刻

胶进行曝光，对曝光的光刻胶进行显影以得到光刻胶图案，使用光刻胶图案作为掩膜板对结构层进行刻蚀，然后剥离光刻胶。

在根据本公开实施例的薄膜晶体管的制作方法中，首先，如图 6A 所示，提供衬底基板 10，并且在衬底基板 10 上形成第一金属膜，对该第一金属膜执行构图工艺以形成第一栅极 11。

在具体实施时，可以在衬底基板 10 上采用物理气相沉积等工艺沉积第一金属膜。衬底基板 10 可以是透明绝缘基板，比如玻璃基板、石英基板或其他合适的基板，本公开实施例对此不作任何限定。第一金属薄膜可以包括铜基金属、铝基金属、镍基金属等。例如，该铜基金属包括铜、铜锌合金、铜镍合金或铜锌镍合金等性能稳定的铜基金属合金。

接着，在第一栅极 11 上形成缓冲层 12，如图 6B 所示。在具体实施时，可以采用化学气相沉积（Chemical Vapor Deposition，简称 CVD）工艺在第一栅极 11 上沉积缓冲层 12。

缓冲层的制作材料可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该缓冲层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

然后，在缓冲层 12 上形成有源层 13，如图 6C 所示。在具体实施时，有源层的制作材料可以包括非晶硅、多晶硅或金属氧化物半导体等。

进一步地，为了减小薄膜晶体管的漏电流，有源层的制作材料可以为金属氧化物半导体，例如氧化铟镓锌 IGZO、氧化铟锌 IZO、氧化锌或氧化镓锌 GZO 等。

接着，在有源层 13 上形成栅绝缘层 14，如图 6D 所示。在具体实施时，可以采用 CVD 等工艺在有源层的沟道区域上沉积栅绝缘层 14。

栅绝缘层可以为氧化硅层、氮化硅层或由氧化硅和氮化硅所组成的复合绝缘层等，本公开实施例对此不作任何限定。

栅绝缘层的制作材料可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该栅绝缘层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

然后，在栅绝缘层 14 上沉积第二金属膜，并且对第二金属膜执行构图工艺以形成第二栅极 15，如图 6E 所示。在具体实施时，在栅绝缘层 14 上可以采用物理气相沉积等方法沉积第二金属膜。

第二金属膜可以由选自钼、铜、铝、钛中的一种或多种或以上金属任意组合形成的合金中的一种或多种或其他合适的材料形成。例如，第二栅极可为单层或多层结构，本公开实施例对此不作任何限定。

然后，在第二栅极 15 上沉积绝缘膜，并且对该绝缘膜执行构图工艺以形成层间介质层 16，如图 6F 所示。在具体实施时，在第二栅极上可以采用 CVD 等工艺沉积绝缘膜，并通过构图工艺形成暴露有源层在平行于衬底基板的方向上的一端的第四过孔、暴露有源层在所述方向上的另一端的第五过孔、暴露第二栅极的第二过孔、暴露第一栅极的第一过孔和暴露第一过孔的第三过孔。

绝缘膜可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该层间介质层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

接着，如图 6G 所示，在层间介质层 16 上形成源漏电极 17 和连接电极（图中未示出）。在具体实施时，形成源漏电极 17 可以包括在层间介质层 16 上物理沉积第三金属膜，并且对该第三金属膜执行构图工艺以形成源漏电极 17。

第三金属膜可以由选自钼、铜、铝、钛中的一种或多种或以上金属任意组合形成的合金中的一种或多种或其他合适的材料形成。例如，源漏电极可为单层或多层结构，本公开实施例对此不作任何限定。

然后，在源漏电极 17 上形成钝化层 19 和遮光层 20，以形成如图 4 所示的薄膜晶体管。在具体实施时，可以在源漏电极 17 上采用 CVD 工艺沉积绝缘膜来作为钝化层，并且在该钝化层上形成可以作为黑矩阵层的遮光层 20。

上述绝缘膜可以包括硅氧化物、硅氮化物、硅氮氧化物等。例如，该层间介质层还可以为由氮化硅或氧化硅构成的单层结构，或者由氮化硅和/或氧化硅构成的双层或多层结构，本公开实施例对此不作任何限定。

需要说明的是，若通过上述方法制作的薄膜晶体管应用在阵列基

板中，那么阵列基板的制作方法包括上述各步骤。进一步地，在该阵列基板的制作方法中，可以在形成第二栅极的步骤中形成导电层，并且可以在形成源漏电极和连接电极的步骤中形成连接层。此后，上述方法还可以包括：在源电极或漏电极上设置 PIN 二极管；在 PIN 二极管上形成钝化层，其中，钝化层覆盖整个衬底基板，并且包括暴露 PIN 二极管的过孔；在钝化层上沉积透明导电材料，通过构图工艺形成导出层；以及在导出层上形成遮光层。

基于上述实施例的发明构思，本公开实施例还提供一种阵列基板。图 7 为本公开实施例提供的阵列基板的结构示意图。如图 7 所示，本公开实施例提供的阵列基板包括薄膜晶体管 1 和光敏元件 2。薄膜晶体管 1 为上述任一实施例所提供的薄膜晶体管。光敏元件 2 设置在薄膜晶体管 1 的源漏电极远离衬底基板的一侧，并且光敏元件 2 的第一电极 2a 与薄膜晶体管 1 的源电极或漏电极连接。

在示例性实施例中，光敏元件 2 可以为 PIN 二极管。

在示例性实施例中，如图 7 所示，本公开实施例中的薄膜晶体管的源电极或漏电极在衬底基板上的正投影覆盖光敏元件在衬底基板上的正投影。

在本公开实施例提供的阵列基板中，通过将有源层设置在第一栅极和第二栅极之间，且源漏电极在衬底基板上的正投影与第二栅极在衬底基板上的正投影至少部分重叠，能够避免在制作光敏元件时氢原子进入有源层，进而侵蚀薄膜晶体管有源层的沟道区域，从而避免薄膜晶体管的阈值电压负向漂移，减小薄膜晶体管中的漏电流，进而保证在光学检测时暗电流的减小以及可接受的信噪比，从而能够准确地对显示器进行光学补偿。

图 8 为本公开的另一实施例提供的阵列基板的结构示意图。如图 8 所示，与图 7 所示的阵列基板相比，本公开实施例提供的阵列基板还包括导出层 3。导出层 3 设置在光敏元件 2 远离衬底基板 10 一侧，并且光敏元件 2 的第二电极 2b 与导出层 3 连接。在该实施例中，导出层 3 的作用相当于导线。

导电层 3 的制作材料可以为透明导电材料，例如氧化铟锡等，本公开实施例对此不作任何限定。

需要说明的是，如图 8 所示，在制作阵列基板的工艺中，在制作

完成薄膜晶体管的源漏电极之后，在源电极或漏电极远离衬底基板的一侧设置 PIN 二极管，然后在源漏电极和 PIN 二极管远离衬底基板的一侧形成钝化层，该钝化层包括过孔。导出层 3 通过钝化层中的过孔与 PIN 二极管连接。

由于本公开实施例提供的阵列基板包括上述任一实施例所提供的薄膜晶体管，因此其实现原理和实现效果类似，在此不再赘述。

在本公开实施例提供的阵列基板中，当第一栅极和第二栅极同时接收到导通信号时，薄膜晶体管 1 导通从而驱动光敏元件 2 发光。

图 9 为本公开的另一实施例提供的阵列基板的结构示意图。如图 9 所示，与图 8 所示的阵列基板相比，本公开实施例提供的阵列基板还包括导电层 4。

导电层 4 与薄膜晶体管 1 的第二栅极同层设置，且与导出层 3 连接。特别地，导电层 4 在衬底基板上的正投影与薄膜晶体管中的源漏电极在衬底基板上的正投影至少部分重叠。

在上述的布置中，导电层 4 和源漏电极形成电容，以存储或者释放电量。导出层 3 与导电层 4 连接，以便向导电层 4 提供电信号。

导电层 4 的制作材料与第二栅极的制作材料可以相同也可以不同。当导电层 4 的制作材料与第二栅极的制作材料相同时，可以在同一个工艺过程中同时形成导电层 4 和第二栅极，从而简化制作工艺。

导电层 4 和导出层 3 可以通过过孔连接。可替换地，如图 9 所示，上述阵列基板还包括连接层 5。连接层 5 与薄膜晶体管中的源漏电极同层设置，使得导电层 4 通过连接层 5 与导出层 3 连接。

在本实施例中，连接层 5 的设置能够避免在导出层 3 通过过孔与导电层 4 连接时，该连接由于过孔电性连接不好而发生断路。

连接层 5 可以采用导电且电阻率较低的材料制成，本公开实施例对此不作任何限定。

连接层 5 的制作材料与源漏电极的制作材料可以相同也可以不同。当连接层 5 的制作材料与源漏电极的制作材料相同时，可以在同一个工艺过程中同时形成连接层 5 和源漏电极，从而简化制作工艺。

基于上述实施例的发明构思，本公开实施例还提供一种显示装置，包括上述任一种阵列基板。

由于该显示装置包括上述任一实施例中所提供的阵列基板，因此

其实现原理和实现效果类似，在此不再赘述。

显示装置可以为电视、数码相机、手机、手表、笔记本电脑、导航仪等任何具有显示功能的产品或者部件。

本公开实施例附图只涉及本公开实施例涉及到的结构，其他结构可参考通常设计。

为了清晰起见，在用于描述本公开的实施例的附图中，层或微结构的厚度和尺寸被放大。可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

在不冲突的情况下，本公开的实施例即实施例中的特征可以相互组合以得到新的实施例。

虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求

1. 一种薄膜晶体管，包括：

衬底基板；

位于衬底基板一侧的第一栅极；

位于所述第一栅极远离所述衬底基板的一侧的有源层；

位于所述有源层远离所述衬底基板的一侧的第二栅极；以及

位于所述第二栅极远离所述衬底基板的一侧的源漏电极，

其中，所述源漏电极在所述衬底基板上的正投影与所述第二栅极在所述衬底基板上的正投影至少部分重叠。

2. 根据权利要求 1 所述的薄膜晶体管，还包括：

位于所述第一栅极远离所述衬底基板的一侧的缓冲层；

位于所述有源层远离所述衬底基板的一侧的栅绝缘层；以及

位于所述第二栅极远离所述衬底基板的一侧的层间介质层。

3. 根据权利要求 2 所述的薄膜晶体管，还包括位于所述层间介质层远离所述衬底基板的一侧的连接电极，其中

所述缓冲层包括贯穿所述缓冲层的第一过孔，所述第一过孔在所述衬底基板上的正投影与所述第一栅极在所述衬底基板上的正投影至少部分重叠，

所述层间介质层包括贯穿所述层间介质层的第二过孔和第三过孔，所述第二过孔在所述衬底基板上的正投影与所述有源层在所述衬底基板上的正投影至少部分重叠，所述第三过孔在所述衬底基板上的正投影覆盖所述第一过孔在所述衬底基板上的正投影，且与所述第二栅极在所述衬底基板上的正投影至少部分重叠；

所述连接电极通过所述第一过孔和所述第三过孔电连接到所述第一栅极，并且通过所述第三过孔电连接到所述第二栅极。

4. 根据权利要求 1 所述的薄膜晶体管，其中，所述第一栅极在所述衬底基板上的正投影覆盖所述有源层在所述衬底基板上的正投影。

5. 根据权利要求 1 所述的薄膜晶体管，其中，所述有源层包括金属氧化物半导体材料。

6. 根据权利要求 3 所述的薄膜晶体管，其中，所述连接电极包括透明导电材料。

7. 根据权利要求 3 所述的薄膜晶体管，还包括：

位于所述源漏电极远离所述衬底基板的一侧的钝化层；以及

位于所述钝化层远离所述衬底基板的一侧的遮光层，所述遮光层配置成吸收和/或反射环境光。

8. 一种阵列基板，包括：

如权利要求 1~7 任一项所述的薄膜晶体管；以及

位于所述薄膜晶体管的所述源漏电极远离所述衬底基板的一侧的光敏元件，其中

所述光敏元件的第一电极与所述薄膜晶体管的源电极或漏电极连接。

9. 根据权利要求 8 所述的阵列基板，还包括位于所述光敏元件远离所述衬底基板一侧的导出层，其中

所述光敏元件的第二电极与所述导出层连接。

10. 根据权利要求 9 所述的阵列基板，还包括与薄膜晶体管中的第二栅极同层设置的导电层，其中

所述导电层与所述导出层连接，并且

所述导电层在所述衬底基板上的正投影与所述薄膜晶体管的所述源漏电极在所述衬底基板上的正投影至少部分重叠。

11. 根据权利要求 10 所述的阵列基板，还包括与所述薄膜晶体管的所述源漏电极同层设置的连接层，其中

所述导电层通过所述连接层与所述导出层连接。

12. 一种显示装置，包括：如权利要求 8~11 任一项所述的阵列基板。

13. 一种薄膜晶体管的制作方法，包括：

提供衬底基板；

在所述衬底基板的一侧形成第一栅极；

在所述第一栅极远离所述衬底基板的一侧形成有源层；

在所述有源层远离所述衬底基板的一侧形成第二栅极；以及

在所述第二栅极远离衬底基板的一侧形成源漏电极，

其中，所述源漏电极在所述衬底基板上的正投影与所述第二栅极在所述衬底基板上的正投影至少部分重叠。

14. 根据权利要求 13 所述的方法，其中，所述在所述第一栅极远

离所述衬底基板的一侧形成有源层包括:

在所述第一栅极远离所述衬底基板的一侧形成缓冲层，所述缓冲层包括贯穿所述缓冲层的第一过孔，所述第一过孔在所述衬底基板上的正投影与所述第一栅极在所述衬底基板上的正投影至少部分重叠;以及

在所述缓冲层远离所述衬底基板的一侧形成有源层，并且其中

所述在所述第二栅极远离所述衬底基板的一侧形成源漏电极包括:

在所述第二栅极远离所述衬底基板的一侧形成层间介质层，所述层间介质层包括贯穿所述层间介质层的第二过孔和第三过孔，所述第二过孔在所述衬底基板上的正投影与所述有源层在所述衬底基板上的正投影至少部分重叠，所述第三过孔在所述衬底基板上的正投影覆盖所述第一过孔在所述衬底基板上的正投影;以及

在所述层间介质层远离所述衬底基板的一侧形成源漏电极和连接电极，所述连接电极通过所述第一过孔和所述第三过孔电连接到所述第一栅极，并且通过所述第三过孔电连接到所述第二栅极。

15. 根据权利要求 14 所述的方法，还包括:

在所述源漏电极远离所述衬底基板的一侧形成钝化层;以及

在所述钝化层远离所述衬底基板的一侧形成配置成吸收和/或反射环境光的遮光层。

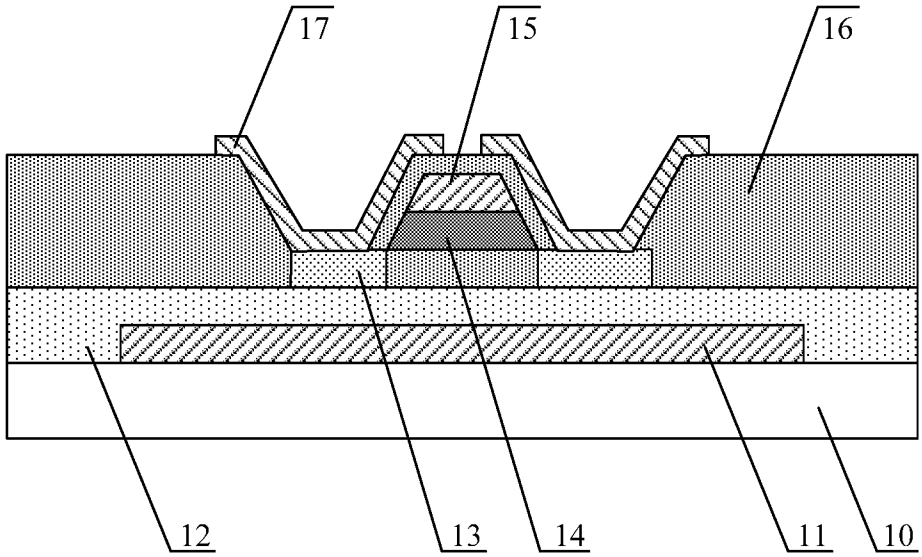


图 1

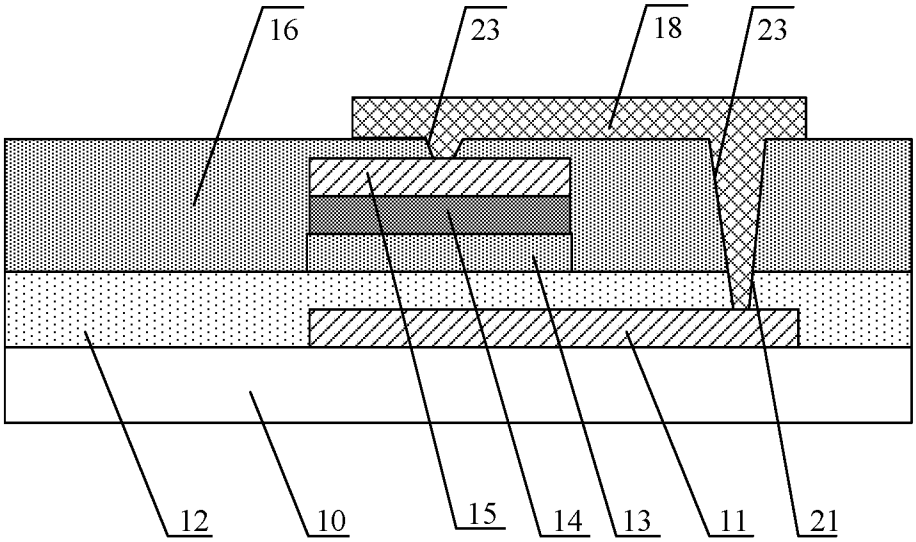


图 2

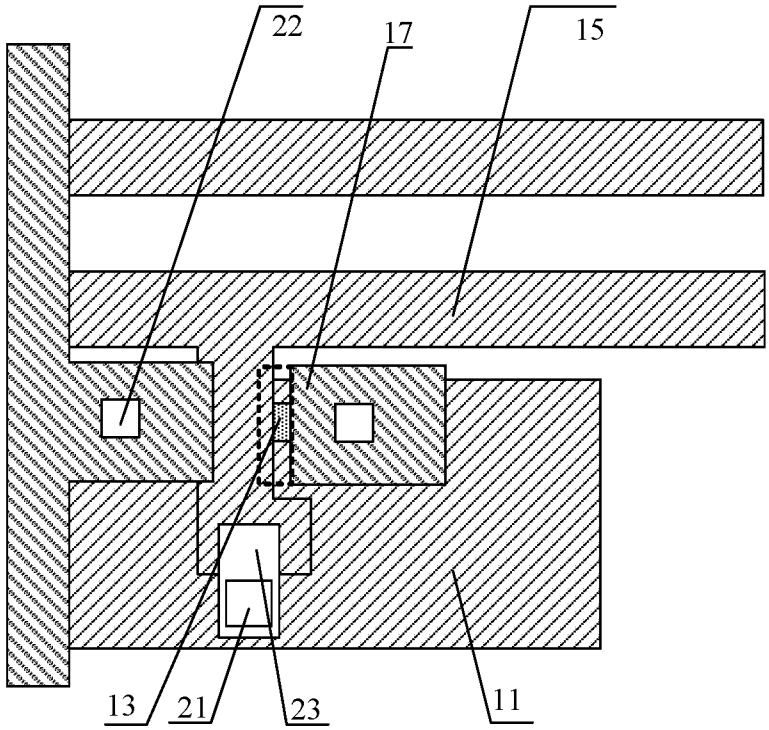


图 3

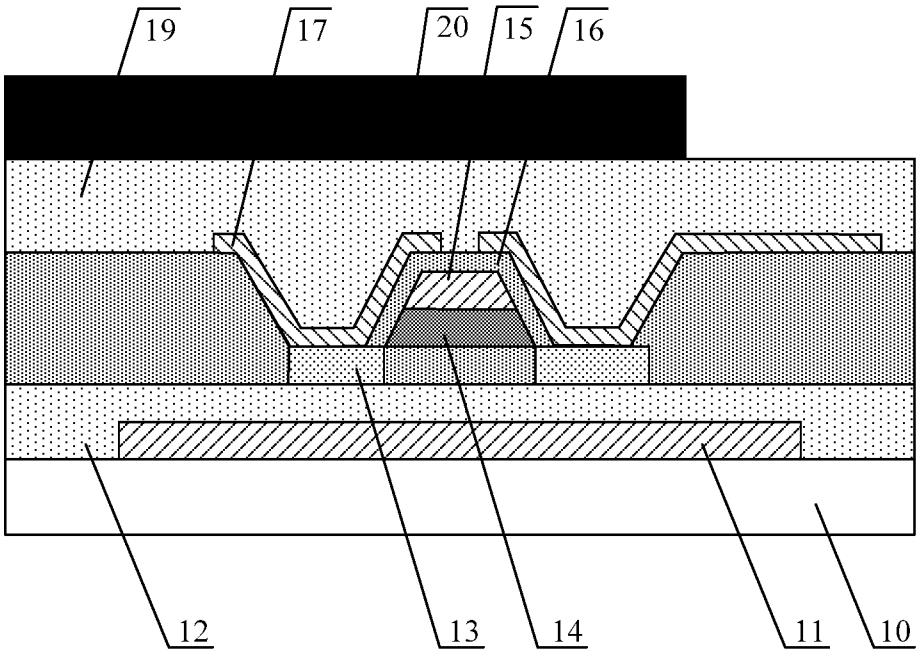


图 4


提供衬底基板
100
在衬底基板的一侧形成第一栅极
200
在第一栅极远离衬底基板的一侧形成有源层
300
在有源层远离衬底基板的一侧形成第二栅极
400
在第二栅极远离衬底基板的一侧形成源漏电极
500

图 5

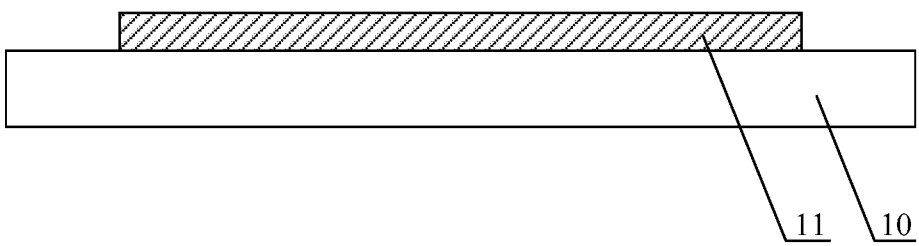

11
10

图 6A

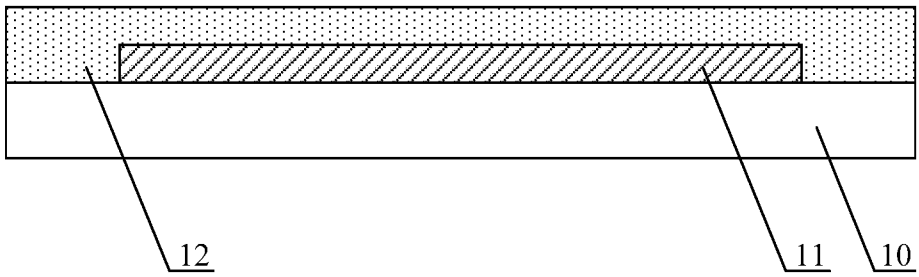


图 6B

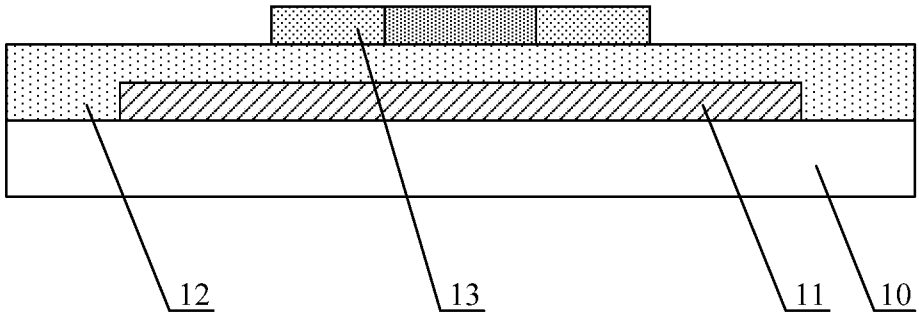


图 6C

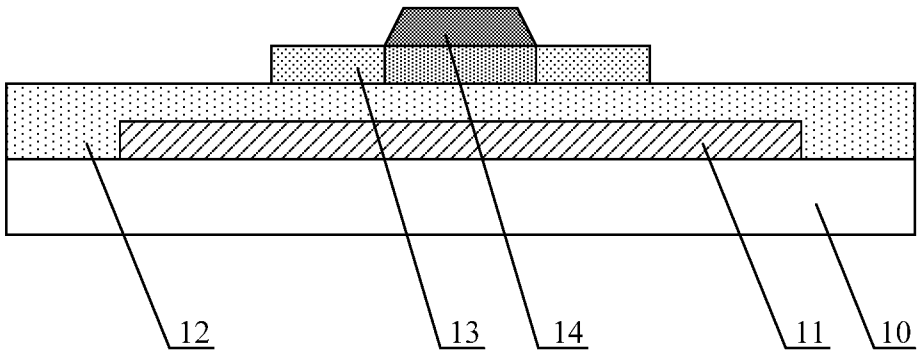


图 6D

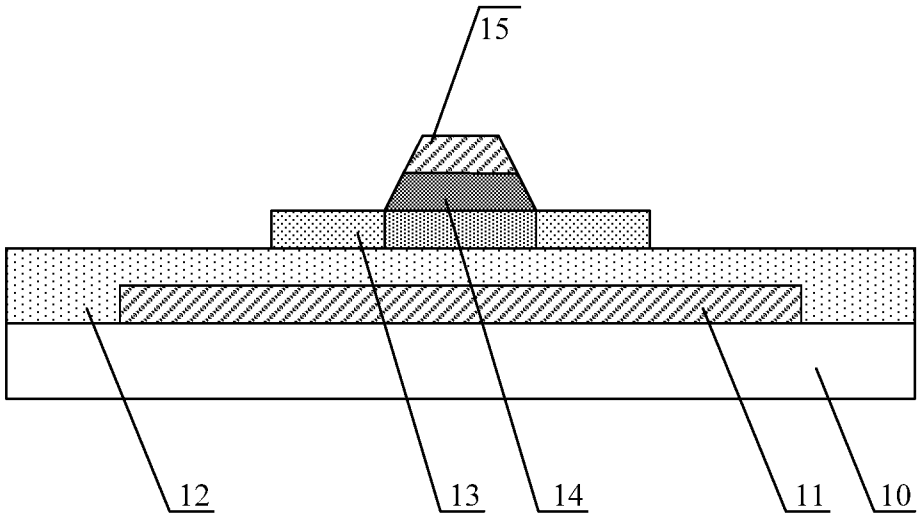


图 6E

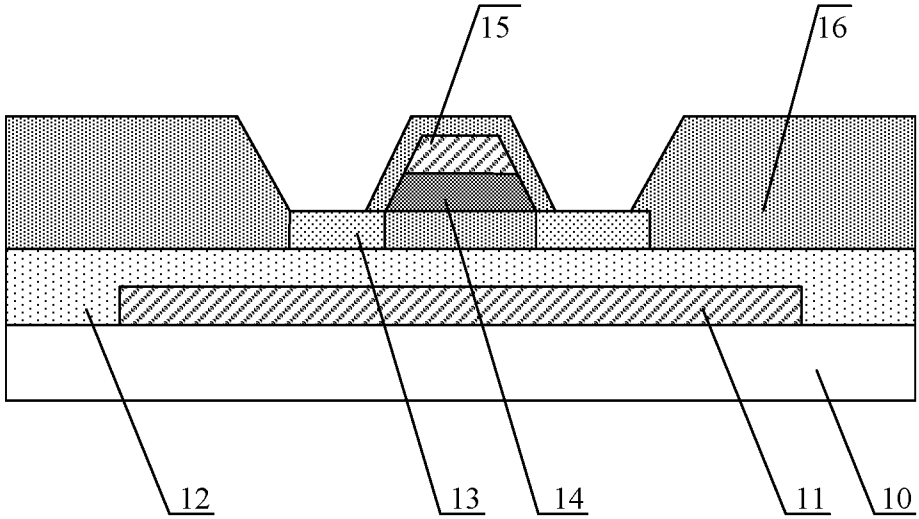


图 6F

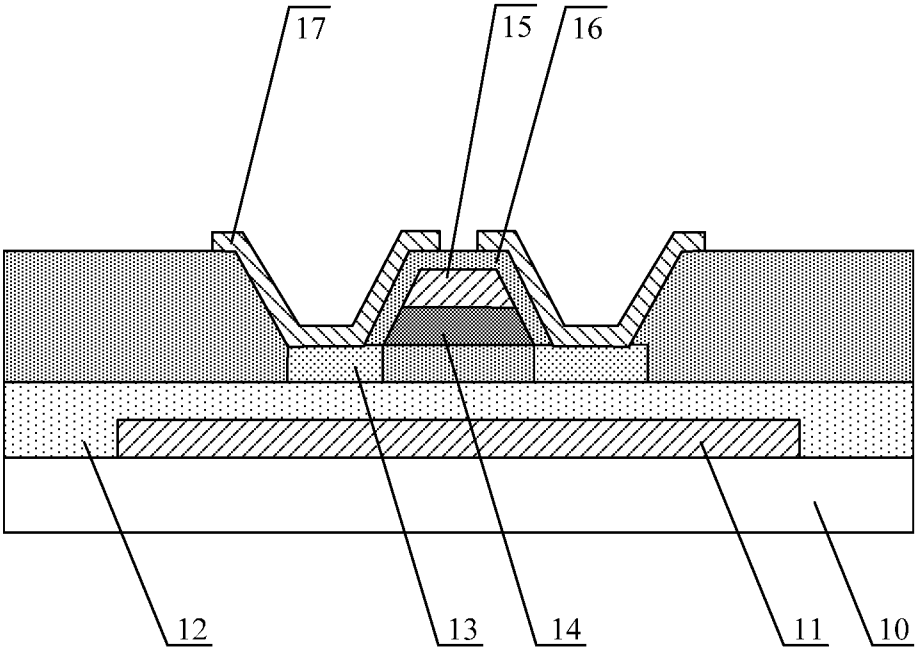


图 6G

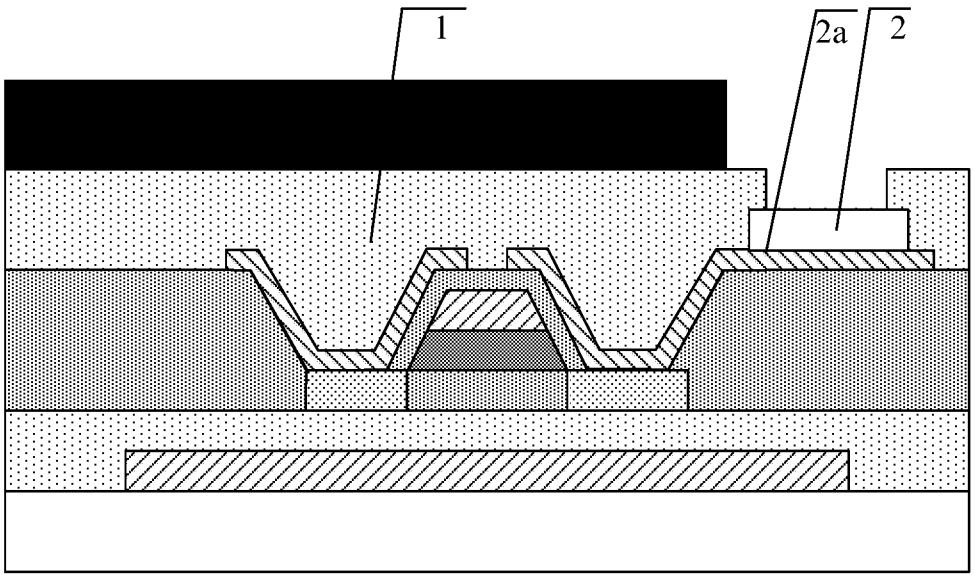


图 7

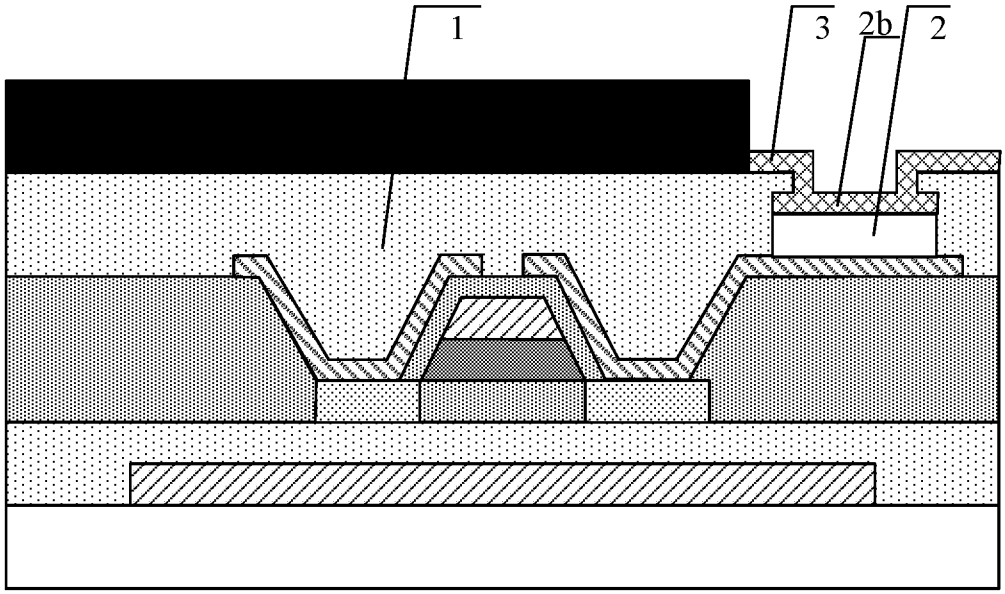


图 8

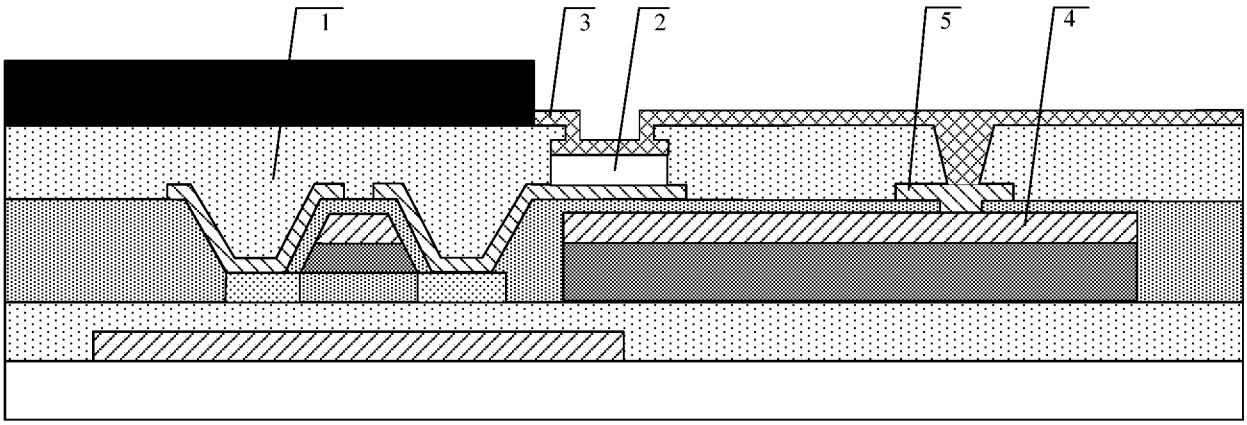


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/087785

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/34(2006.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 双栅, 顶栅, 底栅, 重叠, 光敏, 光电二极管, 补偿, 发光二极管, dual, gate, top, bottom, overlap, photodiode, LED

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 108767016 A (BOE TECHNOLOGY GROUP CO., LTD.) 06 November 2018 (2018-11-06) claims 1-15, description, paragraphs [0068]-[0178], and figures 1-9	1-15
X	US 2014340608 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20 November 2014 (2014-11-20) description, paragraphs [0047]-[0070] and [0100]-[0161], and figures 1-3	1-7, 13-15
Y	US 2014340608 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20 November 2014 (2014-11-20) description, paragraphs [0047]-[0070] and [0100]-[0161], and figures 1-3	8-12
Y	CN 1934605 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 21 March 2007 (2007-03-21) description, page 7, paragraphs 2-8, page 9, paragraph 5 to page 10, paragraph 8 and page 13, paragraphs 3-4, and figures 3-4 and 8-9	8-12
X	CN 104821339 A (BOE TECHNOLOGY GROUP CO., LTD.) 05 August 2015 (2015-08-05) description, paragraphs [0057]-[0075], and figures 4-6	1-7, 13-15

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 July 2019	**20 August 2019**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/087785

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103280181 A (SHANGHAI ADVANCED RESEARCH INSTITUTE (SARI), CHINESE ACADEMY OF SCIENCES) 04 September 2013 (2013-09-04) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/087785

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108767016	A	06 November 2018	None			
US	2014340608	A1	20 November 2014	US	9728556	B2	08 August 2017
				JP	2018139296	A	06 September 2018
				JP	6320840	B2	09 May 2018
				US	2017040348	A1	09 February 2017
				US	10043828	B2	07 August 2018
				JP	2014241404	A	25 December 2014
				US	2019006393	A1	03 January 2019
				US	2017309650	A1	26 October 2017
				TW	I627751	B	21 June 2018
				KR	20160009646	A	26 January 2016
				TW	201842673	A	01 December 2018
				US	9508861	B2	29 November 2016
				TW	201501317	A	01 January 2015
				WO	2014185480	A1	20 November 2014
CN	1934605	A	21 March 2007	EP	1728234	A1	06 December 2006
				US	2007241998	A1	18 October 2007
				US	8310413	B2	13 November 2012
				GB	0406107	D0	21 April 2004
				TW	200603672	A	16 January 2006
				JP	2007529775	A	25 October 2007
				KR	20070004718	A	09 January 2007
				WO	2005091262	A1	29 September 2005
CN	104821339	A	05 August 2015	CN	104821339	B	30 January 2018
CN	103280181	A	04 September 2013	CN	103280181	B	23 December 2015

国际检索报告

国际申请号
PCT/CN2019/087785

A. 主题的分类

H01L 29/786(2006.01)i; H01L 21/34(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNKI,CNPAT,WPI,EPODOC:双栅，顶栅，底栅，重叠，光敏，光电二极管，补偿，发光二极管，dual, gate, top, bottom, overlap, photodiode, LED

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 108767016 A (京东方科技集团股份有限公司) 2018年 11月 6日 (2018-11-06) 权利要求1-15，说明书[0068]-[0178]段，附图1-9	1-15
X	US 2014340608 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2014年 11月 20日 (2014-11-20) 说明书[0047]-[0070]、[0100]-[0161]段，附图1-3	1-7，13-15
Y	US 2014340608 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2014年 11月 20日 (2014-11-20) 说明书[0047]-[0070]、[0100]-[0161]段，附图1-3	8-12
Y	CN 1934605 A (皇家飞利浦电子股份有限公司) 2007年 3月 21日 (2007-03-21) 说明书第7页第2段-第8段、第9页第5段-第10页第8段、第13页第3段-第4段，附图3-4、8-9	8-12
X	CN 104821339 A (京东方科技集团股份有限公司) 2015年 8月 5日 (2015-08-05) 说明书[0057]-[0075]段，附图4-6	1-7，13-15
A	CN 103280181 A (上海中科高等研究院) 2013年 9月 4日 (2013-09-04) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 7月 31日	2019年 8月 20日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 赵世欣 电话号码 86-(10)-53961201

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/087785

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108767016	A	2018年 11月 6日	无			
US	2014340608	A1	2014年 11月 20日	US	9728556	B2	2017年 8月 8日
				JP	2018139296	A	2018年 9月 6日
				JP	6320840	B2	2018年 5月 9日
				US	2017040348	A1	2017年 2月 9日
				US	10043828	B2	2018年 8月 7日
				JP	2014241404	A	2014年 12月 25日
				US	2019006393	A1	2019年 1月 3日
				US	2017309650	A1	2017年 10月 26日
				TW	I627751	B	2018年 6月 21日
				KR	20160009646	A	2016年 1月 26日
				TW	201842673	A	2018年 12月 1日
				US	9508861	B2	2016年 11月 29日
				TW	201501317	A	2015年 1月 1日
				WO	2014185480	A1	2014年 11月 20日
CN	1934605	A	2007年 3月 21日	EP	1728234	A1	2006年 12月 6日
				US	2007241998	A1	2007年 10月 18日
				US	8310413	B2	2012年 11月 13日
				GB	0406107	D0	2004年 4月 21日
				TW	200603672	A	2006年 1月 16日
				JP	2007529775	A	2007年 10月 25日
				KR	20070004718	A	2007年 1月 9日
				WO	2005091262	A1	2005年 9月 29日
CN	104821339	A	2015年 8月 5日	CN	104821339	B	2018年 1月 30日
CN	103280181	A	2013年 9月 4日	CN	103280181	B	2015年 12月 23日