[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/092 (2006.01)
H03H 19/00 (2006.01)
H01L 29/78 (2006.01)
H01L 21/336 (2006.01)

[12] 发明专利申请公开说明书

[21] 申请号 200480016261.7

[43] 公开日 2006 年 7 月 19 日

[11] 公开号 CN 1806331A

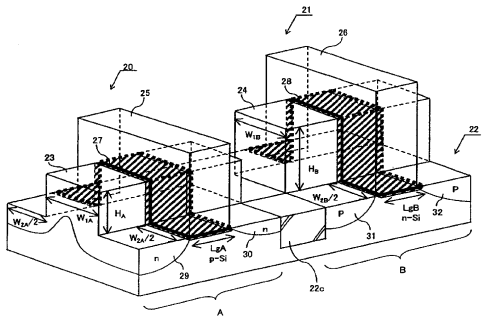
[22] 申请日 2004.6.11
[21] 申请号 200480016261.7
[30] 优先权
[32] 2003.6.13 [33] JP [31] 170103/2003
[86] 国际申请 PCT/JP2004/008220 2004.6.11
[87] 国际公布 WO2004/112143 日 2004.12.23
[85] 进入国家阶段日期 2005.12.12
[71] 申请人 株式会社丰田自动织机
地址 日本爱知县
共同申请人 新泻精密株式会社 大见忠弘
[72] 发明人 大见忠弘 西牟田武史 宫城弘 须川成利 寺本章伸
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 杨 凯 梁 永
权利要求书 2 页 说明书 15 页 附图 7 页

[54] 发明名称

开关电容电路及其半导体集成电路

[57] 摘要

在硅衬底上形成高度为 H_B、宽度为 W_B 的矩形平行六面体突出部分(21)，并且在该突出部分(21)的上壁表面及侧壁表面部分上形成栅极氧化膜，以形成 MOS 晶体管。上述准备的 P 沟道和 n 沟道 MOS 晶体管并联，以配置开关电容电路的开关。以这种方式，开关电容电路可表现出更小的漏泄电流和更小的 DC 偏置。



1. 一种在半导体集成电路的衬底上形成的开关电容电路，包括：

MIS 场效应晶体管，其中由硅衬底形成突出部分，所述硅衬底具有作为主表面的第一晶体表面和作为侧表面的第二晶体表面，在惰性气体的等离子体气氛中去掉硅表面上的封端氢，然后以所述等离子体气氛中等于或者低于大约 550℃的温度在所述突出部分的上表面和所述侧表面的至少一部分上形成栅极绝缘膜，在所述栅极绝缘膜上形成栅极，并且在包围所述突出部分的所述栅极绝缘膜的两侧上形成漏极和源极；以及电容器。

2. 如权利要求 1 所述的电路，其中

在所述突出部分的所述上表面的第一晶体表面和所述侧表面的第二晶体表面上形成沟道，并且所述 MIS 场效应晶体管的沟道宽度是所述上表面的沟道宽度和所述侧表面的通道宽度的和。

3. 如权利要求 1 或 2 所述的电路，其中

所述突出部分具有：包括硅表面（100）的上表面；包括硅表面（110）的所述侧表面；并且在包围所述栅极的所述突出部分上、以及所述硅衬底的所述突出部分的左边区域和右边区域中形成所述源极和所述漏极。

4. 如权利要求 1 或 2 所述的电路，其中

所述开关电容电路包括通过并联 p 沟道 MIS 场效应晶体管和 n 沟道 MIS 场效应晶体管形成的开关，并且设定所述 p 沟道 MIS 场效应晶体管的所述突出部分的上表面和所述侧表面的栅极宽度，以使所述 p 沟道 MIS 晶体管的电流驱动能力可基本等于所述 n 沟道 MIS 晶体管的电流驱动能力。

5. 如权利要求 1 或 2 所述的电路，其中，开关电路包括：

第一 p 沟道和 n 沟道 MIS 场效应晶体管，其在输出端处接收信号，并且彼此并联；第二 p 沟道和 n 沟道 MIS 晶体管，其彼此连接，

并且其输入端连接到第一 p 沟道和 n 沟道 MIS 场效应晶体管的输出端，并且其输出端接地；电容器，其一端连接到第一 p 沟道和 n 沟道 MIS 场效应晶体管的输出端；第三 p 沟道和 n 沟道 MIS 场效应晶体管，其彼此并联，其输入端连接到所述电容器的另一端，并且其输出端接地；以及第四 p 沟道和 n 沟道 MIS 场效应晶体管，其彼此并联，并且其输入端连接到所述电容器的另一端。

6. 一种半导体集成电路，包括:

包括 p 沟道 MIS 场效应晶体管和 n 沟道 MIS 场效应晶体管的电路，其中由硅衬底形成突出部分，该硅衬底具有作为主表面的第一晶体表面和作为侧表面的第二晶体表面，在惰性气体的等离子体气氛中去掉硅表面上的封端氢，然后以等离子体气氛中等于或者低于大约 550℃的温度在突出部分的上表面和侧表面的至少一部分上形成栅极绝缘膜，在栅极绝缘膜上形成栅极，并且在包围突出部分的栅极绝缘膜的两侧上形成漏极和源极；以及包括所述 p 沟道 MIS 场效应晶体管或所述 n 沟道 MIS 场效应晶体管的开关电容电路。

7. 如权利要求 6 所述的电路，其中

设定所述 p 沟道 MIS 场效应晶体管和所述 n 沟道 MIS 场效应晶体管的上表面和侧表面的栅极宽度，以使所述 p 沟道 MIS 场效应晶体管的电流驱动能力可基本等于所述 n 沟道 MIS 场效应晶体管的电流驱动能力。

8. 如权利要求 6 或 7 所述的电路，其中

所述开关电容电路包括通过将所述 p 沟道 MIS 场效应晶体管与所述 n 沟道 MIS 场效应晶体管并联所形成的开关。

开关电容电路及其半导体集成电路

技术领域

本发明涉及半导体集成电路衬底上形成的开关电容电路，以及包括开关电容电路的半导体集成电路。

背景技术

常规地，在 MOS 晶体管的生产过程中，以 800℃的高温在硅表面上形成作为栅极绝缘膜的热氧化膜。

需要在低温环境中形成氧化膜，以提高半导体的生产效率。为了实现该需要，例如，专利文件 1 公开了在低温等离子体气氛中形成绝缘膜的技术。

当在集成电路的衬底上形成滤波器时，使用开关电容滤波器。

当 p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管并联、并用作开关电容电路的开关时，问题出现了：由于 p 沟道 MOS 晶体管的寄生电容不同于 n 沟道 MOS 晶体管的寄生电容，因此在开关期间产生噪声。

为了解决该问题，常规上使用图 7 所示的电路。

在图 7 中，通过并联 p 沟道 MOS 晶体管 71a 和 n 沟道 MOS 晶体管 71b 来配置开关 70。

n 沟道 MOS 晶体管 72 的栅极和 p 沟道 MOS 晶体管 71a 的栅极和源极并联到连接源极和漏极的端之间的电容，并且 n 沟道 MOS 晶体管 73 的栅级和 p 沟道 MOS 晶体管 71a 的栅极和漏极并联到连接源极和漏极的端之间的电容。

p 沟道 MOS 晶体管 74 的栅极和 n 沟道 MOS 晶体管 71b 的栅极和漏极并联到共同连接源极和漏极的端之间的电容，并且 p 沟道 MOS 晶体管 75 的栅级和 n 沟道 MOS 晶体管的栅极和漏极并联到连接源

极和漏极的端的电容。

使用上述配置，p 沟道 MOS 晶体管 71a 的栅极和源极与栅极和漏极之间的电容基本等于 n 沟道 MOS 晶体管 71b 的栅极和源极与栅极和漏极之间的电容。

当在集成电路的衬底上形成开关电容滤波器时，存在由于晶体管的漏泄电流和运算放大器的偏压引起的不能得到基于设计值的滤波器特性的问题。

为了解决该问题，专利文件 2 中的例子描述了提供用于偏置补偿、以消除运算放大器 DC 偏置影响的开关电容器。

专利文件 3 描述了在硅衬底上形成三维栅极。

专利文件 1：日本公开专利申请号 2002-261091

专利文件 2：日本公开专利申请号 2000-22500（图 1）

专利文件 3：日本公开专利申请号 2002-110963（图 1）

如上所述，要求降低 MOS 晶体管的漏泄电流产生的开关电容电路的积分值的误差、DC 偏置等。

由于图 7 所示的电路要求将晶体管 72-75 加到开关 70 上，因此增加了电路的大小。

此外，当使用 CMOS 开关时，存在由于 p 沟道 MOS 晶体管的电容大于 n 沟道 MOS 晶体管的寄生电容引起的在将开关切换到接通或断开位置时输出电压的波动宽度大的问题。

发明公开

本发明旨在降低开关电容电路的误差，并且旨在降低开关期间的噪声和电压波动。

在半导体集成电路的衬底上形成根据本发明的开关电容电路，并且该电路包括：MIS（金属绝缘半导体）场效应晶体管，其中由硅衬底形成突出部分，该硅衬底具有作为主表面的第一晶体表面和作为侧表面的第二晶体表面，在惰性气体的等离子体气氛中去掉硅表

面上的封端氢，然后以等离子体气氛中等于或者低于大约 550℃的温度在突出部分的上表面和侧表面的至少一部分上形成栅极绝缘膜，在栅极绝缘膜上形成栅极，并且在包围突出部分的栅极绝缘膜的两侧上形成漏极和源极；以及电容器。

惰性气体是由例如氩、氪、氙等形成。

根据本发明，可降低 MIS 场效应晶体管的漏泄电流和 DC 偏置。因此，可减少开关电容电路的误差，并且不需要用于补偿 DC 偏置的电路。

此外，由于 p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管的栅极和漏极之间的电容、以及栅极和源极之间的电容可彼此基本相等，因此不需要用于降低开关噪声的电路。

另外，可改进 MIS 场效应晶体管的电流驱动能力，并且硅衬底的主表面上 MIS 场效应晶体管的设备面积会更小。

在上述发明中，在突出部分上表面的第一晶体表面、以及侧表面的第二晶体表面上形成沟道，并且 MIS 场效应晶体管的沟道宽度至少是上表面的沟道长度和侧表面的沟道长度的和。

使用上述配置，由于在不同晶体表面上形成沟道，因此可改进 MIS 场效应晶体管的特性。

在上述发明中，突出部分具有上硅表面（110）和侧硅表面（110），其中在突出部分的左边和右边区域、以及包围栅极的硅衬底的突出区域中形成源极和漏极。

使用上述配置，可在硅衬底的表面（100）和（110）上形成沟道。因此，可改进场效应晶体管的电流驱动能力。

在上述发明中，开关电容电路包括具有并联的 p 沟道 MIS 场效应晶体管和 n 沟道 MIS 场效应晶体管的开关，并且设定 p 沟道 MIS 场效应晶体管的上表面和侧表面的栅极宽度，以使 p 沟道 MIS 场效应晶体管的电流驱动能力可基本等于 n 沟道 MIS 场效应晶体管的电流驱动能力。

使用上述配置，由于组成开关的 p 沟道 MIS 场效应晶体管和 n 沟道 MIS 场效应晶体管的栅极和源极之间的电容、以及栅极和漏极之间的电容可彼此基本相等，因此可降低开关期间的噪声。此外，由于 p 沟道 MIS 场效应晶体管的寄生电容可更小，因此可降低开关的输出电压波动。

在上述发明中，开关电容电路包括：第一 p 沟道和 n 沟道 MIS 场效应晶体管，其在输出端处接收信号，并且彼此并联；第二 p 沟道和 n 沟道 MIS 晶体管，其彼此连接，并且其输入端连接到第一 p 沟道和 n 沟道 MIS 场效应晶体管的输出端，并且其输出端接地；电容器，其一端连接到第一 p 沟道和 n 沟道 MIS 场效应晶体管的输出端；第三 p 沟道和 n 沟道 MIS 场效应晶体管，其彼此并联，其输入端连接到电容器的另一端，并且其输出端接地；以及第四 p 沟道和 n 沟道 MIS 场效应晶体管，其彼此并联，并且其输入端连接到电容器的另一端。

使用上述配置，形成开关电容电路开关的 p 沟道 MIS 场效应晶体管和 n 沟道 MIS 场效应晶体管的栅极和源极之间的电容、以及栅极和漏极之间的电容可彼此基本相等，从而降低了开关期间的噪声。

根据本发明的半导体集成电路包括：包括 p 沟道 MIS 场效应晶体管和 n 沟道 MIS 场效应晶体管的电路，其中由硅衬底形成突出部分，该硅衬底具有作为主表面的第一晶体表面和作为侧表面的第二晶体表面，在惰性气体的等离子体气氛中去掉硅表面上的封端氢，然后以等离子体气氛中等于或者低于大约 550℃的温度在突出部分的上表面和侧表面的至少一部分上形成栅极绝缘膜，在栅极绝缘膜上形成栅极，并且在包围突出部分的栅极绝缘膜的两侧上形成漏极和源极；以及具有 p 沟道 MIS 场效应晶体管或 n 沟道 MIS 场效应晶体管、及电容器的开关电容电路。

根据本发明，可降低 MIS 场效应晶体管的漏泄电流和 DC 偏置。因此，可减少开关电容电路的误差，并且不需要用于补偿 DC 偏置的

电路。

另外，p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管的栅极和漏极之间的电容、以及栅极和源极之间的电容可彼此基本相等，因此不需要用于降低开关噪声的电路。

此外，由于可准备其它电路的 p 沟道 MOS 场效应晶体管和 n 沟道 MOS 场效应晶体管的特性，因此可降低连接在随后级处的差分放大电路的 DC 偏置和 1/f 噪声。

另外，通过在三维结构中的差分晶体表面上形成栅极绝缘膜，可改进 MIS 场效应晶体管的电流驱动能力，并且可以使硅衬底主表面上 MIS 场效应晶体管的设备面积更小。

在上述发明中，设定 p 沟道 MIS 场效应晶体管和 n 沟道 MIS 场效应晶体管的上表面和侧表面的栅极宽度，以使 p 沟道 MIS 场效应晶体管的电流驱动能力可基本等于 n 沟道 MIS 场效应晶体管的电流驱动能力。

使用上述配置，p 沟道 MOS 场效应晶体管和 n 沟道 MOS 场效应晶体管的栅极和源极之间的电容、以及栅极和漏极之间的电容可彼此基本相等，从而降低了开关期间的噪声。

附图简要描述

图 1 是使用径向线隙缝天线的等离子体设备的剖视图；

图 2 是接口电平密度的比较；

图 3 示出根据本发明实施例的半导体生产过程中生产的硅衬底的结构；

图 4 示出根据本发明实施例的半导体生产过程中 MOS 晶体管的结构；

图 5 示出直接转换系统的接收电路；

图 6 示出开关电容电路；并且

图 7 示出常规开关的配置。

用于实现本发明的最佳模式

以下通过参考附图解释本发明的实施例。以下首先描述的是使用等离子态中的惰性气体以低温在硅衬底上形成栅极绝缘膜（例如氧化膜）、并产生 MIS（金属绝缘半导体）场效应晶体管的半导体生产过程。在日本公开专利申请号 2002-261091 中公开了用于形成栅极绝缘膜的方法。

图 1 是使用将在半导体生产过程中使用的径向线隙缝天线的等离子体设备的剖视图。

真空罐（处理室）12 中产生真空，如果从簇射板（shower plate）12 导入氩气（Ar），则该氩气从出口 11A 排出，并且该气体被变为氪气。处理室 11 中的压力被设定为 133 Pa（1 托）。

然后，硅衬底 14 被置于具有加热机构的采样台上，并且采样的温度被设定为大约 400℃。如果硅衬底 14 的温度处于 200℃和 550℃之间，则以下结果基本相同。

在之前执行的预处理过程中使用贵氟化酸来清洗硅衬底 14，结果，使用氢来封端表面上硅的未使用耦合。

接下来，将频率为 2.45 GHz 的微波从同轴波导 15 提供给径向线隙缝天线 16，并且通过壁部分中提供的介质板 17 将微波从径向线隙缝天线 16 导入处理室 11。导入的微波将从簇射板 12 导出的氪气抽入处理室 11。结果，立即在簇射板 12 下形成高密度 Kr 等离子体。如果提供的微波的频率大约是 900 MHz 或更高、以及 10 GHz 或更低，则以下结果基本相同。

使用图 1 所示的配置，簇射板 12 和硅衬底 14 之间的间隔被设定为大约 6 cm。可以以更小间隔、更高速度形成膜。

可通过使用另一种方法将微波导入处理室的方式泵取等离子体，而不是将等离子体设备限定在使用径向线隙缝天线的设备。

通过使硅衬底 14 暴露在由 Kr 气体泵取的等离子体，硅衬底 14

的表面接收具有低能量的 Kr 离子的照射，并且去掉表面封端氢。

然后，从簇射板 12 导入分压比为 97/3 的 Kr/O_2 混合气。此时，处理室中的压力将被保持在大约 133 Pa（1 托）。在作为 Kr 气和 O_2 混合的高密度泵取的等离子体中，中间泵取态中的 Kr*和 O_2 分子彼此冲突，并且可有效产生大量的原子氧 O*。

在本发明中，硅衬底 14 的表面被原子氧 O*氧化。在常规热氧化方法中，氧化是由 O_2 分子和 H_2O 分子执行，并且需要超过 800℃的非常高的过程温度。在本实施例中执行的使用原子氧的氧化过程中，可以以大约 400℃的非常低的温度执行氧化过程。为了扩展 Kr*和 O_2 之间的冲突机会，希望在处理室中保持更高的温度。然而，如果压力过高，则产生的 O*彼此冲突，并返回到 O_2 分子。因此，要维持最佳的气体压力。

当形成硅氧化膜（硅复合层）的期望厚度的膜时，停止微波功率的导入，以终止等离子体泵取，并且 Kr/O_2 混合气被 Ar 气代替，从而终止了氧化过程。在本过程之前或之后使用 Ar 气，以使用比氪更便宜的气体作为吹扫用气体。收集本过程中使用的 Kr 气，以重复利用。

在形成上述氧化膜之后，执行电极形成过程、保护膜形成过程、氢烧结过程等，以产生包括晶体管和电容器的半导体集成电路。

作为测量上述程序中形成的硅氧化膜中氢含量的结果，在膜厚度为 3nm 的硅氧化膜上的表面密度变换之后，该氢含量低于 $10^{12}/cm^2$。尤其在具有小漏泄电流的氧化膜上，表面密度转换期间硅氧化膜中的氢含量是 $10^{11}/cm^2$ 或更低。另一方面，在表面密度变换期间，形成氧化膜之前没有接触氪等离子体的氧化膜包含 $10^{12}/cm^2$ 或更多的氢。

当使用通过用上述 Kr 等离子体照射来去掉封端氢之后导入的 Kr/O_2 执行氧化过程时，与常规微波等离子体氧化形成的硅氧化膜相同的电压处的漏泄电流降低了两个或三个数量级，从而获得了非常

优秀的低漏泄特征。已经在使用膜厚达到约 1.7nm 的硅氧化膜集成电路的生产过程中确认了漏泄电流特征的改进。

当测量与上述半导体生产过程中得到的硅氧化膜相关的、硅/硅氧化膜界面能级密度的表面方向相关性时，在硅表面的任何表面方向上获得大约为 $1 \times 10^{10}\ eV^{-1}\ cm^{-2}$ 的非常低的界面能级密度。

图 2 示出由上述半导体生产过程在硅衬底的每个表面（100）、（110）、和（111）上形成的 Kr/O_2 膜，以及测量常规热氧化膜的界面能级密度的结果。

如图 2 所示，当产生 Kr/O_2 膜时，任何表面（100）、（110）、和（111）上半导体的界面能级密度是 $10^{10}\ eV^{-1}\ cm^{-2}$ 或更低。另一方面，高于常规 800℃的条件中形成的表面（100）上热氧化膜的界面能级密度是 1.1 倍或更高，并且在上述半导体生产过程中，可形成具有低界面能级密度的高质量绝缘膜。

通过降低界面能级密度，可降低重组载流子的概率，从而降低了 1/f 噪声。

对于电气特征（诸如抗压特征、热载流子阻抗、取决于冲击电流流过时硅氧化膜破坏的电荷 QBD（崩溃电荷）等）和可靠性特征，半导体生产过程中形成的氧化膜表明等于或高于常规热氧化膜的良好特征。

如上所述，在去掉表面封端氢后使用 Kr/O_2 高密度等离子体，以 400℃的低温对所有表面方向上的硅执行高级硅氧化过程。认为通过去掉封端氢、并通过将惰性气体（例如 Kr）包含在氧化膜中的方式减少氧化膜中的氢含量而得到上述效应。通过氧化膜中的少量氢，在硅氧化膜中不存在元素的弱耦合，并且通过包含氪，缓和了膜中或硅/二氧化硅界面上的应力。结果，可大大改进硅氧化膜的电气特性。

在上述半导体生产过程中，认为表面密度转换中 $10^{12}/cm^2$ 或更低的氢密度、或作为期望条件的 $10^{11}/cm^2$、以及 $5 \times 10^{11}/cm^2$ 或更低的 Kr

密度有助于改进硅氧化膜的电气特性和可靠性特性。

在上述半导体过程中，可使用惰性气体和 NH_3 气的混合以及惰性气体、O_2 和 NH_3 的混合来形成硅氮化膜以及硅氧化和氮化膜。

通过形成氮化膜得到的效应主要是基于即使去掉表面封端氢后等离子体中氢的存在。通过等离子体中的氢，硅氧化膜中和界面上的悬挂键组成 Si-H 和 N-H 的耦合并被封端，并且，结果硅氧化膜中和界面上的电阱消失。

认为通过形成氧化和氮化膜所得到的效果不仅仅是由通过去掉封端氢而在氧化和氮化膜中氢含量的减少引起，而且是由包含在氧化和氮化膜中氮的某一百分比引起。氧化和氮化膜的 Kr 含量是氧化膜中含量的 1/10 或更少，并且氮的含量大于 Kr 的含量。也就是说，由于在氧化和氮化膜中氢含量少，因此硅氮化膜中弱耦合的比率减少，并且包含的氮缓和了膜 Si/SiO_2 中或界面上的应力。结果，认为膜中的电荷以及界面能级密度减少，并且大大改进了氧化和氮化膜的电气特性。

通过形成氧化膜或氧化和氮化膜得到的期望结果不仅仅是由去掉封端氢引起，而且是由将 Ar 或 Kr 包含在氮化膜或氧化和氮化膜中引起。也就是说，在上述半导体生产过程中得到的氮化膜中，包含在氮化膜中的 Ar 或 Kr 缓和了氮化膜中或硅/氮化膜界面上的应力。结果，降低了硅氮化膜中的固定电荷和界面能级密度，并且降低了电气特性、尤其是 1/f 噪声，从而大大改进了可靠性。

上述半导体生产过程中使用的惰性气体并不局限于 Ar 气、Kr 气，也可使用氙 Xe 气。

此外，在形成硅氧化膜和硅氮化膜之后，真空罐 1 中的压力被维持在 133 Pa（1 托），导入分压比为 98/2 的 Kr/NH_3 混合气，并且可在硅氧化膜以及硅氧化和氮化膜的表面上形成大约 0.7 nm 的硅氮化膜。

由此，可以得到具有在其表面上形成的硅氮化膜的硅氧化膜以

及硅氧化和氮化膜。因此，可形成具有高介电常数的绝缘膜。

为了实现上述半导体生产过程，除了图 1 所示的设备以外，可使用另一种等离子体处理设备，其能够使用等离子体来形成低温氧化膜。例如，可使用 2 级簇射板型等离子体处理设备，其具有：第一气体排放结构，其排放用于泵取等离子体的 Ar 气或 Kr 气；以及第二气体排放结构，其不同于第一气体排放结构，并排放 O_2、NH_3、或 N_2/H_2 气。

以下描述的是根据本发明实施例的半导体生产过程。半导体生产过程在表面（100）和表面（110）上形成 MIS 场效应晶体管的栅极绝缘膜。

当在表面(111)上形成 p 沟道晶体管时，得到 1.3 倍于表面(100)的电流驱动能力。如果在表面（110）上形成 p 沟道晶体管时，则得到 1.8 倍于表面（100）的电流驱动能力。

图 3 示出在根据本发明实施例的半导体生产过程中在硅衬底 22 上形成具有表面（100）和（110）的突出部分 23 和 24 的状态。图 4 示出在根据本发明实施例的半导体生产过程中产生的 n 沟道 MOS 晶体管 20 和 p 沟道 MOS 晶体管 21 的结构。图 4 示出在栅极氧化膜的下部形成、并由对角线指示的沟道。

如图 3 所示，具有作为主表面的表面（100）的硅衬底 22 被设备分离区域 22c 分为 p 型区域 A 和 n 型区域 B。在区域 A 中，在表面（100）的基准上形成高度为 H_A、宽度为 W_{1A} 的矩形平行六面体突出部分 23。类似地，在区域 B 中，形成高度为 H_B、宽度为 W_{1B} 的突出部分 24。

如图 4 所示，在半导体生产过程中，在硅衬底 22 的表面、以及突出部分 23 和 24 的上表面和侧表面上形成硅氧化膜。

在硅氧化膜上形成多晶硅栅电极 25 和 26，当形成多晶硅栅电极 25 和 26 时，形成硅氧化膜，并且在多晶硅栅电极 25 和 26 的下方形成栅极绝缘膜 27 和 28。

另外，n 型混合离子被射入 p 型区域 A 的栅电极 25 两侧上的区域，从而形成包括突出部分 23 的 n 型扩散区域 29 和 30。n 型扩散区域 29 和 30 配置 n 沟道 MOS 晶体管 20 的源极和漏极。同样在 n 型区域 B 中，p 型混合离子被射入栅电极 26 两侧上的区域，从而形成包括突出部分 24 的 p 型扩散区域 31 和 32。p 型扩散区域 31 和 32 配置 p 沟道 MOS 晶体管 21 的源极和漏极。

当预定电压被加到 p 沟道 MOS 晶体管 21 和 n 沟道 MOS 晶体管 20 的栅电极 25 和 26 时，在栅极氧化膜 27 和 28 的下方形成图 4 对角线所示沟道。

n 沟道 MOS 晶体管 20 表面（100）的栅极宽度在突出部分 23 上表面（突出部分 23 的上表面）上是 W_{1A}，在突出部分 23 右下方和左下方上的硅衬底 22 的平面部分上是 $W_{2A}/2$。因此，整个栅极宽度是 $W_{1A}+W_{2A}$。类似地，n 沟道 MOS 晶体管 20 表面（110）的栅极宽度、即突出部分 23 左侧和右侧表面的栅极宽度是 H_A。因此，整个栅极宽度是 $2H_A$。栅极宽度对应于通道宽度。n 沟道 MOS 晶体管 20 的栅极长度是 LgA。

相应地，n 沟道 MOS 晶体管 20 的电流驱动能力是由 $\mu_{n1}(W_{1A}+W_{2A})+\mu_{n2}\cdot 2H_A$ 表示。μ_{n1} 表示表面（100）上的电子迁移率，μ_{n2} 表示表面（110）上的电子迁移率。

类似地，p 沟道 MOS 晶体管 21 表面（100）的栅极宽度在突出部分 24 上表面上是 W_{1B}，在突出部分 24 左下方和右下方上的硅衬底 22 的平面部分处是 $W_{2B}/2$。因此，整个栅极宽度是 $W_{1B}+W_{2B}$。p 沟道 MOS 晶体管 21 表面（110）的栅极宽度、即突出部分 24 左侧和右侧表面上的栅极宽度是 H_B。因此，整个栅极宽度是 $2H_B$。栅极宽度对应于通道宽度。p 沟道 MOS 晶体管 21 的栅极长度是 LgB。

因此，p 沟道 MOS 晶体管 21 的电流驱动能力可由 $\mu_{p1}(W_{1B}+W_{2B})+\mu_{p2}\cdot 2H_B$ 表示。μ_{p1} 指示表面（100）上的空穴迁移率，μ_{p2} 指示表面（110）上的空穴迁移率。

由此，通过设定突出部分 23 和 24 的各个高度 H_A 和 H_B，可平衡 p 沟道 MOS 晶体管 21 的电流驱动能力和 n 沟道 MOS 晶体管 22 的电流驱动能力。该条件可由以下等式表示。

$$\mu_{n1}(W_{1A}+W_{2A})+\mu_{n2}\cdot 2H_A=\mu_{p1}(W_{1B}+W_{2B})+\mu_{p2}\cdot 2H_B$$

通过将 H_A 和 H_B 设定为满足以上等式的值，可平衡 p 沟道 MOS 晶体管 21 的电流驱动能力和 n 沟道 MOS 晶体管 22 的电流驱动能力。在此情况下，p 沟道 MOS 晶体管 21 主表面（例如表面（100））的沟道宽度不一定要非常大于 n 沟道 MOS 晶体管 20 的表面（100）上的沟道宽度。因此，这两个 MOS 晶体管之间栅极绝缘膜附近寄生电容的差别会更小。因此，当使用 p 沟道 MOS 晶体管 21 和 n 沟道 MOS 晶体管 20 配置 CMOS 结构的电路时，可降低当对这些晶体管的栅极氧化膜附近的寄生电容充电或放电时引起的电流值不平衡，并且可降低当开关 CMOS 结构的晶体管时引起的噪声电平。

可设定 p 沟道 MOS 晶体管 21 的高度 H_B，以使在将 n 沟道 MOS 晶体管 20 栅极的高度 H_A 设定为“0”以后，n 沟道 MOS 晶体管 21 的电流驱动能力基本等于 n 沟道 MOS 晶体管 20 的电流驱动能力。

当单独形成 p 沟道 MOS 晶体管 21 或 n 沟道 MOS 晶体管 20 时，由于 p 沟道或 n 沟道 MOS 晶体管的硅衬底的主表面(例如表面(100))上栅极的区域会比常规半导体生产过程中的小，因此 p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管的硅衬底上主表面上的区域会更小，从而提高了半导体电路的集成。此外，由于 p 沟道和 n 沟道 MOS 晶体管的寄生电容会更小，因此可增加 MOS 晶体管的开关速度，并且可降低开关时的功耗。

硅表面上形成的绝缘膜并不局限于氧化膜，而是可以形成硅氮化膜、硅氧化和氮化膜等。

以下所述是在上述半导体生产过程中在半导体集成电路上形成开关电容滤波器的情况。

图 5 示出半导体电路的衬底上形成的直接转换接收机电路的重

要部分。

天线 41 接收的无线电信号被低噪声放大器 42 放大，并被输入混频电路 43 和 44。

本地振荡电路 45 产生的本地信号被输入混频电路 43 的另一个输入端，并且本地信号被移相器 46 相移 90 度，并且得到的本地信号被输入混频电路 44 的另一个输入端。

在混频电路 43 和 44 中，接收信号及其本地信号混合，并且被转换为具有 90 度相移的基带信号。然后，开关电容滤波器等形成的低通滤波器 47 和 48 在预定频率上衰减信号，并将合成信号输出到 DC 放大器 49 和 50。

DC 放大器 49 和 50 将基带信号放大为取决于 A/D 转换器 51 和 52 的分辨率的信号电平。

A/D 转换器 51 和 52 将模拟基带信号转换为数字信号，并将该信号输出到数字信号处理器（DSP）53。该 DSP 53 执行数字信号处理并解调信号。

以下通过参考图 6 解释使用 CMOS 开关的开关电容电路的例子。

在图 6 中，通过并联 p 沟道 MOS 晶体管 61a 和 n 沟道 MOS 晶体管 61b 来配置开关 61。输入信号 Vin 被发送到开关 61 的输入端，并且输出端连接到电容器 C1。

通过并联 p 沟道 MOS 晶体管 62a 和 n 沟道 MOS 晶体管 62b 来配置开关 62。开关 62 的输入端连接到开关 61 的输出端（电容器 C1 的一端），并且输出端接地。

通过并联 p 沟道 MOS 晶体管 63a 和 n 沟道 MOS 晶体管 63b 来配置开关 63。开关 63 的输入端连接到电容器 C1 的另一端，并且输出端接地。

通过并联 p 沟道 MOS 晶体管 64a 和 n 沟道 MOS 晶体管 64b 来配置开关 64。开关 64 的输入端连接到电容器 C1 的另一端（开关 63 的输入端），并且输出端连接到运算放大器的反向输入端和电容器

C1。

电容器 C2 连接在运算放大器 65 的反向输入端和输出端之间，并且非反向输入端接地。

以下解释电路的操作。

用于将开关 61 和 63 同时切换到接通位置的信号被输入 p 沟道 MOS 晶体管 61a、n 沟道 MOS 晶体管 61b（开关 61）、p 沟道 MOS 晶体管 63a 以及 n 沟道 MOS 晶体管 63b（开关 63）的栅极。

当开关 61 和开关 63 处于断开位置时，用于将开关 61 和 63 同时切换到接通位置的信号被输入 p 沟道 MOS 晶体管 62a、n 沟道 MOS 晶体管 62b（开关 62）、p 沟道 MOS 晶体管 64a 以及 n 沟道 MOS 晶体管 64b（开关 64）的栅极。

当信号被输入栅极、并且开关 61 和 63 接通时，电容器 C1 被输入电压 Vin 充电，开关 61 和 63 切断，并且当开关 62 和 64 接通时，电容器 C1 的电荷被转移到另一个电容器 C2。

当在上述半导体过程中生产开关电容电路时，p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管的栅极和源极之间的电容与栅极和漏极之间的电容彼此相等，从而降低了开关期间的噪声。由此，不需要用于补偿 p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管之间寄生电容差的电路。另外，可降低配置开关的 p 沟道 MOS 晶体管的设备面积，以使寄生电容更小，从而降低开关的输出电压的变化宽度。

消除硅表面的损坏并使该表面水平可降低 MOS 晶体管特性（例如阈值电压等）的变化，从而降低 MOS 晶体管的漏泄电流，并且减少开关电容电路积分值的误差。此外，可使用上述氧化膜配置电容器，以改进电容器的特性。

通过在不同晶体表面上形成三维结构和栅极氧化膜，可改进 MOS 晶体管的电流驱动能力，并且硅衬底主表面上晶体管的设备面积会更小。

开关电容电路的开关并不局限于实施例中并联的 p 沟道 MOS 晶

体管和 n 沟道 MOS 晶体管，而是还可仅由 n 沟道 MOS 晶体管或 p 沟道 MOS 晶体管配置。在这些情况下，可降低 MOS 晶体管特性的变化，并还可得到减少漏泄电流和 DC 偏置的效应。此外，MOS 晶体管的设备面积会更小。

另外，可以在上述半导体过程中生产 p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管，如除了例如开关电容电路之外的电路，例如 DC 放大器、A/D 转换电路、数字电路等。

使用上述配置，可准备其它电路的 n 沟道 MOS 晶体管和 n 沟道 MOS 晶体管的特性。因此，可降低 DC 偏置和 1/f 噪声。另外，由于可改进 MOS 晶体管的电流驱动能力，因此也可改进电路的操作特性。

此外，可在硅的不同晶体表面（例如表面（100）和（110））上形成其它电路的 p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管的沟道，并且沟道宽度可被设计为使 p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管之间的电流驱动能力相等。

使用上述配置，p 沟道 MOS 晶体管的寄生电容等可与 n 沟道 MOS 晶体管相等，并且寄生电容会更小，从而增加了 MOS 晶体管的操作速度，并降低了接通和切断 MOS 晶体管期间由电流产生的噪声。

本发明可被配置如下，而不局限于上述实施例。

本发明的应用并不局限于开关电容电路，本发明也可被应用到开关电容滤波器等。

硅的晶体表面并不局限于表面（100）和（110）的组合，而是可以是其它组合，诸如表面（100）和（111）的组合等。

根据本发明，可降低开关电容电路 MIS 场效应晶体管的漏泄电流和 DC 偏置。因此，不需要用于补偿漏泄电流和 DC 偏置的电路。另外，通过将 p 沟道 MIS 场效应晶体管的电流驱动能力设定为基本等于 n 沟道 MIS 场效应晶体管的电流驱动能力，可降低开关期间的噪声和输出电压的电压变化。此外，还可降低连接到开关电容电路的其它电路的开关期间的 DC 偏置和噪声。

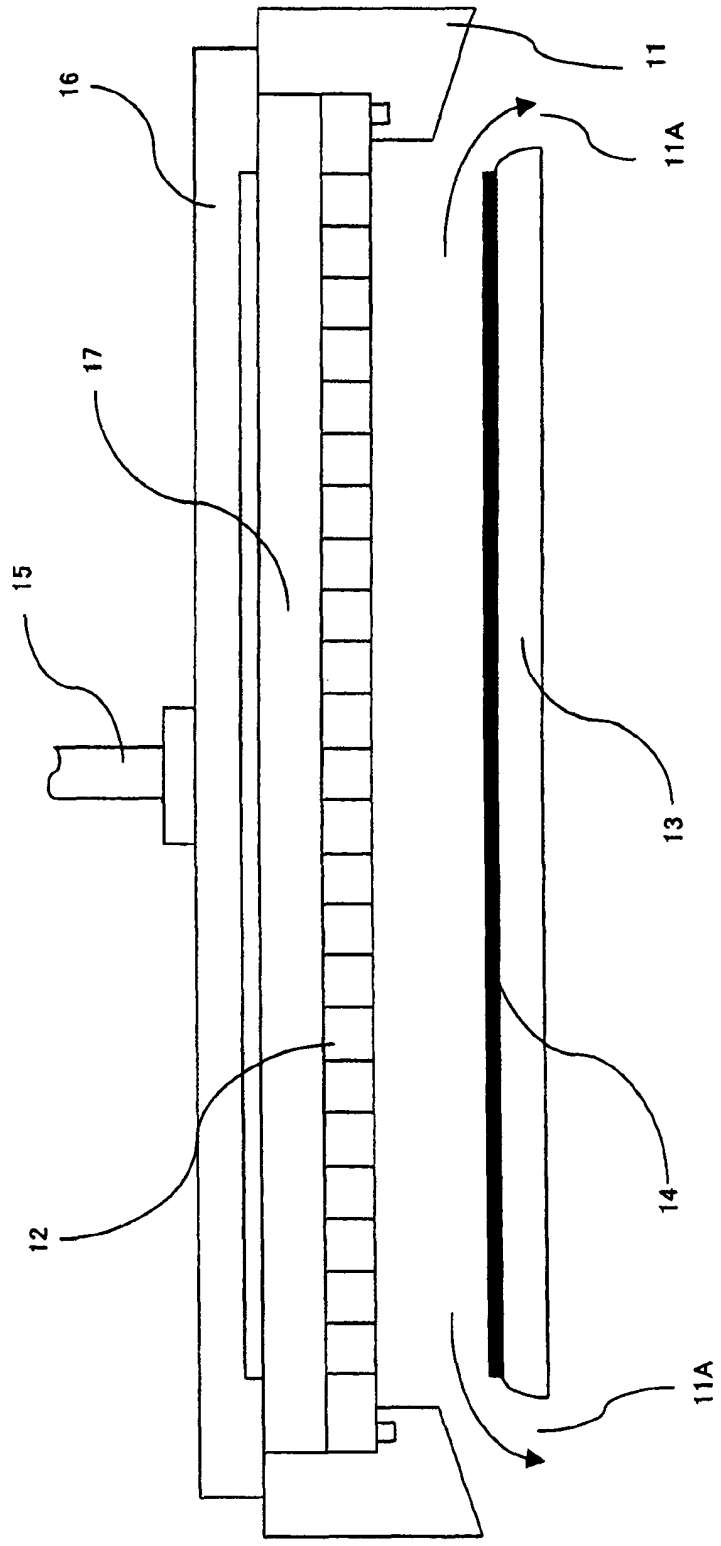


图 1

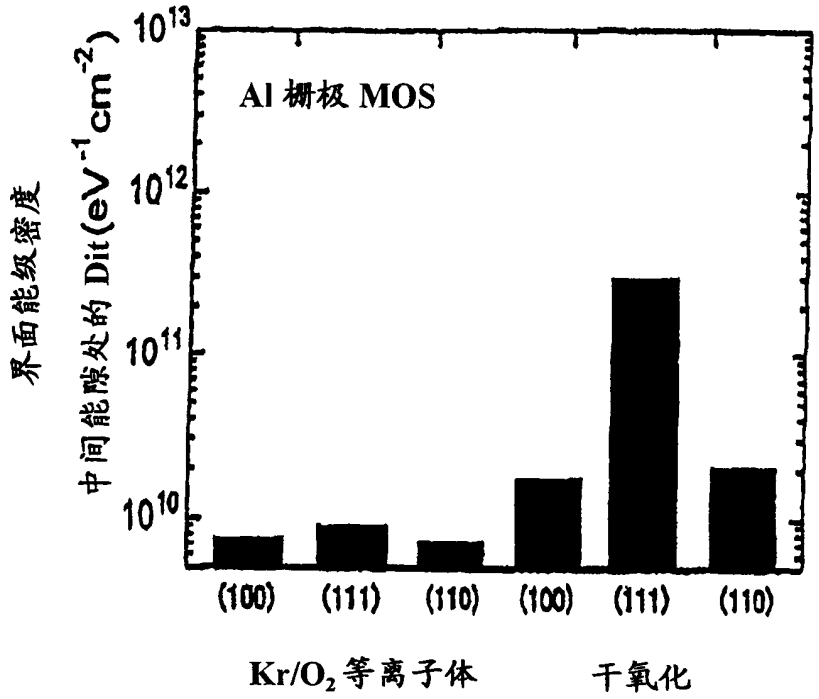

界面能级密度
中间能隙处的 Dit(eV-1cm-2)
10^13
10^12
10^11
10^10
Al 栅极 MOS
(100)
(111)
(110)
(100)
(111)
(110)
Kr/O2 等离子体
干氧化

图 2

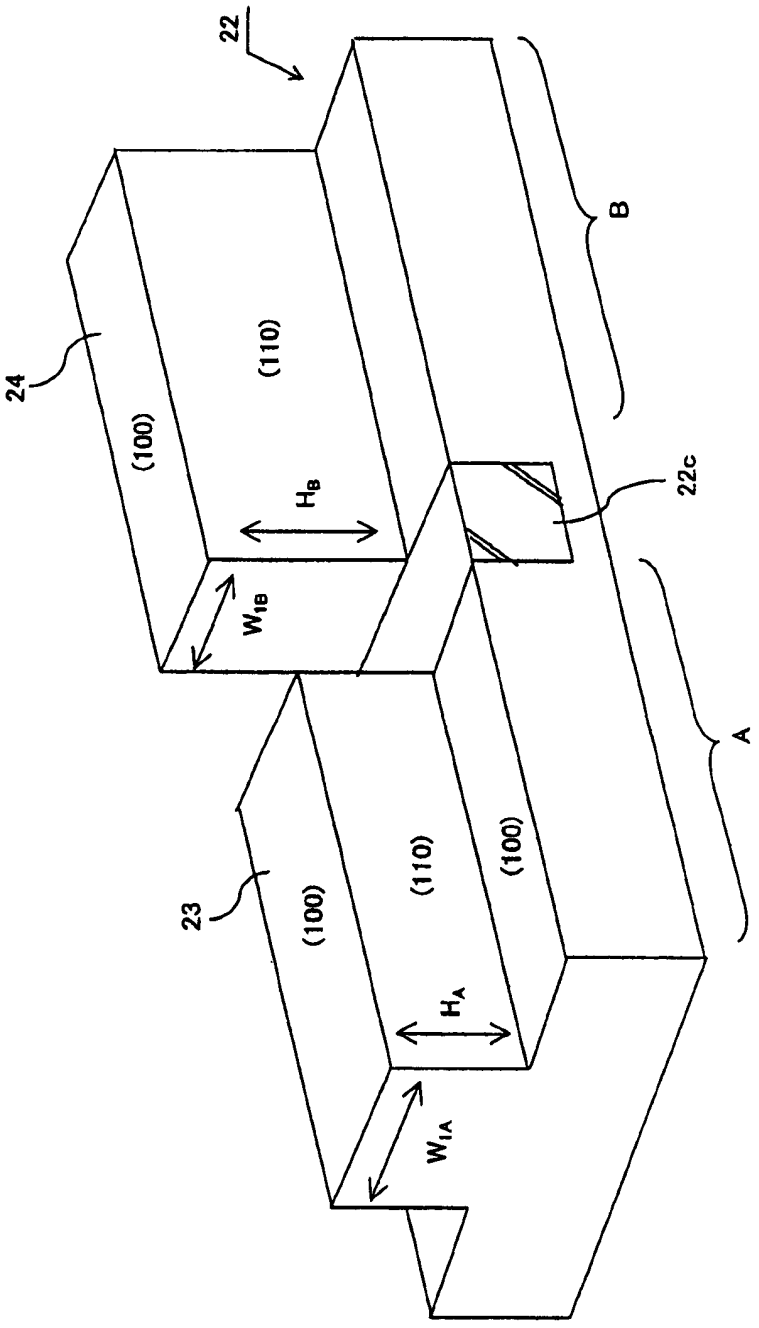


图 3

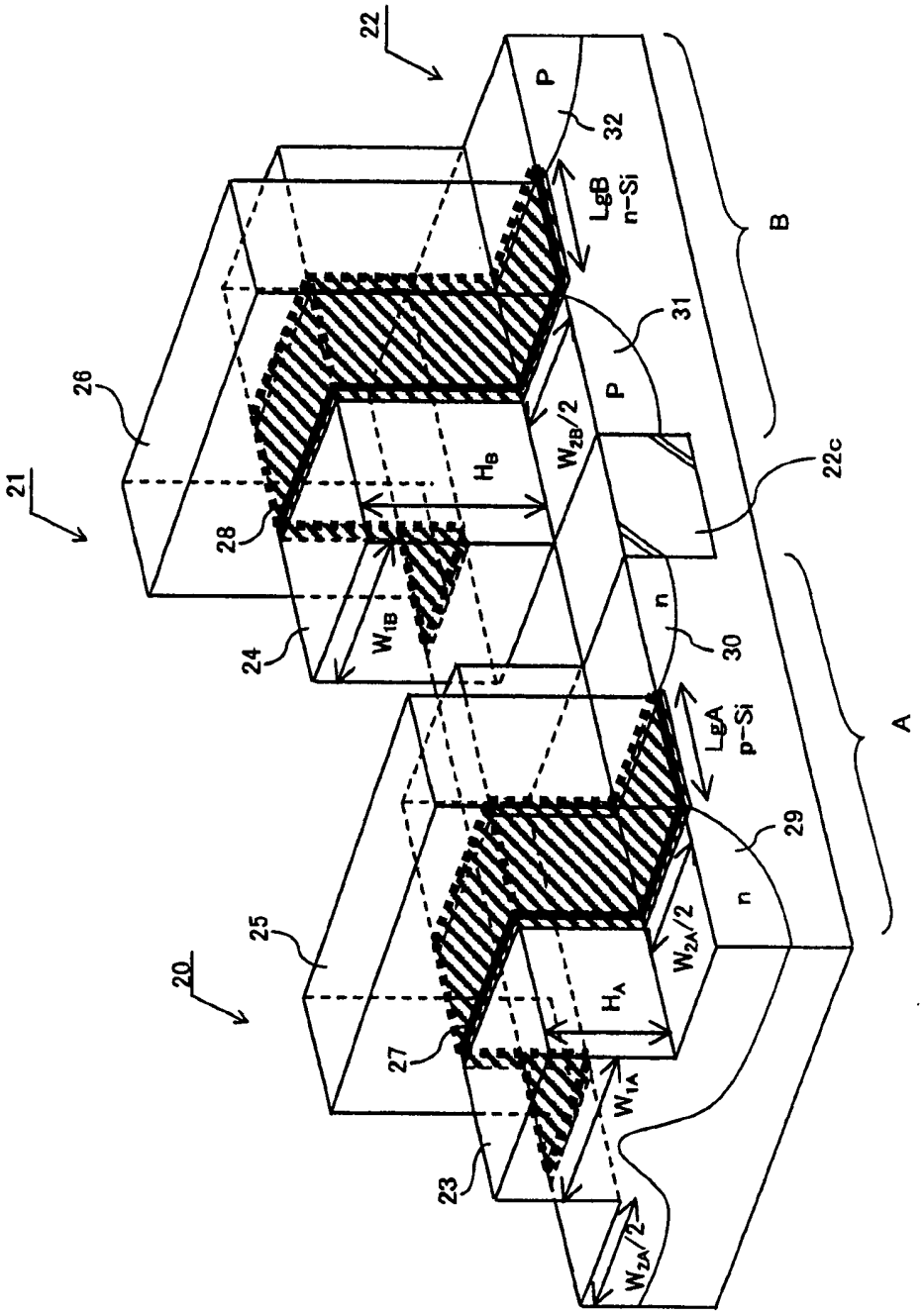

22
P
32
LgB
n-Si
B
31
P
$W_{2B}/2$
H_B
26
21
28
22c
W_{1B}
24
n
30
LgA
p-Si
A
29
n
$W_{2A}/2$
25
20
H_A
27
W_{1A}
23
$W_{2A}/2$

图 4

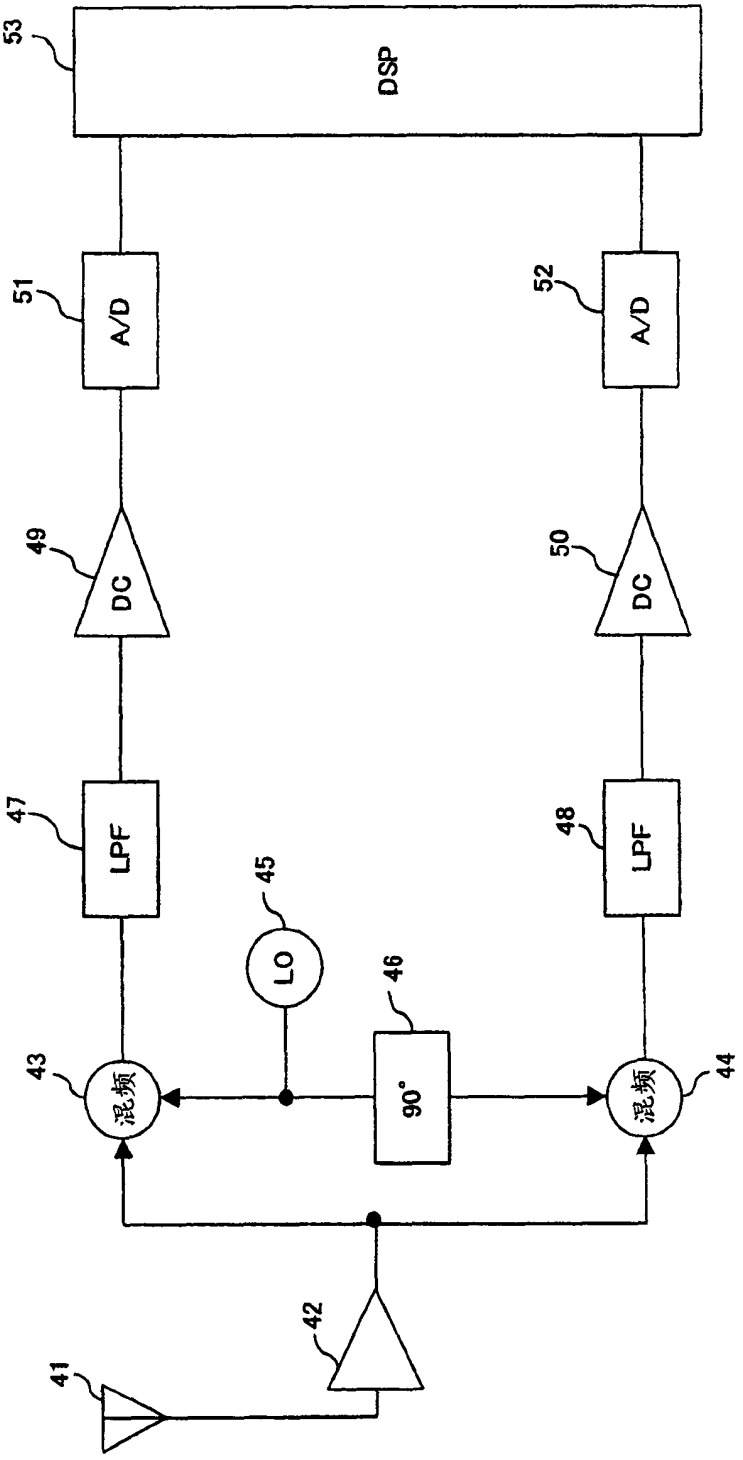

53
DSP
51
A/D
52
A/D
49
DC
50
DC
47
LPF
48
LPF
45
LO
46
90°
43
混频
44
混频
42
41

图 5

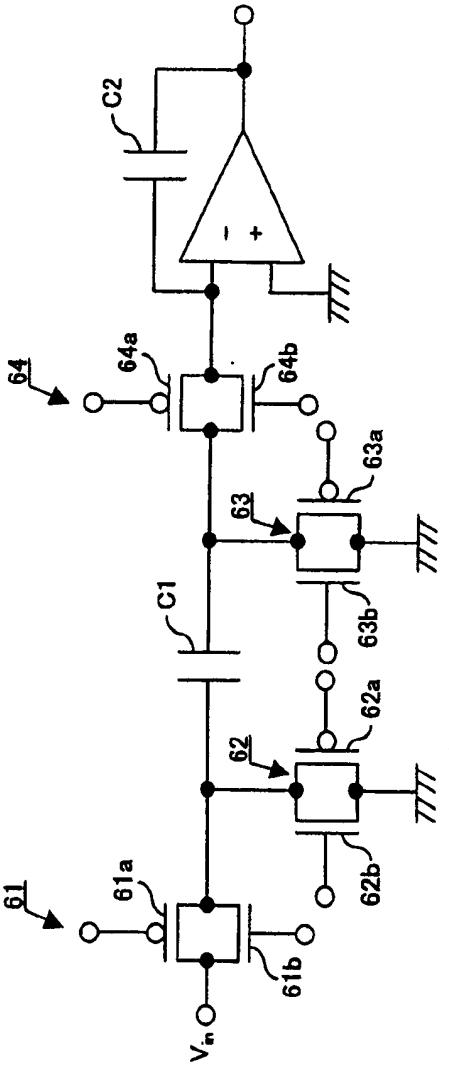


图 6

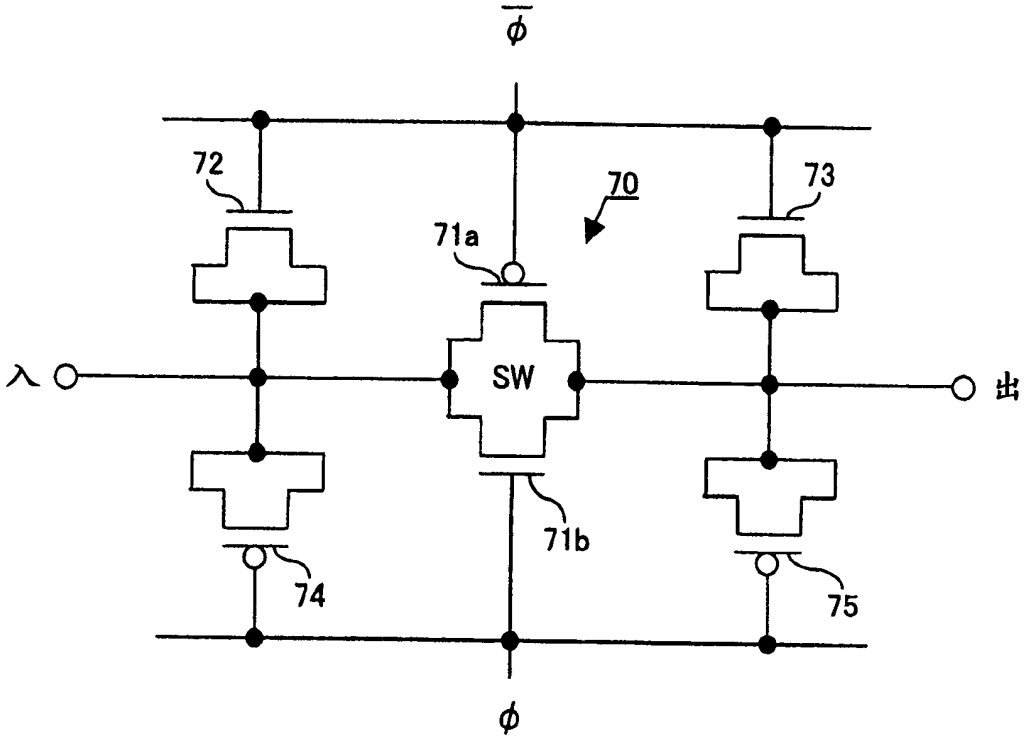


图 7