(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/204479 A1

(51) 国際特許分類:
H10N 60/80 (2023.01) *H05K 1/11* (2006.01)

(21) 国際出願番号： PCT/JP2024/012524

(22) 国際出願日： 2024年3月27日(27.03.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-056736 2023年3月30日(30.03.2023) JP
特願 2023-121107 2023年7月25日(25.07.2023) JP

(71) 出願人: 京セラ株式会社 (**KYOCERA CORPORATION**) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 Kyoto (JP).

(72) 発明者: 田中 隆(**TANAKA, Takashi**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 京セラ株式会社内 Kyoto (JP).

(74) 代理人: 西教 圭一郎 (**SAIKYO, Keiichiro**); 〒5410052 大阪府大阪市中央区安土町１丁目８番１５号 野村不動産大阪ビル９階 西教特許事務所 Osaka (JP).

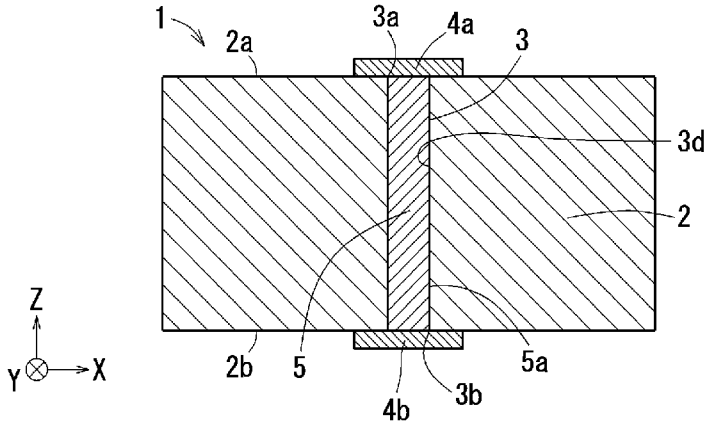
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) **Title:** STRUCTURE, QUANTUM PROCESSOR, QUANTUM COMPUTER, AND METHOD FOR MANUFACTURING STRUCTURE

(54) 発明の名称： 構造体、量子プロセッサ、量子コンピュータ、及び構造体の製造方法

FIG. 2



(57) **Abstract:** A structure disclosed herein comprises a substrate and a wire. The substrate has a first surface, a second surface opposite the first surface, and a through hole that penetrates from the first surface to the second surface. The wire passes through the through hole and electrically connects a first conductive portion located on the first surface to a second conductive portion located on the second surface.

(57) 要約：本開示の構造体は、基板と、ワイヤとを備える。基板は、第１面、第１面とは反対側の第２面、および、第１面から第２面にかけて貫通する貫通孔を有する。ワイヤは、貫通孔を通り、第１面に位置する第１導通部と第２面に位置する第２導通部とを電気的に接続する。

WO 2024/204479 A1

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ：

構造体、量子プロセッサ、量子コンピュータ、及び構造体の製造方法

技術分野

[0001]　本開示は、構造体、量子プロセッサ、量子コンピュータ、及び構造体の製造方法に関する。

背景技術

[0002]　従来、シリコン貫通電極技術を用いた半導体デバイス及び半導体デバイスの製造方法が知られている（例えば特許文献１および非特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０１７／１４１５４７号

非特許文献1：傳田精一、「3次元チップ積層のためのシリコン貫通電極(TSV)の開発動向」、［online］、［令和５年２月１６日検索］、インターネット＜URL：https://www.jstage.jst.go.jp/article/sfj/58/12/58_12_712/_pdf/-char/ja＞

発明の概要

[0004]　本開示の構造体は、第１面、前記第１面とは反対側の第２面、および、前記第１面から前記第２面にかけて貫通する貫通孔を有する基板と、

前記貫通孔を通り、前記第１面に位置する第１導通部と前記第２面に位置する第２導通部とを電気的に接続するワイヤと、を備える。

[0005]　本開示の量子プロセッサは、上記の構造体を備える。

[0006]　本開示の量子コンピュータは、上記の量子プロセッサを備える。

[0007]　本開示の構造体の製造方法は、基板前駆体および金属線を準備する準備工程と、

前記基板前駆体に貫通孔を形成し、基板を作製する作製工程と、

前記貫通孔に前記金属線を挿通する挿通工程と、を含む。

図面の簡単な説明

[0008] 本開示の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

[図1]本開示の実施形態に係る構造体の一例を示す平面図である。

[図2]図１の切断面線ＩＩ－ＩＩで切断した断面図である。

[図3]基板の貫通孔の形状の一例を示す断面図である。

[図4]基板の貫通孔の形状の一例を示す断面図である。

[図5]基板の貫通孔の形状の一例を示す断面図である。

[図6]貫通孔を通るワイヤの一例を示す断面図である。

[図7]貫通孔を通るワイヤの一例を示す断面図である。

[図8]本開示の実施形態に係る量子プロセッサの一例を示す断面図である。

[図9]図８の量子プロセッサに含まれる超電導量子ビット回路の一例を示す平面図である。

[図10]図９の超電導量子ビット回路に含まれるジョセフソン接合素子の一例を示す斜視図である。

[図11]本開示の実施形態に係る量子コンピュータの一例を示すブロック図である。

[図12]本開示の実施形態に係る構造体の製造方法の一例を説明する図である。

[図13]本開示の実施形態に係る構造体の製造方法の一例を説明する図である。

[図14]本開示の実施形態に係る構造体の製造方法の一例を説明する図である。

[図15]本開示の実施形態に係る構造体の製造方法の一例を説明する図である。

[図16]本開示の実施形態に係る構造体の製造方法の一例を説明する図である。

[図17]本開示の実施形態に係る構造体の製造方法の一例を説明する図である

。

[図18]本開示の実施形態に係る構造体の製造方法の他の例を説明する図である。

[図19]本開示の実施形態に係る構造体の製造方法の他の例を説明する図である。

[図20]本開示の実施形態に係る構造体の製造方法の他の例を説明する図である。

[図21]本開示の実施形態に係る構造体の製造方法の他の例を説明する図である。

[図22]本開示の実施形態に係る構造体の製造方法の他の例を説明する図である。

[図23]本開示の他の実施形態に係る構造体の一例を示す平面図である。

[図24]図２３の切断面線ＸＸＩＶ－ＸＸＩＶで切断した断面図である。

[図25]本開示の他の実施形態に係る構造体の他の例を示す断面図である。

[図26]本開示の他の実施形態に係る構造体の他の例を示す断面図である。

発明を実施するための形態

[0009] シリコン貫通電極技術（Through Silicon Via；ＴＳＶ）は、半導体デバイス、プリント基板等の電子部品を３次元実装する技術である。ＴＳＶでは、一般に、シリコンチップに形成したビアの内周面に銅めっき層を形成し、該銅めっき層を介して、シリコンチップの表面及び裏面に配置された電極同士を導通させる。

[0010] 従来の銅めっき層を用いたＴＳＶは、銅が超電導物質ではないため、量子プロセッサ等の超電導デバイスに適用することができない。本開示はこのような問題に鑑みてなされたものであり、超電導デバイスに適用可能であり、ＴＳＶによる電極同士の導通を簡易に実現させるための技術を提供する。

[0011] 以下、本開示の実施形態の構造体、量子プロセッサ、量子コンピュータ及び構造体の製造方法について、図面を参照しながら説明する。以下で参照する各図は、模式的なものであり、図面上の寸法比率等は現実のものとは必ず

しも一致していない。本明細書では、一部の図面において、便宜的に、直交座標系ＸＹＺを定義する。Ｘ軸及びＹ軸は相互に直交する平面方向を示し、Ｚ軸は厚み（高さ）方向を示す。本明細書では、Ｚ軸の正方向を上方として、上面、下面、上端、及び下端等の語を用いることがある。

[0012] 図１は、本開示の実施形態に係る構造体の一例を示す平面図であり、図２は、図１の切断面線ＩＩ－ＩＩで切断した断面図である。図３～５は、基板の貫通孔の形状の一例を示す断面図であり、図６，７は、貫通孔を通るワイヤの一例を示す断面図である。図３～５では、図解を容易にするために、第１導通部、第２導通部、及びワイヤを省略して図示している。

[0013] 本実施形態の構造体１は、電気回路を搭載するための構造体である。電気回路は、超電導量子ビット回路等の超電導回路であってよい。構造体１は、図１，２に示すように、基板２と、第１導通部４ａと、第２導通部４ｂと、ワイヤ５とを備える。以下、第１導通部４ａ及び第２導通部４ｂのそれぞれを区別しない場合、導通部４ａ，４ｂと記載することがある。また、以下では、構造体１が、導通部４ａ，４ｂとワイヤ５とで構成される導通構造を１つ有する場合について説明するが、構造体１は、導通部４ａ，４ｂとワイヤ５とで構成される導通構造を複数有してよい。

[0014] 基板２は、図２に示すように、第１面２ａと、第１面２ａとは反対側の第２面２ｂとを有している。超電導量子ビット回路等の超電導回路は、第１面２ａに搭載されてよい。基板２は、平面視において、例えば多角形状、円形状、楕円形状等であってよく、その他の形状であってもよい。多角形状は、三角形状、四角形状、五角形状、六角形状等を含む。基板２は、１００μｍ～５００μｍ程度の厚みを有してよく、３００μｍ程度の厚みを有してもよい。

[0015] 基板２は、単結晶サファイア（Al_2O_3）で構成される。基板２を構成する材料は、単結晶サファイアに限定されず、単結晶シリコン（Ｓｉ）であってよいし、例えば酸化アルミニウム質焼結体、ムライト質焼結体、炭化ケイ素質焼結体、窒化アルミニウム質焼結体、ガラスセラミック焼結体等のセラ

ミック材料であってもよい。

[0016] 基板２は、第１面２ａから第２面２ｂにかけて貫通する貫通孔３を有している。貫通孔３は、第１面２ａの第１開口３ａと、第２面２ｂの第２開口３ｂとを有している。以下、第１開口３ａ及び第２開口３ｂのそれぞれを区別しない場合、開口３ａ，３ｂと記載することがある。

[0017] 第１開口３ａ及び第２開口３ｂは、平面視において、例えば円形状、楕円形状等であってよく、その他の形状であってもよい。以下の説明においては、第１開口３ａ及び第２開口３ｂの平面視形状が円形状であるとする。第１開口３ａの開口径ｄａと第２開口３ｂの開口径ｄｂとは、同一であってよいし、異なっていてもよい。なお、第１開口３ａ及び第２開口３ｂが円形状でない場合、第１開口３ａの開口径ｄａは、第１開口３ａの円相当径であってよく、第２開口３ｂの開口径ｄｂは、第２開口３ｂの円相当径であってよい。

[0018] 貫通孔３は、第１面２ａに平行な断面で見たときの開口形状が、第１開口３ａ及び第２開口３ｂの平面視形状と相似の形状である構成であってよい。貫通孔３は、図３に示すように、第１面２ａに平行な断面で見たときの開口径（内径ともいう）ｄが、基板２の厚み方向（Ｚ軸方向）において一定である構成であってよい。

[0019] 貫通孔３の開口径ｄは、基板２の厚み方向において一定でなくてよい。貫通孔３は、図４に示すように、開口径ｄが漸次大きくなる又は漸次小さくなる構成であってよい。図４は、貫通孔３の開口径ｄが、第１開口３ａから第２開口３ｂに向かって漸次小さくなる例を示しているが、貫通孔３の開口径ｄは、第１開口３ａから第２開口３ｂに向かって漸次大きくなってもよい。

[0020] 貫通孔３は、図５に示すように、第１開口３ａと第２開口３ｂとの間に位置する狭窄部３ｃを有してよい。狭窄部３ｃは、貫通孔３における開口径ｄが最小となる部位であり、狭窄部３ｃの開口径ｄｃは、開口径ｄａ及び開口径ｄｂよりも小さい。厚み方向における基板２の厚みをＴとしたとき、狭窄部３ｃは、第１面２ａからの深さが０．３Ｔ～０．７Ｔ程度である位置に位

置してよく、０．５Ｔ程度である位置に位置してもよい。狭窄部３ｃの開口径ｄｃは、第１開口３ａの開口径ｄａの０．５～０．９倍程度であってよく、第２開口３ｂの開口径ｄｂの０．５～０．９倍程度であってよい。

[0021] 貫通孔３は、３～１０程度のアスペクト比を有してよく、５～７程度のアスペクト比を有してもよい。アスペクト比は、基板２の厚みＴを貫通孔３の最大の開口径ｄで除算した値であってよい。

[0022] 第１導通部４ａは、第１面２ａに位置しており、第２導通部４ｂは、第２面２ｂに位置している。導通部４ａ，４ｂは、平面視において、例えば円形状、楕円形状等であってよく、その他の形状であってもよい。以下の説明においては、導通部４ａ，４ｂの平面視形状が円形状であるとする。導通部４ａ，４ｂは、例えば１μｍ～５０μｍ程度の厚みを有してよく、１μｍ～１０μｍ程度の厚みを有してよく、４μｍ～６μｍ程度の厚みを有してよい。

[0023] 導通部４ａ，４ｂは、超電導体であってよい。導通部４ａ，４ｂは、例えばアルミニウム（Ａｌ）、タンタル（Ｔａ）、ニオブ（Ｎｂ）、スズ（Ｓｎ）、インジウム（Ｉｎ）、レニウム（Ｒｅ）、パラジウム（Ｐｄ）、チタン（Ｔｉ）、窒化チタン（ＴｉＮ）、窒化ニオブ（ＮｂＮ）、ニオブチタン（ＮｂＴｉ）等の超電導材料で構成されてよい。

[0024] 第１導通部４ａは、図２に示すように、第１開口３ａを閉塞してよい。第１導通部４ａは、平面視において、第１開口３ａの開口径ｄａの１倍を超え、２倍程度以下である直径を有してよい。第２導通部４ｂは、図２に示すように、第２開口３ｂを閉塞してよい。第２導通部４ｂは、平面視において、第２開口３ｂの開口径ｄｂの１倍を超え、２倍程度以下である直径を有してよい。

[0025] 導通部４ａ，４ｂは、例えば物理蒸着（ＰＶＤ）法、印刷法、めっき法、ＡＬＤ法等の成膜法を用いて形成されてよい。

[0026] 第１導通部４ａ及び第２導通部４ｂのうちの少なくとも一方は、構造体１に搭載される超伝導回路の一部を構成してよい。例えば、超電導回路がジョセフソン接合素子を含む超伝導量子ビット回路である場合、第１導通部４ａ

はジョセフソン接合素子の一部を構成してよい。

[0027] ワイヤ５は、図２，６，７に示すように、貫通孔３を通り、第１導通部４ａと第２導通部４ｂとを接続している。ワイヤ５は、その長さ方向に垂直な断面で見たときに、例えば円形状、楕円形状等の断面形状を有してよく、その他の形状の断面形状を有してもよい。以下の説明においては、ワイヤ５の断面形状が円形状であるとする。ワイヤ５は、その長さ方向に垂直な断面で見たときに、貫通孔３の最小開口径と略同一である直径φを有してよいし、貫通孔３の最小開口径以下である直径φを有してよい。ワイヤ５は、例えば、３０μｍ～７０μｍ程度である直径φを有してよく、５０μｍ程度である直径φを有してもよい。

[0028] 第１導通部４ａが第１開口３ａを閉塞し、第２導通部４ｂが第２開口３ｂを閉塞している場合、ワイヤ５は、貫通孔３内に位置し、一端部が第１導通部４ａに接続され、他端部が第２導通部４ｂに接続されてよい。ワイヤ５と導通部４ａ，４ｂとは、例えば熱及び圧力の少なくとも一方を用いた接合法、超音波接合、レーザ溶接等の接合法を用いて接合されてよい。

[0029] 第１導通部４ａが第１開口３ａを閉塞していない場合、ワイヤ５は、第１開口３ａから延出した端部が第１導通部４ａに接続されてよい。第２導通部４ｂが第２開口３ｂを閉塞しない場合、ワイヤ５は、第２開口３ｂから延出した端部が第２導通部４ｂに接続されてよい。ワイヤ５と導通部４ａ，４ｂとは、例えば熱及び圧力の少なくとも一方を用いた接合法、超音波接合、レーザ溶接等の接合法を用いて接合されてよい。

[0030] ワイヤ５は、超電導体であってよい。ワイヤ５は、例えばアルミニウム、タンタル、ニオブ、スズ、チタン、インジウム、レニウム、パラジウム等の超電導材料で構成されてよい。

[0031] ワイヤ５は、外周面５ａの少なくとも一部が貫通孔３の内周面３ｄに固定されてよい。外周面５ａの少なくとも一部は、内周面３ｄに熱圧着されることによって、内周面３ｄに固定されてよい。

[0032] ワイヤ５は、外周面５ａの少なくとも一部が貫通孔３の内周面３ｄに接触

し、摩擦によって内周面３ｄに固定されてもよい。ワイヤ５は、図６に示すように、貫通孔３内で屈曲又は湾曲して内周面３ｄに接触し、摩擦によって内周面３ｄに固定されてもよい。ワイヤ５は、図７に示すように、外周面５ａの一部が狭窄部３ｃに接触し、摩擦によって狭窄部３ｃに固定されてもよい。

[0033] 構造体１は、例えばＩＣチップ、ＬＳＩ等の電子回路を搭載することができる。構造体１は、第１導通部４ａと第２導通部４ｂとを貫通孔３を通るワイヤ５で接続した構成であるため、電子回路が搭載された構造体１を配線基板上に３次元実装することで、電子デバイスを高集積化することができる。

[0034] 構造体１は、一般的なＴＳＶと異なり、貫通孔３の内周面３ｄにＡＬＤ法等によって形成しためっき層によって第１導通部４ａと第２導通部４ｂとを接続する構成ではないため、量産性を向上させることができる。さらに、構造体１によれば、めっき層の形成不良による第１導通部４ａと第２導通部４ｂとの接続不良を抑制できるため、電気デバイスの信頼性を向上させることができる。

[0035] 構造体１は、導通部４ａ，４ｂ及びワイヤ５が超電導体であるため、超電導デバイスに適用することができる。例えば、量子ビット回路等の超電導回路が搭載された構造体１を配線基板上に３次元実装することで、量子プロセッサを高集積化することができる。その結果、量子プロセッサを多ビット化することが可能となる。さらに、構造体１によれば、第１導通部４ａと第２導通部４ｂとをワイヤ５によって良好に接続できるため、超電導デバイスの信頼性を向上させることができる。

[0036] 構造体１は、基板２が誘電正接の低い単結晶サファイアで構成されているため、誘電損失が小さく、その結果、量子ビット回路のコヒーレンス時間を長くすることができる。さらに、量子ビット回路に生じるノイズを低減できるため、量子誤り訂正を効率的に行うことが可能となる。したがって、量子プロセッサの動作を安定化させることができる。

[0037] 次に、本開示の量子プロセッサについて説明する。図８は、本開示の実施

形態に係る量子プロセッサの一例を示す断面図であり、図９は、図８の量子プロセッサに含まれる超電導量子ビット回路の一例を示す平面図であり、図１０は、図９の超電導量子ビット回路に含まれるジョセフソン接合素子の一例を示す斜視図である。

[0038] 本実施形態の量子プロセッサ３０は、量子チップ３１と、インターポーザ３９と、配線基板４２とを含む。量子チップ３１、インターポーザ３９、及び配線基板４２は、図８に示すように、この順に積層されていてよい。量子プロセッサ３０は、図８に示すように、支持基板４５を含んでよい。量子チップ３１、インターポーザ３９、及び配線基板４２は、支持基板４５上に位置してよい。

[0039] 量子チップ３１は、図８に示すように、構造体１と、量子ビット回路３２とを含む。量子ビット回路３２は、構造体１に搭載されている。

[0040] 量子ビット回路３２は、例えば図９に示すように、量子ビット３３、読み出し共振器３４、量子ビット間結合キャパシタ３５、及び検出電極４６を含んで構成されてよい。量子ビット３３、読み出し共振器３４、及び量子ビット間結合キャパシタ３５は、基板２の第１面２ａ上に搭載されてよい。

[0041] 量子ビット３３は、例えば、中心電極３６、中心電極３６を囲む環状電極３７、及び中心電極３６と環状電極３７とを接続するジョセフソン接合素子３８を含んで構成されてよい。中心電極３６及び環状電極３７は、例えばアルミニウム、タンタル、ニオブ、スズ、インジウム、レニウム、パラジウム、チタン、窒化チタン、窒化ニオブ、ニオブチタン等の超電導材料で構成されてよい。中心電極３６は、第１導通部４ａを含んでよい。ジョセフソン接合素子３８は、例えば図１０に示すように、絶縁体薄膜３８ａを超電導体３８ｂ，３８ｃで挟んだ構造を有する。絶縁体薄膜３８ａは、例えばアルミニウム、タンタル、チタン等の絶縁性を有する酸化物で構成されてよく、超電導体３８ｂ，３８ｃは、例えばアルミニウム、タンタル、チタン等で構成されてよい。量子ビット３３は、実質的に、二準位系を構成することができ、例えば、基底状態と第１励起状態とによって構成される量子状態（コヒーレ

ンス状態）を保持しうる。量子ビット３３は、図９に示した同心型の量子ビットに限定されない。量子ビット３３は、例えば、十字状電極、該十字状電極に隣接して位置する隣接電極、及び十字状電極と隣接電極とを接続するジョセフソン接合素子を含んで構成されてもよい。

[0042] 読み出し共振器３４は、量子ビット３３と電磁的に結合している。読み出し共振器３４は、量子ビット３３に保持された量子状態を読み出すように構成される。読み出し共振器３４が読み出した量子ビット３３の状態は、検出電極４６を介し、検出信号として量子ビット回路３２外に取出されてよい。検出信号は、検出電極４６、及び、導通部４ａ，４ｂとワイヤ５とで構成される導通構造を介し、量子ビット回路３２外に取り出されてよい。読み出し共振器３４は、図９に示すミアンダ状の共振器に限定されない。読み出し共振器３４は、例えば、直線状の共振器であってもよく、Ｕ字状の共振器であってもよい。量子ビット間結合キャパシタ３５は、隣り合う量子ビット３３同士を結合している。

[0043] 量子ビット回路３２は、量子ビット３３の緩和を抑制する緩和抑制フィルタ共振器（図示せず）を含んでよい。この場合、熱雑音、電磁ノイズ等によって、量子ビット３３の量子状態が損なわれることを抑制できるため、量子ビット回路３２のコヒーレンス時間を長くすることができる。

[0044] 量子チップ３１は、量子ビット３３を制御するための制御回路（図示せず）を含んでよい。制御回路は、基板２の第２面２ｂ上に配置されてよい。制御回路は、第２導通部４ｂ及びワイヤ５を介して、第１導通部４ａに接続されてよい。制御回路は、インターポーザ３９の表面上又は内部に配置されてもよいし、配線基板４２の表面上又は内部に配置されてもよい。

[0045] インターポーザ３９は、例えば単結晶シリコン、セラミック材料等で構成されてよい。インターポーザ３９に用いられるセラミック材料は、例えば酸化アルミニウム質焼結体、ムライト質焼結体、炭化ケイ素質焼結体、窒化アルミニウム質焼結体、ガラスセラミック焼結体等のセラミック材料であってよい。インターポーザ３９は、低温同時焼成セラミックス（ＬＴＣＣ）で構

成され、量子ビット３３回路を制御するための配線導体を内部に有していてもよい。

[0046] インターポーザ３９は、第３面３９ａと、第３面３９ａとは反対側の第４面３９ｂとを有している。インターポーザ３９は、第３面３９ａが基板２の第２面２ｂに対向するように位置している。

[0047] インターポーザ３９は、第３面３９ａから第４面３９ｂにかけて貫通する貫通孔４０を有する。インターポーザ３９は、貫通孔４０内に位置するワイヤ４１を有している。ワイヤ４１の上端は、構造体１の第２導通部４ｂに接続されてよい。インターポーザ３９は、貫通孔４０の上端開口を閉塞する第３導通部（図示せず）を有してよく、ワイヤ４１の上端は、第３導通部を介して、第２導通部４ｂに接続されてよい。インターポーザ３９は、貫通孔４０の下端開口を閉塞する第４導通部（図示せず）を有してよく、ワイヤ４１の下端は、第４導通部に接続されてよい。第４導通部は、配線基板４２の配線導体４３，４４に接続されてよい。ワイヤ４１、第３導通部、及び第４導通部は、超電導体であってよい。ワイヤ４１は、例えばアルミニウム、タンタル、ニオブ、スズ、チタン、インジウム、レニウム、パラジウム等の超電導材料で構成されてよい。第３導通部及び第４導通部は、例えばアルミニウム、タンタル、ニオブ、スズ、インジウム、レニウム、パラジウム、チタン、窒化チタン、窒化ニオブ、ニオブチタン等の超電導材料で構成されてよい。

[0048] 配線基板４２は、例えばプリント配線基板、セラミック配線基板、有機配線基板等で構成されてよい。配線基板４２の内部には、配線導体４３，４４が位置している。配線導体４３，４４は、超電導材料で構成された配線導体４３、及び常電導材料で構成された配線導体４４を含んでよい。配線導体４３に用いられる超電導材料は、例えばアルミニウム、タンタル、ニオブ、スズ、インジウム、レニウム、パラジウム、チタン、窒化チタン、窒化ニオブ、ニオブチタン等であってよい。配線導体４４に用いられる常電導材料は、例えば銅（Ｃｕ）、銀（Ａｇ）等であってよい。

[0049] 支持基板４５は、例えば銅（Ｃｕ）、チタン等の金属材料で構成されてよい。量子チップ３１、インターポーザ３９、及び配線基板４２は、支持基板４５を介して、冷凍機の冷凍空間内に配置されてよい。

[0050] 量子プロセッサ３０は、量子チップ３１のインターポーザ３９及び配線基板４２上への３次元実装を簡易に実現できる構造体１を含むことから、量子プロセッサ３０の高集積化及び多ビット化を実現することができる。また、量子プロセッサ３０は、構造体１が誘電正接の低い単結晶サファイアで構成された基板２を含むことから、量子ビット回路３２のコヒーレンス時間を長くすることができ、また、量子ビット回路３２に生じるノイズを低減できる。したがって、量子プロセッサ３０は安定して動作できる。

[0051] 次に、本開示の一実施形態に係る量子コンピュータについて説明する。図１１は、本開示の一実施形態に係る量子コンピュータを示すブロック図である。

[0052] 本実施形態の量子コンピュータ５０は、量子プロセッサ３０を含む。量子コンピュータ５０は、冷凍機５１と、マイクロ波増幅器５２，５３と、サーキュレータ５４と、極低温用ノイズフィルタ５５と、同軸ケーブルコネクタ５６と、マイクロ波入出力装置５７と、制御用コンピュータ５８とを含んでよい。

[0053] 冷凍機５１は、冷凍空間５１ａを有する。量子プロセッサ３０、マイクロ波増幅器５２，５３、サーキュレータ５４、極低温用ノイズフィルタ５５、及び同軸ケーブルコネクタ５６は、冷凍空間５１ａ内に位置する。マイクロ波入出力装置５７及び制御用コンピュータ５８は、冷凍空間５１ａ外に位置する。冷凍機５１は、冷凍空間５１ａを、量子プロセッサ３０を構成する超電導材料の転移温度未満（以下）の温度に冷却する。転移温度は、常電導相と超電導相との相転移温度である。冷凍機５１は、希釈冷凍機で構成されてよい。希釈冷凍機は、液相の^{4}Ｈｅを液相の^{3}Ｈｅで希釈するときの希釈熱を利用した冷凍機である。

[0054] 量子プロセッサ３０は、冷凍空間５１ａ内の特に低温（例えば１０ｍＫ程

度）となる領域に位置してよい。これにより、量子プロセッサ３０に発生する熱雑音を抑制できるため、量子プロセッサ３０におけるコヒーレンス時間を長くすることができ、量子プロセッサ３０を安定して動作させることができる。冷凍機５１は、冷凍空間５１ａを減圧状態とする真空ポンプを含んでよい。冷凍空間５１ａを減圧状態とすることで、量子プロセッサ３０の周囲の温度変化を低減できるため、量子プロセッサ３０の動作を安定化させることができる。

[0055] 制御用コンピュータ５８は、量子プロセッサ３０を制御するための制御信号を生成し、制御信号は、マイクロ波入出力装置５７、同軸ケーブルコネクタ５６、及び極低温用ノイズフィルタ５５を介して、量子プロセッサ３０に供給される。量子プロセッサ３０は、制御用コンピュータ５８から供給された制御信号に基づいて、量子計算を実行する。計算結果は、マイクロ波制御器及びマイクロ波入出力装置５７を介して、制御用コンピュータ５８に出力される。

[0056] 量子コンピュータ５０は、量子プロセッサ３０が構造体１を含むことから、高集積化（すなわち小型化）されたものとなる。このため、冷凍機５１の冷凍空間５１ａの容積が制限されている場合であっても、量子プロセッサ３０を冷凍空間５１ａにおける特に低温となる領域に配置することが容易になる。その結果、量子プロセッサ３０の動作を安定化させることができる。また、量子コンピュータ５０は、量子プロセッサ３０が構造体１を含んで構成されるため、量子プロセッサ３０の動作を安定化させることができる。

[0057] 次に、本開示の実施形態に係る構造体の製造方法の一例について説明する。図１２～１７は、本開示の実施形態に係る構造体の製造方法の一例を説明する図である。

[0058] 本例の構造体の製造方法は、準備工程と、作製工程と、挿通工程とを含む。本例の製造方法は、挿通工程の後に行われる形成工程を含んでよい。以下では、基板２が１つの貫通孔３を有する場合について説明するが、基板２が複数の貫通孔３を有する場合も同様である。

[0059] 準備工程は、基板２となる基板前駆体６（図１２参照）と、ワイヤ５となる金属線７とを準備する工程である。

[0060] 基板前駆体６は、第１面２ａに相当する第１主面６ａと、第２面２ｂに相当する第２主面６ｂとを有している。基板前駆体６は、単結晶サファイア、単結晶シリコン、又はセラミック材料で構成してよい。セラミック材料は、例えば酸化アルミニウム質焼結体、ムライト質焼結体、炭化ケイ素質焼結体、窒化アルミニウム質焼結体、ガラスセラミック焼結体等のセラミック材料であってよい。金属線７は、例えばアルミニウム、タンタル、ニオブ、スズ、チタン、インジウム、レニウム、パラジウム等の超電導材料で構成してよい。

[0061] 作製工程は、図１３に示すように、基板前駆体６に貫通孔（以下、貫通孔３という）を形成し、基板２を作製する工程である。貫通孔３は、基板前駆体６を第１主面６ａから第２主面６ｂにかけて貫通する。貫通孔３は、基板前駆体６にレーザ光を照射するレーザ加工によって形成することができる。レーザ加工は、例えばファーバーレーザ、ＹＡＧレーザ等を用いて行うことができる。基板前駆体６に照射するレーザ光は、パワーが１Ｗ～１００Ｗ程度であってよく、１Ｗ～１０Ｗ程度であってよく、周波数が１ＫＨｚ～１００ＫＨｚ程度であってよい。

[0062] レーザ光は、第１主面６ａ側から照射してよいし、第２主面６ｂ側から照射してもよい。基板前駆体６の厚みが薄い（例えば３００μｍ程度以下である）場合、レーザ光を第１主面６ａ側又は第２主面６ｂ側から照射することで、入射径と出射径との差が比較的小さい貫通孔３を形成することができる。入射径と出射径との差は、基板前駆体６の厚みの１０％以下であってよい。この場合、貫通孔３の開口径ｄが略一定となり、貫通孔３の内周面３ｄと金属線７との接触面積が増加するため、金属線７を内周面３ｄに良好に固定することが可能となる。

[0063] 基板前駆体６に複数の貫通孔３を形成する場合、隣接する貫通孔３同士の間隔は、基板前駆体６の厚み以上であってよい。この場合、基板前駆体６の

破損を抑えつつ、複数の貫通孔３を形成することが容易になる。

[0064] レーザ光は、第１主面６ａ側及び第２主面６ｂ側から照射してもよい。この場合、例えば、レーザ光を第１主面６ａ側から照射し、基板前駆体６の厚みの半分程度の深さの第１主面６ａ側凹部を形成した後、レーザ光を第２主面６ｂ側から照射し、第１主面６ａ側凹部に連通する孔を形成することで、貫通孔３を形成することができる。レーザ光を第１主面６ａ側及び第２主面６ｂ側から照射することで、基板前駆体６の厚みが厚い（例えば３００μｍ程度以上である）場合であっても、基板２の厚み方向における開口径ｄの変化が小さい貫通孔３を形成することができる。その結果、貫通孔３の内周面３ｄと金属線７との接触面積が増加するため、金属線７を内周面３ｄに良好に固定することが可能となる。

[0065] また、レーザ光を第２主面６ｂ側から照射するときに、第１主面６ａ側凹部に連通する孔が形成された直後に照射を停止することで、狭窄部３ｃを有する貫通孔３（図５参照）を容易に形成することができる。なお、第１主面６ａ側凹部に連通する孔が形成された直後とは、第２主面６ｂ側から形成される孔が第１主面６ａ側凹部に連通してから所定時間内をいう。所定時間は、狭窄部３ｃを形成すべき位置、レーザ光のパワー及び周波数等に応じて適宜設定されてよい。

[0066] 上記では、第１主面６ａ側からレーザ光を照射した後、第２主面６ｂ側からレーザ光を照射する例について説明したが、これに限定されず、第２主面６ｂ側からレーザ光を照射した後、第１主面６ａ側からレーザ光を照射してもよい。

[0067] 貫通孔３を形成する方法は、レーザ加工に限定されない。貫通孔３は、例えば反応性イオンエッチング（ＲＩＥ）等のエッチング技術を用いて形成されてもよい。

[0068] 挿通工程は、図１４に示すように、基板２の貫通孔３に金属線７を挿通する工程である。金属線７を貫通孔３に挿通するとは、金属線７の一端部を貫通孔３の一方の開口から挿入し、該一端部を貫通孔３の他方の開口から延出

させることであってよいし、金属線７の一端部を貫通孔３の一方の開口から挿入し、該一端部を貫通孔３の他方の開口に到達させることであってよい。挿通工程では、貫通孔３における金属線７を挿入する側の開口を撮像可能なカメラを用いて、金属線７を手動で貫通孔３に挿通してよいし、半導体デバイス等の製造に用いられるワイヤボンディング装置を用いて、金属線７を貫通孔３に挿通してもよい。

[0069] 挿通工程は、金属線７の外周面７ａの少なくとも一部を貫通孔３の内周面３ｄに固定することを含んでよい。これにより、貫通孔３の内周面３ｄにワイヤ５が固定された基板２を作製することができる。挿通工程は、金属線７の外周面７ａの少なくとも一部を貫通孔３の内周面３ｄに固定した後、金属線７における開口３ａ，３ｂから延出した部位を切除することを含んでよい。

[0070] 挿通工程では、図１５に示すように、基板２の第２面２ｂに犠牲層９を配置し、金属線７を第１開口３ａから貫通孔３に挿入してもよい。この場合、金属線７が第２開口３ｂから延出しないので、金属線７における第２開口３ｂから延出した部位の切除を省略できる。その結果、構造体１の量産性を向上させることができる。

[0071] 外周面７ａの少なくとも一部を内周面３ｄに固定するには、外周面７ａの少なくとも一部を内周面３ｄに熱圧着すればよい。外周面７ａの少なくとも一部を内周面３ｄに熱圧着するには、例えば、貫通孔３に金属線７が挿通された基板２を、金属線７が塑性変形しうる温度まで加熱すればよい。なお、基板２を加熱することで、レーザ加工によって生じたデブリを再結晶化させ、基板２と一体化させることが可能となる。その結果、デブリが構造体１に搭載された電気回路（超電導回路）を汚損する虞を低減できる。また、レーザ加工によって生じたデブリを除去するための洗浄（例えばエッチング処理等）を省略することができるため、構造体１を効率的に製造することができる。

[0072] 金属線７は、貫通孔３の内周面３ｄに熱圧着されなくてよい。図１５に示

すように、第２面２ｂに第２開口３ｂを閉塞する犠牲層９を配置し、金属線７を第１開口３ａから貫通孔３に強く挿入することで、図６に示したワイヤ５のように、貫通孔３内で屈曲又は湾曲して内周面３ｄに接触し、摩擦によって内周面３ｄに固定された金属線７を形成することができる。なお、犠牲層９を配置する面は、第１面２ａであってもよい。この場合、金属線７を第２開口３ｂから貫通孔３に強く挿入することで、図６に示したワイヤ５のような金属線７を形成することができる。或いは、貫通孔３が狭窄部３ｃを有する場合、開口径ｄｃ以上の直径φを有するワイヤ５を貫通孔３に挿通することで、図７に示したワイヤ５のように、狭窄部３ｃに接触し、摩擦によって狭窄部３ｃに固定された金属線７を形成することができる。

[0073] 第１開口３ａの開口径ｄａが第２開口３ｂの開口径ｄｂよりも大きい場合、金属線７を第１開口３ａから貫通孔３に挿入することで、金属線７を貫通孔３に容易に挿通させることができる。その結果、構造体１の量産性を向上させることができる。なお、第１開口３ａの開口径ｄａが第２開口３ｂの開口径ｄｂよりも小さい場合には、金属線７を第２開口３ｂから貫通孔３に挿入することで、金属線７を貫通孔３に容易に挿通させることができる。

[0074] 挿通工程では、図１６に示すように、複数の基板２をそれらの貫通孔３同士が平面視で重なるように配置し、複数の貫通孔３に１本の金属線７を挿通してもよい。この場合、挿通工程を効率的に行うことができ、構造体１の量産性を向上させることができる。金属線７を各貫通孔３の内周面３ｄに固定した後、金属線７における貫通孔３の開口３ａ，３ｂから延出した部分を切断することで、貫通孔３の内周面３ｄに金属線７が固定された複数の基板２を互いに分離させることができる。

[0075] 形成工程は、図１７に示すように、導通部４ａ，４ｂを形成し、導通部４ａ，４ｂと金属線７とを接続する工程である。形成工程では、基板２の第１面２ａに第１導通部４ａを形成し、基板２の第２面２ｂに第２導通部４ｂを形成する。第１導通部４ａは、第１開口３ａを閉塞するように形成されてよく、第２導通部４ｂは、第２開口３ｂを閉塞するように形成されてよい。

[0076] 導通部４ａ，４ｂは、例えばアルミニウム、タンタル、ニオブ、スズ、インジウム、レニウム、パラジウム、チタン、窒化チタン、窒化ニオブ、ニオブチタン等の超電導材料で構成してよい。導通部４ａ，４ｂは、例えば印刷法、めっき法、ＰＶＤ法、ＡＬＤ法等の成膜法を用いて形成することができる。

[0077] 続いて、第１導通部４ａと金属線７の一端部とを接続し、第２導通部４ｂと金属線７の他端部とを接続することで、構造体１を製造することができる。導通部４ａ，４ｂと金属線７とは、例えば熱及び圧力の少なくとも一方を用いた接合法、超音波接合、レーザ溶接等の接合法を用いて接合することができる。

[0078] 次に、本開示の実施形態に係る構造体の製造方法の他の例について説明する。図１８～２２は、本開示の実施形態に係る構造体の製造方法の他の例を説明する図である。

[0079] 本例の構造体の製造方法は、準備工程と、作製工程と、形成工程（第１形成工程ともいう）と、挿通工程とを含む。本例の製造方法は、挿通工程の後に行われる第２形成工程を含んでよい。以下では、基板２が１つの貫通孔３を有する場合について説明するが、基板２が複数の貫通孔３を有する場合も同様である。準備工程及び作製工程はそれぞれ、上述の準備工程及び作製工程と同様の工程であるので、詳細な説明を省略する。

[0080] 準備工程は、基板２となる基板前駆体６（図１８参照）と、ワイヤ５となる金属線８とを準備する工程である。金属線８は、基板２の厚みＴと同一又は同程度の長さを有する。準備工程は、基板２の厚みＴよりも長い金属線を切断し、厚みＴと同一又は同程度の長さを有する金属線８を作製することを含んでよい。

[0081] 作製工程は、図１９に示すように、基板前駆体６に貫通孔（以下、貫通孔３という）を形成し、基板２を作製する工程である。

[0082] 第１形成工程は、図２０に示すように、貫通孔３の一方の開口（第１開口３ａ又は第２開口３ｂ）に導通部（第１導通部４ａ又は第２導通部４ｂ）を

形成する工程である。以下、貫通孔３の第２開口３ｂに第２導通部４ｂを形成する例について説明するが、貫通孔３の第１開口３ａに第１導通部４ａを形成してもよい。第２導通部４ｂは、第２開口３ｂを閉塞してよい。第２導通部４ｂは、例えば印刷法、めっき法、ＰＶＤ法等の成膜法を用いて形成する。これにより、第２開口３ｂに金属線７が存在しない場合であっても、第２開口３ｂを閉塞する第２導通部４ｂを形成することができる。

[0083] 第１形成工程では、開口３ａ，３ｂのうち開口径が小さい方に導通部を形成してもよい。これにより、貫通孔３内に金属線８が位置していない状態であっても、導通部を良好に形成することができる。

[0084] 挿通工程は、図２１に示すように、金属線８を貫通孔３の他方の開口（第１開口３ａ）から挿通し、導通部（第２導通部４ｂ）と接続する工程である。金属線８を貫通孔３に挿通するには、半導体デバイス等の製造に用いられる電子部品実装装置を使用して、金属線８を貫通孔３内に配置してよい。これにより、金属線８を高速且つ効率的に貫通孔３内に配置することができる。

[0085] 挿通工程では、金属線８を第１開口３ａから貫通孔３内に配置し、金属線８の一端部と第２導通部４ｂとを接続してよい。金属線８の一端部と第２導通部４ｂとは、例えば熱及び圧力の少なくとも一方を用いた接合法、超音波接合、レーザ溶接等の接合法を用いて接合することができる。挿通工程では、金属線８の外周面８ａの少なくとも一部を内周面３ｄに固定してよいし、固定しなくてよい。外周面８ａの少なくとも一部を内周面３ｄに固定するには、外周面８ａの少なくとも一部を内周面３ｄに熱圧着すればよい。

[0086] 挿通工程では、外周面８ａの少なくとも一部を内周面３ｄに熱圧着しなくてよい。金属線８を第１開口３ａから貫通孔３に強く挿入することで、図６に示したワイヤ５のように、貫通孔３内で屈曲又は湾曲して内周面３ｄに接触し、摩擦によって内周面３ｄに固定された金属線８を形成することができる。或いは、貫通孔３が狭窄部３ｃを有する場合、開口径ｄｃ以上の直径φを有する金属線８を貫通孔３に挿通することで、図７に示したワイヤ５のよ

うに、狭窄部３ｃに接触し、摩擦によって狭窄部３ｃに固定された金属線８を形成することができる。

[0087] 第１開口３ａの開口径ｄａが第２開口３ｂの開口径ｄｂよりも大きい場合、金属線８を第１開口３ａから貫通孔３に挿入することで、金属線８を貫通孔３内に容易に配置することができる。その結果、構造体１の量産性を向上させることができる。なお、第１開口３ａの開口径ｄａが第２開口３ｂの開口径ｄｂよりも小さい場合には、金属線８を第２開口３ｂから貫通孔３に挿入することで、金属線８を貫通孔３内に容易に配置することができる。

[0088] 第２形成工程は、図２２に示すように、貫通孔３の他方の開口（第１開口３ａ）に導通部（第１導通部４ａ）を形成し、第１導通部４ａと貫通孔３内に位置する金属線８とを接続する工程である。第１導通部４ａは、第１開口３ａを閉塞してよい。第１導通部４ａは、例えば印刷法、めっき法、ＰＶＤ法等の成膜法を用いて形成することができる。第１導通部４ａと金属線８とは、例えば熱及び圧力の少なくとも一方を用いた接合法、超音波接合、レーザ溶接等の接合法を用いて接合することができる。

[0089] 本開示の実施形態に係る構造体の製造方法によれば、構造体１を効率よく製造することができる。

[0090] 以上、本開示の実施形態について詳細に説明したが、本開示は上述の実施の形態に限定されず、本開示の要旨を逸脱しない範囲内において、種々の変更、改良等が可能である。以下、本開示の他の実施形態に係る構造体について説明する。

[0091] 図２３は、本開示の他の実施形態に係る構造体の一例を示す平面図であり、図２４は、図２３の切断面線ＸＸＩＶ－ＸＸＩＶで切断した断面図であり、図２５，２６は、本開示の他の実施形態に係る構造体の他の例を示す断面図である。図２３では、図解を容易にするために、第１導通部、第２導通部及び絶縁層を省略するとともに、ワイヤ及び導電体にハッチングを付している。図２５，２６に示す断面図は、図２４に示した断面図に対応する。本実施形態の構造体は、絶縁体及び導電体を有する点で上記実施形態の構造体と

異なり、その他の点については同様の構成であるので、同様の構成については、上記実施形態の構造体と同じ参照符号を付して、詳細な説明を省略する。

[0092] 本実施形態の構造体１Ａは、基板２と、第１導通部４ａと、第２導通部４ｂと、ワイヤ５と、絶縁体１０と、導電体１１とを備える。

[0093] 絶縁体１０は、図２３，２４に示すように、基板２の貫通孔３内に位置し、ワイヤ５の外周面５ａを覆っている。絶縁体１０は、ワイヤ５の外周面５ａを完全に覆っていてよいし、ワイヤ５の外周面５ａを部分的に覆っていてよい。絶縁体１０は、中空の柱状であってよい。絶縁体１０は、ワイヤ５の外周面５ａに対向する内周面１０ａと、内周面１０ａとは反対側の外周面１０ｂとを有している。絶縁体１０は、例えば３μｍ～１０μｍ程度である厚み（外径と内径との差の１／２）を有してよく、５μｍ程度である厚みを有してもよい。絶縁体１０は、例えばシリコン（Ｓｉ）、シリカ（SiO_2）、アルミナ（Al_2O_3）等で構成されてよい。

[0094] 導電体１１は、図２３，２４に示すように、基板２の貫通孔３内に位置し、絶縁体１０の外周面１０ｂを覆っている。導電体１１は、絶縁体１０の外周面１０ｂを完全に覆っていてよいし、絶縁体１０の外周面１０ｂを部分的に覆っていてもよい。導電体１１は、中空の柱状であってよい。導電体１１は、絶縁体１０の外周面１０ｂに対向する内周面１１ａと、内周面１１ａとは反対側の外周面１１ｂとを有している。導電体１１は、外周面１１ｂの少なくとも一部が貫通孔３の内周面３ｄに固定されていてよい。導電体１１は、例えば１μｍ～５μｍ程度である厚み（外径と内径との差の１／２）を有してよく、３μｍ程度である厚みを有してもよい。導電体１１は、例えばアルミニウム、タンタル、ニオブ、スズ、チタン、インジウム、レニウム、パラジウム等の超電導材料で構成されてよいし、銅、銀等の常電導材料で構成されてもよい。導電体１１は、非磁性のフェライトで構成されてもよい。

[0095] ワイヤ５、絶縁体１０及び導電体１１は、同軸型貫通電極１２を構成する。ワイヤ５は、同軸型貫通電極１２の内部導体であり、導電体１１は、同軸

型貫通電極１２の外部導体である。導電体１１は、グランド電位に接続されていてよい。ワイヤ５と導電体１１とは、同心であってよいし、同心でなくてもよい。

[0096] 導通部４ａ，４ｂは、ワイヤ５と電気的に接続され、導電体１１と電気的に絶縁されている。構造体１Ａは、図２４に示すように、導通部４ａ，４ｂの直径ｄ４が、導電体１１の内径ｄ１１未満であり、且つ、平面視において、導通部４ａ，４ｂの図心とワイヤ５の図心とが、一致又は略一致している構成であってよい。

[0097] 導電体１１は、量子コンピュータ５０の内外で発生する電磁波がワイヤ５に不所望に侵入したり、ワイヤ５から電磁波が漏洩したりすることを抑制するシールド材として機能しうる。したがって、構造体１Ａによれば、量子プロセッサ３０を高集積化した場合であっても、量子ビット回路３２に生じるノイズを低減できる。その結果、量子誤り訂正を効率的に行うことが可能となり、量子プロセッサ３０の動作を安定化させることができる。

[0098] 構造体１Ａは、図２５に示すように、絶縁層１３を備えてよい。絶縁層１３は、導通部４ａ，４ｂと導電体１１との間に位置し、導通部４ａ，４ｂと導電体１１とを電気的に絶縁している。絶縁層１３は、導通部４ａ，４ｂとワイヤ５との電気的接続を阻害しなければよく、導通部４ａ，４ｂと基板２との間にも位置してよいし、導通部４ａ，４ｂと絶縁体１０との間にも位置してよい。絶縁層１３は、例えばシリコン、シリカ、アルミナ等で構成されてよい。図２５に示す構造体１Ａによっても、導通部４ａ，４ｂとワイヤ５とを電気的に接続し、導通部４ａ，４ｂと導電体１１と電気的に絶縁することができる。その結果、量子プロセッサ３０を高集積化した場合であっても、量子ビット回路３２に生じるノイズを低減できる。ひいては、量子誤り訂正を効率的に行うことが可能となり、量子プロセッサ３０の動作を安定化させることができる。

[0099] 構造体１Ａは、図２６に示すように、導電体１１の上端面が、ワイヤ５の上端面より下方に位置し、導電体１１の下端面が、ワイヤ５の下端面より上

方に位置している構成であってもよい。言い換えると、同軸型貫通電極１２は、第１面２ａ側から導電体１１が切り欠かれた切欠き部１１ｃと、第２面２ｂ側から導電体１１が切り欠かれた切欠き部１１ｄとを有していてもよい。図２６に示す構造体１Ａによっても、導通部４ａ，４ｂとワイヤ５とを電気的に接続し、導通部４ａ，４ｂと導電体１１と電気的に絶縁することができる。その結果、量子プロセッサ３０を高集積化した場合であっても、量子ビット回路３２に生じるノイズを低減できる。ひいては、量子誤り訂正を効率的に行うことが可能となり、量子プロセッサ３０の動作を安定化させることができる。

[0100] 次に、構造体１Ａの製造方法の一例について説明する。構造体１Ａは、構造体１の製造方法と同様の製造方法によって製造することができる。以下では、構造体１の製造方法の工程と同様の工程については、構造体１の製造方法の工程を示す図面を参照し、詳細な説明を省略する。

[0101] 本例の製造方法は、準備工程と、作製工程と、挿通工程とを含む。本例の製造方法は、挿通工程の後に行われる形成工程を含んでよい。

[0102] 準備工程は、基板前駆体６（図１２参照）と、同軸型貫通電極１２となる同軸ケーブルとを準備する工程である。同軸ケーブルは、金属線７（図１４参照）の外周面７ａに絶縁体層を形成し、絶縁体層における金属線７に対向する内周面とは反対側の外周面に導電体層を形成することによって準備することができる。絶縁体層は、同軸型貫通電極１２の絶縁体１０となる。絶縁体層は、例えばシリコン、シリカ、アルミナ等で構成してよい。絶縁体層は、例えばめっき法、スパッタリング法等の薄膜形成法を用いて形成することができる。めっき法は、浸漬めっき法であってよい。導電体層は、同軸型貫通電極１２の導電体１１となる。導電体層は、例えばアルミニウム、タンタル、ニオブ、スズ、チタン、インジウム、レニウム、パラジウム等の超電導材料で構成してよいし、銅、銀等の常電導材料で構成してもよい。導電材料層は、非磁性のフェライトで構成してもよい。導電体層は、例えばめっき法、スパッタリング法等の薄膜形成法を用いて形成することができる。めっき

法は、浸漬めっき法であってよい。

[0103] 作製工程は、基板前駆体６に貫通孔３を形成し、基板２を作製する工程である（図１３参照）。

[0104] 挿通工程は、基板２の貫通孔３に同軸ケーブルを挿通する工程である（図１４参照）。挿通工程は、導電体層の外周面の少なくとも一部を貫通孔３の内周面３ｄに固定することを含んでよい。導電体層の外周面の少なくとも一部を内周面３ｄに固定するには、該少なくとも一部を内周面３ｄに熱圧着してよいし、摩擦によって内周面３ｄに固定してもよい（図６，７参照）。挿通工程は、同軸ケーブルの少なくとも一部を貫通孔３の内周面３ｄに固定した後、同軸ケーブルにおける開口３ａ，３ｂから延出した部位を切除することを含んでよい。

[0105] 挿通工程では、同軸ケーブルを手動で貫通孔３に挿通してよいし、ワイヤボンディング装置を用いて、同軸ケーブルを貫通孔３に挿通してもよい。

[0106] 挿通工程では、基板２の第２面２ｂに第２開口３ｂを閉塞する犠牲層９を配置し、同軸ケーブルを第１開口３ａから貫通孔３に挿入してもよい（図１５参照）。この場合、貫通孔３内で屈曲又は湾曲して内周面３ｄに接触し、摩擦によって内周面３ｄに固定された同軸ケーブルを容易に形成することができる（図６参照）。挿通工程では、複数の基板２をそれらの貫通孔３同士が平面視で重なるように配置し、複数の貫通孔３に１本の同軸ケーブルを挿通してもよい（図１６参照）。この場合、挿通工程を効率的に行うことができ、構造体１Ａの量産性を向上させることができる。

[0107] 形成工程は、導通部４ａ，４ｂを形成し、導通部４ａ，４ｂと金属線７とを接続する工程である（図１７参照）。形成工程では、導通部４ａ，４ｂと導電体層とを電気的に接続せずに、導通部４ａ，４ｂと金属線７とを接続する。形成工程では、導電体１１の内径ｄ１１未満の直径ｄ４を有する導通部４ａ，４ｂ（図２４参照）を、平面視で導通部４ａ，４ｂの図心とワイヤ５の図心とが一致又は略一致するように形成してよい。形成工程では、導通部４ａ，４ｂを形成する前に、絶縁層１３（図２５参照）を形成してもよいし

、同軸ケーブルに切欠き部（図２６に示した切欠き部１１ｃ，１１ｄ）を形成してもよい。絶縁層１３は、例えばめっき法、スパッタリング法等の薄膜形成法を用いて形成することができる。同軸ケーブルの切欠き部は、同軸ケーブルを貫通孔３に挿通する前に形成してもよい。

[0108] 上術の製造方法によって、構造体１Ａを製造することができる。本例の製造方法では、基板２とは別に作製した同軸ケーブルを貫通孔３に挿通することによって、同軸型貫通電極１２を作製する。同軸ケーブルは、例えば、ボビン等に巻き取られた金属線７を繰り出しながら、金属線７の外周面７ａに絶縁体層を形成し、絶縁体層の外周面に導電体層を形成することで、連続的に作製することができる。したがって、本例の製造方法によれば、深堀り反応性イオンエッチング（Ｄｅｅｐ－ＲＩＥ）法、ＡＬＤ法等を用いて貫通孔３内に同軸型貫通電極を作製する場合と比べて、同軸型貫通電極１２を短時間かつ低コストで作製することができる。その結果、構造体１Ａの量産性を向上させることができる。

[0109] 次に、構造体１Ａの製造方法の他の例について説明する。本例の製造方法は、準備工程と、作製工程と、形成工程（第１形成工程ともいう）と、挿通工程とを含む。本例の製造方法は、挿通工程の後に行われる第２形成工程を含んでよい。以下では、構造体１Ａの上述の製造方法と同様の工程については、詳細な説明を省略する。

[0110] 準備工程は、基板前駆体６と、同軸ケーブルとを準備する工程である。同軸ケーブルは、金属線８（図２１参照）と、絶縁体層と、導電体層とで構成され、基板２の厚みＴと同一又は同程度の長さを有する。準備工程は、基板２の厚みＴよりも長い同軸ケーブルを切断し、厚みＴと同一又は同程度の長さを有する同軸ケーブルを作製することを含んでよい。図２６に示した構造体１Ａを製造する場合、準備工程は、同軸ケーブルに切欠き部（図２６に示した切欠き部１１ｃ，１１ｄ）を形成することを含んでよい。

[0111] 作製工程は、基板前駆体６に貫通孔３を形成し、基板２を作製する工程である（図１３参照）。

[0112] 第１形成工程は、貫通孔３の第２開口３ｂに、第２開口３ｂを閉塞する第２導通部４ｂを形成する工程である（図２０参照）。なお、図２５に示した構造体１Ａを製造する場合、第１形成工程は、第２導通部４ｂと同軸ケーブルの導電体層とを電気的に絶縁する絶縁層１３を形成することを含んでよい。

[0113] 挿通工程は、同軸ケーブルを貫通孔３の第１開口３ａから挿通し、同軸ケーブルの金属線８を第２導通部４ｂと接続する工程である。挿通工程では、電子部品実装装置を使用して、同軸ケーブルを貫通孔３内に配置してよい。これにより、同軸ケーブルを高速且つ効率的に貫通孔３内に配置することができる。

[0114] 挿通工程は、導電体層の外周面の少なくとも一部を貫通孔３の内周面３ｄに固定することを含んでよい。導電体層の外周面の少なくとも一部を内周面３ｄに固定するには、該少なくとも一部を内周面３ｄに熱圧着してよいし、同軸ケーブルを摩擦によって内周面３ｄに固定してもよい（図６，７参照）。

[0115] 第２形成工程は、貫通孔３の第１開口３ａに第１導通部４ａを形成し、第１導通部４ａと金属線８とを接続する工程である（図１７参照）。第２形成工程では、第１導通部４ａと導電体層とを電気的に接続せずに、第１導通部４ａと金属線８とを接続する。なお、図２５に示した構造体１Ａを製造する場合、第２形成工程は、第１導通部４ａと同軸ケーブルの導電体層とを電気的に絶縁する絶縁層１３を形成することを含んでよい。

[0116] 本例の製造方法では、電子部品実装装置を使用することにより、同軸ケーブルを高速且つ効率的に貫通孔３内に配置することができる。その結果、構造体１Ａの量産性を向上させることができる。

[0117] 本開示によれば、ＴＳＶによる電極同士の導通を簡易に実現できる。また、本開示の構造体は、量子プロセッサ等の超電導デバイスに適用可能であり、本開示の構造体によれば、量子プロセッサの高集積化及び多ビット化を簡易に実現可能である。

[0118] 本開示は、以下の（１）～（１２）の構成で実施可能である。

[0119] （１）第１面、前記第１面とは反対側の第２面、および、前記第１面から前記第２面にかけて貫通する貫通孔を有する基板と、

前記貫通孔を通り、前記第１面に位置する第１導通部と前記第２面に位置する第２導通部とを電気的に接続するワイヤと、を備える構造体。

[0120] （２）前記第１導通部は、前記貫通孔の前記第１面の開口を閉塞し、前記第２導通部は、前記貫通孔の前記第２面の開口を閉塞する、上記構成（１）に記載の構造体。

[0121] （３）前記ワイヤは、超電導体である、上記構成（１）または（２）に記載の構造体。

[0122] （４）前記基板は、サファイアからなる、上記構成（１）～（３）のいずれかに記載の構造体。

[0123] （５）前記ワイヤの少なくとも一部が、前記貫通孔の内周面に固定されている、上記構成（１）～（４）のいずれかに記載の構造体。

[0124] （６）前記ワイヤの外周面を覆う絶縁体と、前記絶縁体における前記ワイヤに対向する面とは反対側の面を覆う導電体と、をさらに備える、上記構成（１）～（４）のいずれかに記載の構造体。

[0125] （７）上記構成（１）～（６）のいずれかに記載の構造体を備える、量子プロセッサ。

[0126] （８）上記構成（７）に記載の量子プロセッサを備える、量子コンピュータ。

[0127] （９）基板前駆体および金属線を準備する準備工程と、

前記基板前駆体に貫通孔を形成し、基板を作製する作製工程と、

前記貫通孔に前記金属線を挿通する挿通工程と、を含む、構造体の製造方法。

[0128] （１０）前記作製工程と前記挿通工程との間に、前記貫通孔の一方の開口に導通部を形成する形成工程を含む、上記構成（９）に記載の構造体の製造方法。

[0129] （１１）前記挿通工程は、前記金属線を前記貫通孔の他方の開口から挿通し、前記導通部と接続することを含む、上記構成（１０）に記載の構造体の製造方法。

[0130] （１２）前記準備工程において、前記金属線の外周面に絶縁体層を形成するとともに、前記絶縁体層における前記金属線に対向する面とは反対側の面に導電体層を形成し、

前記挿通工程において、前記貫通孔に、前記絶縁体層および前記導電体層が形成された前記金属線を挿通する、上記構成（９）に記載の構造体の製造方法。

符号の説明

[0131]

１	構造体
２	基板
２ａ	第１面
２ｂ	第２面
３	貫通孔
３ａ	第１開口
３ｂ	第２開口
３ｃ	狭窄部
３ｄ	内周面
４ａ	第１導通部
４ｂ	第２導通部
５	ワイヤ
５ａ	外周面
６	基板前駆体
６ａ	第１主面
６ｂ	第２主面
７，８	金属線
７ａ，８ａ	外周面

９　　犠牲層
１０　　絶縁体
１０ａ　内周面
１０ｂ　外周面
１１　　導電体
１１ａ　内周面
１１ｂ　外周面
１１ｃ，１１ｄ　切欠き部
１２　　同軸型貫通電極
１３　　絶縁層
３０　　量子プロセッサ
３１　　量子チップ
３２　　量子ビット回路
３３　　量子ビット
３４　　読み出し共振器
３５　　量子ビット間結合キャパシタ
３６　　中心電極
３７　　環状電極
３８　　ジョセフソン接合素子
３８ａ　絶縁体薄膜
３８ｂ，３８ｃ　超電導体
３９　　インターポーザ
３９ａ　第３面
３９ｂ　第４面
４０　　貫通孔
４１　　ワイヤ
４２　　配線基板
４３　　配線導体

４４　　配線導体

４５　　支持基板

４６　　検出電極

５０　　量子コンピュータ

５１　　冷凍機

５１ａ　冷凍空間

５２，５３　マイクロ波増幅器

５４　　サーキュレータ

５５　　極低温用ノイズフィルタ

５６　　同軸ケーブルコネクタ

５７　　マイクロ波入出力装置

５８　　制御用コンピュータ

請求の範囲

[請求項1] 第１面、前記第１面とは反対側の第２面、および、前記第１面から前記第２面にかけて貫通する貫通孔を有する基板と、

前記貫通孔を通り、前記第１面に位置する第１導通部と前記第２面に位置する第２導通部とを電気的に接続するワイヤと、を備える構造体。

[請求項2] 前記第１導通部は、前記貫通孔の前記第１面の開口を閉塞し、前記第２導通部は、前記貫通孔の前記第２面の開口を閉塞する、請求項１に記載の構造体。

[請求項3] 前記ワイヤは、超電導体である、請求項１または２に記載の構造体。

[請求項4] 前記基板は、サファイアからなる、請求項１～３のいずれか１項に記載の構造体。

[請求項5] 前記ワイヤの少なくとも一部が、前記貫通孔の内周面に固定されている、請求項１～４のいずれか１項に記載の構造体。

[請求項6] 前記ワイヤの外周面を覆う絶縁体と、前記絶縁体における前記ワイヤに対向する面とは反対側の面を覆う導電体と、をさらに備える、請求項１～５のいずれか１項に記載の構造体。

[請求項7] 請求項１～６のいずれか１項に記載の構造体を備える、量子プロセッサ。

[請求項8] 請求項７に記載の量子プロセッサを備える、量子コンピュータ。

[請求項9] 基板前駆体および金属線を準備する準備工程と、

前記基板前駆体に貫通孔を形成し、基板を作製する作製工程と、

前記貫通孔に前記金属線を挿通する挿通工程と、を含む、構造体の製造方法。

[請求項10] 前記作製工程と前記挿通工程との間に、前記貫通孔の一方の開口に導通部を形成する形成工程を含む、請求項９に記載の構造体の製造方法。

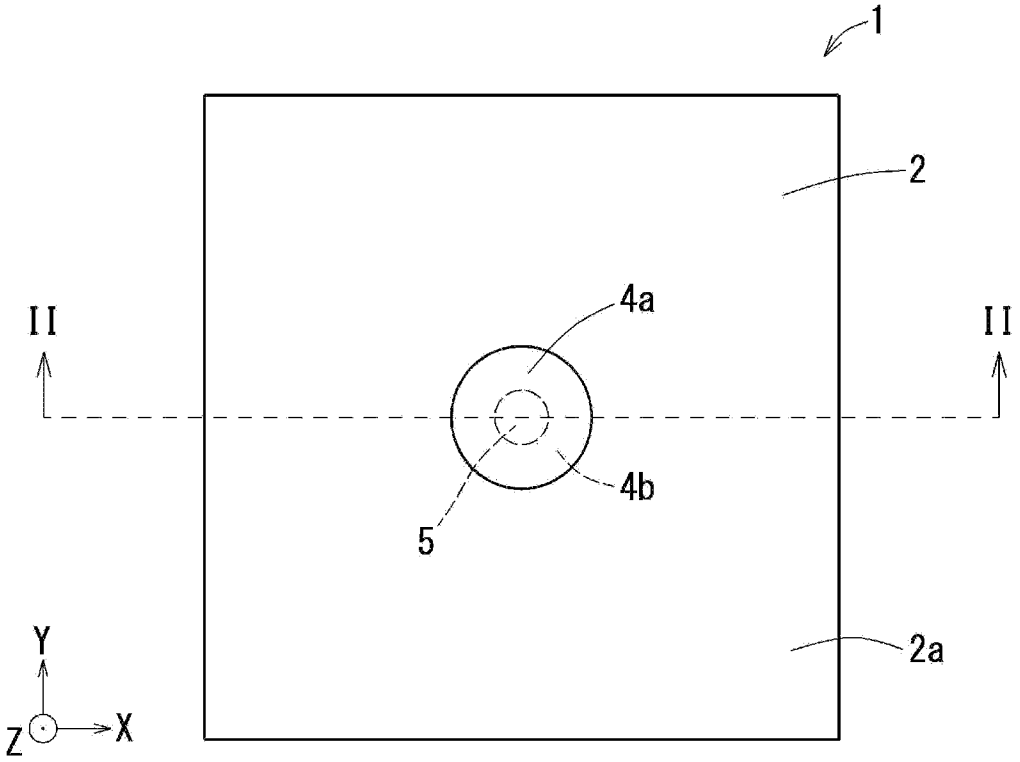
[請求項11] 前記挿通工程は、前記金属線を前記貫通孔の他方の開口から挿通し、前記導通部と接続することを含む、請求項１０に記載の構造体の製造方法。

[請求項12] 前記準備工程において、前記金属線の外周面に絶縁体層を形成するとともに、前記絶縁体層における前記金属線に対向する面とは反対側の面に導電体層を形成し、

前記挿通工程において、前記貫通孔に、前記絶縁体層および前記導電体層が形成された前記金属線を挿通する、請求項９に記載の構造体の製造方法。

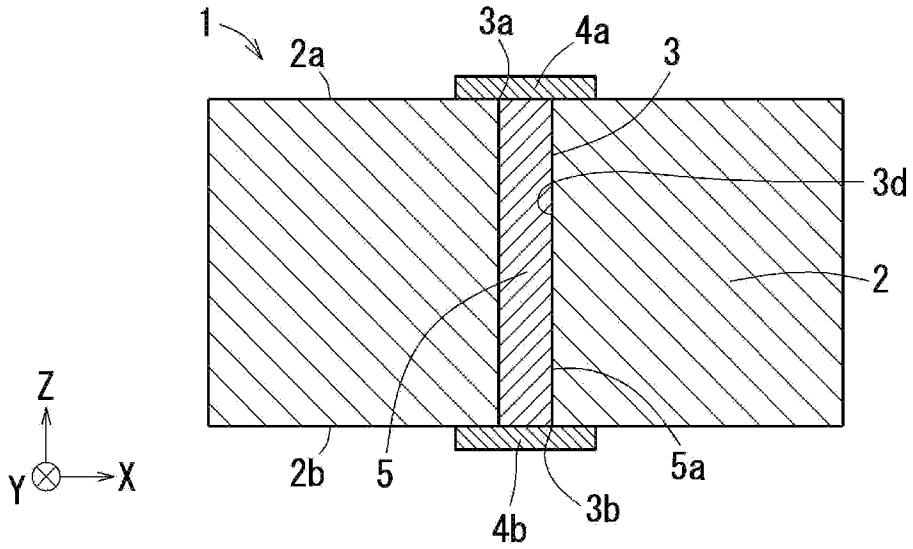
[図1]

FIG. 1



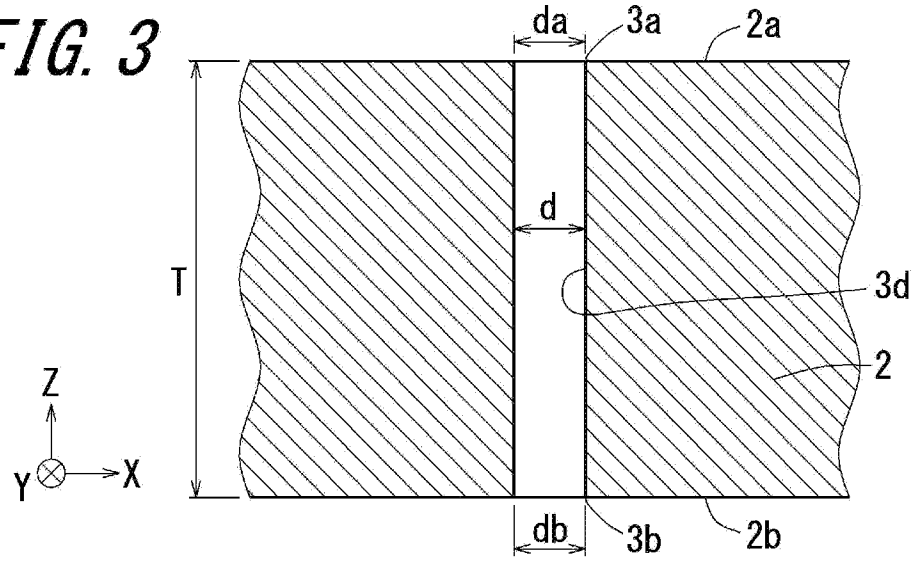
[図2]

FIG. 2



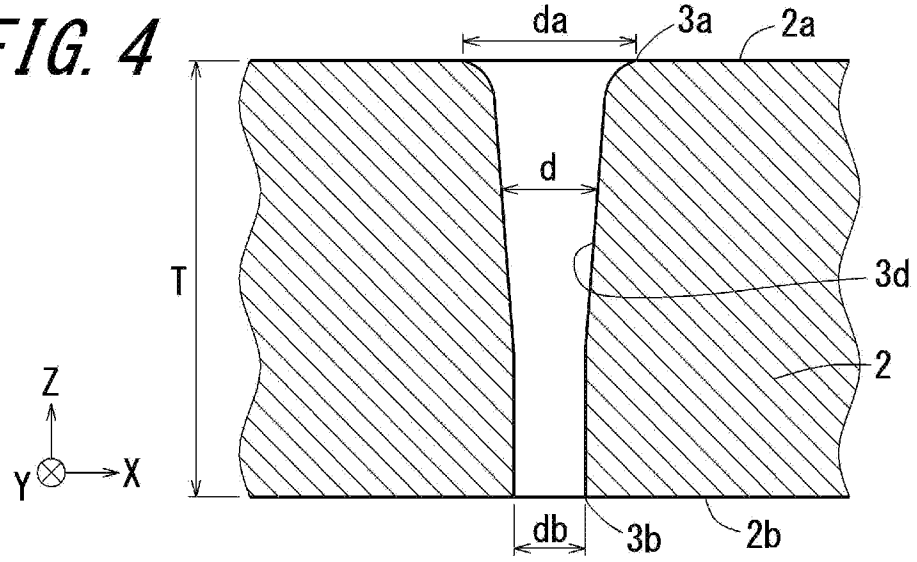
[図3]

FIG. 3



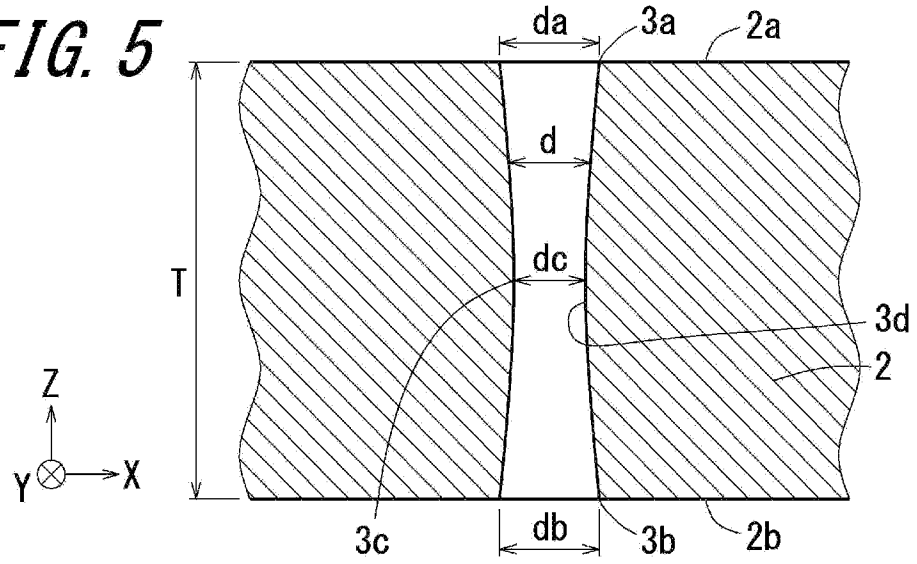
[図4]

FIG. 4



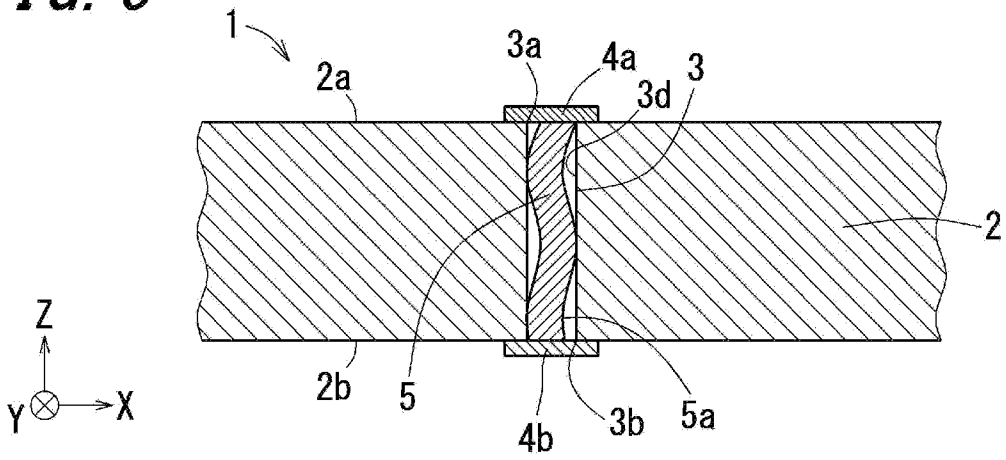
[図5]

FIG. 5



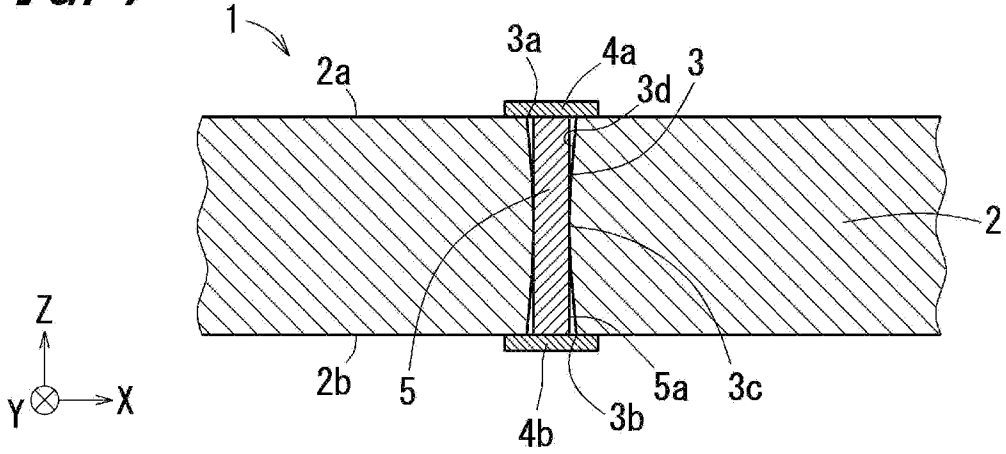
[図6]

FIG. 6



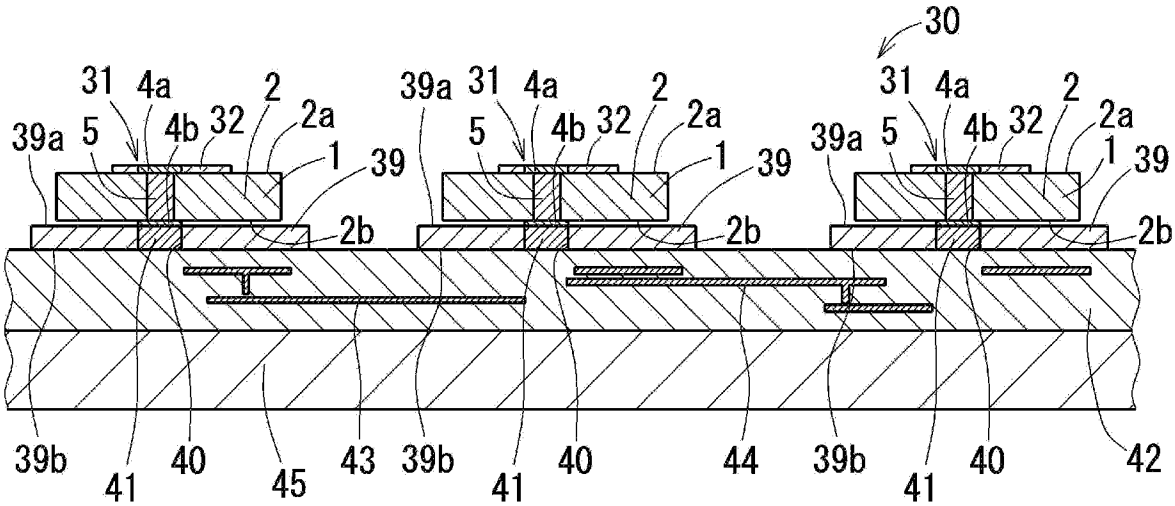
[図7]

FIG. 7



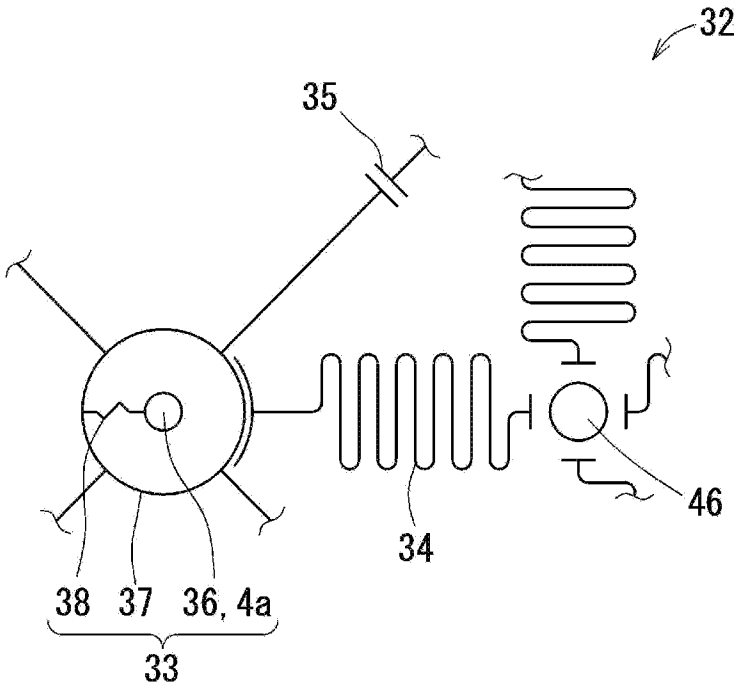
[図8]

FIG. 8



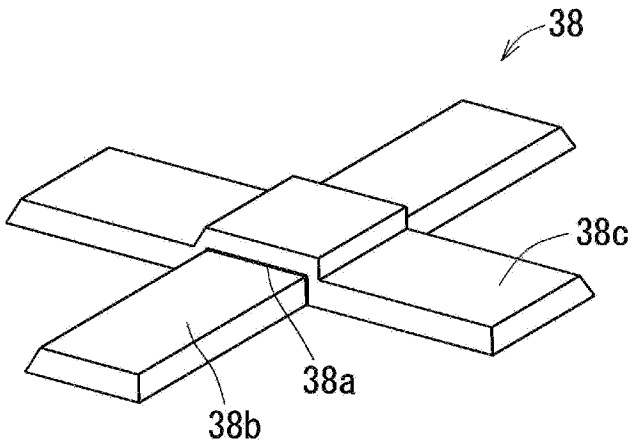
[図9]

FIG. 9



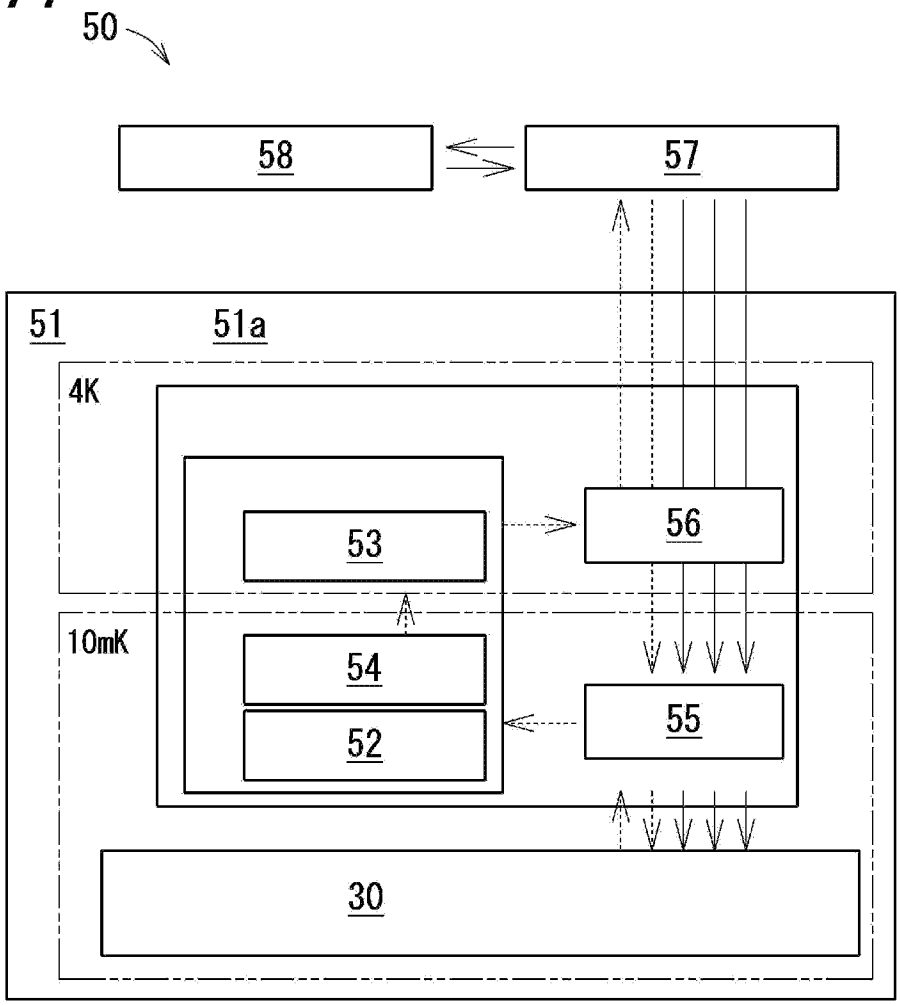
[図10]

FIG. 10



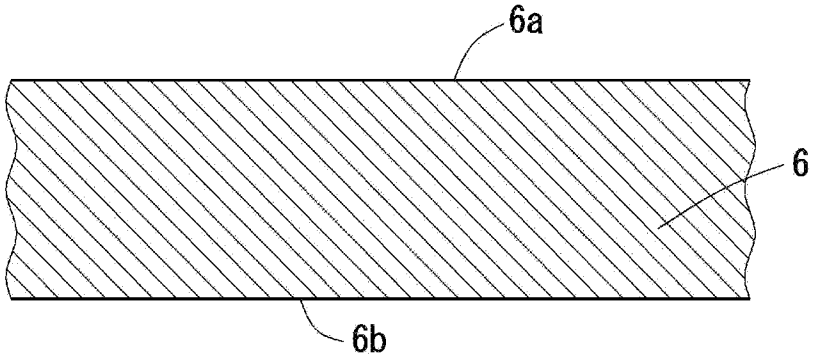
[図11]

FIG. 11



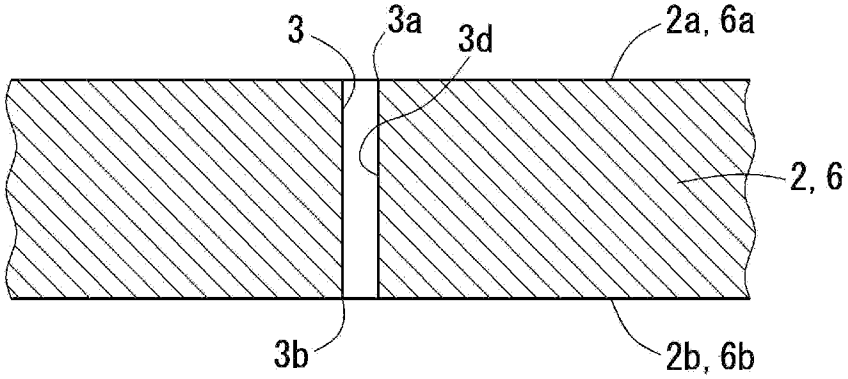
[図12]

FIG. 12



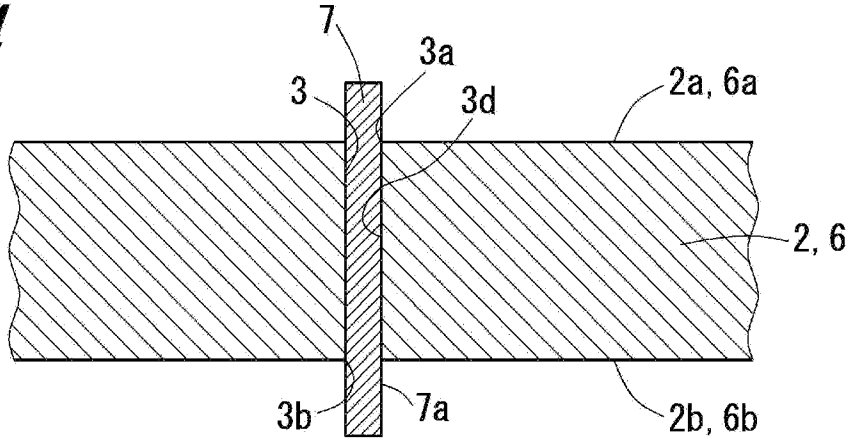
[図13]

FIG. 13



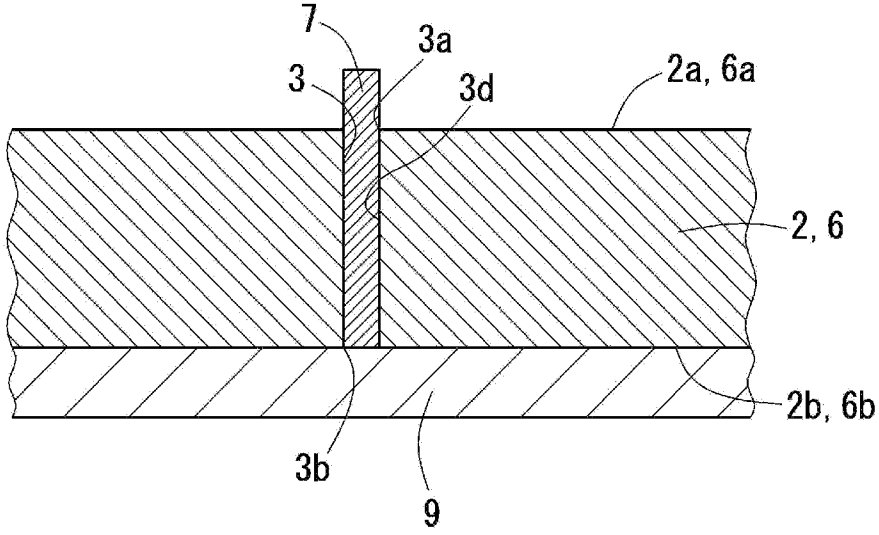
[図14]

FIG. 14



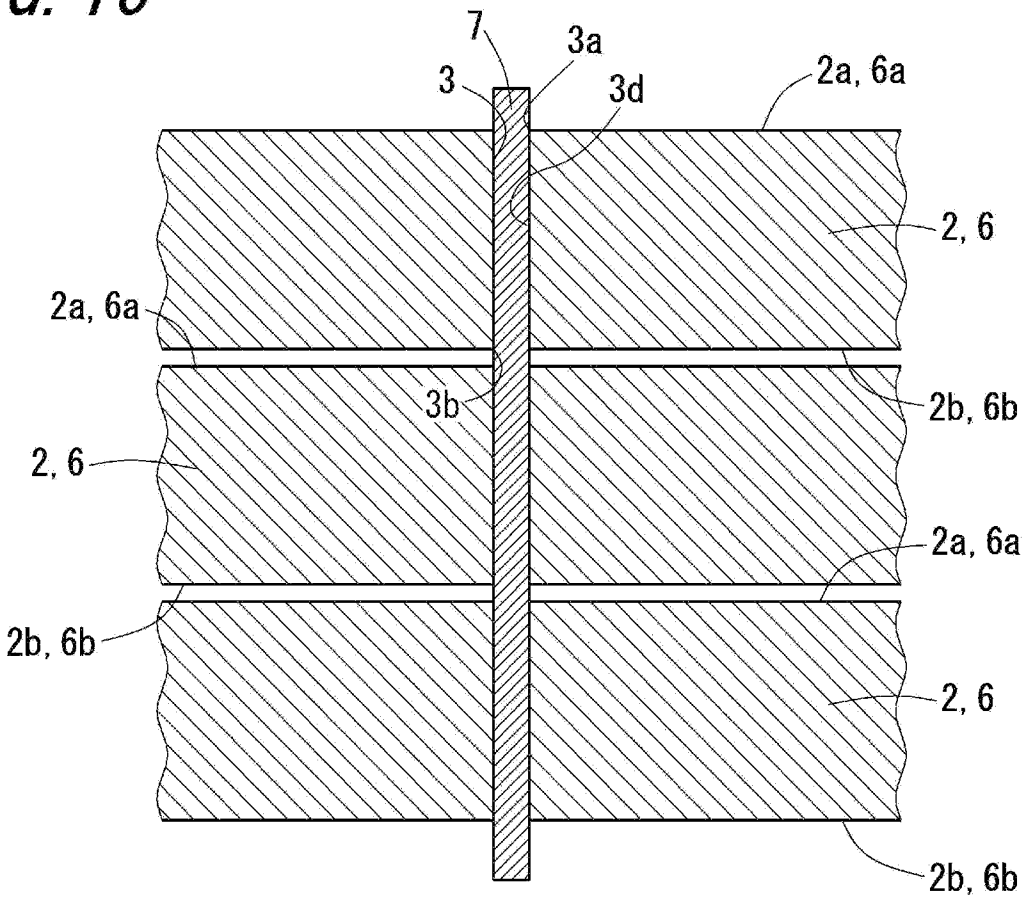
[図15]

FIG. 15



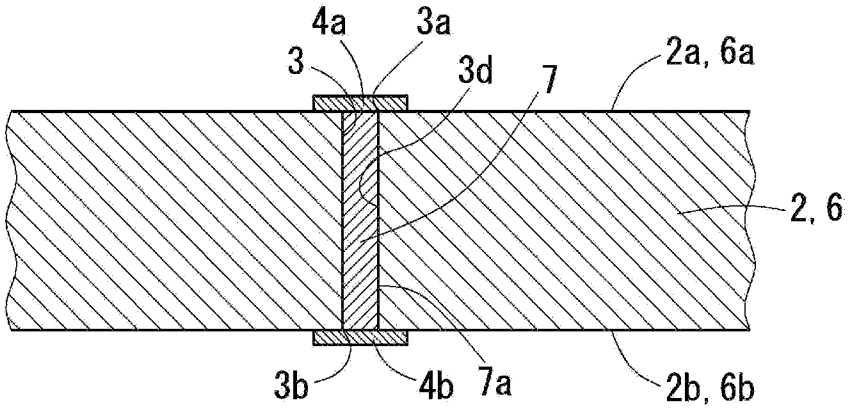
[図16]

FIG. 16



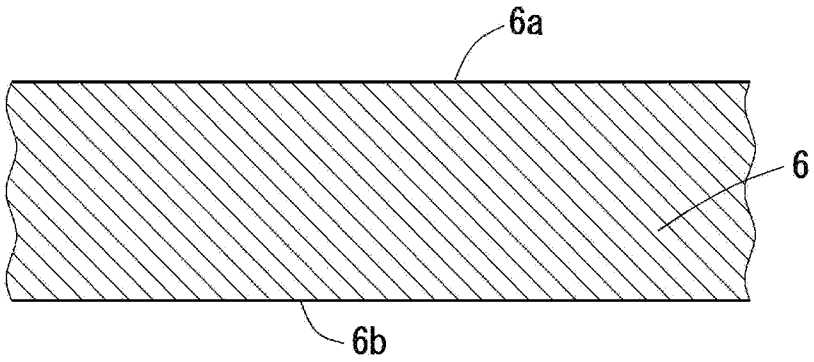
[図17]

FIG. 17



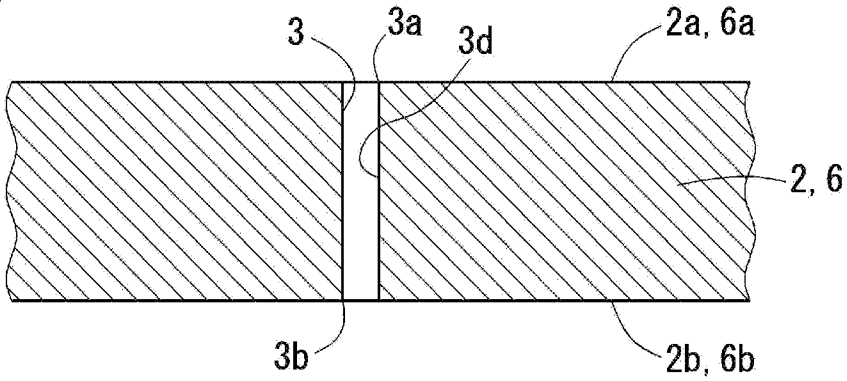
[図18]

FIG. 18



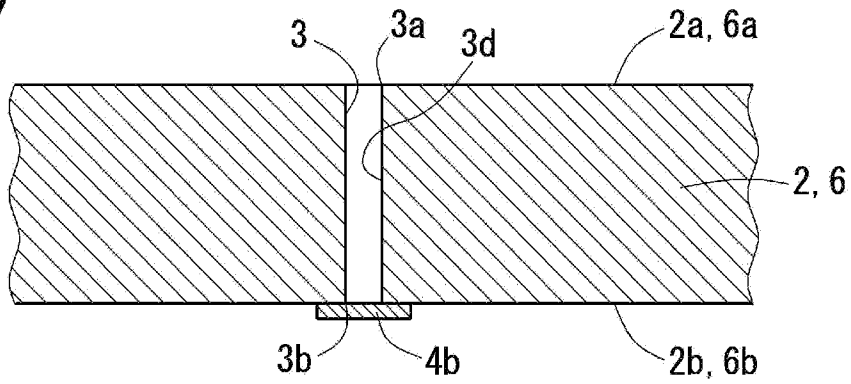
[図19]

FIG. 19



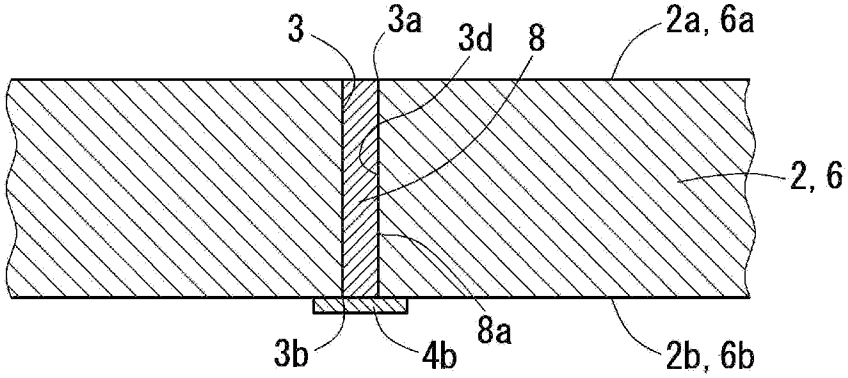
[図20]

FIG. 20



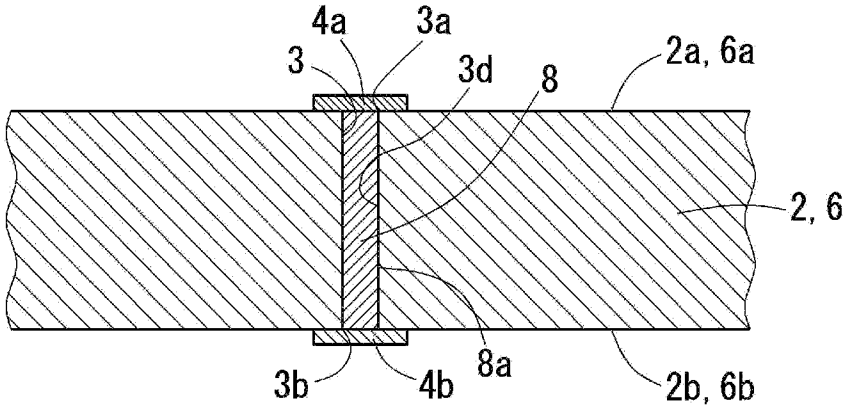
[図21]

FIG. 21



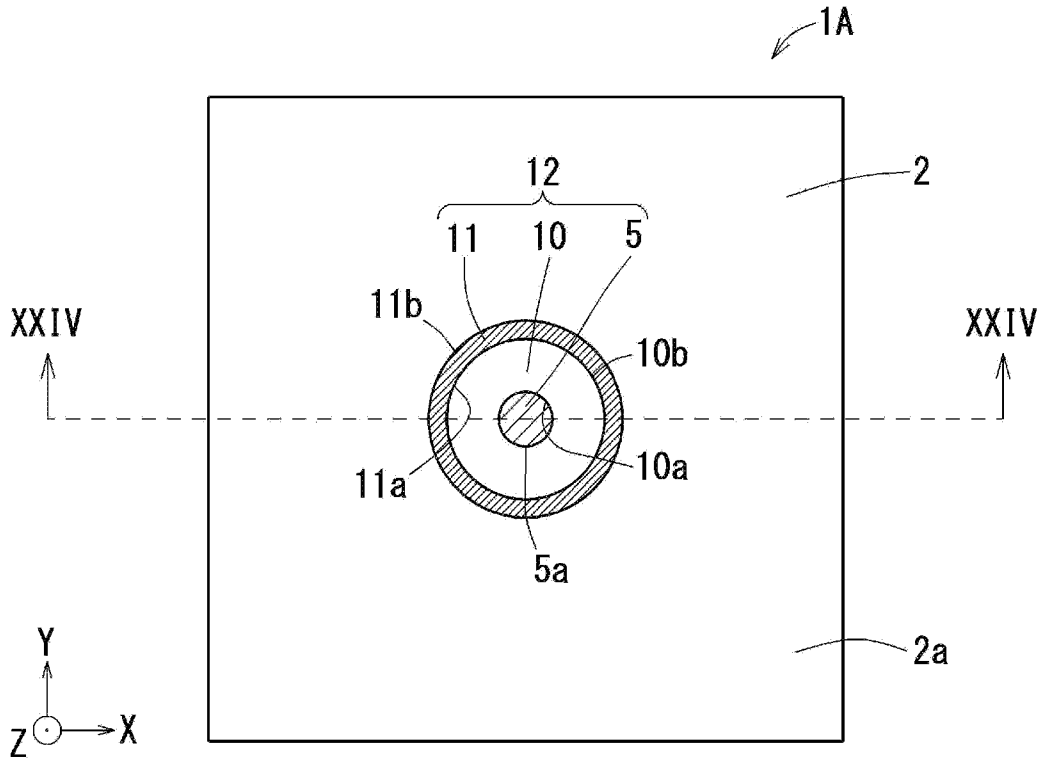
[図22]

FIG. 22



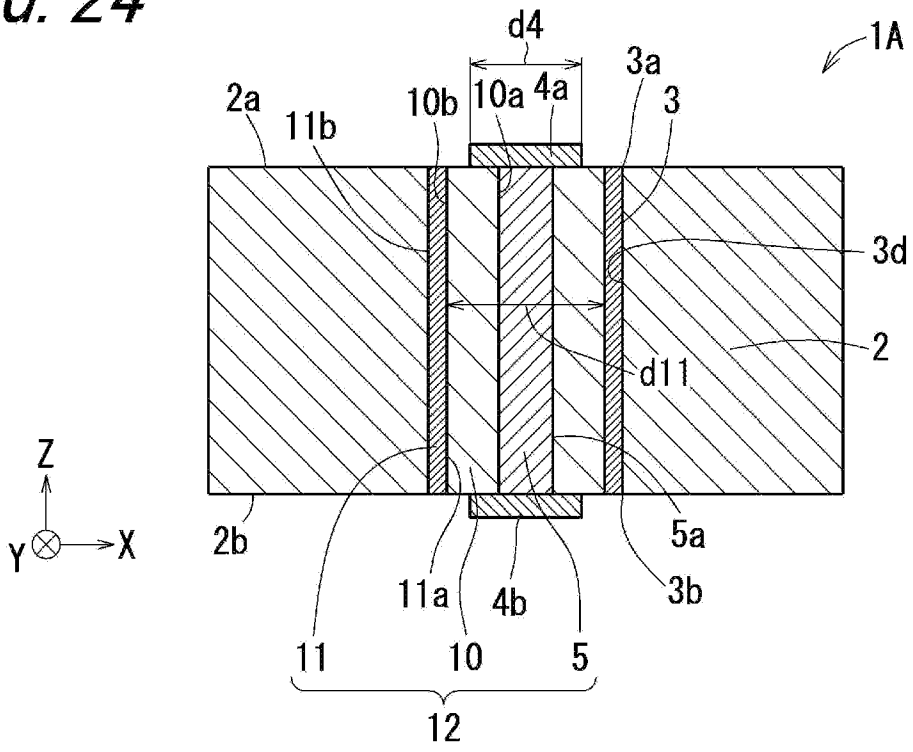
[図23]

FIG. 23



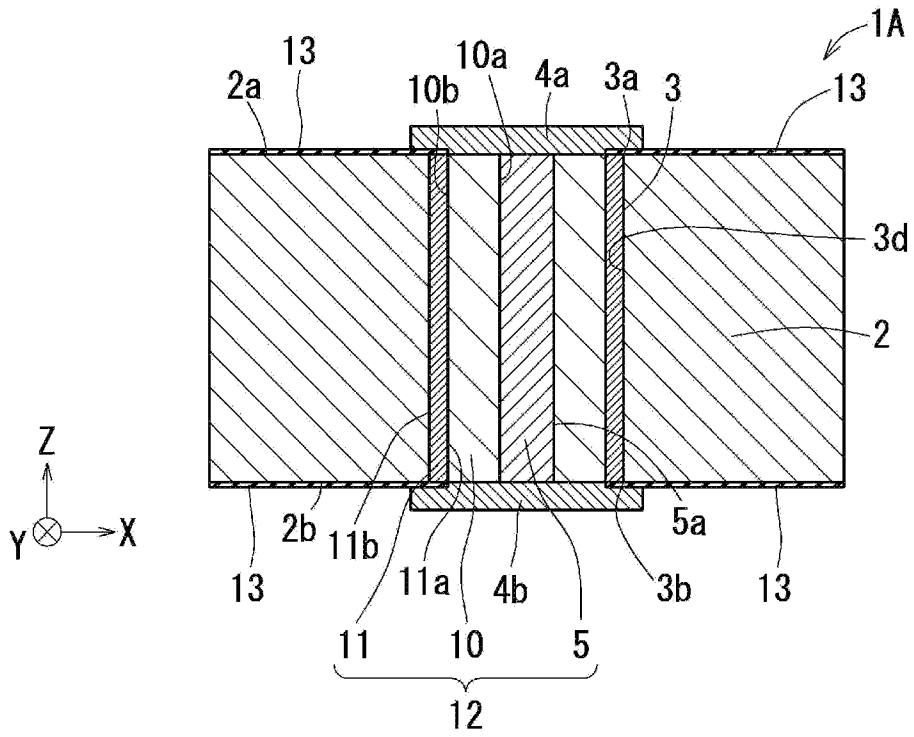
[図24]

FIG. 24



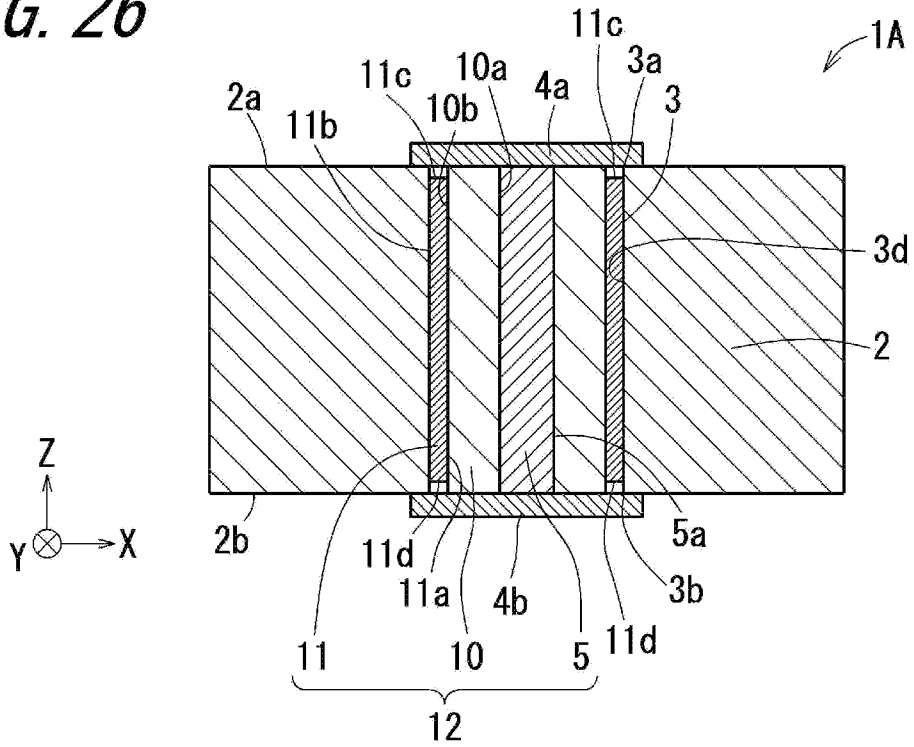
[図25]

FIG. 25



[図26]

FIG. 26



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/012524

A. CLASSIFICATION OF SUBJECT MATTER

H10N 60/80(2023.01)i; ***H05K 1/11***(2006.01)i
FI: H10N60/80 W; H05K1/11 J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10N60/80; H05K1/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-167705 A (NEC CORPORATION) 04 November 2022 (2022-11-04) paragraphs [0017]-[0044], fig. 1-3	1-5, 7, 8
A		6, 9-12
X	WO 2021/245948 A1 (NEC CORPORATION) 09 December 2021 (2021-12-09) paragraphs [0010]-[0026], fig. 1, 2	1-5, 7, 8
A		6, 9-12
X	JP 5-167258 A (NEC CORPORATION) 02 July 1993 (1993-07-02) paragraphs [0009]-[0017], fig. 1-3	1, 2, 5, 6, 9-12
A		3, 4, 7, 8
X	JP 2003-142627 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 16 May 2003 (2003-05-16) paragraphs [0008]-[0021], fig. 1-3	9
A		1-8, 10-12

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 June 2024	**18 June 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/012524

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2022-167705 A	04 November 2022	US 2022/0344562 A1 paragraphs [0047]-[0077], fig. 1-3	
WO 2021/245948 A1	09 December 2021	US 2023/0345844 A1 paragraphs [0029]-[0045], fig. 1, 2	
JP 5-167258 A	02 July 1993	(Family: none)	
JP 2003-142627 A	16 May 2003	US 2003/0085471 A1 paragraphs [0016]-[0034], fig. 1-3 KR 10-2003-0038445 A CN 1417856 A TW 200300282 A	

国際調査報告

国際出願番号
PCT/JP2024/012524

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H10N 60/80(2023.01)i; H05K 1/11(2006.01)i
FI: H10N60/80 W; H05K1/11 J

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H10N60/80; H05K1/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2022-167705 A (日本電気株式会社) 04.11.2022 (2022-11-04) 段落0017-0044、図1-3	1-5, 7, 8
A		6, 9-12
X	WO 2021/245948 A1 (日本電気株式会社) 09.12.2021 (2021-12-09) 段落0010-0026、図1, 2	1-5, 7, 8
A		6, 9-12
X	JP 5-167258 A (日本電気株式会社) 02.07.1993 (1993-07-02) 段落0009-0017、図1-3	1, 2, 5, 6, 9-12
A		3, 4, 7, 8
X	JP 2003-142627 A (新光電気工業株式会社) 16.05.2003 (2003-05-16) 段落0008-0021、図1-3	9
A		1-8, 10-12

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.06.2024	18.06.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

岩本　勉 5F 9355

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/012524

引用文献	公表日	パテントファミリー文献	公表日
JP 2022-167705 A	04.11.2022	US 2022/0344562 A1 段落0047-0077、図1-3	
WO 2021/245948 A1	09.12.2021	US 2023/0345844 A1 段落0029-0045、図1, 2	
JP 5-167258 A	02.07.1993	（ファミリーなし）	
JP 2003-142627 A	16.05.2003	US 2003/0085471 A1 段落0016-0034、図1-3 KR 10-2003-0038445 A CN 1417856 A TW 200300282 A	