(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 29/06 (2006.01)

(45) 공고일자 2006년04월21일
(11) 등록번호 10-0519149
(24) 등록일자 2005년09월27일

(21) 출원번호 10-1997-0025175
(22) 출원일자 1997년06월17일

(65) 공개번호 10-1998-0006462
(43) 공개일자 1998년03월30일

(30) 우선권주장 96-155316 1996년06월17일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 세가와 미즈키
일본국 오사카후 히라카타시 나가오모토마치 7-11-64

야부 도시키
일본국 오사카후 히라카타시 나가오다이 4-14-1

마쓰자와 아키라
일본국 교토후 야와타시 야와타스미타구치 15-5

(74) 대리인 김영철

심사관 : 조지은

(54) 반도체장치및그제조방법

요약

본 발명은 점유 면적이 작고 원하는 저항값을 갖는 저항 소자를 탑재한 반도체 장치 및 그 제조 방법을 제공하기 위한 것으로, 반도체 기판 상의 p웰(1)의 일부에 소자 분리(2)를 형성하고, 소자 분리(2) 상에 제 1 도전성 부재인 저항체막(4a)을 형성한다. 저항체막(4a)의 콘택트 형성 영역을 제외한 영역을 덮는 절연막(5b)과 제 2 도전성 부재인 상부 전극막(6b)을 형성하고, 동시에 게이트 전극(6a)과 게이트 산화막(5a)을 형성한다. 게이트 전극(6a)과 n형 고농도 확산층(10)과 저항체막(4a)의 콘택트 형성 영역과 상부 전극막(6b)의 표면 상에 고융점 금속의 실리사이드막(11a~11d)을 각각 형성한다. 살리사이드 프로세스를 이용하면서 저항체막(4a)의 저항값을 저감하지 않고 점유 면적이 작은 저항 소자나 인덕터의 형성을 가능하게 한다. 저항 소자 등과 용량 소자의 어느 것을 기능시킬 것인가는 선택할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 제 1 실시예에 따른 반도체 장치의 제조 공정을 도시한 단면도.

도 2는 제 1 실시예에 따른 반도체 장치의 제조 공정을 도시한 평면도.

도 3은 제 2 실시예에 따른 반도체 장치의 제조 공정을 도시한 평면도.

도 4는 제 3 실시예에 따른 반도체 장치의 제조 공정을 도시한 평면도.

도 5는 제 4 실시예에 따른 반도체 장치의 제조 공정을 도시한 단면도.

도 6은 제 4 실시예에 따른 반도체 장치의 제조 공정을 도시한 평면도.

도 7은 제 4 실시예에 따른 반도체 장치의 저항체막, 용량 절연막 및 상부 전극막으로 구성되는 신호 지연 회로의 등가 전기 회로도 및 그 설명도.

도 8은 제 5 실시예에 따른 반도체 장치의 제조 공정을 도시한 평면도.

도 9는 제 6 실시예에 따른 반도체 장치의 제조 공정을 도시한 평면도.

도 10은 종래의 트랜지스터와 저항 소자를 혼재한 반도체 장치의 제조 공정을 도시한 단면도.

도 11은 종래의 구불구불한 형상의 저항 소자의 제조 공정을 도시한 평면도.

도면의 주요 부분에 대한 부호의 설명

1 : p웰 2 : 소자 분리

3 : 제 1 절연막 4 : 제 1 도전막

4a : 저항체막 5a : 게이트 산화막

5b : 제 2 절연막 6 : 제 2 도전막

6a : 게이트 전극 6b : 상부 전극막

9 : n형 저농도 확산층 10 : n형 고농도 확산층

11 : 실리사이드막 13 : CW 콘택트

Rm : 레지스트막 Rco : 접속 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고집적도 저가격이 요구되는 용량 소자·저항 소자·트랜지스터 등을 혼재한 반도체 장치 및 그 제조 방법에 관한 것이다.

종래의 MOS 트랜지스터에 용량소자나 저항 소자가 혼재된 반도체 장치(아날로그 디지털 혼재)의 제조 공정은 통상의 MOS 트랜지스터의 제조 공정(디지털 디바이스용 프로세스)에 용량 소자나 저항 소자의 제조 공정(아날로그 디바이스용 프로세스)이 부가된 공정에 의해 실현되고 있다.

디지털 디바이스용 프로세스에 대해서 보면, 최근 통상의 제조 공정으로 형성되는 MOS 트랜지스터에 있어서는 트랜지스터의 동작 속도의 향상이나 면적 절감을 실현하기 위해, 폴리사이드 게이트나 살리사이드 혹은 메탈 재료의 선택 성장에 의한 게이트 전극이나 소스·드레인 확산층의 저저항화가 필수로 되어 있다.

한편, 아날로그 디바이스용 프로세스로 저항 소자를 형성함에 있어서는, 저항 소자가 차지하는 면적을 절감하기 위해 저항값이 큰 재료로 저항 소자를 구성하는 것과, 형성된 저항 소자가 고정밀도인 것이 요구된다. 통상, 저항 소자는 MOS 트랜지스터의 소스·드레인 영역과 동시에 형성되는 확산층이나 MOS 트랜지스터의 게이트로 되는 폴리실리콘층을 사용하거나, 또한 용량 소자를 형성하는 2층 폴리실리콘 전극 중 어느 것을 사용하여 형성되는 일이 많다. 그러나, 앞서 설명한 바와 같이, MOS 트랜지스터의 속도 향상이나 면적 절감의 요청때문에 게이트 전극이나 소스·드레인 확산층은 저저항화되기 위하여 저항 소자에 원하는 저항값을 갖도록 하면 저항 소자의 면적이 증대하고, 결과적으로 반도체 장치 전체의 면적 절감이 되지 않는다는 문제점이 발생한다.

이상과 같은 문제점을 피하기 위해, 종래에는 다음과 같은 방법이 제안되어 있다. 예를 들어, USP-4,949,153호에 의하면, 살리사이드 프로세스에서의 실리사이드화를 행할 때에 저저항화하고 싶지 않은 영역에 절연막을 미리 형성해 둠으로써, 저저항의 층을 형성하면서 비교적 고저항의 층을 형성하는 것이 가능하게 된다. 이하, 상기 문헌에 기재되는 n채널 MOS 트랜지스터 및 저항 소자의 제조 공정에 대하여 도 1O의 (a)~(g)를 참조하여 설명한다.

우선, 도 10의 (a)에 도시된 공정에서, 실리콘 기판에 형성된 p웰(21) 내에 예컨대, 트렌치 분리법으로 소자 분리(22)를 형성한다. 이어서, 예컨대, 파이로 산화에 의해 실리콘 산화막으로 이루어지는 제 1 절연막(23)을 형성한 후, 예컨대, CVD법에 의해 저항 소자로 되는 폴리실리콘막을 퇴적한다. 그 후, 폴리실리콘막 중에 비소 이온을 주입하고, 다시 활성화 열처리를 행한다. 그 후, 원하는 레지스트막(도시 생략)을 형성하고, 이 레지스트막을 마스크로 하여 건식 에칭을 행하고 폴리실리콘막을 패터닝하여 제 1 도전막(24)을 형성한다.

다음에, 도 10의 (b)에 도시된 바와 같이, 습식 에칭으로 제 1 절연막(23)을 제거한 후, 게이트 산화막(25a)을 형성한다. 이때, 제 1 도전막(24)의 상면 및 측면에도 산화막으로 이루어지는 제 2 절연막(25b)이 형성되지만, 단결정 실리콘보다도 폴리실리콘 쪽이 산화되기 쉬우므로, 제 2 절연막(25b)의 두께는 게이트 산화막(25a)보다 두껍다. 또, 예컨대, CVD법에 의해 폴리실리콘막으로 이루어지는 게이트 전극으로 되는 제 2 도전막(26)을 퇴적한다. 그 후, 제 2 도전막(26) 중에 비소 이온을 주입한다.

또, 도 10의 (c)에 도시된 바와 같이, 원하는 제 1 레지스트막(27)을 마스크로 하여 건식 에칭법으로 제 2 도전막(26)을 패터닝하여 게이트 전극(26a)을 형성한다.

또, 도 10의 (d)에 도시된 바와 같이, p웰(21) 내에 불순물 이온을 주입하여 n형 LDD층(Lightly Doped Drain)으로 되는 n형 저농도 확산층(29)을 형성한 후, 예컨대, CVD법에 의해 측벽 절연막으로 되는 실리콘 산화막(28)을 퇴적한다. 이 실리콘 산화막(28)은 MOS 트랜지스터의 측벽이 되는 동시에, 후의 공정에서 실리사이드화할 때의 보호막이 된다. 여기에서, 실리콘 산화막(28)의 위이며 제 1 도전막(24) 중 저항 소자의 주요 부분이 되는 고저항 영역의 상방에 제 2 레지스트막(35)을 형성한다.

또, 도 10의 (e)에 도시된 바와 같이, 제 2 레지스트막(35)을 마스크로 하여 이방성 건식 에칭을 행하여 실리콘 산화막(28)을 제거한다. 이 때, MOS 트랜지스터의 게이트 전극(26a)의 측면 상이나 저항 소자가 되는 제 1 도전막(24)의 측면 상에 실리콘 산화막(28)이 남겨져 측벽 절연막(28a)이 형성된다. 또, 실리콘 산화막(28)은 레지스트막(35)이 마스크로 되어 있던 영역에도 남겨지고, 저항상의 절연막(28b)으로 된다. 또, p웰(21) 내에 불순물 이온을 주입하여 소스·드레인 영역으로 되는 n형 고농도 확산층(30)을 형성하고, 불순물을 활성화하기 위해 열처리를 가한다.

다음에, 도 10의 (f)에 도시된 바와 같이, 예를 들어, 티탄 등의 고융점 금속을 퇴적하고 급속 가열 처리를 행함으로써 실리콘 산화막으로 덮여있지 않고 실리콘으로 구성되는 영역, 즉 게이트 전극(26a)과 n형 고농도 확산층(30)과 제 1 도전막(24)의 표면이 노출되어 있던 영역에 실리콘과 티탄의 반응물로 이루어지는 실리사이드막(31)을 형성한다. 그 후, 티탄막 중 실리사이드막(31)이 형성되지 않은 미반응 부분은 습식 에칭으로 제거된다.

또, 도 10의 (g)에 도시된 바와 같이, 기판 상에 층간 절연막(32), CW 콘택트(33), 금속 배선층(34)을 차례로 형성하여 저저항화된 게이트 및 소스·드레인을 갖는 n채널 MOS 트랜지스터와 고저항 영역에서 형성된 저항 소자가 혼재된 반도체장치를 형성한다.

상기 예에서는 도전막으로서 제 1 도전막(24)과 제 2 도전막(26)의 2층 폴리실리콘막을 사용하였으나, 저항 소자로 되는 제 1 도전막(24)을 MOS 트랜지스터의 게이트로 되는 제 2 도전막(26)으로 형성하는 것도 가능하다. 단, 앞으로 아날로그 회로에 필요한 용량 소자로서 보다 용량값이 높은 것이 요구되고 있고, 도전막으로서 2층을 이용하고, 그 2층간의 절연막을 용량으로 사용하는 용량 소자(2PS 용량 소자) 쪽이 바람직하다.

다음에, 저항 소자의 평면 형상에 관한 종래 기술에 대하여 도 11의 (a), (b)를 참조하여 설명한다.

도 11의 (a)에 도시된 바와 같이, 일반적인 저항 소자의 평면 형상은 작은 점유 면적으로 높은 저항값을 실현하기 위해, 도전막을 복수회 구부린 구불구불한 형상으로 되어 있다. 즉, 양단의 콘택트 형성 영역(36a) 사이에 직선부(36b)와 굴곡부인 프린지부(36c)가 번갈아 존재하는 형상으로 되어 있다. 그러나, 이와 같은 프린지부(36c)가 존재하는 경우, 이 프린지부(36c)의 형상 산포에 의한 저항의 산포나 확산 저항이 존재한다. 그 때문에, 이 저항 소자에 소정의 저항값을 갖도록 해도 저항 소자의 정밀도가 저하된다.

그래서, 이와 같은 문제를 해결하기 위해, 도 11의 (b)에 도시된 바와 같이, 저항 소자(36)를 서로 평행하고 분리된 복수의 직선부(36b)로 구성하고, 각 직선부(36b)의 양단부에 각각 상방의 금속 배선층(34)으로 접속되는 CW 콘택트(33)를 형성하고, 서로 인접하는 직선부의 단부끼리를 2개의 CW 콘택트(33) 및 금속 배선층(34)을 통하여 접속하여 전체로서 하나의 저항 소자를 구성하는 방법이 채택될 수도 있다. 이와 같이 구성함으로써, 저항 소자 중의 굴곡 부분을 없애고 저항값의 변동을 피하는 것을 도모하고 있는 것이다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래의 저항 소자의 제조 방법이나 구조에 있어서는 이하와 같은 문제점이 있었다.

상기 도 10의 (a)~(g)에 도시된 제조 방법에서는 제 1 도전막(24)을 구성하는 폴리실리콘막 중에 실리사이드화되지 않은 고저항의 영역을 만들기 위해 리소그래피 공정을 추가할 필요가 있고, 제조 공정수가 증대된다.

또, 도 11의 (b)에 도시된 저항 소자의 구조에 있어서도 CW 콘택트(33)의 저항이 전체의 저항값의 산포 요인이 되고 저항 소자의 정밀도가 저하된다. 또, 각 직선부(36b)의 양단부에 CW 콘택트(33)에 접속되는 마진을 가진 영역을 설치할 필요가 있으므로, 저항 소자 자체가 점유하는 면적이 증대한다.

본 발명은 상술한 문제점을 감안하여 이루어진 것으로, 트랜지스터와 수동 소자를 혼재하여 이루는 반도체 장치 또는 그 제조 방법에 있어서, 제조 공정수의 증가에 따른 가격의 증가나 점유 면적의 증대를 초래하지 않고 특성이 양호한 수동 소자를 탑재하는 것을 제 1 목적으로 한다.

또, 본 발명의 제 2 목적은 직선부와 굴곡부를 갖는 저항 소자를 탑재한 반도체 장치에 있어서, 굴곡부에서의 저항값의 산포를 없애는 수단을 강구함으로써 정밀도가 높은 저항 소자를 얻는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명에서는 제 1~4 발명 및 제 7~16 발명에 기재되는 반도체 장치에 관한 수단과, 제 17~21 발명 및 제 23~30 발명에 기재되는 반도체 장치의 제조 방법에 관한 수단을 강구하고 있다.

제 1 발명에 관한 반도체 장치는, 반도체 기판 상의 일부에 형성되고 콘택트 형성 영역을 갖는 제 1 도전성 부재와, 상기 제 1 도전성 부재의 콘택트 형성 영역을 제외한 영역을 덮는 제 2 도전성 부재와, 상기 제 1 도전성 부재와 상기 제 2 도전성 부재 사이에 끼워 설치된 절연막과, 상기 제 1 도전성 부재의 상기 콘택트 형성 영역과 상기 제 2 도전성 부재의 표면에 접하여 형성된 금속 실리사이드막으로 이루어진 저저항층을 포함하며, 상기 제 1 도전성 부재, 상기 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항소자 및 용량소자 중 적어도 어느 하나를 선택하여 기능시킬 수 있도록 구성되어 있다.

이 구성에 의해, 제 1 도전성 부재의 단위길이당 저항값을 높게 유지하면서 제 1 도전성 부재의 콘택트 형성 영역과 제 2 도전성 부재를 저항화하는 것이 가능 하게 된다. 그리고, 제 1 도전성 부재만을 기능시켰을 때에는 원하는 저항값을 갖는 인덕터 또는 저항 소자로 되고, 한편, 제 1 도전성 부재, 절연막 및 제 2 도전성 부재를 기능시켰을 때에는 제 1 도전성 부재를 하부 전극, 절연막을 용량 절연막, 제 2 도전성 부재를 상부 전극으로 하는 용량 소자가 얻어진다. 즉, 반도체 장치 내에 어느 부위에는 용량 소자를 설치하고, 다른 부위에는 저항 소자 또는 인덕터를 설치하며, 또 다른 부위에는 저항 소자

및 용량 소자를 설치하는 식으로 인덕터, 저항 소자, 용량소자를 임의로 선택하여 탑재하는 것이 가능하게 된다, 특히, 용량 소자와 저항 소자 또는 인덕터가 평면에서 보아 같은 장소에 오버랩되어 설치되어 있으므로, 점유면적이 매우 작게 유지된다.

제 2 발명에 관한 반도체 장치는, 제 1 발명에 있어서, 상기 반도체 기판 상에 형성된 게이트 전극과, 상기 게이트 전극의 양측방에 위치하는 상기 반도체 기판 내에 불순물을 도입하여 이루어지는 소스·드레인 영역을 갖는 MOS 트랜지스터를 추가로 포함하며, 상기 게이트 전극 및 소스·드레인 영역 중 적어도 상기 게이트 전극의 표면에 접하여 상기 제 1 도전성 부재상의 저저항층과 같은 재료로 이루어지는 저저항층을 형성한 것이다.

이 구성에 의해, 추가로 저저항의 게이트 전극을 갖는 MOS 트랜지스터 혹은 저저항의 게이트 전극 및 소스·드레인 영역을 갖는 M0S 트랜지스터와, 저항 소자, 인덕터, 용량 소자가 같은 기판 상에 탑재되므로, 매우 응용성이 높은 반도체 장치가 얻어지게 된다.

제 3 발명에 관한 반도체 장치는, 제 1 또는 제 2 발명에 있어서, 상기 제 1 도전성 부재는 상기 반도체 기판 내에 형성된 불순물 확산층으로 구성하고, 상기 제 2 도전성 부재는 폴리실리콘막으로 구성한 것이다.

이 구성에 의해, 1층 폴리실리콘 프로세스에 의해 반도체 장치를 제조하는 것이 가능하게 되므로 제조 가격이 낮아진다.

제 4 발명에 관한 반도체 장치는, 제 1 또는 제 2 발명에 있어서, 상기 제 1 도전성 부재는 상기 반도체 기판 상에 형성된 제 1 폴리실리콘막으로 구성하고, 상기 제 2 도전성 부재는 상기 제 1 폴리실리콘막의 위쪽에 형성된 제 2 폴리실리콘막으로 구성한 것이다.

이 구성에 의해, 2층 폴리실리콘 프로세스에 의해 반도체 장치가 형성되고 용량 소자가 MIM 구조로 되므로, 용량 특성의 전압 의존성이 거의 없는 용량 소자가 얻어진다. 또, 저항 소자도 폴리실리콘으로 구성되므로, 반도체 기판으로 저항 소자를 구성하는 경우보다 저항값의 조정이 용이하고 정확하게 된다.

제 7 발명에 관한 반도체 장치는, 제 1 발명에 있어서, 상기 반도체 기판 상에서 상기 제 1 도전성 부재와 평행하게 배열되고 콘택트 형성 영역을 갖는 도전성의 더미 부재를 추가로 포함하고 있다.

이 구성에 의해, 제 1 도전성 부재와 더미 부재가 라인 앤드 스페이스의 관계가 됨으로써, 포토리소그래피 공정에서의 제 1 도전성 부재의 형상 정밀도가 향상된다.

제 8 발명에 관한 반도체 장치는, 제 7 발명에 있어서, 상기 더미 부재는 상기콘택트 형성 영역을 통하여 소정의 전위로 설정한 것이다.

이 구성에 의해, 더미 부재가 존재하는 것에 의한 제 1 도전성 부재의 전압의 불안정화를 피할 수 있다.

제 9 발명에 관한 반도체 장치는, 반도체 기판 상의 일부에서 상기 반도체 기판의 표면에 평행한 면 내에서 복수의 직선부와 이 각 직선부 사이를 접속하는 적어도 하나의 굴곡부로 이루어지는 선 형상으로 형성되고, 콘택트 형성 영역을 갖는 제 1 도전성 부재와, 상기 제 1 도전성 부재의 콘택트 형성 영역 및 상기 굴곡부를 제외한 영역을 덮는 절연막과, 상기 제 1 도전성 부재의 상기 콘택트 형성 영역 및 상기 굴곡부의 표면에 접하여 형성된 저저항층과, 상기 콘택트 형성 영역에서의 상기 저저항층 상에 형성된 콘택트를 포함하고 있다.

이 구성에 의해, 제 1 도전성 부재가 저항 소자 또는 인덕터로서 기능하는 경우, 굴곡부에서의 저항값이 매우 낮아진다. 즉, 저항 소자 또는 인덕터의 저항값은 거의 직선부의 저항값으로 정해지고, 굴곡부에서의 저항값의 산포가 저항 소자 전체의 저항값에 미치는 영향은 적어진다. 또, 저항 소자 또는 인덕터의 굴곡부에서 저저항의 콘택트 및 배선층을 우회로로 하는 것과 같이 콘택트 부재 등의 저항값의 산포에 기인하는 정밀도 악화를 생기게 하는 일도 없다. 따라서, 매우 간소한 구성으로 정밀도가 높은 저항 소자 또는 인덕터가 얻어지게 된다.

제 10 발명에 관한 반도체 장치는, 제 9 발명에 있어서, 상기 제 1 도전성 부재의 각 직선부는 모두 서로 평행이며, 상기 제 1 도전성 부재는 구불구불한 형상으로 형성한 것이다.

제 11 발명에 관한 반도체 장치는, 제 10 발명에 있어서, 상기 제 1 도전성 부재의 모든 직선부에 걸쳐서 형성된 도전성 재료로 이루어지는 제 2 도전성 부재와, 상기 제 2 도전성 부재의 표면에 접하여 형성되고 상기 제 1 도전성 부재 상의 저저항층과 같은 재료로 이루어지는 저저항층을 추가로 포함하며, 상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 선택하여 기능시킬 수 있도록 구성한 것이다.

제 12 발명에 관한 반도체 장치는, 제 9 발명에 있어서, 상기 제 1 도전성 부재는 중앙의 단부로부터 바깥쪽으로 향하여 다각형상 와권(渦卷)을 그리면서 연장된 후 바깥쪽의 단부에서 그치도록 형성되어 있고, 상기 제 1 도전성 부재의 상기 복수의 직선부는 상기 다각형상 와권의 각 변이며, 상기 제 1 도전성 부재의 굴곡부는 상기 다각형상 와권의 각진 부분이 되도록 구성한 것이다

제 13 발명에 관한 반도체 장치는, 제 12 발명에 있어서, 상기 제 1 도전성 부재의 상기 다각형상 와권 내의 서로 대응하는 변에 속하는 각 직선부에 걸치는 부분으로 분할하여 형성된 도전성 재료로 이루어지는 제 2 도전성 부재와, 상기 제 2도전성 부재의 표면에 접하여 형성되고 상기 제 1 도전성 부재 상의 저저항층과 같은 재료로 이루어지는 저저항층을 추가로 포함하며, 상기 제 1 도전성 부재, 제 2도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 선택하여 기능시킬 수 있도록 구성한 것이다.

제 10~13 발명의 구성에 의해, 제 1 도전성 부재의 길이를 충분히 크게 하여 높은 저항값을 실현했을 때에도 그 점유 면적의 증대를 억제할 수 있다. 따라서, 점유 면적의 증대를 초래하지 않고 저항값의 조정이나 인덕턴스의 조정이 용이한 구성으로 된다.

제 14 발명에 관한 반도체 장치는, 제 11 또는 제 13 발명에 있어서, 상기 제 2 도전성 부재는 상기 제 1 도전성 부재의 각 직선부 중 가장 바깥쪽의 각 직신부를 따라 바깥쪽으로 튀어나온 콘택트 영역을 각각 갖고, 상기 제 1 도전성 부재 및 상기 제 2 도전성 부재의 위쪽에 층간 절연막을 개재하여 형성된 복수의 배선층과, 상기 각 배선층과 상기 제 1 도전성 부재의 콘택트 형성 영역을 접속하는 제 1 접속 부재와, 상기 각 배선층과 상기 제 2 도전성 부재의 각 콘택트 형성 영역의 각각 복수의 부위를 접속하는 제 2 접속 부재를 추가로 포함하며, 상기 제 1 접속 부재와 상기 제 2 접속 부재 사이에 신호 지연 회로를 구성한 것이다.

이 구성에 의해, 신호의 감쇠를 억제하면서 폭이 넓은 지연 특성의 조정이 가능한 지연 회로가 얻어지게 된다.

제 15 발명에 관한 반도체 장치는, 제 9 발명에 있어서, 상기 반도체 기판 상에서 상기 제 1 도전성 부재 중 가장 바깥쪽의 직선부와 평행하게 배열되고 콘택트 형성 영역을 갖는 도전성 더미 부재를 추가로 포함하고 있다.

제 16 발명에 관한 반도체 장치는, 제 15 발명에 있어서, 상기 더미 부재는 상기 콘택트 형성 영역을 통하여 소정의 전위로 설정한 것이다.

제 15 또는 제 16 발명에 의해, 제 7 또는 제 8 발명과 같은 작용 효과를 얻을 수 있다.

제 17 발명에 관한 반도체 장치의 제조 방법은, 적어도 수동 소자 형성 영역을 갖는 반도체 기판 상에 제 1 도전성 부재를 형성하는 제 1 공정과, 적어도 상기 제 1 도전성 부재 상에 절연막을 형성하는 제 2 공정과, 적어도 상기 절연막을 덮도록 도전막을 퇴적하는 제 3 공정과, 상기 도전막을 패터닝하여 상기 제 1 도전성 부재의 적어도 콘택트 형성 영역을 제외한 영역만을 덮는 제 2 도전성 부재를 형성하는 제 4 공정과, 상기 제 1 도전성 부재의 노출되어 있는 표면 및 상기 제 2 도전성 부재의 표면 상에 금속 실리사이드막으로 이루어지는 저저항층을 형성하는 제 5 공정을 포함하며, 상기 수동 소자 형성 영역에서 상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 형성하는 방법이다.

이 방법에 의해, 제 1 도전성 부재의 단위길이당 저항값을 저하시키지 않고 콘택트 형성 영역에서의 저항값만이 저감된다. 따라서, 점유 면적의 증대를 초래하지 않고 적은 공정수로 원하는 저항 특성을 갖는 저항 소자나 인덕터가 형성된다.

또, 인덕터, 저항 소자 및 용량 소자를 임의로 선택하여 형성할 수 있으므로, 각종 수동 소자를 탑재한 반도체 장치에 공통으로 사용할 수 있는 아날로그 프로세스가 얻어지게 된다.

제 18 발명에 관한 반도체 장치의 제조 방법은, 제 17 발명에 있어서, 상기 반도체 기판 상에는 능동 소자 형성 영역이 추가로 설치되어 있고, 상기 제 2 공정에서는 상기 절연막을 상기 능동 소자 형성 영역에서의 상기 반도체 기판 상에도 형성하

며, 상기 제 3 공정에서는 상기 도전막을 상기 능동 소자 형성 영역에서의 상기 절연막 상에도 퇴적하고, 상기 제 4 공정에서는 상기 능동 소자 형성 영역에서 상기 도전막 및 상기 절연막으로 게이트 절연막 및 게이트 전극을 형성하도록 상기도전막 및 절연막을 패터닝하며, 상기 제 5 공정에서는 상기 저저항층을 상기 능동소자 형성 영역의 적어도 상기 게이트 전극의 표면 상에도 형성하는 방법이다.

이 방법에 의해, 능동 소자와 각종 수동 소자를 탑재한 반도체 장치를 형성할 수 있는 디지털 프로세스와 아날로그 프로세스를 공통화한 제조 공정을 제공할 수 있다.

제 19 발명에 관한 반도체 장치의 제조 방법은, 제 18 발명에 있어서, 상기 반도체 기판 상에 상기 능동 소자 형성 영역을 둘러싸는 소자 분리를 형성하는 공정을 추가로 포함하며, 상기 제 1 공정에서는 상기 소자 분리 상에 제 1 폴리실리콘막을 퇴적한 후 상기 제 1 폴리실리콘막을 패터닝함으로써 상기 제 1 도전성 부재를 형성하고, 상기 제 2 공정에서는 상기 능동 소자 형성 영역에서의 상기 반도체 기판의 표면 및 상기 수동 소자 형성 영역에서의 상기 제 1 도전성 부재의 표면을 산화함으로써 상기 절연막을 형성하며, 상기 제 3 공정에서는 상기 도전막으로서 제 2 폴리실리콘막을 형성하는 방법이다.

이 방법에 의해, MOS 트랜지스터를 탑재한 반도체 장치를 형성하기 위한 디지털 프로세스로서 일반적으로 사용되는 2층 폴리실리콘 프로세스와 공통의 프로세스에 의해 정밀도가 높은 용량 소자나 저항값의 조정폭이 넓은 저항 소자 또는 인덕터를 형성하는 것이 가능하게 된다.

제 20 발명에 관한 반도체 장치의 제조 방법은, 제 18 발명에 있어서, 상기 반도체 기판 상에 상기 능동 소자 형성 영역 및 상기 수동 소자 형성 영역을 둘러싸는 소자 분리를 형성하는 공정을 추가로 포함하며, 상기 제 1 공정에서는 상기 수동 소자 형성 영역에서의 불순물이 도입된 영역에 의해 상기 제 1 도전성 부재를 형성하고, 상기 제 2 공정에서는 상기 능동 소자 형성 영역에서의 상기 영역의 표면 및 상기 수동 소자 형성 영역에서의 상기 제 1 도전성 부재의 표면을 산화함으로써 상기 절연막을 형성하며, 상기 제 3 공정에서는 상기 도전막으로서 폴리실리콘막을 형성하는 방법이다.

이 방법에 의해, MOS 트랜지스터를 탑재한 반도체 장치를 형성하기 위한 디지털 프로세스로서 일반적으로 사용되는 1층 폴리실리콘 프로세스와 공통의 프로세스에 의해 간소한 공정으로 수동 소자와 능동 소자를 탑재한 반도체 장치의 형성이 가능하게 된다.

제 21 발명에 관한 반도체 장치의 제조 방법은, 제 19 또는 제 20 발명에 있어서, 상기 제 5 공정에서는 적어도 상기 제 2 도전성 부재의 표면과 상기 게이트전극의 표면 상에 고융점 금속을 퇴적한 후 열처리를 행하여 상기 금속 실리사이드막을 형성하는 방법이다.

이 방법에 의해, MOS 트랜지스터의 형성에 이용되는 폴리사이드 프로세스 또는 살리사이드 프로세스를 이용하여 저항값이 낮은 능동 소자와 수동 소자를 형성하는 것이 가능하게 된다.

제 23 발명에 관한 반도체 장치의 제조 방법은, 제 17 발명에 있어서, 상기 제 1 공정에서는 상기 제 1 도전성 부재의 바깥쪽에 상기 제 1 도전성 부재와 같은 재료로 구성되고 제 1 도전성 부재와 평행한 더미 부재를 형성하며, 상기 제 2 공정에서는 상기 더미 부재 상에도 절연막을 형성하고, 상기 제 4 공정에서는 상기 제 2 도전성 부재 및 용량 절연막을 상기 더미 부재의 콘택트 형성 영역을 제외한 영역을 덮도록 형성하고, 상기 제 5 공정에서는 상기 더미 부재의 노출되어 있는 표면에도 저저항층을 형성하는 방법이다.

이 방법에 의해, 제 1 도전성 부재와 더미 부재가 라인 앤드 스페이스(line & space)의 관계로 나열되므로, 포토리소그래피 공정에서의 제 1 도전성 부재의 형상 정밀도가 높아진다. 한편, 더미 부재에도 콘택트 형성 영역이 설치되어 있으므로 위쪽의 배선층에 더미 부재를 접속하여 전압을 고정하는 것이 가능하게 되고, 전기적으로 뜬 상태에 있는 더미 부재의 존재에 기인하는 반도체 장치의 전기적 특성의 변동을 초래하는 일은 없다.

제 24 발명에 관한 반도체 장치의 제조 방법은, 반도체 기판 상의 일부에 상기 반도체 기판의 표면에 평행한 면 내에서 서로 평행한 복수의 직선부와 각 직선부 사이를 접속하는 굴곡부를 갖는 선 형상의 제 1 도전성 부재를 형성하는 제 1 공정과, 적어도 상기 제 1 도전성 부재 위를 덮는 절연막을 형성하는 제 2 공정과, 상기 절연막을 패터닝하여 상기 제 1 도전성 부재의 콘택트 형성 영역과 상기 굴곡부를 제외한 영역을 덮는 용량 절연막을 형성하는 제 3 공정과, 상기 제 1 도전성 부재의 노출되어 있는 표면 상에 저저항층을 형성하는 제 4 공정을 포함하고 있다.

이 방법에 의해, 굴곡부에서의 저항값이 낮은 저항 소자 또는 인덕터가 형성된다. 따라서, 굴곡부에서의 저항값의 변동에 기인하는 저항값의 산포가 작은 안정된 저항 특성을 갖는 저항 소자 또는 인덕터를 형성할 수 있다.

제 25 발명에 관한 반도체 장치의 제조 방법은, 제 24 발명에 있어서, 상기 제 1 공정에서는 상기 제 1 도전성 부재를 상기 각 직선부가 서로 평행하게 되는 구불구불한 형상으로 형성하는 방법이다.

제 26 발명에 관한 반도체 장치의 제조 방법은, 제 25 발명에 있어서, 상기 제 2 공정후 상기 제 3 공정 전에 적어도 상기 절연막 위를 덮는 도전막을 형성하는 공정을 추가로 포함하며, 상기 제 3 공정에서는 상기 도전막 및 상기 절연막을 동시에 패터닝하여 상기 제 2 도전성 부재를 상기 제 1 도전성 부재의 각 직선부에 걸쳐지도록 형성하고, 상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 형성하는 방법이다.

제 27 발명에 관한 반도체 장치의 제조 방법은, 제 25 발명에 있어서, 상기 제 1 공정에서는 상기 제 1 도전성 부재를 중앙의 단부로부터 바깥쪽으로 향하여 다각형상 와권을 그리면서 연장한 후 바깥쪽의 단부에서 멈추고 상기 제 1 도전성 부재의상기 복수의 직선부가 상기 다각형상 와권의 각 변으로 되며 상기 제 1 도전성 부재의 굴곡부가 상기 다각형상 와권의 각진 부분으로 되도록 형성하는 방법이다.

제 28 발명에 관한 반도체 장치의 제조 방법은, 제 27 발명에 있어서, 상기 제 2 공정 후, 상기 제 3 공정 전에, 적어도 상기 절연막 위를 덮는 도전막을 형성하는 공정을 추가로 포함하며, 상기 제 3 공정에서는 상기 도전막 및 상기 절연막을 동시에 패터닝하여 상기 제 2 도전성 부재를 상기 다각형상 와권 내의 서로 대응하는 변에 속하는 각 직선부에 걸치는 부분으로 이루어지도록 형성하고, 상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 형성하는 방법이다.

제 25 또는 제 27 발명의 방법에 의해, 점유 면적이 작은 저항 소자 또는 인덕터가 형성된다.

제 26 또는 제 28 발명의 방법에 의해, 굴곡부의 존재에 기인하는 저항 소자 또는 인덕터의 저항값의 산포를 억제하면서 인덕터, 저항 소자, 용량 소자를 형성하기 위한 프로세스를 공통화할 수 있다.

제 29 발명에 관한 반도체 장치의 제조 방법은, 제 26 또는 제 28 발명에 있어서, 상기 제 2 도전성 부재를 형성하는 공정에서는 상기 제 1 도전성 부재의 가장 바깥쪽의 각 직선부보다 바깥쪽으로 튀어나온 접속 영역을 갖는 제 2 도전성 부재를 형성해 두고, 상기 제 2 도전성 부재 상에 층간 절연막을 형성하는 제 5 공정과, 상기 층간 절연막에 상기 제 2 도전성 부재의 각 접속 영역의 각각 복수의 부위와 상기 제 1 도전성 부재의 콘택트 형성 영역에 각각 도달하는 복수의 콘택트홀을 형성하는 제 6 공정과, 상기 각 콘택트 홀 내에 도전성 재료로 이루어지는 매설층을 형성하는 제 7 공정과, 상기 각 매설층에 각각 접속되는 배선층을 형성하는 제 8 공정을 추가로 포함하고 있다.

이 방법에 의해, 상기 제 1 도전성 부재에 대하여 제 2 도전성 부재의 접속영역과 용량 절연막이 병렬로 접속된 구조로 된다. 즉, 제 1 도전성 부재의 일단으로부터 타단으로 전달되는 신호에 대하여 주어지는 지연 특성의 조정을 용이하고 폭넓게 행할 수 있고, 더구나 신호의 감쇠가 작은 지연 회로를 형성할 수 있다.

제 30 발명에 관한 반도체 장치의 제조 방법은, 제 26 또는 제 28 발명에 있어서, 상기 제 1 공정에서는 상기 제 1 도전성 부재 중 가장 바깥쪽의 직선부의 바깥쪽에 제 1 도전성 부재와 같은 재료로 구성되고 제 1 도전성 부재와 평행한 더미부재를 형성하며, 상기 제 2 공정에서는 상기 더미 부재 상에도 절연막을 형성하고, 상기 제 3 공정에서는 상기 용량 절연막을 상기 더미 부재의 콘택트 형성 영역을 제외한 영역을 덮도록 형성하며, 상기 제 4 공정에서는 상기 더미 부재의 노출되어 있는 표면에도 저저항층을 형성하는 방법이다.

이 방법에 의해, 제 23 발명과 같은 작용이 얻어지는 동시에, 점유 면적이 작은 저항 소자 또는 인덕터를 형성하는 것이 가능하게 된다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 명백해질 것이다.

(제 1 실시예)

먼저, n채널 MOS 트랜지스터와 저항 소자를 혼재한 반도체 장치의 구조 및 그 제조 방법에 관한 제 1 실시예에 대하여 설명한다. 도 1의 (a)~(g) 및 도 2의 (a)~(c)는 각각 제 1 실시예에 관한 반도체 장치의 제조 공정을 도시한 단면도 및 평면도이다.

우선, 도 1의 (a)에 도시된 공정에서 실리콘 기판에 형성된 p웰(1) 내에 예컨대, 트렌치 분리법으로 소자 분리(2)를 형성한다. 이어서, 예컨대, 파이로 산화에 의해 20nm의 두께를 갖는 실리콘 산화막으로 이루어지는 제 1 절연막(3)을 형성한 후, 예컨대, CVD법에 의해 두께 200nm의 폴리실리콘막으로 이루어지는 제 1 도전막(4)을 퇴적한다. 그 후, 예를 들어, $6E15cm^{-2}$, 30keV의 조건으로 제 1 도전막(4) 중에 비소 이온을 주입하고, 또 예를 들어, 900℃, 30분의 조건으로 제 1 도전막(4)의 활성화 열처리를 행한다.

다음에, 도 1의 (b)에 도시된 공정에서 제 1 도전막(4) 상에 원하는 영역을 개구한 레지스트막(도시 생략)을 형성하고, 이 레지스트막을 마스크로 하여 건식 에칭을 행하며, 제 1 도전막(4)을 패터닝하여 소자 분리(2) 상에 저항체막(4a)을 형성한다.

이 때, 평면 상태는 도 2의 (a)에 도시된 구조로 되어 있다.

또, 도 1의 (c)에 도시된 바와 같이, 습식 에칭에 의해 제 1 절연막(3)을 제거한 후, 두께가 10nm 정도의 게이트 산화막(5a)을 형성한다. 이 때, 저항체막(4a)의 상면 및 측면에도 산화막으로 이루어지는 제 2 절연막(5b)이 형성되지만, 단결정 실리콘보다도 폴리실리콘 쪽이 산화되기 쉬우므로, 제 2 절연막(5b)의 두께는 20nm정도로 게이트 산화막(5a) 보다도 두껍다. 또, 예컨대, CVD법에 의해 두께가 300nm 정도의 폴리실리콘막으로 이루어지는 제 2 도전막(6)을 퇴적한다. 그 후, 예를 들어, $6E15cm^{-2}$, 30keV의 조건으로 게 2 도전막(6) 중에 비소 이온을 주입한다. 다음에, 도 1의 (d)에 도시된 공정에서는 원하는 개구부를 갖는 레지스트막(Rm1)을 제 2 도전막(6) 상에 형성하고, 이 레지스트막(Rm1)을 마스크로 하는 건식 에칭에 의해 제 2 도전막(6)을 패터닝하여 게이트 전극(6a)과 용량 소자의 상부 전극막(6b)을 형성한다.

이 때의 평면 상태는 도 2의 (b)에 도시된 구조로 되어 있다. 즉, 제 2 도전막(6)으로부터 패터닝되는 게이트 전극(6a)은 p웰(1)의 중앙을 횡단하여 양측의 소자 분리(2)에까지 걸쳐 있다. 또, 제 2 도전막(6)으로부터 패터닝되는 용량 소자의 상부 전극막(6b)은 저항체막(4a)의 양단부를 제외한 부분을 완전하게 덮고 있다. 그리고, 저항체막(4a)의 양단부는 노출되어 있고, 이 부분이 콘택트 형성 영역(4a1)으로 되어 있다.

다음에, 도 1의 (e)에 도시된 공정에서는 p웰(1) 내에 불순물 이온을 주입하여 n형 LDD층(Light1y Doped Drain)으로 되는 n형 저농도 확산층(9)을 형성한 후, 예컨대, CVD법에 의해 측벽 절연막으로 되는 실리콘 산화막을 150nm 정도의 두께로 퇴적한 후, 이방성 건식 에칭을 행하여 실리콘 산화막을 에치 백하고, 게이트 전극(6a), 저항체막(4) 및 상부 전극막(6b)의 측면 상에 실리콘 산화막을 남기고 측벽(8)을 형성한다.

또, 위쪽에서부터 고농도의 불순물 이온을 주입하여 소스·드레인으로 되는 n형 고농도 확산층(10)을 형성하고, 불순물을 활성화하기 위해 예를 들어, 850℃에서 100분간의 열처리를 행한다.

다음에, 도 1의 (f)에 도시된 공정에서는 예를 들어, 티탄 등의 고융점 금속을 스퍼터링법에 의해 50nm 정도의 두께로 퇴적하고, 급속 가열 열처리를 700℃, 1분간의 조건으로 행한다. 이 열처리에 의해 실리콘 산화막으로 덮여 있지 않고 실리콘으로 구성되는 영역, 즉 게이트 전극(6a)과 n형 고농도 확산층(10)과 저항체막(4a) 내의 표면이 노출되어 있는 콘택트 형성 영역(4a1)과 상부 전극막(6b)의 표면 부근의 부분이 실리사이드화되어 실리콘과 티탄의 반응물로 이루어지는 실리사이드막(11a～11d)이 각각 형성된다. 그 후, 티탄막 중 실리사이드막이 형성되어 있지 않은 미반응 부분은 습식 에칭에 의해 제거된다.

또, 도 1의 (g)에 도시된 바와 같이, 기판 상에 층간 절연막(12)과, 금속 배선층(14)과, 게이트 전극과 금속 배선층 사이의 CW 콘택트(13a)와, n형 고농도 확산층과 금속 배선층 사이의 CW 콘택트(13b)와, 저항체막과 금속 배선층 사이의 CW 콘택트(13c)를 형성한다. 단, 도 1의 (g)는 후술하는 도 2의 (c)에 도시된 Ig-Ig선에 따른 단면도이다. CW 콘택트(13c)는 저항체막(4a)의 양단의 콘택트 형성 영역(4a1) 상에 형성된다. 단, 용량 소자를 기능시키는 경우에는, 상부 전극막-금속배선층 사이에도 CW 콘택트가 형성된다. 이와 같이 하여, 저저항화된 게이트 전극 및 소스·드레인 영역을 갖는 n채널 MOS 트랜지스터와 고저항의 저항 소자와 용량소자가 혼재된 반도체 장치를 형성한다.

그 때, 금속 배선층(14)을 형성하기 전의 평면 구조는 도 2의 (c)에 도시된 구조로 되어 있다.

본 실시예에서의 반도체 장치의 구조에 의하면, 저항체막(4a)의 콘택트 형성영역(4a1) 상에 형성된 CW 콘택트를 금속 배선층(14)에 접속함으로써 저항체막(4a)을 저항 소자로서 기능시킬 수 있다. 그 경우, 저항체막(4a) 중 콘택트 형성 영역

(4a1)을 제외한 부분은 실리사이드화를 행하는 공정에서는 상부 전극막(6b)에 의해 완전하게 덮이므로 실리사이드화되지 않는다. 따라서, 살리사이드 프로세스를 이용하여 게이트나 소스·드레인의 저저항화를 도모하면서 저항체막(4a)으로 구성되는 저항 소자의 저항을 높게 유지할 수 있고, 저항 소자에 필요한 면적을 저감할 수 있다.

또, 저항체막(4a)의 적어도 하나의 장소와 상부 전극막(6b)을 CW 콘택트를 통하여 금속 배선층에 접속함으로써 저항체막(4a)을 용량 소자의 하부 전극으로 하고, 제 2 절연막(5b)을 용량 절연막으로 하며, 상부 전극막(6b)을 상부 전극으로 하는 용량 소자를 기능시킬 수 있다. 그 경우, 이 용량 소자는 소위 MIM 구조로 되어 있으므로, 용량 특성의 전압 의존성을 생기지 않게 하고 양호한 전기적 특성을 발휘할 수 있다.

또, 용량 소자로서 사용하지 않는 장소는 본 실시예와 같이 상부 전극막(6b)을 금속 배선층에 접속하지 않으면 된다.

즉, 본 실시예에서는 상기 도 10의 (a)~(g)에 도시된 종래의 반도체 장치의 제조 공정에 비하여 공정수는 변하지 않는다. 즉, 같은 공정수로 MIM 구조의 용량소자를 형성할 수 있다. 이 용량 소자나 저항 소자를 기능시키는 것은 CW 콘택트나 금속 배선층의 패턴에 의해 자유롭게 선택할 수 있다. 따라서, 이와 같은 레이아웃으로 함으로써 용량 소자를 탑재한 반도체 장치를 형성하기 위한 2층 폴리실리콘 프로세스를 이용하면서 저저항화된 게이트 및 소스·드레인을 갖는 n채널 MOS 트랜지스터와 고저항 영역으로 형성된 저항 소자와 용량 소자를 혼재한 반도체 장치가 얻어진다.

(제 2 실시예)

다음에, n채널 트랜지스터와 접힌 부분을 갖는 저항 소자를 혼재한 반도체 장치의 구조 및 그 제조 방법에 관한 제 2 실시예에 대하여 설명한다. 도 3의 (a)~(c)는 본 실시예에서의 반도체 장치의 제조 공정을 도시한 평면도로서, 상기 제 1 실시예에서의 도 2의 (a)~(c)에 도시된 공정과 대응하는 공정을 도시하고 있다. 각 공정에서의 반도체 장치의 단면 형상은 상기 도 1의 (a)~(g)에 도시된 형상과 같다.

도 3의 (a)에 도시된 바와 같이, 소자 분리(2) 상에 저항체막(4a)을 형성한 상태에서는, 저항체막(4a)은 높은 저항값을 실현하기 위해 도중에서 접혀져서, 양단의 콘택트 형성 영역(4a1)과, 합계 5개소의 직선부(4a2)와, 굴곡부인 합계 4개소의 프린지부(4a3)를 갖는 구불구불한 형상의 긴 막으로 되어 있다.

다음에, 도 3의 (b)에 도시된 바와 같이, 절연막(5) 및 제 2 도전막(6)을 형성한 후, 이것을 패터닝하여 게이트 전극(6a) 및 게이트 산화막(5a)과 상부 전극막(6b) 및 상부 전극막-저항체막(4a) 사이에 개재하는 제 2 절연막(5b)을 패터닝한다. 이와 같이, 게이트 전극(6a)과 상부 전극막(6b)을 형성한 상태에서는, 상부 전극막(6b)은 저항체막(4a)의 각 직선부(4a2) 및 각 직선부 사이의 기판 표면을 모두 덮고, 저항체막(4a)의 프린지부(4a3) 및 양단의 콘택트 형성 영역(4a1) 부근을 노출시키고 있다. 바꾸어 말하면, 제 2 도전막(6)은 저항체막(4a)에 오버랩되어 있다.

또, 도 3의 (c)에 도시된 바와 같이, 실리사이드화가 종료한 단계에서는, 게이트 전극(6a)과 n형 고농도 확산층(10)과, 저항체막(4a)의 프린지부(4a3) 및 양단의 콘택트 형성 영역(4a1)과, 상부 전극막(6b)의 표면 부근의 부분이 실리사이드화되어 실리콘과 티탄의 반응물로 이루어지는 실리사이드막(11a~11d)이 각각 형성된다. 한편, 저항체막(4a) 중 상부 전극막(6b)으로 덮인 부분은 실리사이드화되지 않고 높은 저항값을 갖고 있다. 또, 층간 절연막과, 금속 배선층과, 게이트 전극-금속 배선층 사이의 CW 콘택트(13a)와, n형 고농도 확산층-금속 배선층 사이의 CW 콘택트(13b)와, 저항체막-금속 배선층 사이의 CW 콘택트(13c)가 형성된다. CW 콘택트(13c)는 저항체막(4a)의 저저항화된 양단부 상에 형성된다. 단, 용량 소자를 기능시키는 경우에는, 상부 전극막-금속 배선층 사이에도 CW 콘택트가 형성된다. 또, 도 3의 (c)는 금속 배선층을 형성하기 전의 상태를 도시하고, 이 도면에는 금속 배선층은 도시되어 있지 않지만, 금속 배선층은 도 1의 (g)에 도시된 것과 거의 동일하게 형성된다.

이와 같은 레이아웃으로 함으로써 상기 제 1 실시예와 마찬가지로 2층 폴리실리콘 프로세스를 이용하면서 저저항화된 게이트 및 소스·드레인을 갖는 n채널 MOS 트랜지스터와 고저항 영역에서 형성된 저항 소자와 용량 소자를 혼재한 반도체장치가 얻어진다.

또, 본 실시예에서는 저항체막(4a) 중의 직선부(4a2)는 실리사이드화되지 않고 높은 저항값을 확보할 수 있다. 한편, 저항체막(4a) 중의 프린지부(4a3)가 실리사이드화되어 저저항으로 되어 있다. 따라서, 프린지부(4a3)에서의 형상의 산포나 확산 저항의 영향은 매우 작아지고, 프린지부(4a3)에서의 저항값의 변동에 기인하는 저항 소자 전체의 저항값의 산포를 억제하여 저항 특성의 정밀도를 향상시킬 수 있다. 또, 상기 종래의 기술에서의 도 11의 (b)에 도시된 바와 같은 CW 콘택트를 저항 소자의 일부로 하는 구조와 같이 저항 소자의 점유 면적의 증대나 CW 콘택트의 저항값의 산포에 기인하는 저항 소자 전체의 저항값의 산포가 생기는 일도 없다.

또, 본 실시예에서는 상부 전극막(6b)을 형성하였으나, 상부 전극막(6b)을 형성하지 않고 단순히 제 2 절연막(5b)만을 실리사이드화 공정에서의 반응 방지막으로서 사용하도록 해도 된다. 이와 같은 구성에 있어서도, 저항 소자의 점유 면적의 증대 등을 초래하지 않고 프린지부에서의 형상의 산포나 확산 저항의 영향을 억제하여 저항 소자의 저항 특성의 정밀도를 향상시킬 수 있다

(제 3 실시예)

다음에, n채널 트랜지스터와 접힌 부분을 갖는 저항 소자와 용량 소자를 혼재한 반도체 장치의 구조 및 그 제조 방법에 관한 제 3 실시예에 대하여 설명한다. 도 4의 (a)~(c)는 본 실시예에서의 반도체 장치의 제조 공정을 도시한 평면도로서, 상기 제 1 실시예에서의 도 1의 (a)~(g)에 도시된 공정과는 다르지만, 도 1의 (a)~(g)에 도시된 공정으로부터 쉽게 유추할 수 있다.

상기 제 1, 제 2 실시예에서는 저항 소자를 폴리실리콘막으로 구성하여 용량소자를 MIM 구조로 하였으나, 본 실시예에서는 저항 소자를 반도체 기판 내의 불순물 확산층으로 구성하여 용량 소자를 반도체 기판과 절연막과 그 위의 도전체로 이루어지는 MIS 구조로 하고 있다.

도 4의 (a)에 도시된 바와 같이, 반도체 기판 내의 p웰(1)에 예컨대, 트렌치 분리법에 의해 소자 분리(2)를 형성할 때 트랜지스터 형성 영역(1a)과는 별개로 소자 분리(2)로 둘러싸이는 저항 소자 형성 영역(1b)을 설치해 둔다. 이 저항 소자형성 영역(1b)은 저항 소자인 동시에 용량 소자를 구성하는 하부 전극으로서도 기능할 수 있는 것이며, 그 형상은 상기 제 2 실시예에서의 저항체막(4a)의 형상과 같다. 즉, 양단의 콘택트 형성 영역(1b1)과, 합계 5개소의 직선부(1b2)와, 굴곡부인 합계 4개소의 프린지부(1b3)를 갖고 있다.

도 4의 (b)에 도시된 공정에서는 게이트 전극(6a)과 상부 전극막(6b)을 형성한다. 이 상부 전극막(6b)은 저항 소자 형성 영역(1b)의 직선부(1b2)와 기판 표면을 덮고, 프린지부(1b3) 및 양단의 콘택트 형성 영역(1b1)은 노출시키고 있다.

도시되어 있지는 않지만, 도 4의 (c)에 도시된 공정 전에 이하의 공정을 행한다.

우선, n형 저농도 확산층을 형성한 후, 실리콘 산화막을 퇴적하고, 또 이것을 에치 백하여 게이트 전극(6a) 및 상부 전극막(6b)의 측면 상에 측벽(8)을 형성한다. 이어서, 소스·드레인으로 되는 n형 고농도 확산층(도시 생략)을 형성하고, 예를 들어, 850℃, 100분간의 열처리에 의해 불순물을 활성화한다. 또, 예를 들어, 티탄 등의 고융점 금속을 스퍼터링법에 의해 50nm 정도의 두께로 퇴적하고, 급속 가열 열처리를 700℃, 1분간의 조건으로 행한다. 이 열처리에 의해, 실리콘 산화막으로 덮여있지 않고 실리콘으로 구성되는 영역, 즉 게이트 전극(6a)과 n형 고농도 확산층과 저항 소자 형성 영역(1b)의 표면이 노출되어 있는 영역과 상부 전극막(6b)의 표면 부근의 부분이 실리사이드화되어 실리콘과 티탄의 반응물로 이루어지는 실리사이드막(11a~11d)이 각각 형성된다. 그 후, 티탄막 중 실리사이드막이 형성되어 있지 않은 미반응 부분은 습식 에칭에 의해 제거된다. 또, 층간 절연막과, 금속 배선층과, 게이트 전극-금속 배선층 사이의 CW 콘택트(13a)와, n형 고농도 확산층-금속배선층 사이의 CW 콘택트(13b)와, 저항체막-금속 배선층 사이의 CW 콘택트(13c)를 형성한다. CW 콘택트(13b)는 저항 소자의 저저항화된 양단의 콘택트 형성 영역(1b1) 상에 형성된다. 또, 도 4의 (c)는 금속 배선층을 형성하기 전의 상태를 나타내고, 이 도면에는 금속 배선층은 도시되어 있지 않으나, 금속 배선층은 도 1의 (g)와 거의 동일하게 형성된다.

본 실시예에서는 저항 소자 형성 영역(1b) 중의 프린지부(1b3)가 저저항화되므로, 상기 제 2 실시예와 기본적으로 같은 효과, 즉 프린지부(1b3)의 존재에 기인하는 저항값의 산포를 억제하여 저항 특성의 향상을 도모할 수 있다. 특히, 본 실시예에서는 2층의 폴리실리콘막은 불필요하며, 단층의 폴리실리콘막을 사용하면서 게이트나 소스·드레인의 저저항화와 저항 소자의 점유 면적의 저감을 동시에 실현할 수 있고, 제조 가격의 저감을 도모할 수 있는 이점이 있다.

(제 4 실시예)

다음에, n채널 트랜지스터와 접힌 부분을 갖는 저항 소자와 용량 소자를 혼재한 반도체 장치의 구조 및 그 제조 방법에 관한 제 4 실시예에 대하여 설명한다. 도 5의 (a)~(e) 및 도 6의 (a)~(c)는 각각 본 실시예에서의 반도체 장치의 제조 공정을 도시한 단면도 및 평면도이다.

우선, 도 5의 (a)에 도시된 공정에서 실리콘 기판에 형성된 p웰(1) 내에 예컨대, 트렌치 분리법에 의해 소자 분리(2)를 형성한다. 이어서, 예컨대, 파이로 산화에 의해 20nm의 두께를 갖는 실리콘 산화막으로 이루어지는 제 1 절연막(3)을 형성한

후, 예컨대, CVD법에 의해 두께 200nm의 폴리실리콘막으로 이루어지는 제 1 도전막을 퇴적한다. 그 후, 예를 들어, 6E15cm^{-2}, 30keV의 조건으로 제 1 도전막(4) 중에 비소 이온을 주입하고, 또 예를 들어, 900℃, 30분의 조건으로 제 1 도전막(4)의 활성화 열처리를 행한다. 다음에, 제 1 도전막(4) 상에 원하는 영역을 개구한 레지스트막(도시 생략)을 형성하고, 이 레지스트막을 마스크로 하여 건식 에칭을 행하며, 제 1 도전막(4)을 패터닝하여 소자 분리(2) 상에 저항체막(4a)을 형성한다.

이 때, 평면 상태는 도 6의 (a)에 도시된 구조로 되어 있다. 즉, 상기 제 2실시예에서의 도 3의 (a)와 같은 평면 형상으로서, 저항체막(4a)은 양단의 콘택트형성 영역(4a1)과, 합계 5개소의 직선부(4a2)와, 합계 4개소의 프린지부(4a3)를 갖고 있다

또, 도 5의 (b)에 도시된 바와 같이, 습식 에칭에 의해 제 1 절연막(3)을 제거한 후, 두께가 10nm 정도의 게이트 산화막(5a)을 형성한다. 이 때, 저항체막(4a)의 상면 및 측면에도 산화막으로 이루어지는 제 2 절연막(5b)이 형성되지만, 단결정 실리콘보다도 폴리실리콘 쪽이 산화되기 쉬우므로, 제 2 절연막(5b)의 두께는 20nm 정도로 게이트 산화막(5a)보다도 두껍다. 또, 예컨대, CVD법에 의해 두께가 300nm 정도의 폴리실리콘막으로 이루어지는 제 2 도전막(6)을 퇴적한다. 그 후, 예를 들어, 6E15cm^{-2}, 30keV의 조건으로 제 2 도전막(6) 중에 비소 이온을 주입한다. 다음에, 원하는 개구부를 갖는 레지스트막(Rm2)을 제 2 도전막(6) 상에 형성하고, 이 레지스트막(Rm2)을 마스크로 하는 건식 에칭에 의해 제 2 도전막(6)을 패터닝하여 게이트 전극(6a)과 용량 소자의 상부 전극막(6b)을 형성한다.

이 때, 평면 상태에서는 도 6의 (b)에 도시된 구조로 되어 있다. 즉, 제 2도전막(6)으로부터 패터닝되는 게이트 전극(6a)은 p웰(1)의 중앙을 횡단하여 양측의 소자 분리(2)에까지 걸쳐 있다. 또, 제 2 도전막(6)으로부터 패터닝되는 용량소자의 상부 전극막(6b)은 저항체막(4a)의 직선부(4a2)만을 덮고, 콘택트 형성 영역(4a1) 및 프린지부(4a3)를 노출시키고 있다. 또, 상부 전극(6b)은 저항체막(4a)의 각 직선부(4a2) 중 2개소의 가장 바깥쪽의 직선부보다도 바깥쪽으로 튀어나온 접속 영역(6b1, 6b2)을 갖고 있다.

다음에, 도 5의 (c)에 도시된 공정에서는 p웰(1) 내에 불순물 이온을 주입하여 n형 LDD층(Lightly Doped Drain)으로 되는 n형 저농도 확산층(9)을 형성한다. 그 후, 예컨대, CVD법에 의해 측벽 절연막으로 되는 실리콘 산화막을 150nm 정도의 두께로 퇴적하고 이방성 건식 에칭을 행하여 실리콘 산화막을 에치 백하며, 게이트 전극(6a), 저항체막(4a) 및 상부 전극막(6b)의 측면 상에 실리콘 산화막을 남기고 측벽(8)을 형성한다. 또, 위쪽에서부터 고농도의 불순물 이온을 주입하여 소스·드레인으로 되는 n형 고농도 확산층(10)을 형성하고, 불순물을 활성화하기 위해 예를 들어, 850℃로 100분간의 열처리를 행한다.

다음에, 도 5의 (d)에 도시된 공정에서는, 예를 들어, 티탄 등의 고융점 금속을 스퍼터링법에 의해 50nm 정도의 두께로 퇴적하고, 급속 가열 열처리를 700℃, 1분간의 조건으로 행한다. 이 열처리에 의해, 실리콘 산화막으로 덮여 있지 않고 실리콘으로 구성되는 영역, 즉 게이트 전극(6a)과 n형 고농도 확산층(10)과 저항체막(4a)내의 표면이 노출되어 있는 영역과 상부 전극막(6b)의 표면 부근의 부분이 실리사이드화되어 실리콘과 티탄의 반응물로 이루어지는 실리사이드막(11a～11d)이 각각 형성된다. 그 후, 티탄막 중 실리사이드막이 형성되어 있지 않은 미반응 부분은 습식 에칭에 의해 제거된다.

또, 도 5의 (e)에 도시된 바와 같이, 기판 상에 층간 절연막(12)과, 금속 배선층(14)과, 게이트 전극-금속 배선층 사이의 CW 콘택트(13a)와, n형 고농도 확산층-금속 배선층 사이의 CW 콘택트(13b)와, 저항체막-금속 배선층 사이의 CW 콘택트(13c)와, 상부 전극막-금속 배선층 사이의 CW 콘택트(13d)를 형성하여 저저항화된 게이트 전극 및 소스·드레인 영역을 갖는 n채널 MOS 트랜지스터와 고저항의 저항소자와 용량 소자가 혼재된 반도체 장치를 형성한다. 그 때, 금속 배선층(14)을 형성하기 전의 평면 구조는 도 6의 (c)에 도시된 구조로 되어 있다.

즉, 본 실시예의 특징은 상기 상부 전극막(6b) 중 저항체막(4a)으로부터 튀어나온 상하 2개의 접속 영역(6b1, 6b2)에 각각 5개의 CW 콘택트(13d)가 형성되어 있는 점이다. 단, 도 5의 (e)는 도 6의 (c)에 도시된 Ve-Ve선에 따른 단면도이므로, 도 5의 (e)에는 대표적으로 하나의 CW 콘택트(13d)만 표시하고 있다.

이와 같은 구성으로 함으로써, 상기 제 3 실시예와 같은 효과를 발휘할 수 있다.

더욱이, 본 실시예에서는 상부 전극막(6b) 중 저항체막(4a)의 형성 영역의 바깥쪽으로 되는 상하 접속 영역(6b1, 6b2)의 서로 대향하는 각 5개소에 CW 콘택트(13d)가 형성되어 있다. 이와 같은 구성을 채택함으로써 얻어지는 특수한 효과에 대하여 이하에 설명한다.

도 7의 (a), (b)는 본 실시예에 의해 형성되는 저항 소자와 용량 소자로 구성되는 계단형의 신호 지연 회로의 구조를 설명하기 위한 등가 회로도이다. 즉, 저항 소자의 양단의 CW 콘택트(13c)를 각각 입력 단자(Tin), 출력 단자(Tout)로 하고, CW 콘택트(13d)에 접속되는 금속 배선층(14)을 접지에 접속한 경우, 상하의 접속 영역(6b1, 6b2) 사이의 각 부분 저항(R1)에 대하여 접지와의 사이에 용량(C)과 저항(R2)이 병렬로 접속되어 있는 구조로 된다. 단, 각진 부분의 용량(C)이나 저항(R1, R2)은 반드시 같을 필요는 없다. 이와 같은 구성에 의해 접속 영역(6b1, 6b2)에서의 CW 콘택트(13d)의 형성 위치나 형성 개수를 적절히 변경함으로써 지연 특성을 조정할 수 있고, 또 용량 소자의 상부 전극이 저저항화되어 있음으로써 용량(C)과 직렬로 접속되는 저항 성분(R2)을 저감할 수 있기 때문에, 신호 지연 회로 중의 신호의 감쇠를 억제할 수 있다.

(제 5 실시예)

다음에, n채널 트랜지스터와 저항 소자와 용량 소자에 덧붙여서, 저항 소자와 용량 소자의 더미 패턴을 설치한 반도체 장치의 구조 및 그 제조 방법에 관한 제 5 실시예에 대하여 설명한다. 도 8의 (a), (b)는 본 실시예에서의 반도체 장치의 제조 공정을 도시한 평면도이다.

본 실시예에서의 제조 공정 중 단면 구조에 관한 순서는 상기 제 4 실시예에서의 도 5의 (a)~(e)에 도시된 순서와 거의 동일하므로 도시 및 설명을 생략한다.

단, 본 실시예에서는 도 8의 (a)에 도시된 바와 같이, 제 1 도전막(4)을 패터닝하여 저항체막(4a)을 형성할 때에 직선 형상의 저항체막(4a)의 양측에 저항체막(4a)에 평행한 더미 패턴으로 되는 측방 저항체막(4b, 4c)을 형성해 둔다. 그리고, 제 2 절연막(도시 생략)을 형성한 후, 제 2 도전막(6)을 패터닝할 때에는 상부 전극막(6b)이 저항체막(4a)의 양단을 제외한 부분과, 각 측방 저항체막(4b, 4c)의 각각 한쪽의 단부를 제외한 부분을 덮고, 또 상하로 튀어나온 접속 영역(6b1, 6b2)을 갖도록 형성해 둔다. 또, 트랜지스터 형성 영역에서는 게이트 산화막이나 게이트 전극(6a)을 형성한다.

그리고, 도 8의 (b)에 도시된 공정 전에, n형 저농도 확산층, 측벽(8), n형 고농도 확산층을 형성한다.

도 8의 (b)에 도시된 공정에서는, 게이트 전극(6a)과 n형 고농도 확산층(10)과 저항체막(4a)과 측방 저항체막(4b, 4c)의 표면이 노출되어 있는 영역과 상부 전극막(6b)의 표면 부근의 부분을 실리사이드화하여 실리콘과 티탄의 반응물로 이루어지는 실리사이드막(11a~11f)을 각각 형성한다. 또, 기판 상에 층간 절연막과, 금속 배선층과, 게이트 전극-금속 배선층 사이의 CW 콘택트(13a)와, n형 고농도 확산층-금속 배선층 사이의 CW 콘택트(13b)와, 저항체막-금속 배선층 사이의 CW 콘택트(13c)와, 상부 전극막-금속 배선층 사이의 CW 콘택트(13d)와, 각 측방 저항체막-금속 배선층 사이의 CW 콘택트(13e, 13f)를 형성한다.

본 실시예에서는 저항체막(4a)의 양측에 더미의 측방 저항체막(4b, 4c)을 형성함으로써, 라인 앤드 스페이스 패턴 내에 저항체막(4a)이 형성된다. 즉, 라인 앤드 스페이스 패턴의 중앙부(저항체막(4a))에 있어서, 포토리소그래피 공정에서의 패터닝 정밀도가 특히 높아지는 것이 알려져 있고, 이와 같은 구조로 함으로써 저항체막(4a)의 저항값을 고정밀도로 조정할 수 있다.

또, 본 실시예에서는 각 측방 저항체막(4b, 4c)의 일단을 CW 콘택트(13e, 13f) 및 금속 배선층을 통하여 소정의 전압을 공급하는 단자에 접속해 둘 수 있다. 예를 들면, 접지에 접속해 둘 수 있다.

이와 같이, 더미의 측방 저항체막(4b, 4c)을 저저항의 콘택트를 통하여 소정의 전위로 고정해 둠으로써, 전기적으로 뜬 측방 저항체막의 존재에 기인하는 특성의 변동을 확실하게 방지할 수 있는 이점이 있다.

또, 측방 저항체막(4b, 4c)을 하부 전극으로 하고, 그 위의 제 2 절연막을 용량 절연막으로 하고, 그 위의 상부 전극막(6b)을 상부 전극으로 하는 용량 소자를 기능시킬 수도 있다.

(제 6 실시예)

다음에, n채널 트랜지스터와 저항 소자와 와권상의 저항 소자로 이루어지는 인덕터와 용량 소자를 설치한 반도체 장치의 구조 및 그 제조 방법에 관한 제 6 실시예에 대하여 설명한다. 도 9의 (a), (b)는 본 실시예에서의 반도체 장치의 제조 공정을 도시한 평면도이다.

본 실시예에서의 제조 공정 중 단면 구조에 관한 순서는 상기 제 4 실시예에서의 도 5의 (a)~(e)에 도시된 순서와 거의 동일하므로, 도시 및 설명을 생략하기로 한다.

본 실시예에서는 제 4 실시예에 나타내는 트랜지스터, 저항 소자 및 용량 소자를 형성하는 동시에, 반도체 기판 상의 다른 부위에 도 9의 (a), (b)에 도시하는 구조를 갖는 인덕터를 형성한다.

도 9의 (a)에 도시된 바와 같이, 제 1 도전막(4)을 패터닝하는 공정에서, 직사각형 와권의 저항체막(4a)을 형성한다. 즉, 중앙부의 1점에서 출발한 하나의 선 형상의 막이 직사각형을 그리고, 또 직사각형의 각 변이 차례로 그 길이를 확대시키면서 바깥쪽으로 연장하여 바깥쪽의 1점에서 멈추며, 그 결과 양단의 콘택트 형성 영역(4a1)과, 직사각형 와권의 각 변을 구성하는 직선부(4a2)와, 직사각형 와권의 각진 부분을 구성하는 굴곡부(4a3)로 이루어지는 저항체막(4a)이 형성된다.

그리고, 제 2 절연막(도시 생략)을 형성한 후, 제 2 도전막(6)을 패터닝할 때에는, 상부 전극막(6b)을 저항체막(4a)의 중앙 및 바깥쪽의 단부의 콘택트 형성 영역(4a1)과, 굴곡부(4a3)를 노출시키고, 서로 대응하는 변에 속하는 각 직선부(4a2)및 그 사이의 기판 위를 덮는 4개의 부분으로 구성한다. 그리고, 이 각 부분에는 가장 바깥쪽의 직선부(4a2)의 바깥쪽으로 튀어나온 접속 영역(6b1~6b4)이 각각 설치되어 있다.

도 9의 (b)에 도시된 바와 같이, 실리사이드화 공정에서는 저항체막(4a)의 표면이 노출되어 있는 영역과 상부 전극막(6b)의 표면 부근의 부분을 실리사이드화하여 실리콘과 티탄의 반응물로 이루어지는 실리사이드막(11c, 11d)을 각각 형성한다. 또, 층간 절연막 및 금속 배선층을 형성하는 공정에서는 인덕터의 저항체막-금속 배선층 사이의 CW 콘택트(13c)와, 인덕터 영역의 상부 전극막-금속 배선층 사이의 CW 콘택트(13d)를 형성한다.

본 실시예에서는 상기 제 4 실시예와 같은 효과에 덧붙여서 LCR 회로를 구성 할 수 있는 이점이 있다.

또, 본 실시예에 따른 인덕터를 저항 소자로서 사용하는 것도 가능하며, 그때에도 상기 제 4 실시예와 같은 효과를 발휘할 수 있다. 특히, 저항 소자를 제 4실시예와 같은 구불구불한 형태가 아닌 본 실시예와 같은 와권상의 구조로 함으로써 저항 소자의 점유 면적의 저감을 도모할 수 있는 이점이 있다

(그 밖의 실시예)

상기 각 실시예에서는 게이트 전극, 소스·드레인 영역 등의 저저항화의 수단으로서 살리사이드 프로세스를 이용한 예를 설명하였으나, 본 발명은 이러한 실시예에 한정되는 것은 아니다. 예를 들어, 선택적 CVD법을 이용한 텅스텐막의 퇴적에 의한 텅스텐 부착 기술 등, 다른 저저항화 기술을 적용해도 같은 효과를 발휘할 수 있는 것은 물론이다.

또, MOS 트랜지스터측에서는 게이트 전극만을 실리사이드 등으로 저저항화하는 소위 폴리사이드 프로세스를 이용해도 된다.

상기 각 실시예에서는 저항체막(4a)을 실리콘 기판 또는 폴리실리콘막으로 구성하였으나, 비결정(amorphous) 실리콘막으로 구성해도 된다. 또, 저항체막을 반드시 반도체막으로 구성할 필요는 없고, 비교적 고저항의 금속막을 이용하면서 콘택트 형성영역이나 굴곡부의 표면에만 텅스텐 부착층을 형성하는 구성도 가능하다.

또, 저항체막(4a)에서의 콘택트 형성 영역을 확보하는 장소는 상기 각 실시예와 같이 양단부에 한정되는 것은 아니고, 특히 용량 소자만을 기능시키는 것에서는 중앙 부근에 콘택트 형성 영역을 설치해도 된다.

또, 상기 제 2, 제 4 및 제 6 실시예에서는 상기 제 5 실시예와 같은 저항체막의 더미 패턴을 가장 바깥쪽의 직선부의 바깥쪽에 형성함으로써 가장 바깥쪽의 직선부의 형상 정밀도를 향상시킬 수 있고, 저항 소자의 저항값을 향상시킬 수 있다.

발명의 효과

제 1~4 발명 및 제 7~9 발명에 의하면, 반도체 장치에 있어서, 제 1 도전성 부재와, 제 1 도전성 부재의 콘택트 영역을 제외한 영역을 덮는 제 2 도전성 부재와, 제 1, 제 2 도전성 부재의 사이에 끼워 설치되는 절연막을 설치하고, 제 1 도전성 부재의 콘택트 형성 영역과 제 2 도전성 부재의 표면에만 저저항층을 형성하며, 각 도전성 부재와 절연막에 의해 인덕터, 저

항 소자, 용량 소자를 임의로 선택하여 기능시키도록 구성하였으므로, 저항 소자 등의 단위 길이당 저항값을 저하시키지 않고 콘택트 형성 영역의 저저항화를 도모하면서 공통의 프로세스에 의해 형성되는 각종 수동 소자를 탑재할 수 있는 반도체 장치의 제공을 도모할 수 있다.

제 10~16 발명에 의하면, 반도체 장치에 직선부와 굴곡부로 구성되는 제 1 도전성 부재 중 굴곡부 및 콘택트 형성 영역에만 저저항층을 설치하는 구성으로 하였으므로, 점유 면적이 작은 저항 소자 또는 인덕터를 제 1 도전성 부재로 구성하면서 굴곡부에서의 저항값의 변동에 기인하는 저항 특성의 산포를 억제할 수 있다.

제 17~21 발명 및 제 23 발명에 의하면, 수동 소자를 탑재한 반도체 장치의 제조 방법으로서, 제 1 도전성 부재의 콘택트 형성 영역을 제외한 영역 상에 절연막과 제 2 도전성 부재를 형성한 후, 제 1 도전성 부재의 콘택트 형성 영역과 제 2 도전성 부재의 표면을 저저항화하도록 하였으므로, 제 1~4 발명 및 제 6, 제 7 발명의 구성을 갖는 반도체 장치를 실현하기 위한 제조 방법의 제공을 도모할 수 있다.

제 24~30 발명에 의하면, 직선부와 굴곡부를 갖는 제 1 도전성 부재를 형성한 후, 제 1 도전성 부재의 콘택트 형성 영역과 굴곡부만을 저저항화하도록 하였으므로, 제 8~12 발명의 구성을 갖는 반도체 장치를 실현하기 위한 제조 방법의 제공을 도모할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상의 일부에 형성되고 콘택트 형성 영역을 갖는 제 1 도전성 부재와,

상기 제 1 도전성 부재의 상기 콘택트 형성 영역을 제외한 영역을 덮는 제 2 도전성 부재와,

상기 제 1 도전성 부재와 상기 제 2 도전성 부재 사이에 끼워 설치된 절연막과,

상기 제 1 도전성 부재의 상기 콘택트 형성 영역과 상기 제 2 도전성 부재의 표면에 접하여 형성된 금속 실리사이드막으로 이루어지는 저저항층을 포함하며,

상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 선택하여 기능시킬 수 있도록 구성되어 있고,

상기 반도체 기판 상에 형성된 게이트 전극과, 상기 게이트 전극의 양측방에 위치하는 상기 반도체 기판 내에 불순물을 도입하여 이루어지는 소스·드레인 영역을 갖는 MOS 트랜지스터를 추가로 포함하며,

상기 게이트 전극 및 소스·드레인 영역 중 적어도 상기 게이트 전극의 표면에 접하여 상기 제 1 도전성 부재 상의 저저항층과 동일한 재료로 된 저저항층이 형성되는 것을 특징으로 하는 반도체 장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 도전성 부재는 상기 반도체 기판 내에 형성된 불순물 확산층으로 구성되고,

상기 제 2 도전성 부재는 폴리실리콘막으로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 도전성 부재는 상기 반도체 기판 상에 형성된 제 1 폴리실리콘막으로 구성되고,

상기 제 2 도전성 부재는 상기 제 1 폴리실리콘막의 위쪽에 형성된 제 2 폴리실리콘막으로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 4.

제 1 항에 있어서,

상기 반도체 기판 상에서 상기 제 1 도전성 부재와 평행하게 배열되고 콘택트 형성 영역을 갖는 도전성의 더미 부재를 추가로 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5.

제 4 항에 있어서,

상기 더미 부재는 상기 콘택트 형성 영역을 통하여 소정의 전위로 설정되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6.

반도체 기판 상의 일부에서 상기 반도체 기판의 표면에 평행한 면 내에서 복수의 직선부와, 이 각 직선부 사이를 접속하는 적어도 하나의 굴곡부로 이루어지는 선 형상으로 형성되고, 콘택트 형성 영역을 갖는 제 1 도전성 부재와,

상기 제 1 도전성 부재의 콘택트 형성 영역 및 상기 굴곡부를 제외한 영역을 덮는 절연막과,

상기 제 1 도전성 부재의 상기 콘택트 형성 영역 및 상기 굴곡부의 표면에 접하여 형성된 금속 실리사이드막으로 이루어지는 저저항층과,

상기 콘택트 형성 영역에서의 상기 저저항층 상에 형성된 콘택트를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 7.

제 6 항에 있어서,

상기 제 1 도전성 부재의 각 직선부는 모두 서로 평행하며, 상기 제 1 도전성 부재는 구불구불한 형상으로 형성되는 것을 특징으로 하는 반도체 장치.

청구항 8.

제 7 항에 있어서,

상기 제 1 도전성 부재의 모든 직선부에 걸쳐서 형성된 제 2 도전성 부재와,

상기 제 2 도전성 부재의 표면에 접하여 형성되고 상기 제 1 도전성 부재 상의 저저항층과 같은 재료로 이루어지는 저저항층을 추가로 포함하며,

상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 선택하여 기능시킬 수 있도록 구성되는 것을 특징으로 하는 반도체 장치.

청구항 9.

제 6 항에 있어서,

상기 제 1 도전성 부재는 중앙의 단부로부터 바깥쪽으로 향하여 다각형상 와권을 그리면서 연장된 후 바깥쪽의 단부에서 그치도록 형성되어 있고,

상기 제 1 도전성 부재의 상기 복수의 직선부는 상기 다각형상 와권의 각 변이며, 상기 제 1 도전성 부재의 굴곡부는 상기 다각형상 와권의 각진 부분인 것을 특징으로 하는 반도체 장치.

청구항 10.

제 9 항에 있어서,

상기 제 1 도전성 부재의 상기 다각형상 와권 내의 서로 대응하는 변에 속하는 각 직선부에 걸치는 부분으로 분할하여 형성된 도전성 재료로 이루어지는 제 2 도전성 부재와,

상기 제 2 도전성 부재의 표면에 접하여 형성되고 상기 제 1 도전성 부재 상의 저저항층과 같은 재료로 이루어지는 저저항층을 추가로 포함하며,

상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 선택하여 기능시킬 수 있도록 구성되는 것을 특징으로 하는 반도체 장치.

청구항 11.

제 8 항 또는 제 10 항에 있어서,

상기 제 2 도전성 부재는 상기 제 1 도전성 부재의 각 직선부 중 가장 바깥쪽의 각 직선부를 따라 바깥쪽으로 튀어나온 콘택트 영역을 각각 갖고,

상기 제 1 도전성 부재 및 상기 제 2 도전성 부재의 위쪽에 층간 절연막을 개재하여 형성된 복수의 배선층과,

상기 각 배선층과 상기 제 1 도전성 부재의 콘택트 형성 영역을 접속하는 제 1 접속 부재와,

상기 각 배선층과 상기 제 2 도전성 부재의 각 콘택트 형성 영역의 각각 복수의 부위를 접속하는 제 2 접속 부재를 추가로 포함하며,

상기 제 1 접속 부재와 상기 제 2 접속 부재 사이에 신호 지연 회로가 구성되는 것을 특징으로 하는 반도체 장치.

청구항 12.

제 6 항에 있어서,

상기 반도체 기판 상에서 상기 제 1 도전성 부재 중 가장 바깥쪽의 직선부와 평행하게 배열되고 콘택트 형성 영역을 갖는 도전성 더미 부재를 추가로 포함하는 것을 특징으로 하는 반도체 장치.

청구항 13.

제 12 항에 있어서,

상기 더미 부재는 상기 콘택트 형성 영역을 통하여 소정의 전위로 설정되는 것을 특징으로 하는 반도체 장치.

청구항 14.

적어도 수동 소자 형성 영역을 갖는 반도체 기판 상에 제 1 도전성 부재를 형성하는 제 1 공정과,

적어도 상기 제 1 도전성 부재 상에 절연막을 형성하는 제 2 공정과,

적어도 상기 절연막을 덮도록 도전막을 퇴적하는 제 3 공정과,

상기 도전막을 패터닝하여 상기 제 1 도전성 부재의 적어도 콘택트 형성 영역을 제외한 영역만을 덮는 제 2 도전성 부재를 형성하는 제 4 공정과,

상기 제 4 공정의 후에, 상기 제 1 도전성 부재의 노출되어 있는 표면 및 상기 제 2 도전성 부재의 표면 상에 금속 실리사이드막으로 이루어지는 저저항층을 형성하는 제 5 공정을 포함하며,

상기 수동 소자 형성 영역에서 상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 형성하고,

상기 반도체 기판 상에는 능동 소자 형성 영역이 추가로 설치되어 있으며,

상기 제 2 공정에서는 상기 절연막을 상기 능동 소자 형성 영역에서의 상기 반도체 기판 상에도 형성하고,

상기 제 3 공정에서는 상기 도전막을 상기 능동 소자 형성 영역에서의 상기 절연막 상에도 퇴적하며,

상기 제 4 공정에서는 상기 능동 소자 형성 영역에서 상기 도전막 및 상기 절연막으로 게이트 절연막 및 게이트 전극을 형성하도록 상기 도전막 및 절연막을 패터닝하고,

상기 제 5 공정에서는 상기 저저항층을 상기 능동 소자 형성 영역의 적어도 상기 게이트 전극의 표면 상에도 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15.

제 14 항에 있어서,

상기 반도체 기판 상에 상기 능동 소자 형성 영역을 둘러싸는 소자 분리를 형성하는 공정을 추가로 포함하며,

상기 제 1 공정에서는 상기 소자 분리 상에 제 1 폴리실리콘막을 퇴적한 후 상기 제 1 폴리실리콘막을 패터닝함으로써 상기 제 1 도전성 부재를 형성하고,

상기 제 2 공정에서는 상기 능동 소자 형성 영역에서의 상기 반도체 기판의 표면 및 상기 수동 소자 형성 영역에서의 상기 제 1 도전성 부재의 표면을 산화함으로써 상기 절연막을 형성하고,

상기 제 3 공정에서는 상기 도전막으로서 제 2 폴리실리콘막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16.

제 14 항에 있어서,

상기 반도체 기판 상에 상기 능동 소자 형성 영역 및 상기 수동 소자 형성 영역을 둘러싸는 소자 분리를 형성하는 공정을 추가로 포함하며,

상기 제 1 공정에서는 상기 수동 소자 형성 영역에서의 불순물이 도입된 영역에 의해 상기 제 1 도전성 부재를 형성하고,

상기 제 2 공정에서는 상기 능동 소자 형성 영역에서의 상기 영역의 표면 및 상기 수동 소자 형성 영역에서의 상기 제 1 도전성 부재의 표면을 산화함으로써 상기 절연막을 형성하고,

상기 제 3 공정에서는 상기 도전막으로서 폴리실리콘막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17.

제 15 항 또는 제 16 항에 있어서,

상기 제 5 공정에서는 적어도 상기 제 2 도전성 부재의 표면과 상기 게이트 전극의 표면 상에 고융점 금속을 퇴적한 후 열처리를 하여 상기 금속 실리사이드막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 18.

제 14 항에 있어서,

상기 제 1 공정에서는 상기 제 1 도전성 부재의 바깥쪽에 상기 제 1 도전성 부재와 같은 재료로 구성되고 제 1 도전성 부재와 평행한 더미 부재를 형성하며,

상기 제 2 공정에서는 상기 더미 부재 상에도 절연막을 형성하고,

상기 제 4 공정에서는 상기 제 2 도전성 부재 및 용량 절연막을 상기 더미 부재의 콘택트 형성 영역을 제외한 영역을 덮도록 형성하며,

상기 제 5 공정에서는 상기 더미 부재의 노출되어 있는 표면에도 저저항층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19.

반도체 기판 상의 일부에 상기 반도체 기판의 표면에 평행한 면 내에서 서로 평행한 복수의 직선부와 각 직선부 사이를 접속하는 굴곡부를 갖는 선 형상의 제 1 도전성 부재를 형성하는 제 1 공정과,

적어도 상기 제 1 도전성 부재 위를 덮는 절연막을 형성하는 제 2 공정과,

상기 절연막을 패터닝하여 상기 제 1 도전성 부재의 콘택트 형성 영역과 상기 굴곡부를 제외한 영역을 덮는 용량 절연막을 형성하는 제 3 공정과,

상기 제 3 공정의 후에, 상기 제 1 도전성 부재의 노출되어 있는 표면 상에 금속 실리사이드막으로 이루어진 저저항층을 형성하는 제 4 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20.

제 19 항에 있어서,

상기 제 1 공정에서는 상기 제 1 도전성 부재를 상기 각 직선부가 서로 평행하게 되는 구불구불한 형상으로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21.

제 20 항에 있어서,

상기 제 2 공정후 상기 제 3 공정 전에 적어도 상기 절연막 위를 덮는 도전막을 형성하는 공정을 추가로 포함하며,

상기 제 3 공정에서는 상기 도전막 및 상기 절연막을 동시에 패터닝하여 상기 제 2 도전성 부재를 상기 제 1 도전성 부재의 각 직선부에 걸쳐지도록 형성하고,

상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22.

제 20 항에 있어서,

상기 제 1 공정에서는 상기 제 1 도전성 부재를 중앙의 단부로부터 바깥쪽으로 향하여 다각형상 와권을 그리면서 연장한 후 바깥쪽의 단부에서 멈추고 상기 제 1 도전성 부재의 상기 복수의 직선부가 상기 다각형상 와권의 각 변으로 되고 상기 제 1 도전성 부재의 굴곡부가 상기 다각형상 와권의 각진 부분으로 되도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 23.

제 22 항에 있어서,

상기 제 2 공정후, 상기 제 3 공정 전에, 적어도 상기 절연막 위를 덮는 도전막을 형성하는 공정을 추가로 포함하며,

상기 제 3 공정에서는 상기 도전막 및 상기 절연막을 동시에 패터닝하여 상기 제 2 도전성 부재를 상기 다각형상 와권 내의 서로 대응하는 변에 속하는 각 직선부에 걸치는 부분으로 이루어지도록 형성하고,

상기 제 1 도전성 부재, 제 2 도전성 부재 및 절연막에 의해 인덕터, 저항 소자 및 용량 소자 중 적어도 어느 하나를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 24.

제 21 항 또는 제 23 항에 있어서,

상기 제 2 도전성 부재를 형성하는 공정에서는 상기 제 1 도전성 부재의 가장 바깥쪽의 각 직선부보다 바깥쪽으로 튀어나온 접속 영역을 갖는 제 2 도전성 부재를 형성해 두고,

상기 제 2 도전성 부재 상에 층간 절연막을 형성하는 제 5 공정과,

상기 층간 절연막에 상기 제 2 도전성 부재의 각 접속 영역의 각각 복수의 부위와, 상기 제 1 도전성 부재의 콘택트 형성 영역에 각각 도달하는 복수의 콘택트 홀을 형성하는 제 6 공정과,

상기 각 콘택트 홀 내에 도전성 재료로 이루어지는 매설층을 형성하는 제 7 공정과,

상기 각 매설층에 각각 접속되는 배선층을 형성하는 제 8 공정을 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 25.

제 21 항 또는 제 23 항에 있어서,

상기 제 1 공정에서는 상기 제 1 도전성 부재 중 가장 바깥쪽의 직선부의 바깥쪽에 제 1 도전성 부재와 같은 재료로 구성되고 제 1 도전성 부재와 평행한 더미 부재를 형성하며,

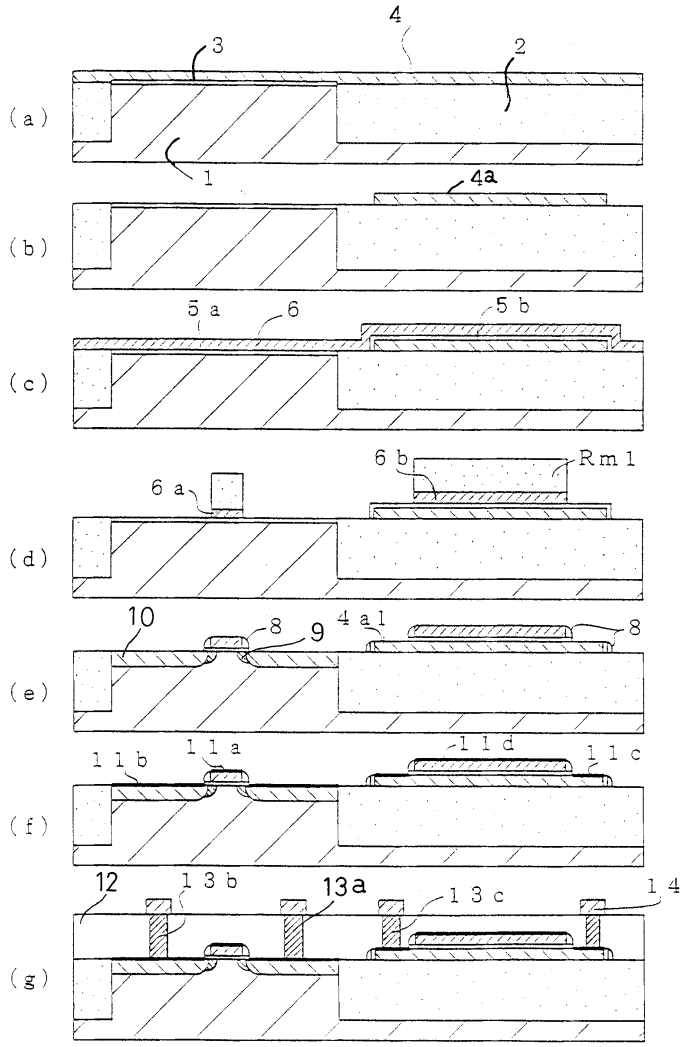
상기 제 2 공정에서는 상기 더미 부재 상에도 절연막을 형성하고,

상기 제 3 공정에서는 상기 용량 절연막을 상기 더미 부재의 콘택트 형성 영역을 제외한 영역을 덮도록 형성하며,

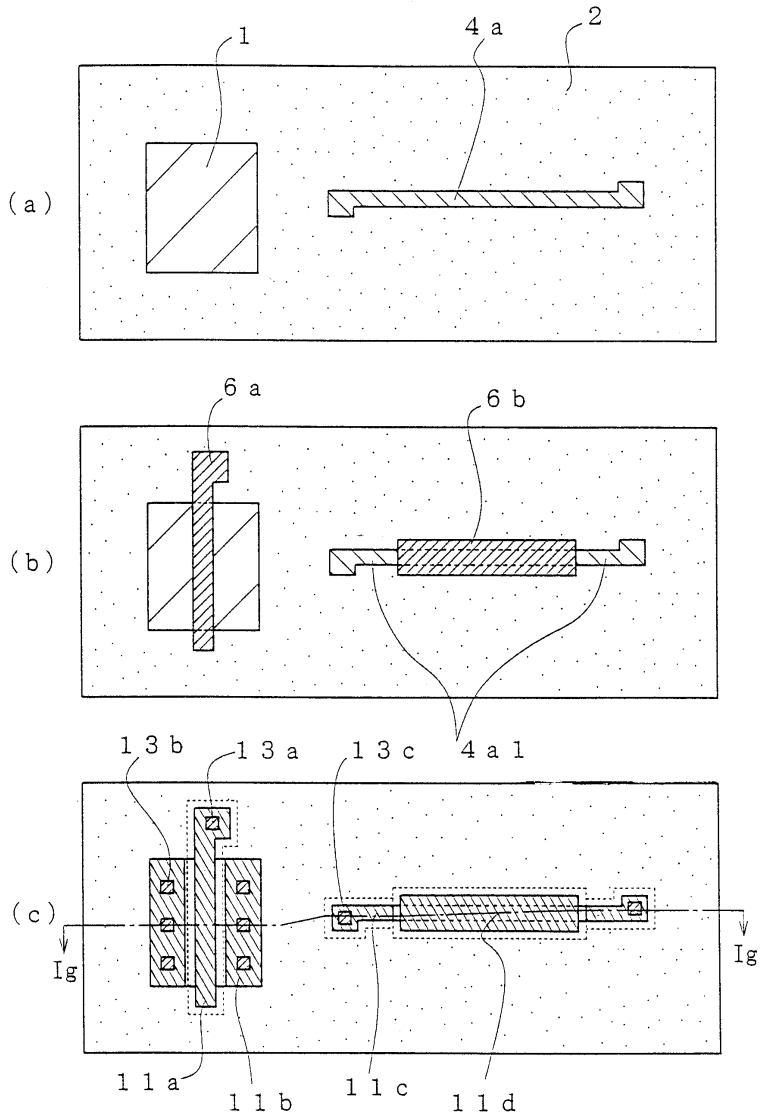
상기 제 4 공정에서는 상기 더미 부재의 노출되어 있는 표면에도 저저항층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

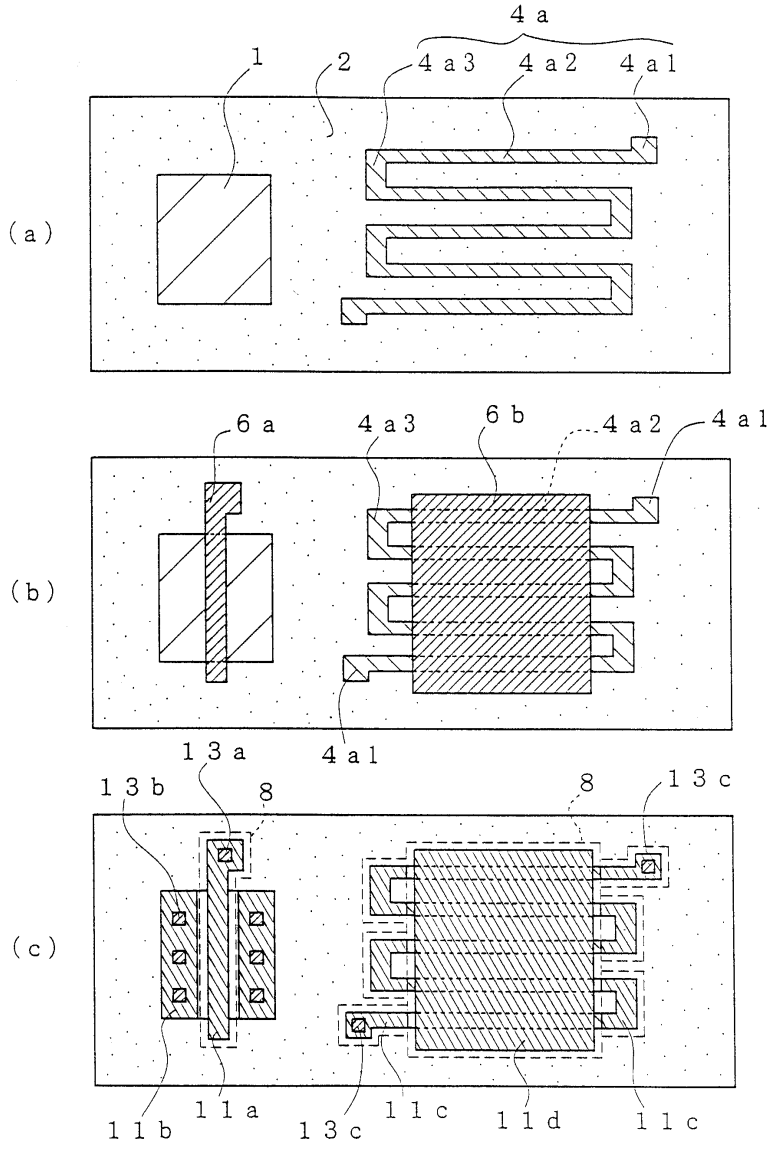
도면1


(a)
4
3
2
1
(b)
4a
(c)
5a
6
5b
(d)
6b
Rm1
6a
(e)
10
8
9
4a1
8
(f)
11b
11a
11d
11c
(g)
12
13b
13a
13c
14

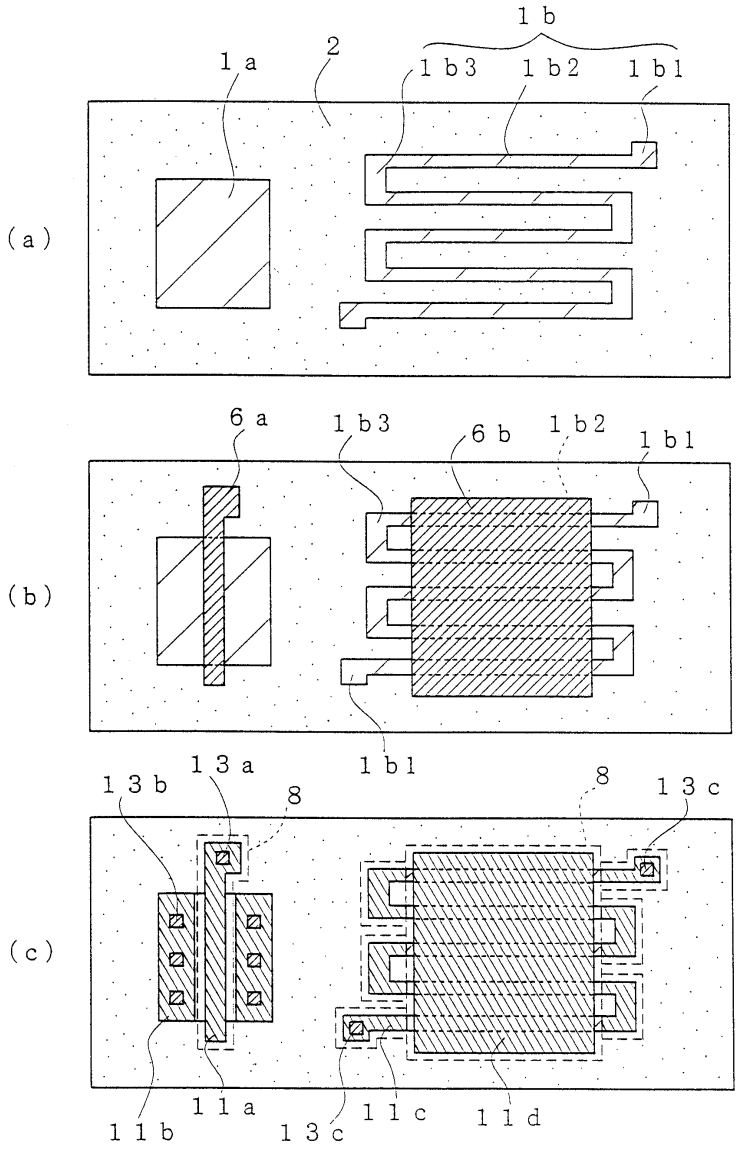
도면2



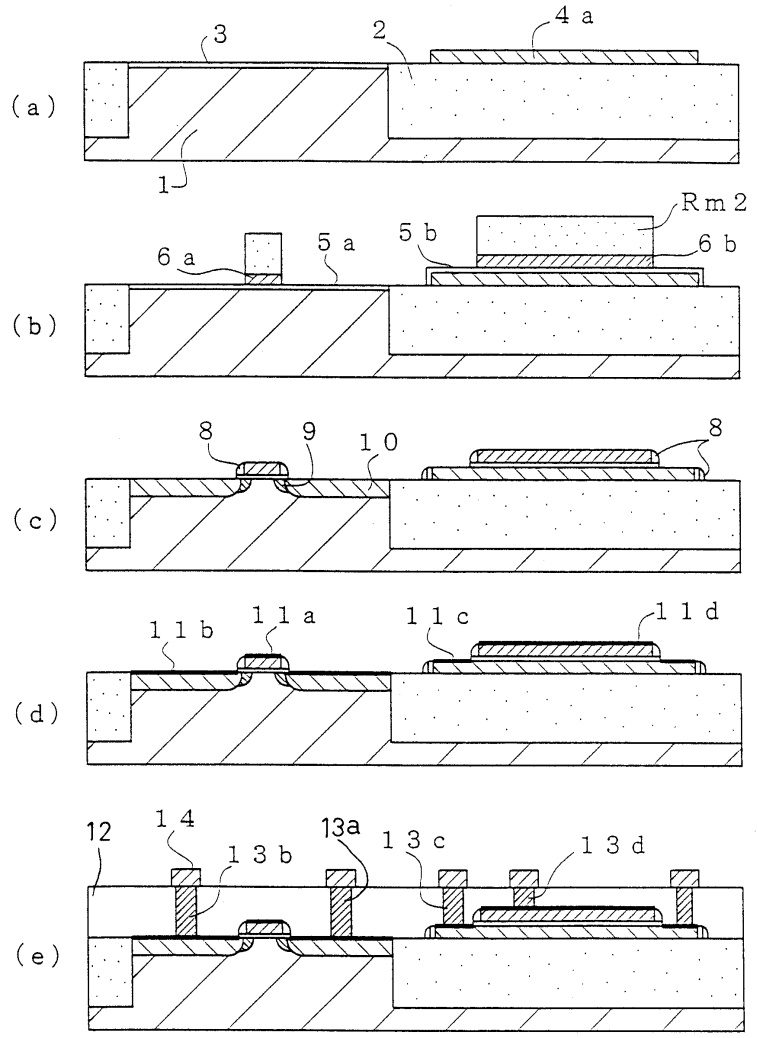
도면3


(a)
4a
1
2
4a3
4a2
4a1
(b)
6a
4a3
6b
4a2
4a1
4a1
(c)
13a
13b
8
8
13c
11b
11a
13c
11c
11d
11c

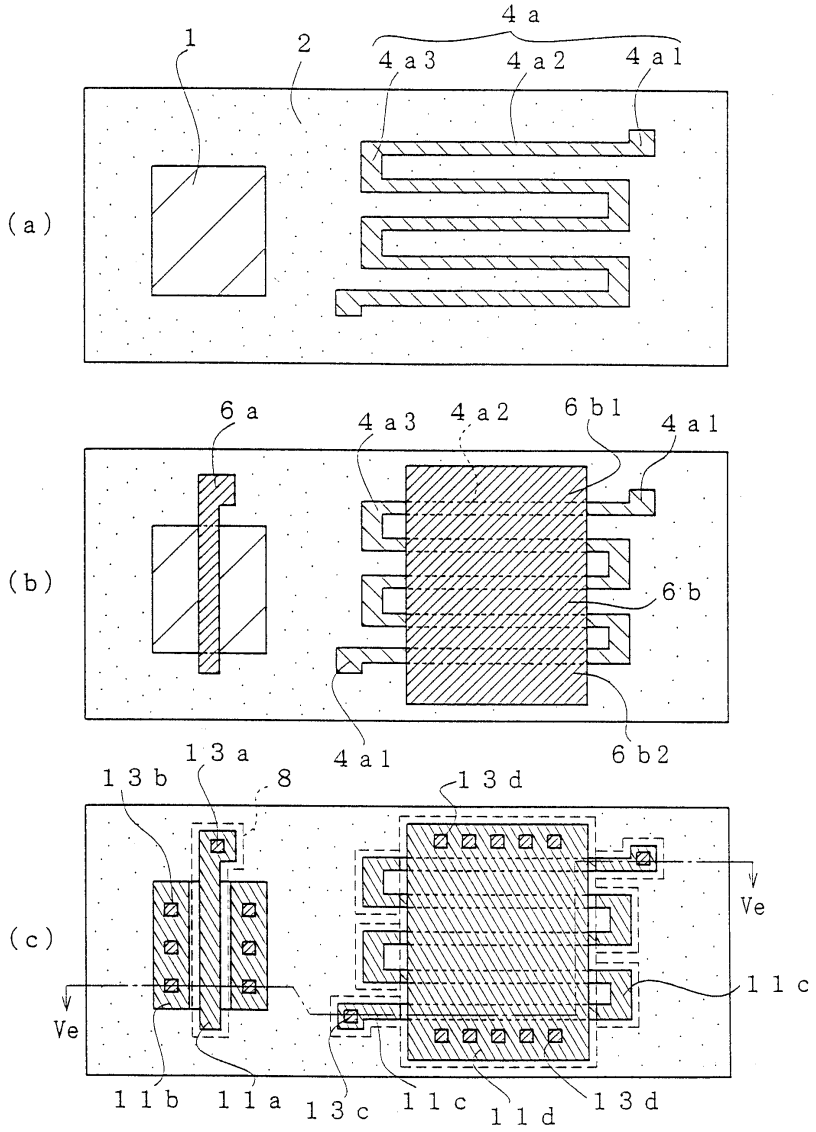
도면4


(a)
1b
1a
2
1b3
1b2
1b1
(b)
6a
1b3
6b
1b2
1b1
1b1
(c)
13b
13a
8
8
13c
11b
11a
13c
11c
11d

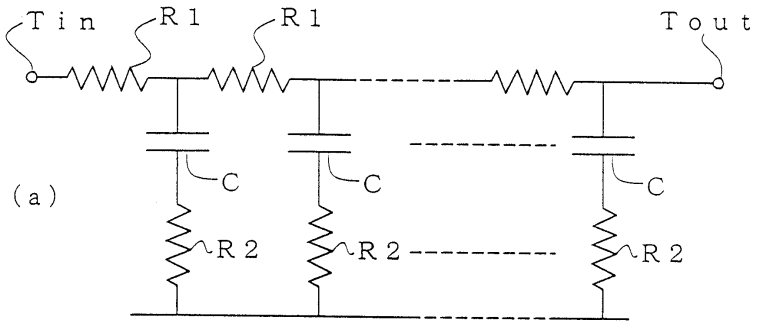
도면5

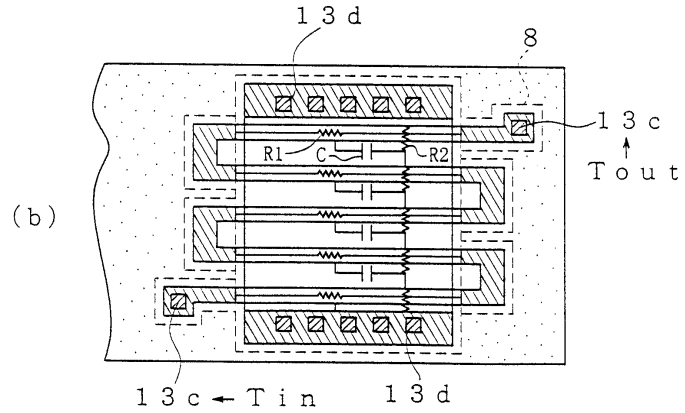

(a)
3
2
4 a
1
(b)
Rm 2
6 a
5 a
5 b
6 b
(c)
8
9
1 0
8
(d)
1 1 b
1 1 a
1 1 c
1 1 d
(e)
12
1 4
1 3 b
13a
1 3 c
1 3 d

도면6

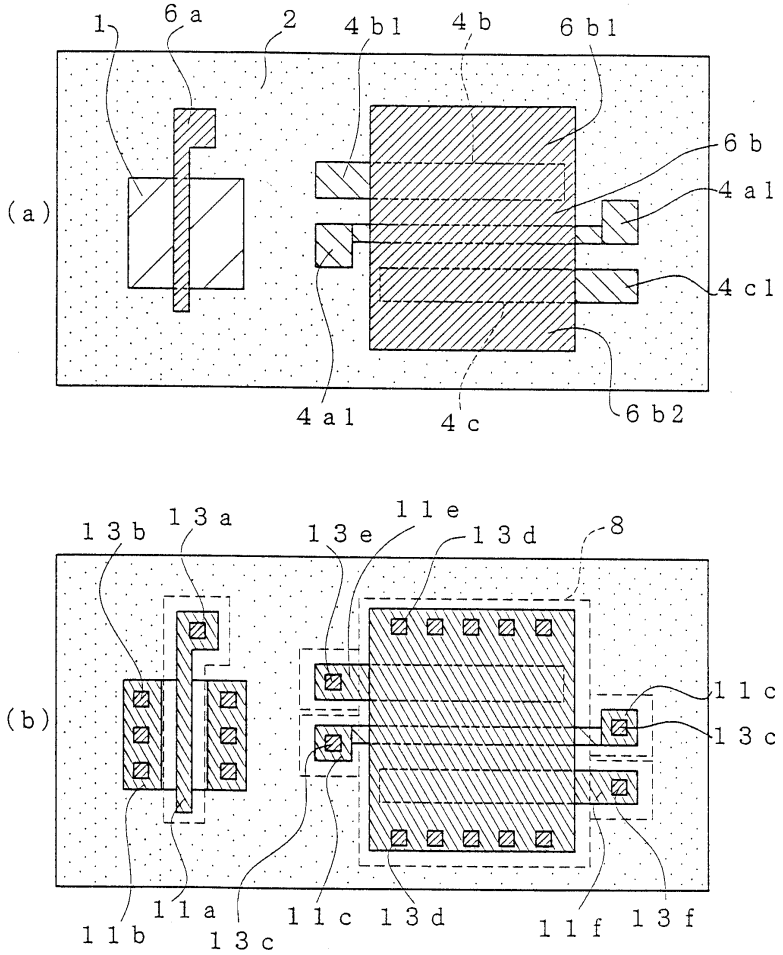

(a)
1
2
4a
4a3
4a2
4a1
(b)
6a
4a3
4a2
6b1
4a1
6b
4a1
6b2
(c)
13a
13b
8
13d
Ve
11c
Ve
11b
11a
13c
11c
11d
13d

도면7

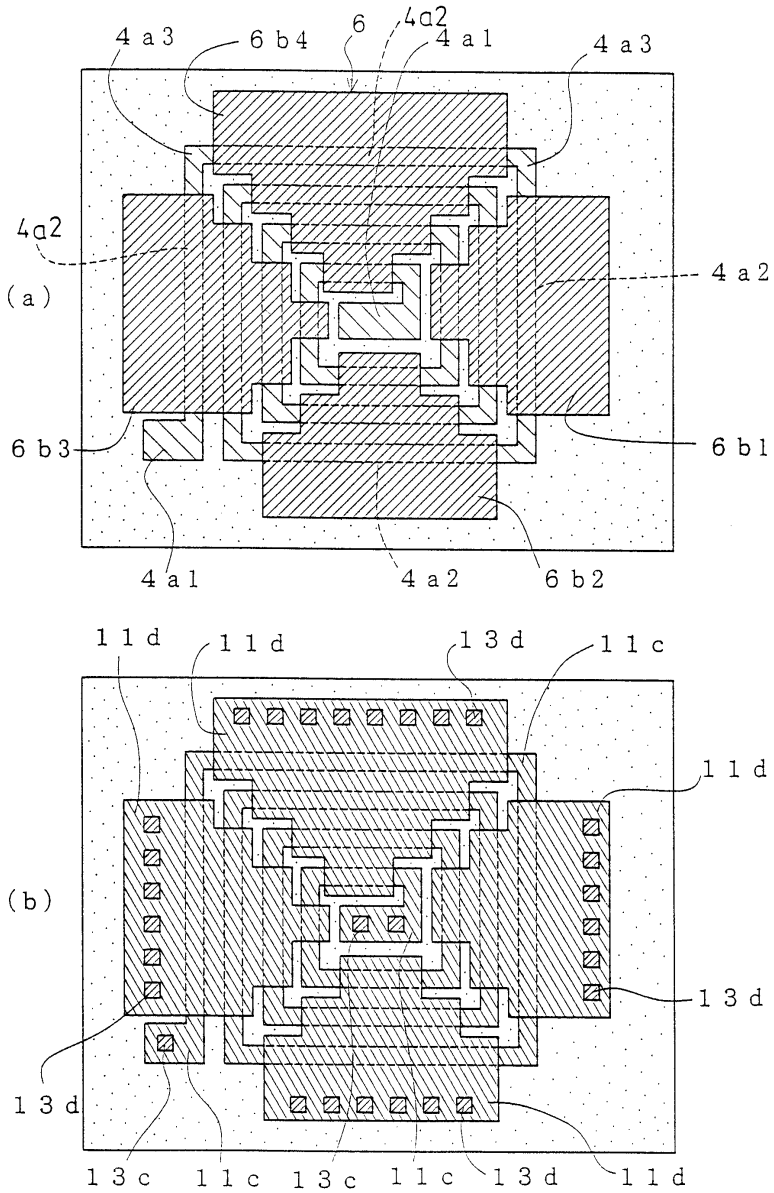




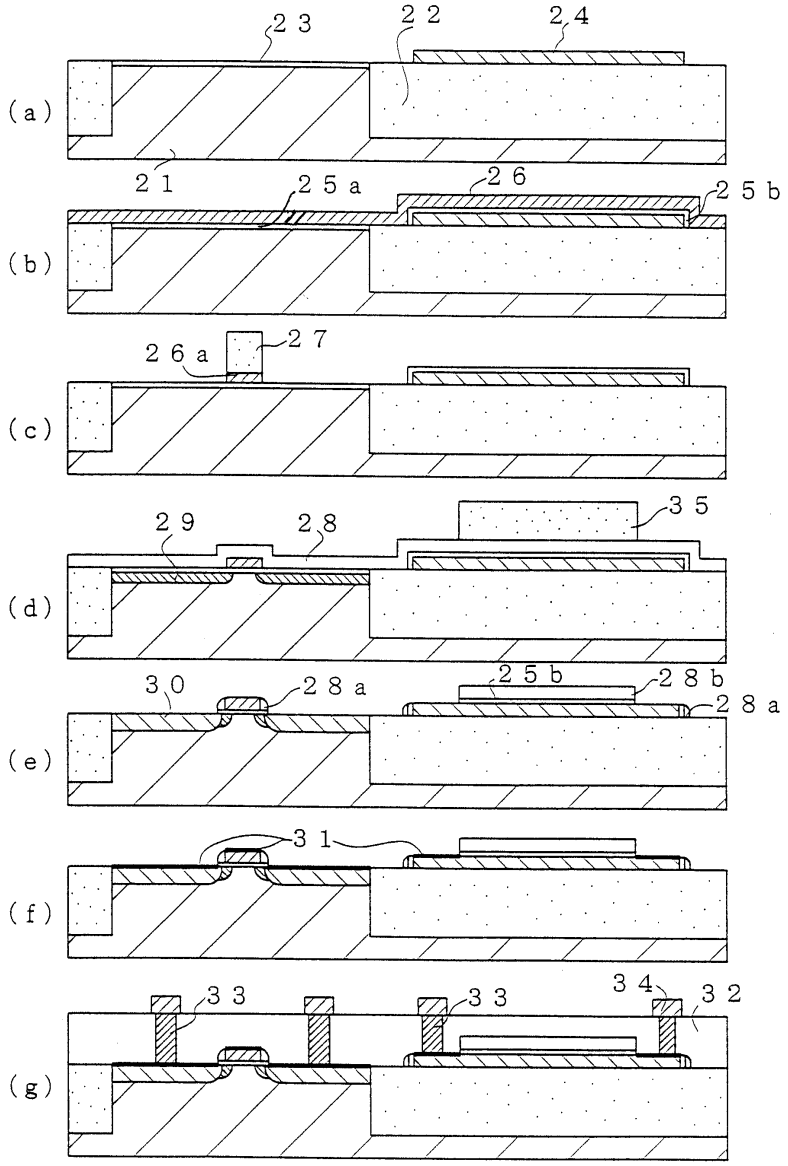
도면8


(a)
1
6a
2
4b1
4b
6b1
6b
4a1
4c1
4a1
4c
6b2
(b)
13b
13a
13e
11e
13d
8
11c
13c
11b
11a
13c
11c
13d
11f
13f

도면9


4 a 3
6 b 4
6
4a2
4 a 1
4 a 3
4a2
4 a 2
(a)
6 b 3
6 b 1
4 a 1
4 a 2
6 b 2
1 1 d
1 1 d
1 3 d
1 1 c
1 1 d
(b)
1 3 d
1 3 d
1 3 c
1 1 c
1 3 c
1 1 c
1 3 d
1 1 d

도면10


(a)
23
22
24
21
(b)
25a
26
25b
(c)
26a
27
(d)
29
28
35
(e)
30
28a
25b
28b
28a
(f)
31
(g)
33
33
34
32

도면11

