

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2020年10月29日 (29.10.2020)



(10) 国际公布号  
**WO 2020/215732 A1**

- (51) 国际专利分类号:  
**H03F 3/21** (2006.01)
- (21) 国际申请号: PCT/CN2019/123584
- (22) 国际申请日: 2019年12月6日 (06.12.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201910340782.6 2019年4月25日 (25.04.2019) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 任志雄 (REN, Zhixiong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 欧阳涛 (OUYANG, Tao); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 北京润泽恒知识产权代理有限公司 (BEIJING RUN ZEHENG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区中关村南大街31号神舟大厦702, Beijing 100081 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: SIGNAL PROCESSING METHOD, DEVICE, AND SYSTEM

(54) 发明名称: 信号处理方法、装置及系统

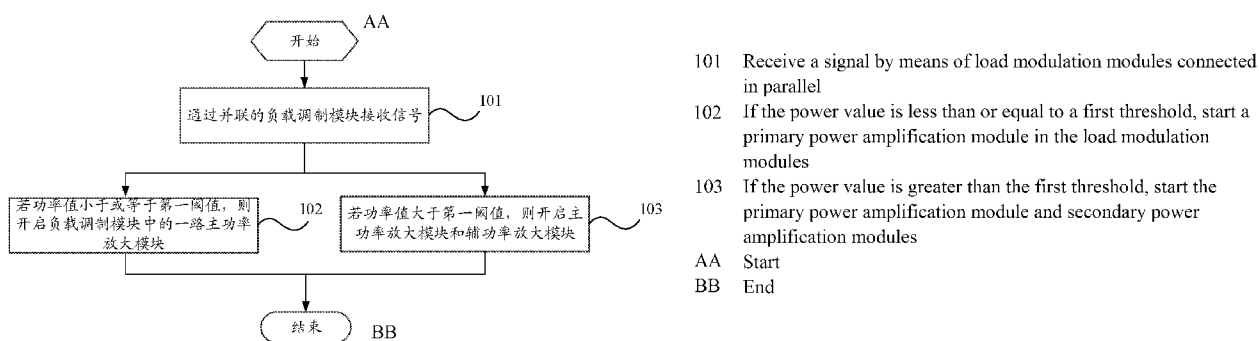


图 5

(57) Abstract: The embodiments of the present application provide a signal processing method, device and system. The system comprises  $n$  load modulation modules and a synthesis module. The  $n$  load modulation modules are connected in parallel, and an output end of each of the load modulation modules is connected to an input end of the synthesis module,  $n$  being an integer greater than 1. The  $n$  load modulation modules comprise a primary power amplification module and  $(n-1)$  secondary power amplification modules. The secondary power amplification module is started when the power value of a signal received at an input end of the load modulation module is greater than a first threshold. The primary power amplification module comprises two outphasing power amplification units. Each of the secondary power amplification modules comprises two outphasing power amplifier arrays or one digital polar power amplifier array. Thus, a system capable of effectively improving the efficiency of a return area, and in particular, improving the efficiency of a deep return area is provided.

(57) 摘要: 本申请实施例提供了一种信号处理方法、装置及系统, 该系统包括  $n$  路负载调制模块、以及合成模块; 其中, 所述  $n$  路负载调制模块并联, 并且, 每路所述负载调制模块的输出端与所述合成模块的输入端相连,  $n$  为大于 1 的整数; 以及, 所述  $n$  路负载调制模块中包括一路主功率放大模块和  $(n-1)$  路辅功率放大模块, 其中, 所述辅功率放大模块在所述负载调制模块的输入端接收到的信号的功率值大于第一阈值时开启; 其中, 所述主功率放大模块包括两个 Outphasing 功率放大单元, 以及, 每路所述辅功率放大模块包括两个 Outphasing 功率放大器阵列或一个 Digital Polar 功率放大器阵列。从而提供了一种可有效提升回退区效率, 尤其可实现深回退区效率的提升的系统。

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

**(84)** 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

## 信号处理方法、装置及系统

本申请要求于 2019 年 04 月 25 日提交中国专利局、申请号为 201910340782.6、申请名称为“信号处理方法、装置及系统”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

### 技术领域

本申请实施例涉及信号处理领域，尤其涉及一种信号处理方法、装置及系统。

### 背景技术

为了满足人们日益增长的网络速率要求，扩大信号带宽和增加频谱利用率是两种最常用的手段，例如：在无线 WiFi 技术中，信号带宽已经从 802.11g 中的 20MHz 扩大为 802.11ac 中的 160MHz，并且，调制信号从正交频分复用（Orthogonal Frequency Division Multiplexing, OFDM）的 64-QAM（Quadrature Amplitude Modulation，正交振幅调制）提升至 OFDM 256-QAM，对应速率从 54Mbps 提升至 3.5Gbps；在移动通信技术中，信号带宽已从第四代移动通信技术（the 4th Generation mobile communication technology, 4G）长期演进（Long Term Evolution, LTE）的 20MHz 扩大为第五代移动通信技术（the 5th generation mobile networks, 5G）的 100MHz，对应速率从 100Mbps 提升至 1Gbps 以上；在同轴有线接入（Data Over Cable Service Interface Specifications, DOCSIS）技术中，信号带宽已经从 DOCSIS 1.0 的 860MHz 扩大为 DOCSIS 3.1 的 1GHz，调制信号从单载波 64/256-QAM 提升至 OFDM 4096-QAM，对应速率从 38Mbps 提升至 10Gbps。

综上所述，目前常见的通信系统中的信号均具有大带宽、高阶 QAM 调制的特点，但是，通常情况下，大带宽、高阶 QAM 调制的信号将会导致信号的峰均比（Peak-to-Average-Ratio, PAR）的增加。为了保证信号的无损传输，通信链路中的功能模块需要根据 PAR 工作于回退区。

功率放大器(Power Amplifier, PA)作为通信链路中的核心功能模块之一，面对目前信号的带宽的扩展，要求 PA 具有更高的线性度，而 PAR 的变大会使 PA 回退至更低的效率区域，导致系统能量损耗，温度升高，进而需要增加复杂的散热系统设计。所以，如何设计高效率的 PA，以满足目前的大带宽、高 PAR 信号的传输需求，成为亟需解决的问题。

在已有技术的 Doherty 功率放大器、Class-G 功率放大器等结构中，对应的回退区为 6dB 大小。为提升回退区效率，已有技术通常采用增加 Doherty 功率放大器中的辅放大器路数等方式。但是，该种方式在提升回退区效率的同时，将会大幅度增加功率放大器的尺寸。

### 发明内容

本申请提供一种信号处理方法、装置及系统，能够有效提升回退区效率。

为达到上述目的，本申请采用如下技术方案：

第一方面，本申请实施例提供一种信号处理系统，该系统包括： $n$ 路负载调制模块、以及合成模块；其中， $n$ 路负载调制模块并联，并且，每路负载调制模块的输出端与合成模块的输入端相连， $n$ 为大于1的整数，其中，合成模块通过所述输入端接收所述 $n$ 个负载调制模块输出的 $n$ 路信号，并对 $n$ 路信号进行合成处理；以及， $n$ 路负载调制模块中包括一路主功率放大模块和 $(n-1)$ 路辅功率放大模块，其中，辅功率放大模块在负载调制模块的输入端接收到的信号的功率值大于第一阈值时开启；其中，主功率放大模块包括两个异相 Outphasing 功率放大单元，以及，每路辅功率放大模块包括两个 Outphasing 功率放大器阵列或一个数字极化 Digital Polar 功率放大器阵列。

通过上述方式，本申请提供了一种不需要辅放大器路数，但可有效提升回退区效率，尤其可实现深回退区效率的提升的系统。

在一种可能的实现方式中，其中，Outphasing 功率放大单元包括一个 Digital Outphasing 功率放大器阵列。也就是说，两路中的每一路 Outphasing 功率放大单元包括一个 Digital Outphasing 功率放大器阵列，其中，每个 Digital Outphasing 阵列中包括两个或两个以上 Outphasing 功率放大器。从而在主功率放大模块开启时，进一步通过控制主功率放大模块中的 Outphasing 功率放大器的开启数量，以提升回退区效率。

在一种可能的实现方式中，两个 Outphasing 功率放大单元并联。

在一种可能的实现方式中，主功率放大模块还包括合成单元，两路 Outphasing 功率放大单元的输出端分别与合成单元的输入端相连，以及，合成单元的输出端与合成模块的输入端相连，合成单元可用于通过所述输入端接收所述两路 Outphasing 功率放大单元输出的两路信号，并对所述两路信号进行合成处理；其中，合成单元与合成模块由变压器构成。

通过上述方式，实现了器件尺寸的减小，并可通过 CMOS 工艺，将系统在片上集成。

在一种可能的实现方式中，其中，第一合成单元为 Chireix 合成器，第二合成单元为多赫蒂 Doherty 合成器。

通过上述方式，实现了 Chireix Outphasing 与 Doherty 负载调制的结合。

第二方面，本申请实施例提供一种信号处理方法，该方法可应用于第一方面所述的信号处理系统中，该方法包括：通过并联的 $n$ 路负载调制模块接收信号；基于信号的功率值，开启 $n$ 路负载调制模块中的一路或一路以上负载调制模块；其中，若功率值小于或等于第一阈值，则开启 $n$ 路负载调制模块中的一路主功率放大模块；若功率值大于第一阈值，则开启一路主功率放大模块和 $(n-1)$ 路负载调制模块中的至少一路辅功率放大模块；其中，主功率放大模块包括两个异相 Outphasing 功率放大单元，以及，辅功率放大模块包括两个 Outphasing 功率放大器阵列或一个数字极化 Digital Polar 功率放大器阵列。

在一种可能的实现方式中，基于信号的功率值，开启  $n$  路负载调制模块中的一路或一路以上负载调制模块的步骤，包括：若信号的幅度值小于或等于第二阈值，则开启主功率放大模块；若信号的幅度值大于第二阈值，则开启至少一路辅功率放大模块。

5

在一种可能的实现方式中，开启一路主功率放大模块和  $(n-1)$  路负载调制模块中的至少一路辅功率放大模块的步骤，包括：若信号的幅度值满足 Outphasing 功率放大器阵列或 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件，则开启一个或一个以上功率放大器。

10

在一种可能的实现方式中，基于信号的功率值，开启  $n$  路负载调制模块中的一路或一路以上负载调制模块的步骤，包括：若信号的相位值大于或等于第三阈值，则开启主功率放大模块；若信号的相位值小于第三阈值，则开启至少一路辅功率放大模块；其中，相位值为将信号进行 Outphasing 变换后得到的。

15

在一种可能的实现方式中，开启一路主功率放大模块和  $(n-1)$  路负载调制模块中的至少一路辅功率放大模块的步骤，包括：若信号的相位值满足 Outphasing 功率放大器阵列或 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件，则开启一个或一个以上功率放大器。

20

第三方面，本申请实施例提供一种信号处理装置，包括：控制模块，用于控制并联的  $n$  路负载调制模块接收信号；以及，控制模块可以进一步用于基于信号的功率值，开启  $n$  路负载调制模块中的一路或一路以上负载调制模块；其中，若功率值小于或等于第一阈值，则开启  $n$  路负载调制模块中的一路主功率放大模块；若功率值大于第一阈值，  
25 则开启一路主功率放大模块和  $(n-1)$  路负载调制模块中的至少一路辅功率放大模块；其中，主功率放大模块包括两个异相 Outphasing 功率放大单元，以及，辅功率放大模块包括两个 Outphasing 功率放大器阵列或一个数字极化 Digital Polar 功率放大器阵列。

25

在一种可能的实现方式中，控制模块进一步用于：若信号的幅度值小于或等于第二  
30 阈值，则开启主功率放大模块；若信号的幅度值大于第二阈值，则开启至少一路辅功率放大模块。

30

在一种可能的实现方式中，控制模块进一步用于：若信号的幅度值满足 Outphasing  
功率放大器阵列或 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发  
35 条件，则开启一个或一个以上功率放大器。

35

在一种可能的实现方式中，控制模块进一步用于：若信号的相位值大于或等于第三  
阈值，则开启主功率放大模块；若信号的相位值小于第三阈值，则开启至少一路辅功率

放大模块；其中，相位值为将信号进行 Outphasing 变换后得到的。

5 在一种可能的实现方式中，控制模块进一步用于：若信号的相位值满足 Outphasing 功率放大器阵列或 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件，则开启一个或一个以上功率放大器。

第四方面，本申请实施例提供了一种计算机可读介质，用于存储计算机程序，该计算机程序包括用于执行第二方面或第二方面的任意可能的实现方式中的方法的指令。

10 第五方面，本申请实施例提供了一种计算机程序，该计算机程序包括用于执行第二方面或第二方面的任意可能的实现方式中的方法的指令。

15 第六方面，本申请实施例提供了一种芯片，该芯片包括处理电路、收发管脚。其中，该收发管脚、和该处理器通过内部连接通路互相通信，该处理器执行第二方面或第二方面的任一种可能的实现方式中的方法，以控制接收管脚接收信号，以控制发送管脚发送信号。

#### 附图说明

20 为了更清楚地说明本申请实施例的技术方案，下面将对本申请实施例的描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 是示例性示出的一种功率放大器结构示意图；

图 2 是示例性示出的效率曲线；

25 图 3 是示例性示出的一种功率放大器结构示意图；

图 4 是本申请实施例提供的一种信号处理系统的结构示意图之一；

图 5 是本申请实施例提供的一种信号处理方法的流程图之一；

图 6 是本申请实施例提供的一种极化方案的示意图之一；

图 7 是本申请实施例提供的一种极化方案的示意图之一；

30 图 8 是本申请实施例提供的信号的频谱图；

图 9 (a) ~9 (d) 是本申请实施例中的 Outphasing PA 的负载阻抗变化曲线；

图 10 是本申请实施例提供的系统的效率曲线图；

图 11 是本申请实施例提供的一种信号处理系统的结构示意图之一；

图 12 是本申请实施例提供的一种信号处理方法的流程图之一；

35 图 13 是本申请实施例提供的系统的效率曲线图；

图 14 是本申请实施例提供的一种信号处理系统的结构示意图之一；

图 15 是本申请实施例提供的一种信号处理系统的结构示意图之一；

图 16 是本申请实施例提供的一种信号处理装置的结构示意图之一。

## 具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本文中术语“和/或”，仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A和/或B，可以表示：单独存在A，同时存在A和B，单独存在B这三种情况。

本申请实施例的说明书和权利要求书中的术语“第一”和“第二”等是用于区别不同的对象，而不是用于描述对象的特定顺序。例如，第一目标对象和第二目标对象等是用于区别不同的目标对象，而不是用于描述目标对象的特定顺序。

在本申请实施例中，“示例性的”或者“例如”等词用于表示作例子、例证或说明。本申请实施例中被描述为“示例性的”或者“例如”的任何实施例或设计方案不应被解释为比其它实施例或设计方案更优选或更具优势。确切而言，使用“示例性的”或者“例如”等词旨在以具体方式呈现相关概念。

在本申请实施例的描述中，除非另有说明，“多个”的含义是指两个或两个以上。例如，多个处理单元是指两个或两个以上的处理单元；多个系统是指两个或两个以上的系统。

为了使本领域人员更好地理解本申请实施例中的技术方案，首先对已有技术进行介绍。

如图1所示为已有技术中的一种功率放大器结构的示意图。在图1中：

该功率放大器为多路模拟多赫蒂（Doherty）PA结构，其中包括主功率放大器110，以及两路辅功率放大器，分别为：辅功率放大器120、辅功率放大器130。

主功率放大器包括功率放大器111及功率放大器112，为两路异相（Outphasing）功率放大器。

两路辅放大器，还包括输入信号分离单元、输出信号合成器等（图中未标号）。

需要说明的是，在Doherty PA结构中，其工作原理为：在输入信号（或者可描述为输入信号的功率）较小时（输入信号较小的界定方式可以为，若输入信号的功率小于预设阈值，则输入信号为较小的信号，否则为较大信号），辅功率放大器（例如图1中的两路辅功率放大器120和130）处于非工作状态，而主功率放大器处于工作状态。即，参照图1，此时，PA工作于Outphasing模式，即主功率放大器110处于工作状态，以对输入信号进行放大处理，其效率曲线形成如图2中所示的第一个回退区（即T1~T2）。在Doherty PA中，辅功率放大器在输入信号较大时开启（同时，主功率放大器仍然处于工作状态，即，输入信号较大时，主辅功率放大器均处于工作状态）。仍参照图1，随着输入信号变大，逐渐开启辅放大器120和130，此时，辅功率放大器120和辅功率放大器130与主功率放大器形成Doherty负载调制，效率曲线形成第二、第三个回退区。

在如图1所示的功率放大器结构中，回退区的大小由辅放大器的路数决定，即，在

图 1 所示的包含两路辅功率放大器的放大器结构中, 则可在 Outphasing 主功率放大器的基础上新增两个回退点。而如果要继续增加回退点 (即增加回退区大小, 或者可以理解为提升回退区的效率), 则需要新增辅放大器的路数和对应的阻抗变换传输线, 导致输出合成器的结构更为复杂, 对应输入信号的分离也变得更加复杂, 从而会降低整体 PA 的增益和效率。

5 如图 3 所示为已有技术中的另一种功率放大器的结构示意图。在图 3 中:

该功率放大器 200 中结合了传统的模拟 Doherty PA 和数字极化 (Digital Polar) PA 两种结构, 其中, 该已有技术中将 Doherty PA 中的辅功率放大器替换为 Digital Polar PA (即图中 220), 而主功率放大器依然是传统的模拟 PA (即图中 210)。基于 Doherty PA 的工作原理, 在输入信号较小时, 辅功率放大器全部关闭, 仅主功率放大器 210, 即模拟 PA 处于工作状态。随着输入信号变大, 逐渐开启 Digital Polar (即辅功率放大器 220) 功率放大器阵列中的 PA。此时, 主辅两路 PA 之间形成 Doherty 负载调制。

10 基于图 3 所示的功率放大器结构, 其所对应的回退区大小为 6dB, 即与传统的两路模拟 Doherty PA 所能达到的回退区大小相同, 如图 3 所示的功率放大器还可以通过采用不对称 Doherty 结构, 以进一步提高回退区的效率, 即, 增加回退区大小。但是, 不对称 Doherty PA 中存在的问题为: 若要达到较大的回退区, 例如, 实现深回退区 (即 12dB 以上), 则辅功率放大器的功率至少要达到主功率放大器的功率的 3 倍大小, 因此, 辅功率放大器的尺寸则会相对增加 (增加的幅度较大), 因此, 在实际应用中, 很难实现 PA 的深回退区的效率的提升。

20 综上, 针对已有技术中存在的在提升回退区效率的同时, 将会大幅度增加功率放大器的尺寸, 从而增加工艺难度, 进而无法实现深回退区的问题, 本申请提出一种信号处理系统, 该系统通过结合 Outphasing 与 Doherty 两种负载调制方式, 在不需要增加额外辅放大器路数的同时, 能有效提升回退区效率, 进而实现深回退区。

25 如图 4 所示为本申请实施例中的信号处理系统的结构示意图, 在图 4 中:

信号处理系统 300 包括数字信号处理 (Digital Signal Processing, DSP) 模块 310、并联的两路负载调制模块, 其中, 两路负载调制模块包括主功率放大模块 320、辅功率放大模块 330, 以及, 信号处理系统 300 还包括合成模块 340、反馈模块 350。

30 参照图 4, 信号处理系统 300 中的 DSP 模块 310 的输出端分别与两路负载调制模块 (即主功率放大模块 320 与辅功率放大模块 330) 的输入端相连接。以及, 合成模块 340 的输入端分别与两路负载调制模块 (即主功率放大模块 320 与辅功率放大模块 330) 的输出端相连接。以及, 合成模块 340 的输出端连接反馈模块 350 的输入端, 反馈模块 350 的输出端连接 DSP 模块 310 的输入端, 从而形成反馈回路。反馈回路可用于 PA 输出信号的回采, 并将采集的信号反馈至 DSP 模块进行失真、失配等不理想因素的校准等处理, 反馈回路的具体处理方式可参照已有技术实施例中的技术方案, 本申请不再赘述。

35 可选地, 在本申请中, 主功率放大模块 320 包括并联的两个 Outphasing 功率放大器 (即图中的 Outphasing 功率放大器 321 和 Outphasing 功率放大器 322), 以及合成单元 323。可选地, 合成单元 323 可以为低隔离度的 Chireix 合成器, 由电感和电容组成。在

其它实施例中，合成器也可以为其它低隔离度的合成器，本申请对此不做限定。

DSP 模块（例如 DSP 模块 310）可以就是 DSP 处理器或者多个 DSP 处理的主要功能单元组合成的模块。

5 以及，辅功率放大模块 330 包括 Digital Polar 功率放大器阵列，即，辅功率放大器可量化为由多个（即两个或两个以上）极化功率放大器组成的阵列。

可选地，在本申请中，合成模块 340 包括但不限于：传输线 341 及合成器 342。可选地，传输线 341 可以为  $\lambda/4$  传输线，用于 Doherty 负载调制的阻抗变换。可选地，在本申请中，合成器 342 可以为 Doherty 合成器。

10 结合图 4，如图 5 所示为本申请实施例中的一种信号处理方法的流程图，该方法应用于如图 4 所示的信号处理系统中，方法包括：

步骤 101，通过并联的负载调制模块接收信号。

15 具体的，在本申请的实施例中，DSP 模块对信号（为区分其它的例如输出的信号等，在本实施例及下面的实施例中，将该信号统称为输入信号）进行数字信号处理，随后，DSP 将处理后的输入信号通过输出端发送至两路负载调制模块的输入端。如图 4 所示，其中，输入两路负载调制模块的信号包括：两路 Outphasing PA 的输入信号  $S_1$  和  $S_2$ ，以及 Digital Polar PA 的输入信号  $S_3$  和控制信号  $A_1 \sim A_n$ 。

20 可选地，在本申请中，负载调制模块可构成 Doherty PA 结构，即，本申请中的负载调制模块之间可工作于 Doherty 负载调制模式。具体的，基于上文所述的 Doherty PA 的工作原理，即，在输入信号较小时，主功率放大器开启，而辅功率放大器关闭；在输入信号较大时，主功率放大器与辅功率放大器同时开启。

在本申请中，确定输入信号的大小的方式可包括两种，其一为：在本申请中，可设置幅度阈值，DSP 可基于幅度阈值，判断输入信号的大小，并基于判断结果，确定对应于输入信号的处理方式。

25 具体的，参照图 6，即，当输入信号的幅度小于或等于幅度阈值  $A_{th}$  时，DSP 将输入信号  $S_{in}$  转换为两路信号  $S_1$  和  $S_2$ ，并输出至主功率放大模块，从而使主功率放大模块处于工作状态，并进入步骤 102。当输入信号的幅度值大于幅度阈值  $A_{th}$  时，DSP 将输入信号转换为：输入信号  $S_3$ 、控制  $A_1 \sim A_n$ 、以及两路信号  $S_1$  和  $S_2$ 。其中，输入信号  $S_3$ 、控制信号  $A_1 \sim A_n$  用于使辅功率放大模块处于工作状态，并进入步骤 103，其中，控制信号  $A_1 \sim A_n$  开启辅功率放大模块中包括的功率放大器阵列中的一个或一个以上功率放大器的方式可参照步骤 103。

30 举例说明：输入信号  $S_{in}$  可表示为：

$$S_{in} = A(t) * \cos(\omega t + \varphi(t))$$

其中  $A(t)$  为调幅信号， $\varphi(t)$  为调相信号， $\omega$  为载波频率。

35 DSP 可基于输入信号的包络值，获取输入信号的幅度值大小，并基于幅度值大小，判定输入信号的功率大小（即，若幅度值小于或等于幅度阈值，则输入信号为较小的信号，对应的功率也较小，反之则为较大的输入信号）。

可选地，若 DSP 检测到输入信号较小，则，DSP 模块对信号进行 Outphasing 处理，获得分离后的两路信号  $S_1$  和  $S_2$  表示为：

$$S_1 = A_0 * \cos(\omega t + \varphi(t) + \theta(t))$$

$$S_2 = A_0 * \cos(\omega t + \varphi(t) - \theta(t))$$

其中,  $A_0 = \max(\text{abs}(A(t)))$ ,  $\theta(t) = \arccos(0.5 * A(t)/A_0)$ , 其中,  $\theta(t)$  为相位值。

DSP 模块 310 将两路两路信号  $S_1$  和  $S_2$  输出至主功率放大模块, 以开启主功率放大模块 320 中的两路 Outphasing 功率放大器。

可选地, 若 DSP 模块 310 检测到输入信号较大, 则, DSP 模块 310 对信号进行 Outphasing 处理, 从而获得用于开启主功率放大模块的两路信号  $S_1$  和  $S_2$ 。以及, DSP 模块 310 对信号进行极化处理, 从而获得用于开启辅功率放大模块的输入信号  $S_3$  和控制信号  $A_1 \sim A_n$ 。DSP 模块 310 对输入信号进行极化处理的具体细节可参照已有技术中的技术方案, 本申请不再赘述。

在本申请中, 确定输入信号的大小的另一种方式为: 在本申请中, 可设置相位阈值, DSP 模块 310 可对输入信号  $S_{in}$  进行 Outphasing 处理 (处理过程可参照上文), 得到与幅度信息相关的相位值  $\theta(t) \in [0 \pi/2]$ 。其中, 输入信号的幅度越小,  $\theta(t)$  值越大, 反之, 输入信号的幅度越大, 则  $\theta(t)$  值越小。

随着输入信号幅度的增加, 控制信号  $A_1 \sim A_n$  控制辅功率放大模块 330 包括的 Digital Polar 放大器阵列中的 Polar PA 开启, 由于幅度和  $\theta(t)$  相关, 所以可以将  $\theta(t)$  直接转换为控制信号  $A_1 \sim A_n$ 。如图 7 所示, 幅度越大,  $\theta(t)$  值越小, 当  $\theta(t)$  低于相位阈值  $\theta_{th}$  时, 输出极化后的信号  $A_1 \sim A_n$  和  $S_3$ , 以及 Outphasing 变换后的  $S_1$  和  $S_2$ , 即, 两路 Outphasing 功率放大器 321 和 322 与 Digital Polar 功率放大器阵列中的一个或一个以上 Polar 功率放大器均处于工作状态。

步骤 102, 若功率值小于或等于第一阈值, 则开启负载调制模块中的一路主功率放大模块。

具体的, 在本申请中, 如上文所述, DSP 模块 310 可基于输入信号的幅度值或可基于输入信号经 Outphasing 变换后的相位值, 判定输入信号的功率大小。即, 幅度值小于或等于幅度阈值, 或变换后的相位值大于或等于相位阈值时, 可确定输入信号为较小信号, 即, 输入信号的功率值小于或等于功率阈值。若幅度值大于幅度阈值, 或变换后的相位值小于相位阈值时, 可确定输入信号为较大信号, 即, 输入信号的功率值大于功率阈值。

因此, 在本申请中, 若 DSP 确定输入信号为较小信号, 则, 如上文所述, DSP 将输入信号进行 Outphasing 变换, 得到两路信号  $S_1$  和  $S_2$ , 并将  $S_1$  输出至主功率放大模块 320 中的 Outphasing 功率放大器 321, 以及, 将  $S_2$  输出至主功率放大模块 320 中的 Outphasing 功率放大器 322, 以开启两路 Outphasing 放大器, Outphasing 功率放大器将会分别对两路信号进行放大处理, 并将处理后的信号输出至主功率放大模块 320 中的 Chireix 合成器 323 中。

随后, Chireix 合成器将合成处理后的信号输出至合成模块 340。信号经由传输线 341 传输至 Doherty 合成器 342 中, Doherty 合成器 342 对信号进行处理, 并通过输出端输出, 以及, 反馈回路采集 Doherty 合成器 342 的输出信号并反馈至 DSP 模块 310。

步骤 103, 若功率值大于第一阈值, 则开启主功率放大模块和辅功率放大模块。

仍参照图 4, 若 DSP 模块 310 确定输入信号为较大信号, 则, 如上文所述, 可选地, DSP 模块 310 可将输入信号进行 Outphasing 变换, 得到两路信号  $S_1$  和  $S_2$ , 并将  $S_1$  输出至主功率放大模块 320 中的 Outphasing 功率放大器 321, 以及, 将  $S_2$  输出至主功率放大模块 320 中的 Outphasing 功率放大器 322, 以开启两路 Outphasing 放大器, Outphasing 功率放大器将会分别对两路信号进行放大处理, 并将处理后的信号输出至主功率放大模块 320 中的 Chireix 合成器 323 中。以及, DSP 模块 310 将输入信号进行极化处理, 以获取输入信号  $S_3$  以及控制信号  $A_1 \sim A_n$ 。

可选地, 在本申请中, DSP 模块 310 中存储 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件。

可选地, 在本申请中, DSP 模块 310 可基于幅度值的大小, 判定是否满足 Polar 功率放大器的触发条件, 若是, 则向满足触发条件的 Polar 功率放大器发送控制信号。举例说明: Digital Polar 放大器阵列中的 Polar PA 331 的触发条件为: 当幅度值达到幅度值 1 (该值可根据实际需求进行设置, 本申请不做限定) 时, Polar PA 331 开启。Polar PA 331 的触发条件为幅度值达到幅度值 2, Polar PA 333 (图中未示出) 的触发条件为幅度值达到幅度值 3。则, 在本申请中, DSP 模块 310 在监测到输入信号的幅度值达到幅度值 1 时, 则输出控制信号  $A_1$ , 以控制 Polar PA 331 开启, 并对输入信号  $S_3$  进行放大处理。若 DSP 模块 310 在监测到输入信号的幅度值达到幅度值 2 时, 则输出控制信号  $A_1$ 、 $A_2$ , 以控制 Polar PA 331 和 Polar PA 332 开启。若 DSP 模块 310 在监测到输入信号的幅度值达到幅度值 3 时, 则输出控制信号  $A_1$ 、 $A_2$ 、 $A_3$ , 以控制 Polar PA 331、Polar PA 332 和 Polar PA 333 开启。

可选地, 在本申请中, DSP 模块 310 可基于经 Outphasing 变换后的信号的相位值的大小, 判定是否满足 Polar 功率放大器的触发条件, 若是, 则向满足触发条件的 Polar 功率放大器发送控制信号。举例说明: Digital Polar 中的 Polar PA 331 (的触发条件为: 当相位值达到相位值 1 (该值可根据实际需求进行设置, 本申请不做限定) 时, Polar PA 331 开启。Polar 功率放大器 2 的触发条件为相位值达到相位值 2, Polar PA 333 的触发条件为相位值达到相位值 3。则, 在本申请中, DSP 模块 310 在监测到 Outphasing 变换后的输入信号的相位值达到相位值 1 时, 则输出控制信号  $A_1$ , 以控制 Polar 功率放大器 1 开启, 并对输入信号  $S_3$  进行放大处理。若 DSP 模块 310 在监测到输入信号的相位值达到相位值 2 时, 则输出控制信号  $A_1$ 、 $A_2$ , 以控制 Polar Polar PA 331 和 Polar PA 332 开启。若 DSP 模块 310 在监测到输入信号的相位值达到相位值 3 时, 则输出控制信号  $A_1$ 、 $A_2$ 、 $A_3$ , 以控制 Polar PA 331、Polar PA 332 和 Polar PA 333 开启。

相较于传统的极化方案, 本申请仅需要对输入信号中的部分信号 (即超过阈值的部分) 作极化处理, 如图 8 所示为不同极化方式处理后幅度信号的频谱图, 完整极化后的幅度信号带宽扩展较大, 而部分极化的方案, 可以明显降低带宽扩展效果。例如, 以取功率值等于 -140dB/Hz 作为参考, 采用部分极化后, 可以将幅度信号的扩展带宽从 580MHz 降至 360MHz。因此, 本申请通过对部分信号进行极化处理, 从而可以有效降低带宽扩展效应。

如图 9 (a)~9 (d) 所示为本实施例中的 Outphasing PA 的负载阻抗变化曲线。其中,

图 9 (a) 所示为仅开启 Outphasing PA 的负载阻抗变换曲线, 即, 在没有 Doherty 负载调制情况下 (即图 9 (a) 中所示), 两路 Outphasing PA 的负载阻抗随  $\theta(t)$  的变化情况, 由于 Chireix 补偿网络的作用, 存在两个阻抗虚部等于零的点。图 9 (b) 为开启 Outphasing PA 与 Polar PA 331 的负载阻抗变换曲线, 由于 Doherty 负载调制效应的作用, 此时两路 Outphasing PA 的负载阻抗会下降, 在史密斯 (Smith) 圆图上左移; 图 9 (c) 为开启 Outphasing PA、以及控制信号  $A_1$ 、 $A_2$  开启 Polar PA 331 与 Polar PA 332 的负载阻抗变换曲线; 图 9 (d) 为开启 Outphasing PA、以及控制信号  $A_1$ 、 $A_2$ 、 $A_3$  开启 Polar PA 331、Polar PA 332 与 Polar PA 333 的负载阻抗变换曲线。显然, 随着 Polar PA 开启数量的增加, 负载阻抗逐渐下降。

综上所述, 由于 Doherty 负载调制效应, Outphasing PA 的负载阻抗会相应下降, 而且随着 Polar PA 开启数量的增加, Outphasing PA 的负载阻抗越小, 对应的输出功率越大。因此, 本申请可通过控制 Polar PA 的开启数量, 以调整输出功率的大小, 从而适应不同的 PAPR 场景。举例说明: 如图 10 所示为应用本实施例中的技术方案基于理想模型仿真 (包括理想电压源、电流源、理想传输线等) 效率曲线。参照图 10, 在  $n=3$  时 (即 DSP 模块 310 输出控制信号  $A_1$ 、 $A_2$ 、 $A_3$ , 开启对应的 Polar 功率放大器), 在 20.9dB 回退区域依然可以获得很高的效率值, 其中 Outphasing 的回退区域由 Chireix 补偿单元决定, 此实施例中为 9.2dB。

需要说明的是, 如果输入信号的 PAR 为 21dB, 要求系统的峰值输出功率达到 30dBm, 对应的平均功率为 9dBm, 此时需要动态控制  $A_1$ 、 $A_2$ 、 $A_3$  的状态, 以实现 21dB 深回退区效率的提升。如果输入信号的 PAR 为 18dB, 则要求峰值输出功率达到 30dBm, 对应的平均功率为 12dBm, 此时需要动态控制  $A_1$ 、 $A_2$  的状态, 以实现 18dB 深回退区效率的提升。如果输入信号的 PAR 为 15dB, 则要求峰值输出功率达到 30dBm, 对应的平均功率为 15dBm, 此时需要动态控制  $A_1$  的状态, 以实现 15dB 深回退区效率的提升。如果输入送信号的 PAR 为 9dB, 则可以仅 Outphasing PA 放大器工作, 也可以通过修改 Chireix 补偿网络, 减小 Outphasing PA 的回退区, 同时控制  $A_1$ 、 $A_2$ 、 $A_3$  的状态, 实现 9dB 回退区效率的提升。

综上所述, 本申请可通过灵活控制, 实现不同 PAR 信号的高效率发射。也就是说, 本申请可通过控制 Digital Polar PA 的开启数量, 以满足不同 PAR 信号场景下的高效率要求。

如图 11 所示为本申请实施例中的信号处理系统的结构示意图, 在图 11 中:

信号处理系统 400 包括 DSP 模块 410、并联的两路负载调制模块, 其中, 两路负载调制模块包括主功率放大模块 420、辅功率放大模块 430, 以及, 信号处理系统 400 还包括合成模块 440、反馈模块 450。

参照图 11, 信号处理系统 400 中的 DSP 模块 410 的输出端分别与两路负载调制模块 (即主功率放大模块 420 与辅功率放大模块 430) 的输入端相连接。以及, 合成模块 440 的输入端分别与两路负载调制模块 (即主功率放大模块 420 与辅功率放大模块 430) 的输出端相连接。以及, 合成模块 440 的输出端连接反馈模块 450 的输入端, 反馈模块 450

的输出端连接 DSP 模块 410 的输入端，从而形成反馈回路。

可选地，在本申请中，主功率放大模块 420 包括并联的两个 Outphasing 功率放大器阵列（即图中的 Outphasing 功率放大器阵列 421 和 Outphasing 功率放大器阵列 422，其中，每个 Outphasing 功率放大器阵列中包括两个或两个以上 Outphasing 功率放大器，并且，需要说明的是，两路 Outphasing 功率放大器阵列中的 Outphasing 放大器为成对设置，举例说明：Outphasing 功率放大器阵列 421 中的 Outphasing PA 421a 以及 Outphasing 功率放大器阵列 422 中的 Outphasing PA 422a 成对，即，控制信号  $A_{11}$  可用于控制 Outphasing PA 421a 以及 Outphasing PA 422a），即，Doherty PA 中的主功率放大器量化为由多个 Outphasing 放大器组成的阵列。

可选地，在本申请中，主功率放大模块 420 还包括合成单元 423。可选地，合成单元 423 可以为低隔离度的 Chireix 合成器，由电感和电容组成。在其它实施例中，合成器也可以为其它低隔离度的合成器，本申请对此不做限定。

以及，辅功率放大模块 430 包括 Digital Polar 功率放大器阵列，即，辅功率放大器可量化为由多个（即两个或两个以上）极化功率放大器组成的阵列。

以及，在本申请的实施例中，合成模块 440 包括传输线 441 及合成器 442。

结合图 11，如图 12 所示为本申请实施例中的一种信号处理方法，该方法应用于如图 11 所示的信号处理系统中，方法包括：

步骤 201，通过并联的负载调制模块接收信号。

具体的，在本申请的实施例中，DSP 模块对信号（为区分其它的例如输出的信号等，在本实施例及下面的实施例中，将该信号统称为输入信号）进行数字信号处理，随后，DSP 将处理后的输入信号通过输出端发送至两路负载调制模块的输入端。如图 11 所示，其中，输入两路负载调制模块的信号包括：两路 Outphasing PA 的输入信号  $S_1$ 、 $S_2$ 、和控制信号  $A_{11} \sim A_{1n}$ ，以及 Digital Polar PA 的输入信号  $S_3$  和控制信号  $A_{21} \sim A_{2n}$ 。

可选地，在本申请中，负载调制模块可构成 Doherty PA 结构，即，本申请中的负载调制模块之间可工作于 Doherty 负载调制模式。具体的，基于上文所述的 Doherty PA 的工作原理，即，在输入信号较小时，主功率放大器开启，而辅功率放大器关闭；在输入信号较大时，主功率放大器与辅功率放大器同时开启。

在本申请中，确定输入信号的大小的方式可包括两种，具体可参照步骤 101 中的细节，此处不赘述。

与步骤 101 类似，在本实施例中，当输入信号较大时，DSP 同样基于幅度值或经过 Outphasing 变换后的相位值，判定是否满足辅功率放大模块 430 中各个 Digital Polar 功率放大器的触发条件。若是，则输出  $S_3$  及对应的控制信号  $A_{2n}$ 。

步骤 202，若功率值小于或等于第一阈值，则开启 Outphasing 功率放大器阵列中的一对或一对以上 Outphasing 功率放大器。

可选地，在本申请中，在输入信号较小（即输入信号的幅度值小于或等于幅度阈值或经过 Outphasing 变换后的相位值大于）时，DSP 模块 410 可进一步基于已存储的 Outphasing 功率放大器阵列中各对 Outphasing 功率放大器的触发条件，确定所要开启的 Outphasing 功率放大器。举例说明：Outphasing PA 421a 与 Outphasing PA 422a 的触发条

件为输入信号的幅度值达到幅度值 1, Outphasing PA 421b 与 Outphasing PA 422b 的触发条件为输入信号的幅度值达到幅度值 2。则, 当输入信号的幅度值达到幅度值 1 时, DSP 模块 410 输出两路信号  $S_1$ 、 $S_2$  以及控制信号  $A_{11}$ , 以开启 Outphasing PA 421a 与 Outphasing PA 422a。当输入信号的幅度值达到幅度值 2 时, DSP 模块 410 输出两路信号  $S_1$ 、 $S_2$  以及控制信号  $A_{11}$ 、 $A_{12}$ , 以开启 Outphasing PA 421a、Outphasing PA 422a、Outphasing PA 421b、与 Outphasing PA 422b。

其它细节与步骤 102 类似, 此处不赘述。

步骤 203, 若功率值大于第一阈值, 则开启 Outphasing 功率放大器阵列中的所有 Outphasing 功率放大器以及 Digital Polar 功率放大器阵列中的一个或一个以上 Polar 功率放大器。

仍参照图 11, 若 DSP 模块 410 确定输入信号为较大信号, 则, 如上文所述, 可选地, DSP 模块 410 可将输入信号进行 Outphasing 变换, 得到两路信号  $S_1$  和  $S_2$ , DSP 模块 410 将  $S_1$ 、 $S_2$  以及控制信号  $A_1 \sim A_{1n}$  输出至主功率放大模块 420, 以开启 Outphasing 功率放大器阵列中的所有 Outphasing 功率放大器。Outphasing 功率放大器将会分别对两路信号进行放大处理, 并将处理后的信号输出至主功率放大模块 420 中的 Chireix 合成器 423 中。以及, DSP 模块 410 将输入信号进行极化处理, 以获取输入信号  $S_3$  以及控制信号  $A_{21} \sim A_{2n}$ 。

可选地, 在本申请中, DSP 模块 410 中存储 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件。DSP 模块 410 可基于输入信号的幅度值或经过 Outphasing 变换后的相位值以及触发条件, 确定所要开启的 Polar 功率放大器, 并输出相应的控制信号  $A_{2n}$  和  $S_3$ 。

其他细节与步骤 103 类似, 此处不赘述。

如图 13 所示为应用本实施例中的技术方案基于理想模型仿真(包括理想电压源、电流源、理想传输线等)的效率曲线, 其中, Outphasing PA 量化成 4-bit, Polar PA 量化成 3-bit。参照图 13, 在图 3 中示出开启多种数量组合的功率放大器对应的效率曲线, 其中包括在仅开启 Outphasing 功率放大器(即仅开启主功率放大器模块 420)中的控制信号  $A_{11}$  所控制的 Outphasing 功率放大器开启时对应效率曲线; 开启 Outphasing 功率放大器中的控制信号  $A_{11}$ 、 $A_{12}$  所控制的 Outphasing 功率放大器开启时对应效率曲线; 开启 Outphasing 功率放大器中的控制信号  $A_{11}$ 、 $A_{12}$ 、 $A_{13}$  所控制的 Outphasing 功率放大器开启时对应效率曲线; 开启 Outphasing 功率放大器中的控制信号  $A_{11}$ 、 $A_{12}$ 、 $A_{13}$ 、 $A_{14}$  所控制的 Outphasing 功率放大器开启时对应效率曲线; 开启主功率放大模块中的所有 Outphasing 功率放大器以及开启 Digital Polar 功率放大器阵列中的控制信号  $A_{21}$  所控制的 Polar 功率放大器时对应效率曲线; 开启主功率放大模块中的所有 Outphasing 功率放大器以及开启 Digital Polar 功率放大器阵列中的控制信号  $A_{21}$ 、 $A_{22}$  所控制的 Polar 功率放大器时对应效率曲线; 以及, 开启主功率放大模块中的所有 Outphasing 功率放大器以及开启 Digital Polar 功率放大器阵列中的所有 Polar 功率放大器时对应效率曲线; 显然, 在 33dB 回退区域(即开启所有功率放大器时)系统依然可以获得很高的效率值, 从而进一步提高了回退区效率。

可选地,如图 14 所示为本申请实施例中的另一种信号处理系统的结构示意图,在图 14 中,系统包括: DSP 模块 510、处于 Doherty 负载调制模式的主功率放大模块 520、辅功率放大模块 530、合成模块 540 以及反馈模块 550。其中,负载调制模块中的主功率放大模块 520 可以包括两路 Digital Outphasing 功率放大器阵列,辅功率放大模块 530 可包括两路 Digital Outphasing 功率放大器阵列。其中,主功率放大模块 520 与辅功率放大模块 530 可实现 Doherty 负载调制模式,即,在输入信号较小时,开启主功率放大模块,在输入信号较大时,开启主功率放大模块和辅功率放大模块。可选地,在输入信号较小时, DSP 模块可基于主功率放大模块中的各个 Outphasing 功率放大器的触发条件,开启主功率放大模块中的两个或两个以上 Outphasing 功率放大器。以及,在输入信号较大时, DSP 模块 510 可开启主功率放大模块中包括的全部 Outphasing 功率放大器,并基于辅功率放大模块中包含的每对 Outphasing 放大器的触发条件,开启一对或一对以上辅功率放大模块中的 Outphasing 功率放大器。具体细节可参照上述实施例,此处不赘述。

可选地,如图 15 所示为本申请实施例中的有一种信号处理系统的结构示意图,在图 15 中,系统包括: DSP 模块 610、处于 Doherty 负载调制模式的主功率放大模块 620、辅功率放大模块 630、合成模块 640 以及反馈模块 650。可选地,主功率放大模块 620 中还包括 Chireix 合成器 621,合成模块 640 可以为 Doherty 合成器,其中,Chireix 合成器 621 与 Doherty 合成器 640 采用变压器,以实现 Chireix Outphasing 与 Doherty 的有源负载调制,并且,减小系统的尺寸,以通过 CMOS 工艺实现片上集成。需要说明的是,该实施例中的结构可应用于如图 4、或图 11 以及图 14 所示的任一种系统中。即,包括 Outphasing 功率放大器或 Outphasing 功率放大器阵列的主功率模块和/或辅功率模块中可采用由变压器构成的 Chireix 合成器,并且,Doherty 合成器同样采用变压器结构。

可选地,在本申请中,处于 Doherty 负载调制模式的主功率放大模块也可以为 Digital Polar 阵列,以及,辅功率放大模块以及为传统 Outphasing 功率放大器或 Digital Outphasing 阵列。系统的工作方式可参照上述实施例,此处不赘述。

需要说明的是,在本申请中仅以两路 Doherty 结构为例进行介绍,可选的,在本申请中,信号处理系统中可包括  $n$  路负载调制模块, $n$  为大于 1 的整数,例如,可以包括 3 路负载调制模块。其中, $n$  路负载调制模块中包括一路主功率放大模块,以及  $(n-1)$  路辅功率放大模块。多路 Doherty 结构中各个模块的功能与本申请实施例中的所述的类似,即,主功率放大模块可实现 Outphasing 模式, $(n-1)$  路辅功率放大模块可实现 Digital Outphasing 模式和/或 Digital Polar 模式,其中,辅功率放大模块在输入信号较小时处于非工作状态,即,辅功率放大模块仅在输入信号较大时开启。在本申请中,系统中存在的辅功率放大模块的路数越多,则回退区的效率越高,回退区深度越大。但是,考虑到系统复杂度的限制,通常可采用  $n=2$  的两路负载调制结构,以在可实现工艺的目标下,达到深回退区。

上述主要从各个网元之间交互的角度对本申请实施例提供的方案进行了介绍。可以理解的是，信号处理装置为了实现上述功能，其包含了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，本申请实施例能够以硬件或硬件和计算机软件5的结合形式来实现。某个功能究竟以硬件还是计算机软件驱动硬件的方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

本申请实施例可以根据上述方法示例对信号处理装置进行功能模块的划分，例如，可以对应各个功能划分各个功能模块，也可以将两个或两个以上的功能集成在一个10处理模块中。上述集成的模块既可以采用硬件的形式实现，也可以采用软件功能模块的形式实现。需要说明的是，本申请实施例中对模块的划分是示意性的，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式。

在采用对应各个功能划分各个功能模块的情况下，在采用对应各个功能划分各个功能模块的情况下，图 16 示出了上述实施例中所涉及的信号处理装置 700 的一种15可能的结构示意图，如图 16 所示，信号处理装置可以包括：控制模块 710，该模块用于控制并联的  $n$  路负载调制模块接收信号；其中，所述控制模块 710 还可以进一步用于基于所述信号的功率值，开启所述  $n$  路负载调制模块中的一路或一路以上负载调制模块。

其中，上述方法实施例涉及的所有相关内容均可以援引到对应功能模块的功能描述，在此不再赘述。20

基于相同的技术构思，本申请实施例还提供一种计算机可读存储介质，该计算机可读存储介质存储有计算机程序，该计算机程序包含至少一段代码，该至少一段代码可由信号处理装置执行，以控制信号处理装置用以实现上述方法实施例。

基于相同的技术构思，本申请实施例还提供一种计算机程序，当该计算机程序被信25号处理装置执行时，用以实现上述方法实施例。

所述程序可以全部或者部分存储在与处理器封装在一起的存储介质上，也可以部分或者全部存储在不与处理器封装在一起的存储器上。

基于相同的技术构思，本申请实施例还提供一种处理器，该处理器用以实现上述方法实施例。上述处理器可以为芯片。

结合本申请实施例公开内容所描述的方法或者算法的步骤可以硬件的方式来实现，30也可以是由处理器执行软件指令的方式来实现。软件指令可以由相应的软件模块组成，软件模块可以被存放于随机存取存储器（Random Access Memory, RAM）、闪存、只读存储器（Read Only Memory, ROM）、可擦除可编程只读存储器（Erasable Programmable ROM, EPROM）、电可擦可编程只读存储器（Electrically EPROM, EEPROM）、寄存器、35硬盘、移动硬盘、只读光盘（CD-ROM）或者本领域熟知的任何其它形式的存储介质中。一种示例性的存储介质耦合至处理器，从而使处理器能够从该存储介质读取信息，且可向该存储介质写入信息。当然，存储介质也可以是处理器的组成部分。处理器和存储介质可以位于 ASIC 中。另外，该 ASIC 可以位于网络设备中。当然，处理器和存储介

质也可以作为分立组件存在于网络设备中。

5 本领域技术人员应该可以意识到，在上述一个或多个示例中，本申请实施例所描述的功能可以用硬件、软件、固件或它们的任意组合来实现。当使用软件实现时，可以将这些功能存储在计算机可读介质中或者作为计算机可读介质上的一个或多个指令或代码进行传输。计算机可读介质包括计算机存储介质和通信介质，其中通信介质包括便于从一个地方向另一个地方传送计算机程序的任何介质。存储介质可以是通用或专用计算机能够存取的任何可用介质。

10 上面结合附图对本申请的实施例进行了描述，但是本申请并不局限于上述的具体实施方式，上述的具体实施方式仅仅是示意性的，而不是限制性的，本领域的普通技术人员在本申请的启示下，在不脱离本申请宗旨和权利要求所保护的范围情况下，还可做出很多形式，均属于本申请的保护之内。

# 权利要求书

1、一种信号处理系统，其特征在于，包括  $n$  路负载调制模块、以及合成模块；

其中，所述  $n$  路负载调制模块并联，并且，每路所述负载调制模块的输出端与所述合成模块的输入端相连， $n$  为大于 1 的整数，其中，所述合成模块通过所述输入端接收所述  $n$  个负载调制模块输出的  $n$  路信号，并对所述  $n$  路信号进行合成处理；

以及，所述  $n$  路负载调制模块中包括一路主功率放大模块和  $(n-1)$  路辅功率放大模块，其中，所述辅功率放大模块在所述负载调制模块的输入端接收到的信号的功率值大于第一阈值时开启；

其中，所述主功率放大模块包括两个异相 Outphasing 功率放大单元，以及，每路所述辅功率放大模块包括两个 Outphasing 功率放大器阵列或一个数字极化 Digital Polar 功率放大器阵列；

2、根据权利要求 1 所述的系统，其特征在于，其中，所述 Outphasing 功率放大单元包括一个数字异相 Digital Outphasing 功率放大器阵列。

3、根据权利要求 1 或 2 所述的系统，其特征在于，所述两个 Outphasing 功率放大单元并联。

4、根据权利要求 1 至 3 任一项所述的系统，其特征在于，所述主功率放大模块还包括合成单元，所述两路 Outphasing 功率放大单元的输出端分别与所述合成单元的输入端相连，以及，所述合成单元的输出端与所述合成模块的输入端相连，所述合成单元用于通过所述输入端接收所述两路 Outphasing 功率放大单元输出的两路信号，并对所述两路信号进行合成处理；

其中，所述合成单元与所述合成模块由变压器构成。

5、根据权利要求 4 所述的系统，其特征在于，其中，所述合成单元为希莱克斯 Chireix 合成器，所述合成模块为多赫蒂 Doherty 合成器。

6、一种信号处理方法，其特征在于，包括：

通过并联的  $n$  路负载调制模块接收信号；

基于所述信号的功率值，开启所述  $n$  路负载调制模块中的一路或一路以上负载调制模块；

其中，若所述功率值小于或等于第一阈值，则开启所述  $n$  路负载调制模块中的一路主功率放大模块；

若所述功率值大于所述第一阈值，则开启所述一路主功率放大模块和  $(n-1)$  路负载调制模块中的至少一路辅功率放大模块；

其中，所述主功率放大模块包括两个异相 Outphasing 功率放大单元，以及，所述辅

功率放大模块包括两个 Outphasing 功率放大器阵列或一个数字极化 Digital Polar 功率放大器阵列。

5 7、根据权利要求 6 所述的方法，其特征在于，所述基于所述信号的功率值，开启所述  $n$  路负载调制模块中的一路或一路以上负载调制模块的步骤，包括：  
若所述信号的幅度值小于或等于第二阈值，则开启所述主功率放大模块；  
若所述信号的幅度值大于所述第二阈值，则开启所述至少一路辅功率放大模块。

10 8、根据权利要求 6 或 7 所述的方法，其特征在于，所述开启所述一路主功率放大模块和  $(n-1)$  路负载调制模块中的至少一路辅功率放大模块的步骤，包括：  
若所述信号的幅度值满足所述 Outphasing 功率放大器阵列或所述 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件，则开启所述一个或一个以上功率放大器。

15 9、根据权利要求 6 所述的方法，其特征在于，所述基于所述信号的功率值，开启所述  $n$  路负载调制模块中的一路或一路以上负载调制模块的步骤，包括：  
若所述信号的相位值大于或等于第三阈值，则开启所述主功率放大模块；  
若所述信号的相位值小于所述第三阈值，则开启所述至少一路辅功率放大模块；  
其中，所述相位值为将所述信号进行 Outphasing 变换后得到的。

20 10、根据权利要求 9 所述的方法，其特征在于，所述开启所述一路主功率放大模块和  $(n-1)$  路负载调制模块中的至少一路辅功率放大模块的步骤，包括：  
若所述信号的相位值满足所述 Outphasing 功率放大器阵列或所述 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件，则开启所述一个或一个以上功率放大器。

25 11、一种信号处理装置，其特征在于，包括：  
控制模块，用于控制并联的  $n$  路负载调制模块接收信号；  
所述控制模块进一步用于基于所述信号的功率值，开启所述  $n$  路负载调制模块中的一路或一路以上负载调制模块；  
30 其中，若所述功率值小于或等于第一阈值，则开启所述  $n$  路负载调制模块中的一路主功率放大模块；  
若所述功率值大于所述第一阈值，则开启所述一路主功率放大模块和  $(n-1)$  路负载调制模块中的至少一路辅功率放大模块；  
35 其中，所述主功率放大模块包括两个异相 Outphasing 功率放大单元，以及，所述辅功率放大模块包括两个 Outphasing 功率放大器阵列或一个数字极化 Digital Polar 功率放大器阵列。

- 12、根据权利要求 11 所述的装置，其特征在于，所述控制模块进一步用于：  
若所述信号的幅度值小于或等于第二阈值，则开启所述主功率放大模块；  
若所述信号的幅度值大于所述第二阈值，则开启所述至少一路辅功率放大模块。
- 5        13、根据权利要 11 或 12 所述的装置，其特征在于，所述控制模块进一步用于：  
若所述信号的幅度值满足所述 Outphasing 功率放大器阵列或所述 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件，则开启所述一个或一个以上功率放大器。
- 10       14、根据权利要求 11 所述的装置，其特征在于，所述控制模块进一步用于：  
若所述信号的相位值大于或等于第三阈值，则开启所述主功率放大模块；  
若所述信号的相位值小于所述第三阈值，则开启所述至少一路辅功率放大模块；  
其中，所述相位值为将所述信号进行 Outphasing 变换后得到的。
- 15       15、根据权利要求 14 所述的装置，其特征在于，所述控制模块进一步用于：  
若所述信号的相位值满足所述 Outphasing 功率放大器阵列或所述 Digital Polar 功率放大器阵列中的一个或一个以上功率放大器的触发条件，则开启所述一个或一个以上功率放大器。
- 20       16、一种芯片，所述处理电路、收发管脚；其中，所述收发管脚、和该处理器通过内部连接通路互相通信，所述处理电路用于如权利要求 6-10 任一项所述的方法。

1/7

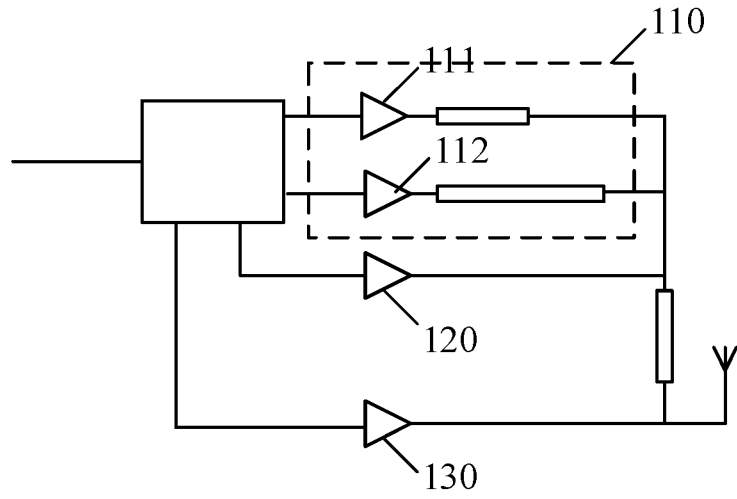


图 1

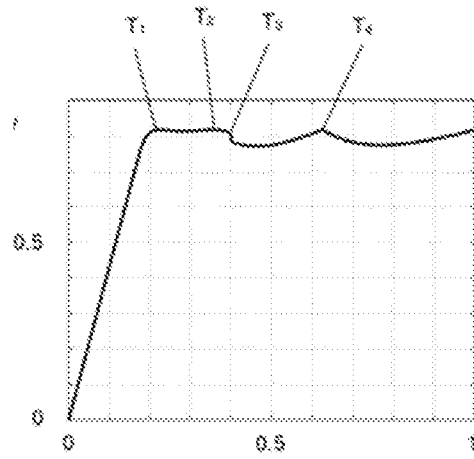


图 2

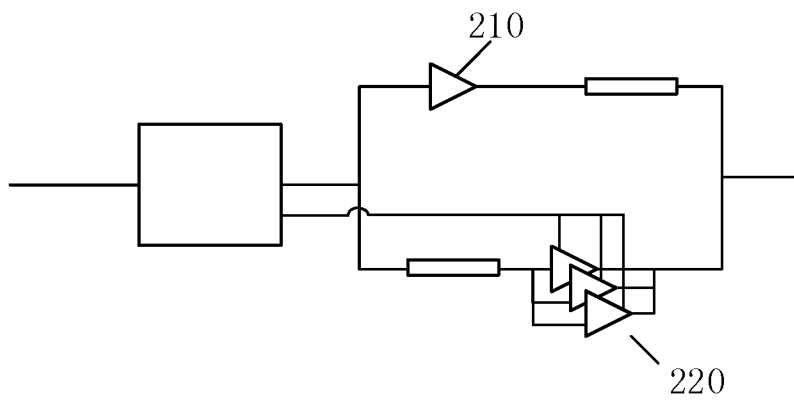


图 3

2/7

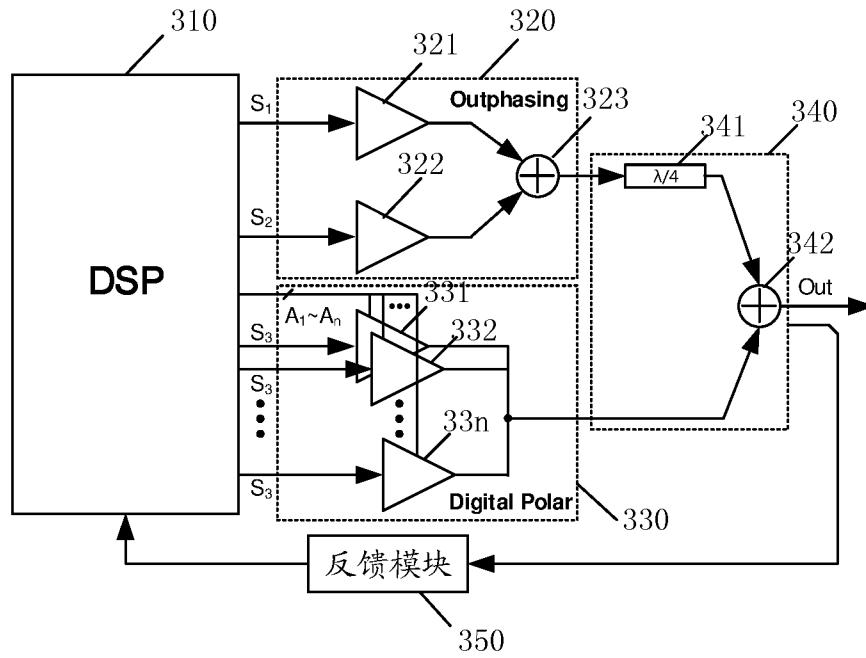


图 4

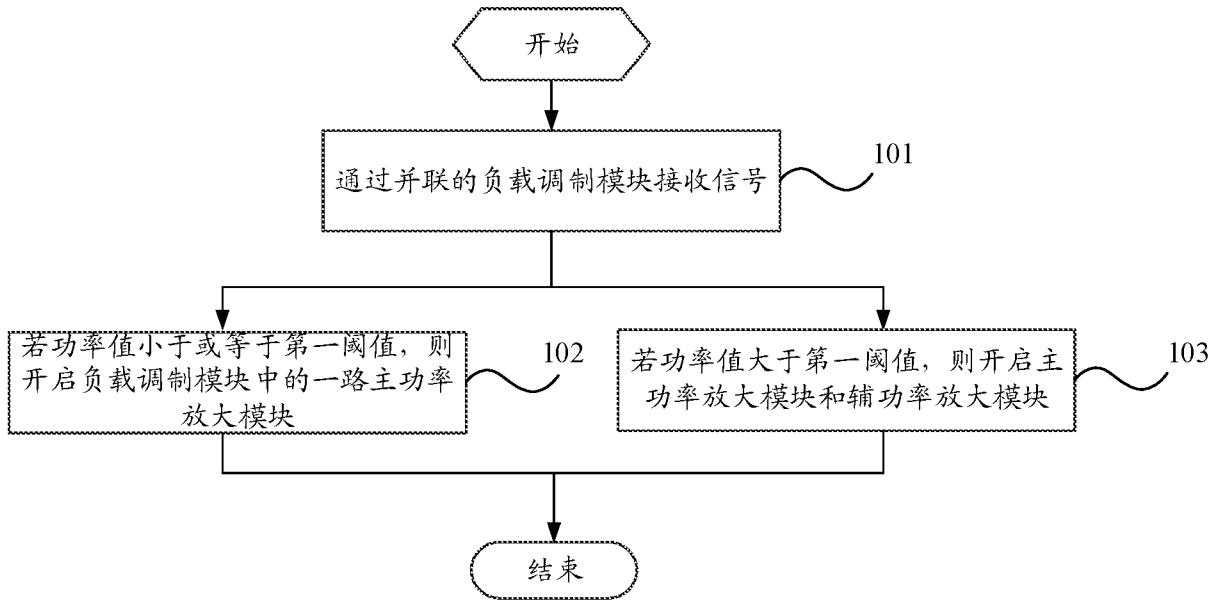


图 5

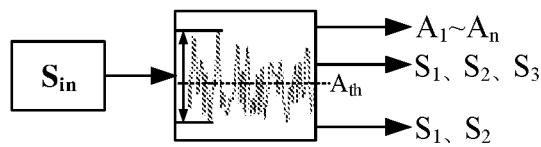


图 6

3/7

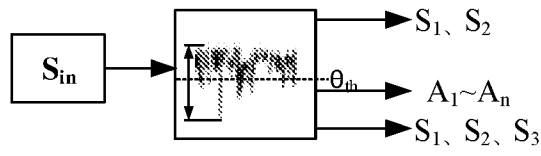


图 7

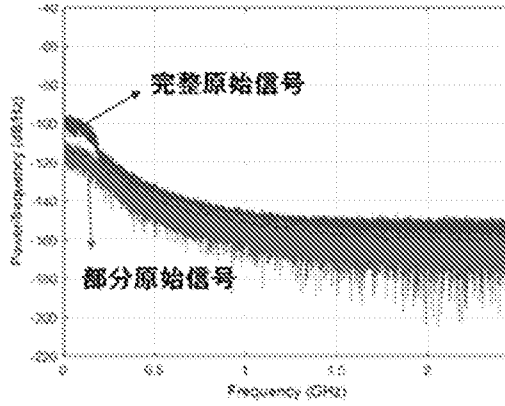


图 8

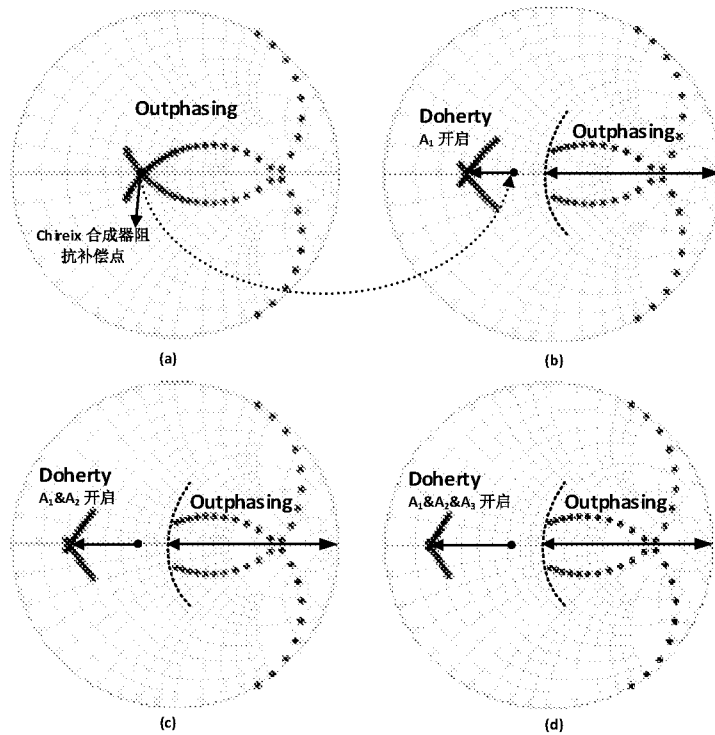


图 9

4/7

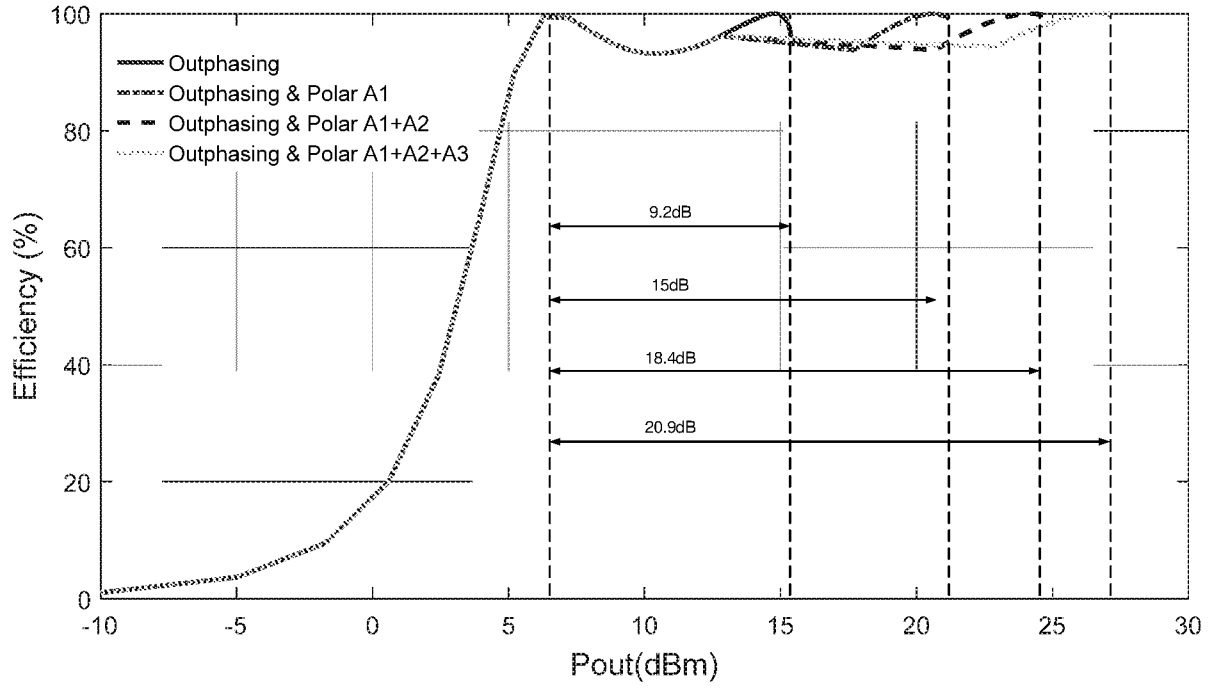


图 10

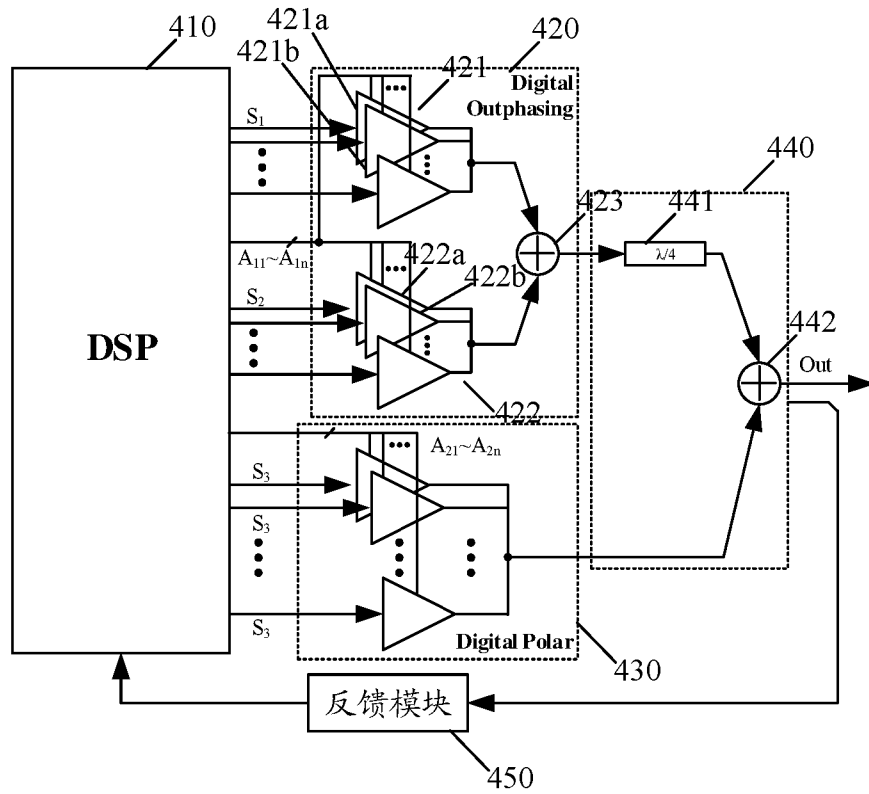


图 11

5/7

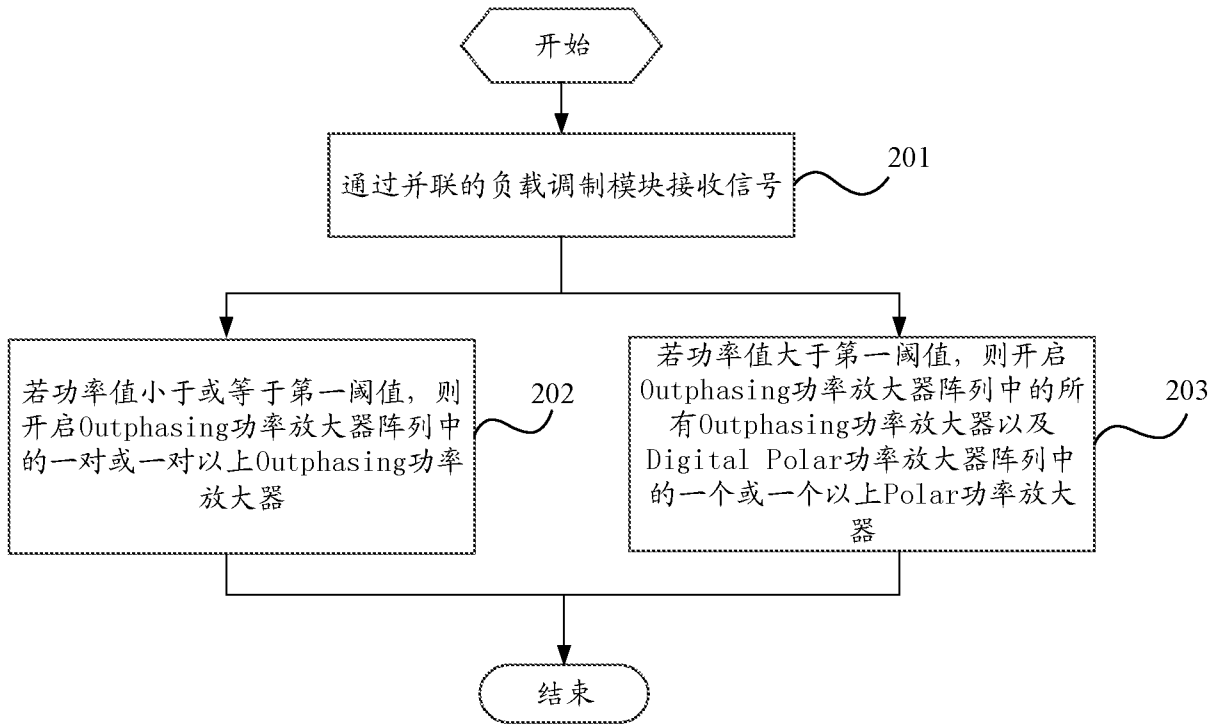


图 12

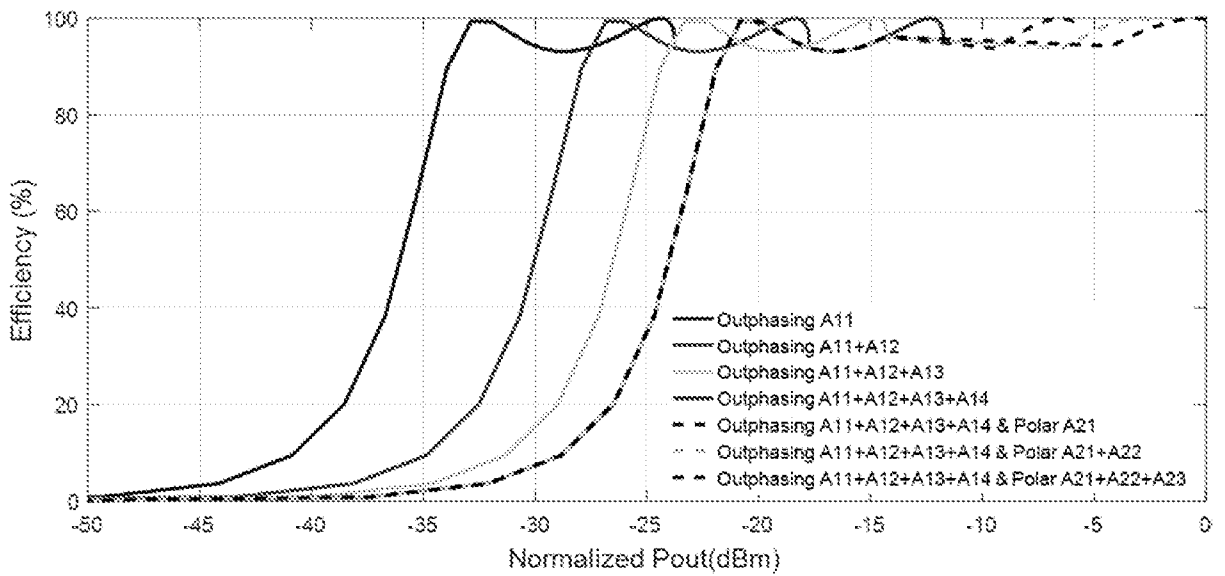


图 13

6/7

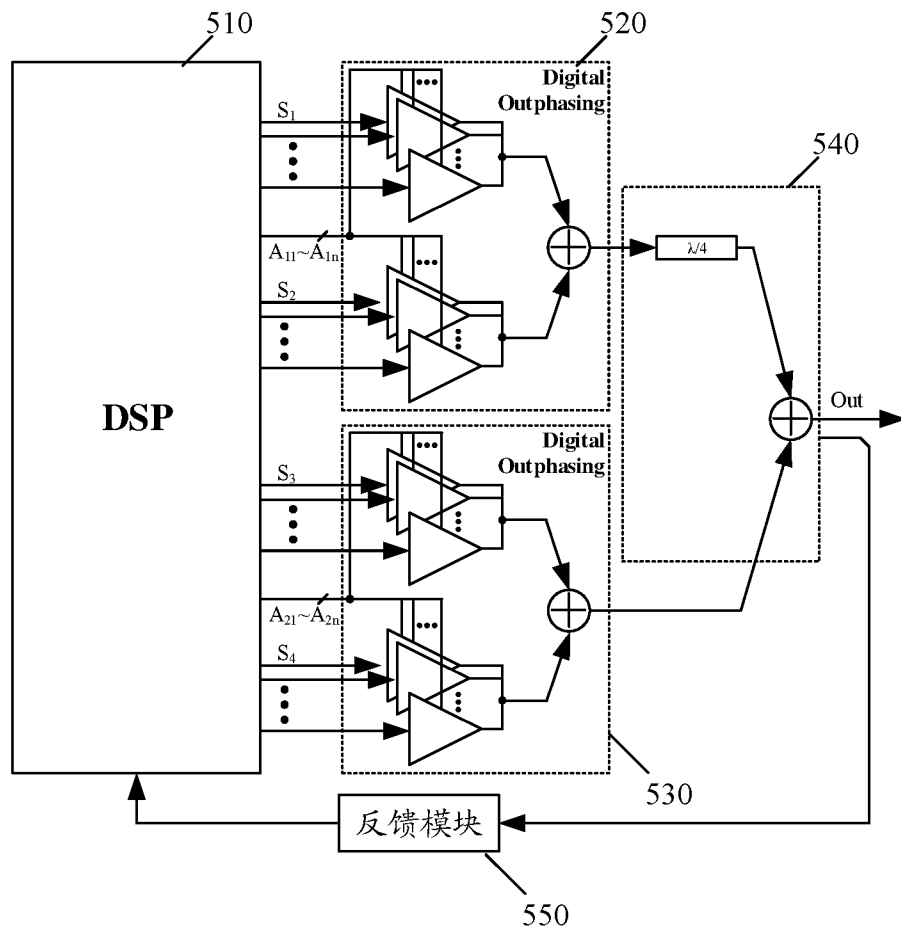


图 14

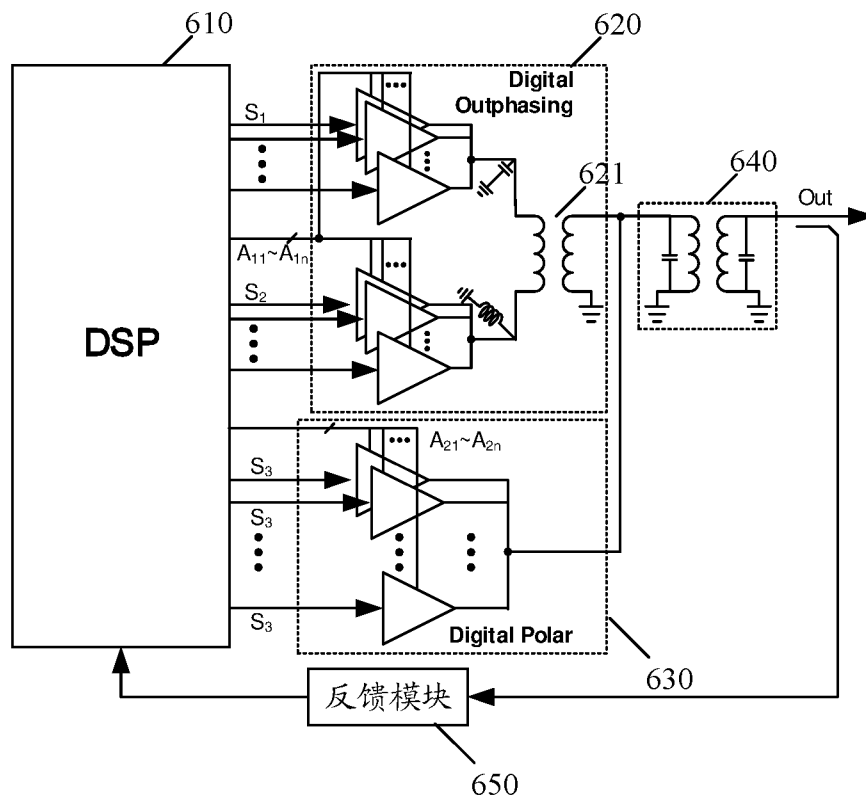


图 15

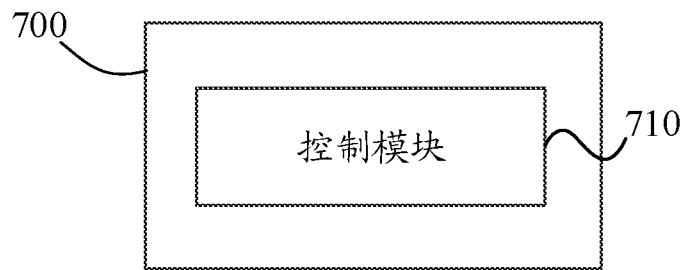


图 16

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/123584

**A. CLASSIFICATION OF SUBJECT MATTER**

H03F 3/21(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 放大器, 功率, 主, 辅, 并联, 多路, 反相, 异相, 数字极化, 合成, 阈值, 回退, 芯片, PA, amplifier, power, main, auxiliary, parallel, multiplex, outphasing, digital polar, synthesis, composite, threshold, backoff, chip

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108923758 A (SMARTER MICROELECTRONICS (GUANGZHOU) CO., LTD.) 30 November 2018 (2018-11-30) description, pages 3-8	1-16
A	CN 107005200 A (HUAWEI TECHNOLOGIES CO., LTD.) 01 August 2017 (2017-08-01) entire document	1-16
A	CN 108093678 A (ERICSSON TELEFON AB L M (PUBL)) 29 May 2018 (2018-05-29) entire document	1-16
A	US 2010045385 A1 (CREE, INC.) 25 February 2010 (2010-02-25) entire document	1-16
A	WO 2018074241 A1 (MITSUBISHI ELECTRIC CORPORATION) 26 April 2018 (2018-04-26) entire document	1-16

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 March 2020

Date of mailing of the international search report

09 March 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/  
CN)  
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing  
100088  
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2019/123584**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108923758	A	30 November 2018	None			
CN	107005200	A	01 August 2017	EP	3227998	A1	11 October 2017
				WO	2016086974	A1	09 June 2016
CN	108093678	A	29 May 2018	US	2017005620	A1	05 January 2017
				KR	20180021890	A	05 March 2018
				EP	3317962	A1	09 May 2018
				WO	2017001004	A1	05 January 2017
US	2010045385	A1	25 February 2010	CN	102187570	A	14 September 2011
				EP	2316163	A1	04 May 2011
				WO	2010021957	A1	25 February 2010
				JP	2012500583	A	05 January 2012
WO	2018074241	A1	26 April 2018	US	2018109229	A1	19 April 2018
				EP	3529893	A1	28 August 2019
				CN	109845093	A	04 June 2019
				JP	2019522406	A	08 August 2019

国际检索报告

国际申请号

PCT/CN2019/123584

<p><b>A. 主题的分类</b> H03F 3/21(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p><b>B. 检索领域</b> 检索的最低限度文献(标明分类系统和分类号) H03F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPODOC: 放大器, 功率, 主, 辅, 并联, 多路, 反相, 异相, 数字化, 合成, 阈值, 回退, 芯片, PA, amplifier, power, main, auxiliary, parallel, multiplex, outphasing, digital polar, synthesis, composite, threshold, backoff, chip</p>																				
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 108923758 A (广州慧智微电子有限公司) 2018年 11月 30日 (2018 - 11 - 30) 说明书第3-8页</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 107005200 A (华为技术有限公司) 2017年 8月 1日 (2017 - 08 - 01) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 108093678 A (瑞典爱立信有限公司) 2018年 5月 29日 (2018 - 05 - 29) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2010045385 A1 (CREE, INC.) 2010年 2月 25日 (2010 - 02 - 25) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>WO 2018074241 A1 (MITSUBISHI ELECTRIC CORPORATION) 2018年 4月 26日 (2018 - 04 - 26) 全文</td> <td>1-16</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:          “A” 认为不特别相关的表示了现有技术一般状态的文件          “E” 在国际申请日的当天或之后公布的在先申请或专利          “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)          “O” 涉及口头公开、使用、展览或其他方式公开的文件          “P” 公布日先于国际申请日但迟于所要求的优先权日的文件          “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件          “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性          “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性          “&amp;” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 108923758 A (广州慧智微电子有限公司) 2018年 11月 30日 (2018 - 11 - 30) 说明书第3-8页	1-16	A	CN 107005200 A (华为技术有限公司) 2017年 8月 1日 (2017 - 08 - 01) 全文	1-16	A	CN 108093678 A (瑞典爱立信有限公司) 2018年 5月 29日 (2018 - 05 - 29) 全文	1-16	A	US 2010045385 A1 (CREE, INC.) 2010年 2月 25日 (2010 - 02 - 25) 全文	1-16	A	WO 2018074241 A1 (MITSUBISHI ELECTRIC CORPORATION) 2018年 4月 26日 (2018 - 04 - 26) 全文	1-16
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 108923758 A (广州慧智微电子有限公司) 2018年 11月 30日 (2018 - 11 - 30) 说明书第3-8页	1-16																		
A	CN 107005200 A (华为技术有限公司) 2017年 8月 1日 (2017 - 08 - 01) 全文	1-16																		
A	CN 108093678 A (瑞典爱立信有限公司) 2018年 5月 29日 (2018 - 05 - 29) 全文	1-16																		
A	US 2010045385 A1 (CREE, INC.) 2010年 2月 25日 (2010 - 02 - 25) 全文	1-16																		
A	WO 2018074241 A1 (MITSUBISHI ELECTRIC CORPORATION) 2018年 4月 26日 (2018 - 04 - 26) 全文	1-16																		
国际检索实际完成的日期 2020年 3月 2日	国际检索报告邮寄日期 2020年 3月 9日																			
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	授权官员 张琦 电话号码 86-(10)-53961607																			

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2019/123584

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108923758	A	2018年 11月 30日	无			
CN	107005200	A	2017年 8月 1日	EP	3227998	A1	2017年 10月 11日
				WO	2016086974	A1	2016年 6月 9日
CN	108093678	A	2018年 5月 29日	US	2017005620	A1	2017年 1月 5日
				KR	20180021890	A	2018年 3月 5日
				EP	3317962	A1	2018年 5月 9日
				WO	2017001004	A1	2017年 1月 5日
US	2010045385	A1	2010年 2月 25日	CN	102187570	A	2011年 9月 14日
				EP	2316163	A1	2011年 5月 4日
				WO	2010021957	A1	2010年 2月 25日
				JP	2012500583	A	2012年 1月 5日
WO	2018074241	A1	2018年 4月 26日	US	2018109229	A1	2018年 4月 19日
				EP	3529893	A1	2019年 8月 28日
				CN	109845093	A	2019年 6月 4日
				JP	2019522406	A	2019年 8月 8日