(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0150460
(43) 공개일자 2024년10월15일

(51) 국제특허분류(Int. Cl.)
H01L 27/04 (2006.01) *H01L 29/66* (2006.01)
H01L 29/786 (2006.01) *H01L 29/788* (2006.01)
H01L 29/792 (2006.01) *H10B 12/00* (2023.01)
H10B 41/70 (2023.01)
(52) CPC특허분류
H01L 27/04 (2013.01)
H01L 29/66477 (2013.01)
(21) 출원번호 10-2024-7029615
(22) 출원일자(국제) 2023년01월27일
심사청구일자 없음
(85) 번역문제출일자 2024년09월03일
(86) 국제출원번호 PCT/IB2023/050702
(87) 국제공개번호 WO 2023/152588
국제공개일자 2023년08월17일
(30) 우선권주장
JP-P-2022-019564 2022년02월10일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
오누키 다츠야
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
가토 기요시
일본 243-0036 가나가와켄 아쓰기시 하세 1393-21
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

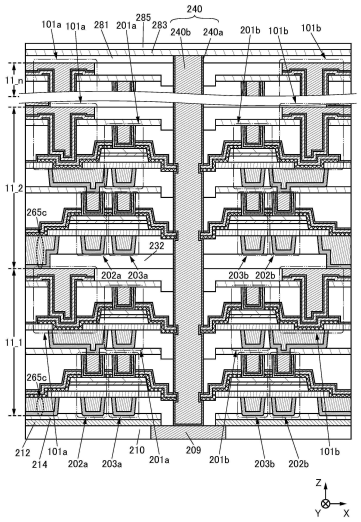
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

미세화 또는 고집적화가 가능한 반도체 장치를 제공한다. 제 1 내지 제 2 트랜지스터가 제 1 절연체 위의 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 1 도전체를 각각 공유하고, 제 1 트랜지스터는 제 1 금속 산화물 위의 제 2 도전체 및 제 2 절연체와, 제 2 절연체 위의 제 3 도전체를 가지고, 제 2 트랜지스터는 제 1 금속 산화물 위의 제 4 도전체 및 제 3 절연체와, 제 3 절연체 위의 제 5 도전체를 가지고, 제 1 절연체의 측면은 제 4 도전체와 접하는 부분을 가지고, 제 4 도전체의 단부는 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지고, 제 2 절연체는 제 1 도전체와 제 2 도전체 사이에 위치하고, 금속 산화물과 제 3 도전체는 제 2 절연체를 개재하여 중첩되고, 제 3 절연체는 제 1 도전체와 제 4 도전체 사이에 위치하고, 금속 산화물과 제 5 도전체는 제 3 절연체를 개재하여 중첩된다.

대 표 도



(52) CPC특허분류
H01L 29/78696 (2013.01)
H01L 29/788 (2013.01)
H01L 29/792 (2013.01)
H10B 12/00 (2023.02)
H10B 41/70 (2023.02)
(72) 발명자
구니타케 히토시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
호도 료타
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

명 세 서

청구범위

청구항 1

반도체 장치로서,

절연 표면 위에 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 절연체를 가지고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 상기 제 1 절연체 위의 제 1 금속 산화물과, 상기 제 1 금속 산화물 위의 제 1 도전체를 각각 공유하고,

상기 제 1 트랜지스터는 상기 제 1 금속 산화물 위의 제 2 도전체 및 제 2 절연체와, 상기 제 2 절연체 위의 제 3 도전체를 가지고,

상기 제 2 트랜지스터는 상기 제 1 금속 산화물 위의 제 4 도전체 및 제 3 절연체와, 상기 제 3 절연체 위의 제 5 도전체를 가지고,

상기 제 1 절연체의 측면은 상기 제 4 도전체와 접하는 부분을 가지고,

상기 제 4 도전체의 단부는 상기 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지고,

상기 제 2 절연체는 상기 제 1 도전체와 상기 제 2 도전체 사이에 위치하고,

상기 금속 산화물과 상기 제 3 도전체는 상기 제 2 절연체를 개재(介在)하여 중첩되고,

상기 제 3 절연체는 상기 제 1 도전체와 상기 제 4 도전체 사이에 위치하고,

상기 금속 산화물과 상기 제 5 도전체는 상기 제 3 절연체를 개재하여 중첩되는, 반도체 장치.

청구항 2

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 1 절연체, 제 2 절연체, 제 3 절연체, 및 용량 소자를 가지고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 상기 제 1 절연체 위의 제 1 금속 산화물과, 상기 제 1 금속 산화물 위의 제 1 도전체를 각각 공유하고,

상기 제 1 트랜지스터는 상기 제 1 금속 산화물 위의 제 2 도전체 및 제 4 절연체와, 상기 제 4 절연체 위의 제 3 도전체를 가지고,

상기 제 2 트랜지스터는 상기 제 1 금속 산화물 위의 제 4 도전체 및 제 5 절연체와, 상기 제 5 절연체 위의 제 5 도전체를 가지고,

상기 제 3 트랜지스터는 제 2 금속 산화물과, 상기 제 2 금속 산화물 위의 제 6 도전체, 제 7 도전체, 및 제 6 절연체와, 상기 제 6 절연체 위의 제 8 도전체를 가지고,

상기 용량 소자는 제 9 도전체와, 상기 제 9 도전체 위의 제 7 절연체와, 상기 제 7 절연체 위의 제 10 도전체를 가지고,

상기 제 1 절연체의 측면은 상기 제 4 도전체와 접하는 부분을 가지고,

상기 제 4 도전체의 단부는 상기 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지고,

상기 제 2 절연체는 상기 제 1 트랜지스터 위 및 상기 제 2 트랜지스터 위에 위치하고,

상기 제 2 절연체에 제공된 개구를 통하여 상기 제 2 도전체와 상기 제 6 도전체가 전기적으로 접속되고,

상기 제 3 절연체는 상기 제 3 트랜지스터 위에 위치하고,

상기 제 3 절연체 위에 상기 제 9 도전체, 상기 제 7 절연체, 및 상기 제 10 도전체가 중첩되는 부분이 위치하

고,

상기 제 3 절연체에 제공된 개구를 통하여 상기 제 6 도전체와 상기 제 9 도전체가 전기적으로 접속되는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 4 도전체의 단부는 상기 제 2 절연체의 단부보다 외측에 위치하는 부분을 가지는, 반도체 장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 제 2 절연체의 단부는 상기 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지는, 반도체 장치.

청구항 5

제 2 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 7 도전체의 단부는 상기 제 2 절연체의 단부보다 외측에 위치하는 부분을 가지는, 반도체 장치.

청구항 6

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 3 절연체의 단부는 상기 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지는, 반도체 장치.

청구항 7

제 2 항 내지 제 6 항 중 어느 한 항에 있어서,

제 11 도전체를 가지고,

상기 제 11 도전체는 상기 제 4 도전체의 상면의 일부와 접하는 부분, 상기 제 4 도전체의 측면의 일부와 접하는 부분, 상기 제 7 도전체의 상면의 일부와 접하는 부분, 및 상기 제 7 도전체의 측면의 일부와 접하는 부분을 가지는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 11 도전체는 상기 제 4 도전체의 하면의 일부와 접하는 부분 및 상기 제 7 도전체의 하면의 일부와 접하는 부분을 가지는, 반도체 장치.

청구항 9

제 2 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 7 절연체는 산화 지르코늄 및 산화 알루미늄 중 한쪽 또는 양쪽을 가지는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치, 기억 장치, 및 전자 기기에 관한 것이다. 또한 본 발명의 일 형태는 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트

랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.

배 경 기 술

[0004] 근년, LSI(Large Scale Integration), CPU(Central Processing Unit), GPU(Graphic Processing Unit), 메모리(기억 장치) 등의 반도체 장치의 개발이 진행되고 있다. 이들 반도체 장치는 컴퓨터, 휴대 정보 단말기 등 다양한 전자 기기에 사용되고 있다. 또한 연산 처리 실행 시의 일시 기억, 데이터의 장기 기억 등 용도에 따라 다양한 기억 방식의 메모리가 개발되고 있다. 대표적인 기억 방식의 메모리로서는, 예를 들어 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 및 플래시 메모리가 있다.

[0005] 또한 취급되는 데이터양의 증대에 수반하여, 더 큰 기억 용량을 가지는 반도체 장치가 요구되고 있다. 특허문헌 1 및 비특허문헌 1에는 트랜지스터를 적층하여 형성한 메모리 셀이 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 국제공개공보 WO2021/053473호

비특허문헌

[0007] (비특허문헌 0001) M.Oota et al., "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp.50-53

발명의 내용

해결하려는 과제

[0008] 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 동작 속도가 빠른 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 양호한 전기 특성을 가지는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 트랜지스터의 전기 특성의 편차가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 온 전류가 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비 전력이 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0009] 본 발명의 일 형태는 기억 용량이 큰 기억 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 점유 면적이 작은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비 전력이 적은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신규 기억 장치를 제공하는 것을 과제 중 하나로 한다.

[0010] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 이들 과제 모두를 반드시 해결할 필요는 없는 것으로 한다. 명세서, 도면, 청구항의 기재에서 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 형태는 절연 표면 위에 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 절연체를 가지고, 제 1 트랜지스터와 제 2 트랜지스터는 제 1 절연체 위의 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 1 도전체를 각각 공유하고, 제 1 트랜지스터는 제 1 금속 산화물 위의 제 2 도전체 및 제 2 절연체와, 제 2 절연체 위의 제 3 도전체를 가지고, 제 2 트랜지스터는 제 1 금속 산화물 위의 제 4 도전체 및 제 3 절연체와, 제 3 절연체 위의 제 5 도전체를 가지고, 제 1 절연체의 측면은 제 4 도전체와 접하는 부분을 가지고, 제 4 도전체의 단부는 제 1 절

연체의 단부보다 외측에 위치하는 부분을 가지고, 제 2 절연체는 제 1 도전체와 제 2 도전체 사이에 위치하고, 금속 산화물과 제 3 도전체는 제 2 절연체를 개재(介在)하여 중첩되고, 제 3 절연체는 제 1 도전체와 제 4 도전체 사이에 위치하고, 금속 산화물과 제 5 도전체는 제 3 절연체를 개재하여 중첩되는 반도체 장치이다.

[0012] 본 발명의 일 형태는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 1 절연체, 제 2 절연체, 제 3 절연체, 및 용량 소자를 가지고, 제 1 트랜지스터와 제 2 트랜지스터는 제 1 절연체 위의 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 1 도전체를 각각 공유하고, 제 1 트랜지스터는 제 1 금속 산화물 위의 제 2 도전체 및 제 4 절연체와, 제 4 절연체 위의 제 3 도전체를 가지고, 제 2 트랜지스터는 제 1 금속 산화물 위의 제 4 도전체 및 제 5 절연체와, 제 5 절연체 위의 제 5 도전체를 가지고, 제 3 트랜지스터는 제 2 금속 산화물과, 제 2 금속 산화물 위의 제 6 도전체, 제 7 도전체, 및 제 6 절연체와, 제 6 절연체 위의 제 8 도전체를 가지고, 용량 소자는 제 9 도전체와, 제 9 도전체 위의 제 7 절연체와, 제 7 절연체 위의 제 10 도전체를 가지고, 제 1 절연체의 측면은 제 4 도전체와 접하는 부분을 가지고, 제 4 도전체의 단부는 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지고, 제 2 절연체는 제 1 트랜지스터 위 및 제 2 트랜지스터 위에 위치하고, 제 2 절연체에 제공된 개구를 통하여 제 2 도전체와 제 6 도전체가 전기적으로 접속되고, 제 3 절연체는 제 3 트랜지스터 위에 위치하고, 제 3 절연체 위에 제 9 도전체, 제 7 절연체, 및 제 10 도전체가 중첩되는 부분이 위치하고, 제 3 절연체에 제공된 개구를 통하여 제 6 도전체와 제 9 도전체가 전기적으로 접속되는 반도체 장치이다.

[0013] 제 4 도전체의 단부는 제 2 절연체의 단부보다 외측에 위치하는 부분을 가지는 것이 바람직하다.

[0014] 제 2 절연체의 단부는 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지는 것이 바람직하다.

[0015] 제 7 도전체의 단부는 제 2 절연체의 단부보다 외측에 위치하는 부분을 가지는 것이 바람직하다.

[0016] 제 3 절연체의 단부는 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지는 것이 바람직하다.

[0017] 상기 각 반도체 장치는 제 4 도전체의 상면의 일부와 접하는 부분, 제 4 도전체의 측면의 일부와 접하는 부분, 제 7 도전체의 상면의 일부와 접하는 부분, 및 제 7 도전체의 측면의 일부와 접하는 부분을 가지는 제 11 도전체를 가지는 것이 바람직하다. 제 11 도전체는 제 4 도전체의 하면의 일부와 접하는 부분 및 제 7 도전체의 하면의 일부와 접하는 부분을 가지는 것이 바람직하다.

[0018] 제 7 절연체는 산화 지르코늄 및 산화 알루미늄 중 한쪽 또는 양쪽을 가지는 것이 바람직하다.

발명의 효과

[0019] 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 동작 속도가 빠른 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 본 발명의 일 형태는 트랜지스터의 전기 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신뢰성이 높은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 온 전류가 높은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 소비 전력이 적은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신규 반도체 장치를 제공할 수 있다.

[0020] 본 발명의 일 형태에 의하여 기억 용량이 큰 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 점유 면적이 작은 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신뢰성이 높은 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 소비 전력이 적은 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신규 기억 장치를 제공할 수 있다.

[0021] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0022] 도 1은 반도체 장치의 일례를 나타낸 단면도이다.

도 2는 반도체 장치의 일례를 나타낸 단면도이다.

도 3은 반도체 장치의 일례를 나타낸 단면도이다.

도 4는 반도체 장치의 일례를 나타낸 단면도이다.

도 5는 반도체 장치의 일례를 나타낸 단면도이다.

도 6은 반도체 장치의 일례를 나타낸 단면도이다.

도 7은 반도체 장치의 일례를 나타낸 단면도이다.

도 8은 반도체 장치의 일례를 나타낸 단면도이다.

도 9는 반도체 장치의 일례를 나타낸 단면도이다.

도 10은 반도체 장치의 일례를 나타낸 단면도이다.

도 11은 반도체 장치의 일례를 나타낸 단면도이다.

도 12의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 상면도이다.

도 13의 (A) 내지 (D)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 14의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 15의 (A) 및 (B)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 16의 (A) 및 (B)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 17의 (A) 및 (B)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 18의 (A) 및 (B)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 19의 (A) 및 (B)는 기억 장치의 일례를 나타낸 도면이다.

도 20의 (A) 및 (B)는 기억층의 일례를 나타낸 회로도이다.

도 21은 메모리 셀의 동작예를 설명하기 위한 타이밍 차트이다.

도 22의 (A) 및 (B)는 메모리 셀의 동작예를 설명하기 위한 회로도이다.

도 23의 (A) 및 (B)는 메모리 셀의 동작예를 설명하기 위한 회로도이다.

도 24는 반도체 장치의 구성예를 설명하기 위한 회로도이다.

도 25의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 도면이다.

도 26의 (A) 및 (B)는 전자 부품의 일례를 나타낸 도면이다.

도 27의 (A) 내지 (J)는 전자 기기의 일례를 나타낸 도면이다.

도 28의 (A) 내지 (E)는 전자 기기의 일례를 나타낸 도면이다.

도 29의 (A) 내지 (C)는 전자 기기의 일례를 나타낸 도면이다.

도 30은 우주용 기기의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 쉽게 이해할 수 있다. 따라서 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0024] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면 간에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0025] 또한 도면에 나타낸 각 구성의 위치, 크기, 및 범위 등은 이해를 쉽게 하기 위하여 실제의 위치, 크기, 및 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.

[0026] 또한, 본 명세서 등에서, "제 1", "제 2"라는 서수사는 편의상 사용하는 것이며, 구성 요소의 개수 또는 구성 요소의 순서(예를 들어 공정 순서 또는 적층 순서)를 한정하는 것이 아니다. 또한 본 명세서의 어떤 부분에 있

어서 구성 요소에 붙이는 서수사와 본 명세서의 다른 부분 또는 청구범위에 있어서 상기 구성 요소에 붙이는 서수사가 일치하지 않는 경우가 있다.

[0027] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있다.

[0028] (실시형태 1)

[0029] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치에 대하여 도 1 내지 도 18을 사용하여 설명한다.

[0030] 본 발명의 일 형태의 반도체 장치는 절연 표면 위에 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 절연체를 가지고, 제 1 트랜지스터와 제 2 트랜지스터는 제 1 절연체 위의 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 1 도전체를 각각 공유하고, 제 1 트랜지스터는 제 1 금속 산화물 위의 제 2 도전체 및 제 2 절연체와, 제 2 절연체 위의 제 3 도전체를 가지고, 제 2 트랜지스터는 제 1 금속 산화물 위의 제 4 도전체 및 제 3 절연체와, 제 3 절연체 위의 제 5 도전체를 가지고, 제 1 절연체의 측면은 제 4 도전체와 접하는 부분을 가지고, 제 4 도전체의 단부는 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지고, 제 2 절연체는 제 1 도전체와 제 2 도전체 사이에 위치하고, 금속 산화물과 제 3 도전체는 제 2 절연체를 개재하여 중첩되고, 제 3 절연체는 제 1 도전체와 제 4 도전체 사이에 위치하고, 금속 산화물과 제 5 도전체는 제 3 절연체를 개재하여 중첩된다.

[0031] 금속 산화물은 제 1 트랜지스터의 채널 형성 영역으로서 기능하고, 또한 제 2 트랜지스터의 채널 형성 영역으로서도 기능한다. 제 1 도전체는 제 1 트랜지스터의 소스 또는 드레인으로서 기능하고, 또한 제 2 트랜지스터의 소스 또는 드레인으로서도 기능한다.

[0032] 제 1 트랜지스터와 제 2 트랜지스터가 인접하고 금속 산화물과 제 1 도전체를 각각 공유함으로써 트랜지스터 2개분의 면적보다 작은 면적(예를 들어 1.5개분의 면적)에 2개의 트랜지스터를 형성할 수 있다. 이에 의하여 트랜지스터를 높은 밀도로 배치할 수 있어 반도체 장치에서의 고집적화를 실현할 수 있다. 예를 들어 각종 메모리 등의 기억 장치의 고집적화에 이용할 수도 있다.

[0033] 본 발명의 일 형태의 반도체 장치는 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터(OS 트랜지스터)를 가진다. OS 트랜지스터는 오프 전류가 낮기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나 리프레시 동작의 빈도가 매우 낮기 때문에, 기억 장치의 소비 전력을 충분히 저감시킬 수 있다. 또한 OS 트랜지스터의 주파수 특성은 높기 때문에 기억 장치의 판독 및 기록을 고속으로 수행할 수 있다.

[0034] 본 발명의 일 형태의 반도체 장치는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 1 절연체, 제 2 절연체, 제 3 절연체, 및 용량 소자를 가지고, 제 1 트랜지스터와 제 2 트랜지스터는 제 1 절연체 위의 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 1 도전체를 각각 공유하고, 제 1 트랜지스터는 제 1 금속 산화물 위의 제 2 도전체 및 제 4 절연체와, 제 4 절연체 위의 제 3 도전체를 가지고, 제 2 트랜지스터는 제 1 금속 산화물 위의 제 4 도전체 및 제 5 절연체와, 제 5 절연체 위의 제 5 도전체를 가지고, 제 3 트랜지스터는 제 2 금속 산화물과, 제 2 금속 산화물 위의 제 6 도전체, 제 7 도전체, 및 제 6 절연체와, 제 6 절연체 위의 제 8 도전체를 가지고, 용량 소자는 제 9 도전체와, 제 9 도전체 위의 제 7 절연체와, 제 7 절연체 위의 제 10 도전체를 가지고, 제 1 절연체의 측면은 제 4 도전체와 접하는 부분을 가지고, 제 4 도전체의 단부는 제 1 절연체의 단부보다 외측에 위치하는 부분을 가지고, 제 2 절연체는 제 1 트랜지스터 위 및 제 2 트랜지스터 위에 위치하고, 제 2 절연체에 제공된 개구를 통하여 제 2 도전체와 제 6 도전체가 전기적으로 접속되고, 제 3 절연체는 제 3 트랜지스터 위에 위치하고, 제 3 절연체 위에 제 9 도전체, 제 7 절연체, 및 제 10 도전체가 중첩되는 부분이 위치하고, 제 3 절연체에 제공된 개구를 통하여 제 6 도전체와 제 9 도전체가 전기적으로 접속된다.

[0035] 개구에는 예를 들어 홈, 슬릿 등도 포함된다. 또한 개구가 형성된 영역을 개구부라고 기재하는 경우가 있다.

[0036] 또한 본 실시형태에서 사용하는 도면에서, 절연체의 개구부에서의 절연체의 측벽이 기판면 또는 피형성면에 실질적으로 수직인 경우를 나타내었지만, 테이퍼 형상이어도 좋다.

[0037] 또한 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사져 제공되어 있는 형상을 가리킨다. 예를 들어 경사진 측면과 기판면 또는 피형성면이 이루는 각(이하, 테이퍼 각이라고 부르는 경우가 있음)이 90° 미만인 영역을 가지는 것이 바람직하다. 또한 구조의 측면 및 기판면은 완전히 평탄할 필요는 없고, 미세한 곡률을 가지는 실질적 평면 형상 또는 미세한 요철을 가지는 실질적 평면 형

상이어도 좋다.

[0038] 본 발명의 일 형태의 반도체 장치는 하나의 회로를 구성하는 모든 트랜지스터를 동일 평면 위에 형성하는 구성에 한정되지 않고, 예를 들어 일부의 트랜지스터 위에 나머지 트랜지스터를 제공하는 2단 구조로 할 수 있다. 이에 의하여 트랜지스터를 높은 밀도로 배치할 수 있어 반도체 장치에서의 고집적화를 실현할 수 있다. 예를 들어 각종 메모리 등의 기억 장치의 고집적화에 이용할 수도 있다.

[0039] 또한 본 발명의 일 형태가 적용된 기억 장치에서 제 4 도전체의 상면의 일부 및 측면의 일부가 기록 및 판독 비트선과 직접 접하는 구성을 적용할 수 있다. 마찬가지로 본 발명의 일 형태의 반도체 장치에서는 제 9 도전체의 상면의 일부 및 측면의 일부가 기록 및 판독 비트선과 직접 접하는 구성을 적용할 수 있다. 이와 같은 구성으로 함으로써 제 4 도전체 또는 제 9 도전체와 기록 및 판독 비트선 사이에 접속용 전극을 별도로 제공할 필요가 없어 메모리 셀의 집적도를 높일 수 있다.

[0040] <반도체 장치의 단면 구성예 1>

[0041] 도 1 내지 도 8을 사용하여, 본 발명의 일 형태의 반도체 장치의 단면 구성예에 대하여 설명한다.

[0042] 또한 도 1 내지 도 8에서 X 방향은 도시한 트랜지스터의 채널 길이 방향에 평행하고, Y 방향은 X 방향에 수직이고, Z 방향은 X 방향 및 Y 방향에 수직이다.

[0043] 도 1에 나타낸 반도체 장치는 절연체(210)와, 절연체(210)에 매립된 도전체(209)와, 절연체(210) 위의 절연체(212)와, 절연체(212) 위의 절연체(214)와, 절연체(214) 위의 n층(n은 1 이상의 정수임)의 층(11)(제 1 층(11_1) 내지 제 n 층(11_n))과, n층의 층(11)을 관통하도록 Z 방향으로 연장되어 제공되고, 도전체(209)와 전기적으로 접속된 도전체(240)(도전체(240a) 및 도전체(240b))와, 제 n 층(11_n) 위의 절연체(281)와, 절연체(281) 위 및 도전체(240) 위의 절연체(283)와, 절연체(283) 위의 절연체(285)를 가진다. 또한 본 실시형태의 반도체 장치가 가지는 구성 요소는 각각 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0044] 도전체(209)는 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 및 다이오드 등의 회로 소자의 일부, 배선, 전극, 또는 단자로서 기능한다.

[0045] 도 1에서는 n층의 층(11) 중 가장 아래층인 제 1 층(11_1)과, 제 1 층(11_1) 위의 제 2 층(11_2)과, 가장 위층인 제 n 층(11_n)을 나타내었다.

[0046] 본 실시형태의 반도체 장치는 기억 장치의 메모리 셀(또는 메모리 셀 어레이)로서 사용할 수 있다. n층의 층(11)의 각 층은 실시형태 2에서 설명하는 기억 장치에서의 기억층(60)에 상당한다. n층의 층(11)의 각 층에는 복수의 메모리 셀을 가지는 메모리 셀 어레이가 제공되어 있다. 도전체(209)는 도전체(209)보다 아래에 제공된, 상기 메모리 셀을 구동하기 위한 구동 회로와 전기적으로 접속된다. 기억층(60)의 적층 수를 늘림으로써(n의 값을 크게 함으로써), 메모리 셀의 점유 면적을 증대시키지 않고 기억 장치의 기억 용량을 증대시킬 수 있다. 따라서 1비트당 점유 면적이 저감되어 소형이고 기억 용량이 큰 기억 장치를 실현할 수 있다.

[0047] n층의 층(11)의 각 층은 같은 구성을 가지기 때문에 본 실시형태에서는 주로 제 1 층(11_1)을 예로 들어 설명한다.

[0048] 제 1 층(11_1)은 트랜지스터(201a, 201b, 202a, 202b, 203a, 203b) 및 용량 소자(101a, 101b)를 가진다.

[0049] 제 1 층(11_1)은 도전체(240)를 경계로 오른쪽 구성과 왼쪽 구성이 대칭이다. 즉, 도 1에서 트랜지스터(201a)와 트랜지스터(201b)는 대칭이고, 트랜지스터(202a)와 트랜지스터(202b)는 대칭이고, 트랜지스터(203a)와 트랜지스터(203b)는 대칭이고, 용량 소자(101a)와 용량 소자(101b)는 대칭이다. 본 실시형태에서는 주로 제 1 층(11_1)의 왼쪽의 구성(트랜지스터(201a, 202a, 203a) 및 용량 소자(101a))을 예로 들어 설명한다.

[0050] 트랜지스터(202a)와 트랜지스터(203a)는 절연체(214) 위에 제공되고, 일부의 층을 공유한다. 트랜지스터(202a) 위에 제공된 도전체를 통하여 트랜지스터(202a)의 게이트와 트랜지스터(201a)의 소스 또는 드레인이 전기적으로 접속되어 있다. 또한 상기 트랜지스터(201a)의 소스 또는 드레인에는 용량 소자(101a)의 한쪽 전극(하부 전극)이 물리적 및 전기적으로 접속되어 있다. 또한 제 1 층(11_1)이 가지는 용량 소자(101a)의 다른 쪽 전극(상부 전극)은 제 2 층(11_2)이 가지는 트랜지스터(202a)의 소스 또는 드레인과 전기적으로 접속되어 있다.

[0051] 이와 같이 제 1 층(11_1)은 트랜지스터가 제공된 층을 2개 적층한 구성을 가진다고 할 수 있다. 구체적으로는 제 1 층(11_1)은 제 1 단(하단)에 트랜지스터(202a, 203a)를 가지고, 제 2 단(상단)에 트랜지스터(201a) 및 용량 소자(101a)를 가진다. 트랜지스터가 제공된 층을 2개 적층함으로써, 집적도를 높일 수 있다.

[0052] 도 2에 나타낸 반도체 장치는 도 1에 나타낸 반도체 장치의 변형예이다. 도 1에서는 트랜지스터(202a)의 소스 또는 드레인과 도전체(265c)가 전기적으로 접속되어 있는 예를 나타내었지만, 도 2에 나타낸 바와 같이 도전체(265c)를 제공하지 않는 구성으로 하여도 좋다. 이 경우, 트랜지스터(202a)의 소스 또는 드레인은 Y 방향으로 리드하여 제공하면 원하는 전위(예를 들어 접지 전위)를 공급하기 용이해지기 때문에 바람직하다.

[0053] 도 3에 나타낸 반도체 장치는 도 1에 나타낸 반도체 장치의 변형예이다. 구체적으로는 도 3에서는 트랜지스터(202a)의 게이트와 트랜지스터(201a)의 소스 또는 드레인을 전기적으로 접속하기 위한 콘택트 플러그로서 기능하는 도전체(263)를 사용한다. 또한 도 3에서는 제 1 층(11_1)이 가지는 용량 소자(101a)의 다른 쪽 전극(상부 전극)과 제 2 층(11_2)이 가지는 트랜지스터(202a)의 소스 또는 드레인을 전기적으로 접속하기 위한 콘택트 플러그로서 기능하는 도전체(231)를 사용한다. 도전체(231)는 용량 소자(101a) 위에 위치하는 절연체(232)에 제공된 개구의 내부에 매립되어 있다. 이와 같이 서로 상하에 위치하는 2개의 도전체를 전기적으로 접속하는 방법은 특별히 한정되지 않고 다양한 구성을 적용할 수 있다.

[0054] 또한 도 3에서는 절연체(212) 및 절연체(214)가 도전체(240)와 접하는 예를 나타내었다.

[0055] 다음으로 도 4를 사용하여 트랜지스터(202a)와 트랜지스터(203a)에 대하여 자세히 설명한다.

[0056] 트랜지스터(202a)는 절연체(214) 위에 제공된 도전체(265b)(도전체(265b1) 및 도전체(265b2))와, 도전체(265b) 위의 절연체(272)와, 절연체(272) 위의 절연체(274)와, 절연체(274) 위의 산화물(220)(산화물(220a) 및 산화물(220b))과, 절연체(274)의 측면의 일부, 그리고 산화물(220)의 상면의 일부 및 측면의 일부를 덮는 도전체(252b)(도전체(252b1) 및 도전체(252b2))와, 산화물(220) 위의 도전체(252c)(도전체(252c1) 및 도전체(252c2))와, 산화물(220) 위의 절연체(243b)와, 절연체(243b) 위의 절연체(244b)와, 절연체(244b) 위의 도전체(270b)(도전체(270b1) 및 도전체(270b2))를 가진다.

[0057] 트랜지스터(203a)는 절연체(214) 위에 제공된 도전체(265a)(도전체(265a1) 및 도전체(265a2))와, 도전체(265a) 위의 절연체(272)와, 절연체(272) 위의 절연체(274)와, 절연체(274) 위의 산화물(220)과, 절연체(274)의 측면의 일부, 그리고 산화물(220)의 상면의 일부 및 측면의 일부를 덮는 도전체(252a)(도전체(252a1) 및 도전체(252a2))와, 산화물(220) 위의 도전체(252c)와, 산화물(220) 위의 절연체(243a)와, 절연체(243a) 위의 절연체(244a)와, 절연체(244a) 위의 도전체(270a)(도전체(270a1) 및 도전체(270a2))를 가진다.

[0058] 도전체(265a, 265b)는 절연체(266)에 제공된 개구의 내부에 매립되어 있다. 도전체(252a, 252b, 252c) 위에는 절연체(276)가 제공되고 절연체(276) 위에는 절연체(290)가 제공되어 있다. 절연체(243a, 243b, 244a, 244b) 및 도전체(270a, 270b)는 절연체(290) 및 절연체(276)에 제공된 개구의 내부에 매립되어 있다.

[0059] 산화물(220)은 트랜지스터(202a)의 채널 형성 영역으로서 기능하는 영역과, 트랜지스터(203a)의 채널 형성 영역으로서 기능하는 영역을 가진다.

[0060] 도전체(252a)는 트랜지스터(203a)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(252b)는 트랜지스터(202a)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(252c)는 트랜지스터(202a)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역과, 트랜지스터(203a)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다. 도전체(252c)는 트랜지스터(202a)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하며, 트랜지스터(203a)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다고 할 수도 있다.

[0061] 도전체(270a)는 트랜지스터(203a)의 제 1 게이트 전극으로서 기능하는 영역을 가진다. 절연체(243a, 244a)는 각각 트랜지스터(203a)의 제 1 게이트 절연체로서 기능하는 영역을 가진다.

[0062] 도전체(270b)는 트랜지스터(202a)의 제 1 게이트 전극으로서 기능하는 영역을 가진다. 절연체(243b, 244b)는 각각 트랜지스터(202a)의 제 1 게이트 절연체로서 기능하는 영역을 가진다.

[0063] 도전체(265a)는 트랜지스터(203a)의 제 2 게이트 전극으로서 기능하는 영역을 가진다. 도전체(265b)는 트랜지스터(202a)의 제 2 게이트 전극으로서 기능하는 영역을 가진다. 절연체(272, 274)는 각각 트랜지스터(202a)의 제 2 게이트 절연체로서 기능하는 영역과, 트랜지스터(203a)의 제 2 게이트 절연체로서 기능하는 영역을 가진다.

[0064] 트랜지스터(202a)와 트랜지스터(203a)는 인접하고 산화물(220)과 도전체(252c)를 각각 공유한다. 이에 의하여 트랜지스터 2개분의 면적보다 작은 면적(예를 들어 1.5개분의 면적)에 2개의 트랜지스터(트랜지스터(202a)와 트랜지스터(203a))를 형성할 수 있다. 이에 의하여 트랜지스터를 높은 밀도로 배치할 수 있어 반도체 장치에서의

고집적화를 실현할 수 있다.

[0065] 또한 도 4의 영역(250)에 나타낸 바와 같이 도전체(270a)와 도전체(270b) 사이의 영역에는 도전체(252c)가 배치된다. 그러므로 산화물(220)(특히 산화물(220b))에서 도전체(252c)와 중첩되는 영역에 n형의 영역(저저항 영역)을 형성할 수 있다. 또한 도전체(252c)를 통하여 트랜지스터(202a)와 트랜지스터(203a) 사이에 전류를 흘릴 수도 있다. 따라서 채널이 형성되는 반도체층에 실리콘을 사용하는 트랜지스터(Si 트랜지스터라고도 함)를 2개 직렬로 접속하는 구성에 비하여 트랜지스터(202a)와 트랜지스터(203a) 사이의 저항 성분을 매우 적게 할 수 있다.

[0066] 또한 트랜지스터(202a)와 트랜지스터(203a)의 구성은 산화물(220)과 도전체(252c)를 공유하는 점 이외는 트랜지스터(201a)의 구성과 같다. 또한 트랜지스터(202a)와 트랜지스터(203a)에 적용할 수 있는 재료 및 제작 방법도 트랜지스터(201a)와 같다. 그러므로 본 실시형태의 반도체 장치가 가지는 트랜지스터의 재료 및 제작 방법에 대해서는 이후에서 트랜지스터(201a)에 대하여 설명할 때 통틀어 기재한다.

[0067] 도 3에서 제 1 층(11_1)의 왼쪽 절반의 구성(도전체(240)와, 그보다 왼쪽에 나타낸 구성)의 확대도를 도 5에 나타내었다.

[0068] 도 5에 나타낸 바와 같이 절연체(214) 위에 트랜지스터(202a) 및 트랜지스터(203a)가 제공되어 있다. 트랜지스터(202a)가 가지는 도전체(252b)는 도전체(265c)(도전체(265c1) 및 도전체(265c2))와 전기적으로 접속되어 있다.

[0069] 또한 절연체(290) 위, 트랜지스터(202a) 위, 및 트랜지스터(203a) 위에 절연체(262)가 제공되고 절연체(262) 위에 절연체(264)가 제공되어 있다. 절연체(262) 및 절연체(264)에 제공된 개구의 내부에 도전체(263)(도전체(263a) 및 도전체(263b))가 제공되어 있다. 그리고 절연체(264) 위에는 트랜지스터(201a) 및 용량 소자(101a)가 제공되어 있다.

[0070] 트랜지스터(201a)는 절연체(264) 위에 제공된 도전체(205a)(도전체(205a1) 및 도전체(205a2))와, 도전체(205a) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(230)(산화물(230a) 및 산화물(230b))과, 각각 절연체(224)의 측면의 일부, 그리고 산화물(230)의 상면의 일부 및 측면의 일부를 덮는 도전체(242a)(도전체(242a1) 및 도전체(242a2)) 및 도전체(242b)(도전체(242b1) 및 도전체(242b2))와, 산화물(230) 위의 절연체(253)와, 절연체(253) 위의 절연체(254)와, 절연체(254) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다.

[0071] 도전체(205a, 205b)는 절연체(216)에 제공된 개구의 내부에 매립되어 있다. 도전체(242a, 242b) 위에는 절연체(275)가 제공되고 절연체(275) 위에는 절연체(280)가 제공되어 있다. 절연체(253, 254) 및 도전체(260)는 절연체(280) 및 절연체(275)에 제공된 개구의 내부에 매립되어 있다. 절연체(280) 위 및 도전체(260) 위에 절연체(282)가 제공되어 있다.

[0072] 산화물(230)은 트랜지스터(201a)의 채널 형성 영역으로서 기능하는 영역을 가진다.

[0073] 도전체(242a)는 트랜지스터(201a)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(242b)는 트랜지스터(201a)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다.

[0074] 도전체(260)는 트랜지스터(201a)의 제 1 게이트 전극으로서 기능하는 영역을 가진다. 절연체(253, 254)는 각각 트랜지스터(201a)의 제 1 게이트 절연체로서 기능하는 영역을 가진다.

[0075] 도전체(205a)는 트랜지스터(201a)의 제 2 게이트 전극으로서 기능하는 영역을 가진다. 절연체(222, 224)는 각각 트랜지스터(201a)의 제 2 게이트 절연체로서 기능하는 영역을 가진다.

[0076] 트랜지스터(201a)가 가지는 도전체(242b)는 트랜지스터(202a)가 가지는 도전체(270b)와 전기적으로 접속되어 있다. 구체적으로는 도전체(242b)는 도전체(205b)(도전체(205b1) 및 도전체(205b2)) 및 도전체(263)를 통하여 도전체(270b)와 전기적으로 접속되어 있다.

[0077] 용량 소자(101a)는 도전체(242b) 위의 도전체(153)와, 도전체(153) 위의 절연체(154)와, 절연체(154) 위의 도전체(160)(도전체(160a) 및 도전체(160b))를 가진다.

[0078] 도전체(153), 절연체(154), 및, 도전체(160)의 적어도 일부는 절연체(275), 절연체(280), 및 절연체(282)에 제공된 개구의 내부에 배치되어 있다. 도전체(153), 절연체(154), 및, 도전체(160) 각각의 단부는 절연체(282) 위에 위치한다. 절연체(154)는 도전체(153)의 단부를 덮도록 제공되어 있다. 이에 의하여 도전체(153)와 도전

체(160)를 전기적으로 절연할 수 있다. 절연체(275), 절연체(280), 및 절연체(282)에 제공되는 개구의 깊이를 깊게 할수록(즉, 절연체(275), 절연체(280), 및 절연체(282) 중 하나 또는 복수의 두께를 두껍게 할수록) 용량 소자(101a)의 정전 용량을 크게 할 수 있다. 용량 소자(101a)의 단위 면적당 정전 용량을 크게 함으로써, 반도체 장치의 미세화 또는 고집적화를 도모할 수 있다.

[0079] 도전체(160) 위에는 도전체(231)(도전체(231a) 및 도전체(231b))가 제공되어 있고, 이에 의하여 도전체(160)와, 상단의 트랜지스터(202a)의 소스 또는 드레인을 전기적으로 접속할 수 있다. 또한 도 1에 나타낸 바와 같이 도전체(231)를 통하지 않고 도전체(160)와, 상단의 트랜지스터(202a)의 소스 또는 드레인을 전기적으로 접속할 수도 있다.

[0080] 도전체(153)는 용량 소자(101a)의 한쪽 전극(하부 전극)으로서 기능하는 영역을 가진다. 절연체(154)는 용량 소자(101a)의 유전체로서 기능하는 영역을 가진다. 도전체(160)는 용량 소자(101a)의 다른 쪽 전극(상부 전극)으로서 기능하는 영역을 가진다. 용량 소자(101a)는 MIM(Metal-Insulator-Metal) 용량 소자를 구성한다.

[0081] 트랜지스터(201a)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하는 도전체(242a)는 반도체층으로서 기능하는 산화물(230)을 넘어 연장되어 있다. 따라서 도전체(242a)는 배선으로서도 기능한다. 예를 들어 도 5에서는 도전체(242a)의 상면, 측면, 및 하면 각각의 일부가 Z 방향으로 연장되는 도전체(240)와 전기적으로 접속되어 있다.

[0082] 마찬가지로 트랜지스터(203a)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하는 도전체(252a)는 반도체층으로서 기능하는 산화물(220)을 넘어 연장되어 있다. 따라서 도전체(252a)는 배선으로서도 기능한다. 예를 들어 도 5에서는 도전체(252a)의 상면, 측면, 및 하면 각각의 일부가 Z 방향으로 연장되는 도전체(240)와 전기적으로 접속되어 있다.

[0083] 도전체(240)가 도전체(242a)의 상면, 측면, 및 하면 중 적어도 하나와 도전체(252a)의 상면, 측면, 및 하면 중 적어도 하나의 양쪽과 직접 접함으로써 접속용 전극을 별도로 제공할 필요가 없기 때문에 메모리 셀 어레이의 점유 면적을 축소시킬 수 있다. 또한 메모리 셀의 집적도가 향상되어 기억 용량을 증대시킬 수 있다. 또한 도전체(240)는 도전체(242a)의 상면, 측면, 및 하면 중 2면 이상과 접하는 것이 바람직하다. 마찬가지로 도전체(240)는 도전체(252a)의 상면, 측면, 및 하면 중 2면 이상과 접하는 것이 바람직하다. 도전체(240)가 도전체(242a) 또는 도전체(252a)의 복수 면과 접함으로써 도전체(240)와 도전체(242a) 또는 도전체(252a)의 접촉 저항을 저감할 수 있다.

[0084] 도 6은 도전체(240)와 도전체(242a)가 접하는 영역 및 그 근방의 확대도이다. 도 6에 나타낸 바와 같이 도전체(240)는 폭(W1)을 가지는 영역과 폭(W2)을 가지는 영역을 가진다. 폭(W1)은 트랜지스터(201a)가 가지는 도전체(242a)와 트랜지스터(201b)가 가지는 도전체(242a) 사이의 거리에 대응한다. 폭(W2)은 예를 들어 절연체(280)와 도전체(240a)의 트랜지스터(201a) 측의 계면과, 절연체(280)와 도전체(240a)의 트랜지스터(201b) 측의 계면 사이의 거리에 대응한다.

[0085] 도 6에 나타낸 바와 같이 폭(W2)은 폭(W1)보다 큰 것이 바람직하다. 상기 구성에서 도전체(240)는 도전체(242a)의 상면의 일부 및 측면의 일부와 적어도 접한다. 따라서 도전체(240)와 도전체(242a)가 접한 영역의 면적을 크게 할 수 있다. 또한 본 명세서 등에서는 도전체(240)와 도전체(242a)의 콘택트를 톱 사이드 콘택트라고 부르는 경우가 있다. 또한 도 6에 나타낸 바와 같이 도전체(240)는 도전체(242a)의 하면의 일부와 접하여도 좋다. 상기 구성으로 함으로써, 도전체(240)와 도전체(242a)가 접한 영역의 면적을 더 크게 할 수 있다.

[0086] 또한 도 6을 사용하여 설명하는 내용에 대해서는 도전체(240)와 도전체(252a)가 접하는 영역 및 그 근방에 대해서도 마찬가지이다.

[0087] 또한 도 5에서는 절연체(262)의 단부는 절연체(266, 290, 264, 216, 280, 284, 232) 각각의 단부보다 내측에 위치한다. 마찬가지로 절연체(282)의 단부는 절연체(266, 290, 264, 216, 280, 284, 232) 각각의 단부보다 내측에 위치한다. 이와 같이 단면에서 보았을 때 절연체(262)의 단부 및 절연체(282)의 단부에는 각각 절연체(266, 290, 264, 216, 280, 284, 232) 중 하나 또는 복수의 단부보다 내측에 위치하는 구성을 적용할 수 있다.

[0088] 절연체(266, 290, 264, 216, 280, 284, 232)는 각각 층간막으로서 기능한다. 예를 들어 절연체(266, 290, 264, 216, 280, 284, 232)는 각각 산화 실리콘 및 산화질화 실리콘 중 한쪽 또는 양쪽을 가지는 것이 바람직하다.

[0089] 또한 본 명세서 등에서 산화질화물이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화

물이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어 산화질화 실리콘이라고 기재한 경우에는 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이라고 기재한 경우에는 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0090] 한편, 절연체(262) 및 절연체(282)는 트랜지스터의 배리어 절연체로서 기능하는 것이 바람직하다. 예를 들어 절연체(262) 및 절연체(282)는 각각 산화 알루미늄 및 산화 하프늄 중 한쪽 또는 양쪽을 가지는 것이 바람직하다.

[0091] 또한 본 명세서 등에서 배리어 절연체란, 배리어성을 가지는 절연체를 가리킨다. 본 명세서 등에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 가리킨다. 또는 대응하는 물질을 포획 및 고착(게터링이라고도 함)하는 기능으로 한다.

[0092] 여기서 산화 알루미늄 및 산화 하프늄은 산화 실리콘 또는 산화질화 실리콘에 비하여 에칭이 어려운 경우가 있다. 산화 알루미늄 및 산화 하프늄은 각각 에칭이 어려운 재료라고도 할 수 있다.

[0093] 본 실시형태의 반도체 장치의 제작 공정에 있어서, 도전체(240)를 제공하기 전에 절연체의 적층 구조에 개구부를 제공할 필요가 있다. 이때, 절연체(262) 및 절연체(282)는 절연체(266, 290, 264, 216, 280, 284)와 같은 에칭 가스를 사용하여 가공하는 것이 어려운 경우가 있다. 그래서 본 발명의 일 형태의 반도체 장치의 제작 방법에서는 절연체(262)의 제작 공정 및 절연체(282)의 제작 공정으로서 각각 성막 공정에 이어서 가공 공정을 수행하고, 그 후 다음 층의 제작 공정(성막 공정 등)으로 넘어간다. 그리고, 도전체(240)를 제공하기 직전의 절연체의 적층 구조에 대한 가공 공정에서는 절연체(266, 290, 264, 216, 280, 284) 등, 절연체(262) 및 절연체(282)에 비하여 에칭이 용이한 재료를 사용한 절연체에 개구를 제공한다. 이와 같이 에칭이 어려운 재료를 사용한 절연체는 미리 개구하고 다른 절연체는 도전체(240)를 제공하기 전에 통틀어 개구함으로써 공정의 마진을 높일 수 있다. 또한 각 개구의 형성에서의 수율을 높이고 반도체 장치의 생산성을 향상시킬 수 있다.

[0094] 또한 도 5 등에서는 절연체(280)에서 절연체(282)와 중첩되지 않는 영역 및 절연체(290)에서 절연체(262)와 중첩되지 않는 영역에 오목부가 제공되어 있다. 절연체(282) 또는 절연체(262)의 에칭 조건에 따라서는 절연체(282) 또는 절연체(262)의 가공 시에 절연체(280) 또는 절연체(290)의 일부가 제거되어 오목부가 형성되는 경우가 있다. 또한 절연체(280) 및 절연체(290)는 각각 오목부를 가지지 않아도 된다.

[0095] 또한 도 7에서는 절연체(262)의 단부는 절연체(266, 290, 264, 216, 280, 284, 232) 각각의 단부보다 외측에 위치한다. 마찬가지로 절연체(282)의 단부는 절연체(266, 290, 264, 216, 280, 284, 232) 각각의 단부보다 외측에 위치한다. 이와 같이 절연체(262)의 단부 및 절연체(282)의 단부에는 각각 절연체(266, 290, 264, 216, 280, 284, 232) 중 하나 또는 복수의 단부보다 외측에 위치하는 구성을 적용할 수 있다.

[0096] 여기서 도 1 등에 나타낸 바와 같이 메모리 셀을 n층 적층한 후에 도전체(240)를 제공하기 위한 개구부를 절연체의 적층 구조에 제공하는 경우, 깊게 개구할 필요가 있기 때문에, 개구부의 폭(개구 지름이라고도 할 수 있고 도 1 등에서는 X축 방향의 길이에 상당함)을 일정하게 유지하기 어려운 경우가 있다. 예를 들어 개구부의 위쪽(제 n 층 측)의 폭은 넓어지기 쉽고, 개구부의 아래쪽(제 1 층 측)의 폭은 좁아지기 쉽다. 여기서 절연체(262)의 단부 및 절연체(282)의 단부가 상기 개구부의 내부에 돌출되도록 제공됨으로써 개구부가 과도하게 에칭되는 것을 억제할 수 있는 경우가 있다. 이에 의하여 개구 지름의 편차를 억제할 수 있다. 또한 개구부의 상부의 폭이 지나치게 넓어지지 않도록 하면서 개구부의 바닥부에서도 충분한 폭을 확보할 수 있다.

[0097] 또한 도 7 및 도 8에서는 절연체(262)의 단부 및 절연체(282)의 단부는 도전체(242a)의 단부 및 도전체(252a)의 단부와 정렬되거나 실질적으로 정렬되는 예를 나타내었다. 또한 도 8에서는 절연체(272)의 단부 및 절연체(222)의 단부는 도전체(242a)의 단부 및 도전체(252a)의 단부와 실질적으로 정렬되는 예를 나타내었다. 본 발명의 일 형태의 반도체 장치는 이들 구성에 한정되지 않는다. 예를 들어 절연체(272, 222, 262, 282) 각각의 단부는 도전체(242a)의 단부 및 도전체(252a)의 단부 중 한쪽 또는 양쪽보다 외측에 위치하여도 좋고, 내측에 위치하여도 좋다.

[0098] 또한 단면에서 보았을 때 단부가 정렬되거나 실질적으로 정렬되는 경우, 그리고 상면 형상이 일치하거나 실질적으로 일치하는 경우, 상면에서 보았을 때 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩된다고 할 수 있다. 이와 같은 경우로서는 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 포함한다. 다만 엄밀하게 말하면, 윤곽이 중첩되지 않고 위층의 일부가 아래층보다 내측에 위치하거나 위층의 일부가 아래층보다 외측에 위치하는 경우도 있고, 이 경우에도 단부가 실질적으로 정렬되거나, 상면 형상이 실질적으로 일치한다고 말한다.

[0099] 또한 도 5에서는 절연체(222)의 단부 및 절연체(272)의 단부는 각각 절연체(266, 290, 264, 216, 280, 284, 232) 각각의 단부보다 내측에 위치한다. 절연체(222) 및 절연체(272)의 구성은 이에 한정되지 않는다. 예를 들어 도 8에서는 절연체(222)의 단부 및 절연체(272)의 단부는 각각 절연체(266, 290, 264, 216, 280, 284, 232) 각각의 단부보다 외측에 위치한다.

[0100] 도 5에 나타낸 바와 같이 절연체(272)의 단부가 도전체(252a)의 단부보다 내측에 위치하는 경우, 도전체(240)가 도전체(252a)의 상면, 측면, 및 하면과 접하는 구성으로 할 수 있어, 도전체(240)와 도전체(252a)의 접촉 저항을 저감할 수 있다. 마찬가지로 절연체(222)의 단부가 도전체(242a)의 단부보다 내측에 위치하는 경우, 도전체(240)가 도전체(242a)의 상면, 측면, 및 하면과 접하는 구성으로 할 수 있고, 도전체(240)와 도전체(242a)의 접촉 저항을 저감할 수 있다.

[0101] 또한 도 5 등에서는 절연체(216)에서 절연체(222)와 중첩되지 않는 영역 및 절연체(266)에서 절연체(272)와 중첩되지 않는 영역에 오목부가 제공되어 있다. 절연체(222) 또는 절연체(272)의 에칭 조건에 따라서는 절연체(222) 또는 절연체(272)의 가공 시에 절연체(216) 또는 절연체(266)의 일부가 제거되어 오목부가 형성되는 경우가 있다. 또한 절연체(216) 및 절연체(266)는 각각 오목부를 가지지 않아도 된다.

[0102] 또한 도 8에 나타낸 바와 같이 절연체(272)의 단부가 도전체(252a)의 단부와 실질적으로 정렬되거나 도전체(252a)의 단부보다 외측에 위치하는 경우, 완성 후의 반도체 장치에서 절연체(266)는 오목부를 가지지 않는 구성으로 할 수 있다. 마찬가지로 절연체(222)의 단부가 도전체(242a)의 단부와 실질적으로 정렬되거나 도전체(242a)의 단부보다 외측에 위치하는 경우, 완성 후의 반도체 장치에서 절연체(216)는 오목부를 가지지 않는 구성으로 할 수 있다. 절연체에 제공되는 오목부에서는 형상의 편차가 생기기 쉬운 경우가 있다. 따라서 절연체(266) 및 절연체(216)에 오목부를 잔존시키지 않음으로써 반도체 장치의 형상의 편차를 저감할 수 있다.

[0103] 또한 앞에서는 절연체(282)를 미리 개구하는 구성에 대하여 예시하였지만, 도 5, 도 7, 및 도 8에 나타낸 구성을 실현하기 위한 방법은 이에 한정되지 않는다. 예를 들어 절연체(282)와 절연체(280)의 에칭 레이트가 다른 경우, 일괄적으로 개구하여도 단면에서 보았을 때, 절연체(282)와 절연체(280)의 단부가 정렬되지 않는 구성이 되는 경우도 있다. 예를 들어 절연체(282)와 절연체(280)를 일괄적으로 개구하여 도 7에 나타낸 형상의 절연체(280) 및 절연체(282)를 형성할 수 있는 경우가 있다. 이와 같은 방법으로 제작된 반도체 장치도 본 발명의 일 형태에 포함된다.

[0104] 또한 절연체(262, 282, 266, 290, 264, 216, 280, 284)에 사용할 수 있는 기타 재료에 대해서는 후술한다.

[0105] 다음으로 본 실시형태의 반도체 장치가 가지는 트랜지스터에 대하여 자세히 설명한다.

[0106] 또한 이하에서는 주로 트랜지스터(201a)의 구성 요소를 예로 들어 설명하지만, 트랜지스터(202a, 203a)의 구성 요소에 대해서도 적용할 수 있다. 즉, 예를 들어 도전체(205), 절연체(222), 절연체(224), 산화물(230), 도전체(242), 절연체(253), 절연체(254), 및, 도전체(260)에 대한 설명은 각각 도전체(265), 절연체(272), 절연체(274), 산화물(220), 도전체(252), 절연체(243), 절연체(244), 및 도전체(270)에도 적용할 수 있다.

[0107] 산화물(230)은 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)을 가지는 것이 바람직하다. 산화물(230b) 아래에 산화물(230a)을 포함함으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로 불순물이 확산되는 것을 억제할 수 있다.

[0108] 또한 본 실시형태에서는 산화물(230)이 산화물(230a) 및 산화물(230b)의 2층 구조를 가지는 예를 설명하였지만 이에 한정되지 않는다. 산화물(230)은 예를 들어 산화물(230b)의 단층 구조를 가져도 좋고, 3층 이상의 층의 적층 구조를 가져도 좋다.

[0109] 산화물(230b)은 트랜지스터(201a)의 채널 형성 영역과, 채널 형성 영역을 끼우도록 제공되는 소스 영역 및 드레인 영역을 가진다. 채널 형성 영역의 적어도 일부는 도전체(260)와 중첩된다. 소스 영역 및 드레인 영역 중 한쪽은 도전체(242a)와 중첩되고, 다른 쪽은 도전체(242b)와 중첩된다.

[0110] 채널 형성 영역은 소스 영역 및 드레인 영역보다 산소 결손이 적거나 불순물 농도가 낮기 때문에, 캐리어 농도가 낮은 고저항 영역이다. 따라서 채널 형성 영역은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다.

[0111] 또한 소스 영역 및 드레인 영역은 산소 결손이 많거나 수소, 질소, 금속 원소 등의 불순물 농도가 높기 때문에, 캐리어 농도가 높은 저저항 영역이다. 즉, 소스 영역 및 드레인 영역은 채널 형성 영역에 비하여 캐리어 농도가 높은 n형 영역(저저항 영역)이다.

[0112] 또한 채널 형성 영역의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하, $1\times10^{17}cm^{-3}$ 미만, $1\times10^{16}cm^{-3}$ 미만, $1\times10^{15}cm^{-3}$ 미만, $1\times10^{14}cm^{-3}$ 미만, $1\times10^{13}cm^{-3}$ 미만, $1\times10^{12}cm^{-3}$ 미만, $1\times10^{11}cm^{-3}$ 미만, 또는 $1\times10^{10}cm^{-3}$ 미만인 것이 바람직하다. 또한 채널 형성 영역의 캐리어 농도의 하한값에 대해서는 특별히 한정되지 않지만, 예를 들어 $1\times10^{-9}cm^{-3}$로 할 수 있다.

[0113] 또한 산화물(230b)의 캐리어 농도를 낮추는 경우에는 산화물(230b) 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮춘다. 본 명세서 등에서 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체(또는 금속 산화물)를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체(또는 금속 산화물)라고 부르는 경우가 있다.

[0114] 트랜지스터(201a)의 전기 특성을 안정시키기 위해서는, 산화물(230b) 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물(230b)의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다. 또한 산화물(230b) 내의 불순물이란 예를 들어 산화물(230b)을 구성하는 주성분 외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다.

[0115] 또한 채널 형성 영역, 소스 영역, 및 드레인 영역은 각각, 산화물(230b)뿐만 아니라 산화물(230a)에도 형성되어도 좋다.

[0116] 또한 산화물(230)에서 각 영역의 경계를 명확히 검출하기가 어려운 경우가 있다. 각 영역 내에서 검출되는 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도는 영역마다 단계적으로 변화되는 것에 한정되지 않고, 각 영역 내에서도 연속적으로 변화되어도 좋다. 즉 채널 형성 영역에 가까운 영역일수록, 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도가 감소되어 있어도 좋다.

[0117] 산화물(230)(산화물(230a) 및 산화물(230b))에는 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.

[0118] 반도체로서 기능하는 금속 산화물은 밴드 갭이 2eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하다. 밴드 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.

[0119] 산화물(230)로서 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물 등의 금속 산화물을 사용하는 것이 바람직하다. 또한 산화물(230)로서 예를 들어 인듐, 원소 M, 및 아연 중에서 선택되는 2종류 또는 3종류를 포함한 금속 산화물을 사용하는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 중에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다. 또한 인듐, 원소 M, 및 아연을 포함한 금속 산화물을 In-M-Zn 산화물이라고 표기하는 경우가 있다.

[0120] 산화물(230)은 화학 조성이 다른 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 예를 들어 산화물(230a)로서 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 원소 M의 원자수비가 산화물(230b)로서 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한 산화물(230a)로서 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비가 산화물(230b)로서 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 상기 구성으로 함으로써 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로 불순물 및 산소가 확산되는 것을 억제할 수 있다.

[0121] 또한 산화물(230b)로서 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비는 산화물(230a)로서 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 상기 구성으로 함으로써 트랜지스터(201a)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0122] 또한 산화물(230a) 및 산화물(230b)이 산소 이외에 공통된 원소를 주성분으로서 포함함으로써 산화물(230a) 및 산화물(230b)의 계면에서의 결함 준위 밀도를 저감할 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(201a)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0123] 구체적으로는 산화물(230a)로서, In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성, 혹은 In:M:Zn=1:1:0.5[원자수비] 또는 그 근방의 조성을 가지는 금속 산화물을 사용할 수 있다. 또한 산화물(230b)로서 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:1.2[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:2[원자수비] 또는

그 근방의 조성, 혹은 In:M:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용할 수 있다. 또한 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다. 또한 산화물(230)로서 단층의 산화물(230b)을 제공하는 경우에는, 산화물(230b)에는 산화물(230a)로서 사용할 수 있는 금속 산화물을 적용하여도 좋다.

[0124] 또한 금속 산화물을 스퍼터링법으로 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타깃의 원자수비이어도 좋다.

[0125] 산화물(230b)은 결정성을 가지는 것이 바람직하다. 특히 산화물(230b)로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다.

[0126] CAAC-OS는 결정성이 높고 치밀한 구조를 가지고, 불순물 및 결함(예를 들어 산소 결손)이 적은 금속 산화물이다. 특히 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어 400℃ 이상 600℃ 이하)에서 가열 처리를 수행함으로써, 결정성이 더 높고 치밀한 구조를 가지는 CAAC-OS로 할 수 있다. 이러한 식으로 CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS에서의 불순물 또는 산소 확산을 더 저감할 수 있다.

[0127] 또한 CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 따라서 CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.

[0128] 또한 산화물(230b)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용함으로써, 소스 전극 또는 드레인 전극에 의하여 산화물(230b)로부터 산소가 추출되는 것을 억제할 수 있다. 이에 의하여 열처리를 수행한 경우에도 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(201a)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.

[0129] 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널이 형성되는 영역에 불순물 및 산소 결손이 존재하면 전기 특성이 변동되기 쉬워 신뢰성이 저하하는 경우가 있다. 또한 산소 결손 근방의 수소가 산소 결손에 들어가 결함(이하, V_OH라고 부르는 경우가 있음)을 형성하여, 캐리어가 되는 전자를 생성하는 경우가 있다. 그러므로 산화물 반도체 내의 채널이 형성되는 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서 산화물 반도체 내의 채널이 형성되는 영역에서는 불순물, 산소 결손, 및 V_OH는 가능한 한 저감되어 있는 것이 바람직하다. 바꿔 말하면, 산화물 반도체 내의 채널이 형성되는 영역은 캐리어 농도가 감소되고, i형(진성화) 또는 실질적으로 i형인 것이 바람직하다.

[0130] 한편 가열에 의하여 이탈되는 산소(이하, 과잉 산소라고 부르는 경우가 있음)를 포함한 절연체를 산화물 반도체 근방에 제공하고 열처리를 수행함으로써, 상기 절연체로부터 산화물 반도체에 산소를 공급하여 산소 결손 및 V_OH를 저감할 수 있다. 다만 소스 영역 또는 드레인 영역에 과잉량의 산소가 공급되면, 트랜지스터(201a)의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어날 우려가 있다. 또한 소스 영역 또는 드레인 영역에 공급되는 산소의 양의 편차가 기판면 내에서 생김으로써, 트랜지스터를 가지는 반도체 장치의 특성에 편차가 생긴다. 또한 상기 절연체로부터 산화물 반도체에 공급되는 산소가 게이트 전극, 소스 전극, 및 드레인 전극 등의 도전체로 확산되면, 상기 도전체가 산화되어 도전성이 손상된 결과, 트랜지스터의 전기 특성 및 신뢰성에 악영향을 미치는 경우가 있다.

[0131] 따라서 산화물 반도체 내에서 채널 형성 영역은 캐리어 농도가 저감되고 i형 또는 실질적으로 i형인 것이 바람직하지만, 소스 영역 및 드레인 영역은 캐리어 농도가 높고 n형인 것이 바람직하다. 즉, 산화물 반도체의 채널 형성 영역에서의 산소 결손 및 V_OH의 양이 저감되는 것이 바람직하다. 또한 소스 영역 및 드레인 영역에 과잉량의 산소가 공급되지 않도록 하는 것, 그리고 소스 영역 및 드레인 영역의 V_OH의 양이 과도하게 저감되지 않도록 하는 것이 바람직하다. 또한 도전체(260), 도전체(242a), 및 도전체(242b) 등의 도전율이 저하되는 것을 억제하는 구성으로 하는 것이 바람직하다. 예를 들어 도전체(260), 도전체(242a), 및 도전체(242b) 등의 산화를 억제하는 구성으로 하는 것이 바람직하다. 또한 산화물 반도체 내의 수소는 V_OH를 형성할 수 있기 때문에, V_OH의 양을 저감하기 위해서는 수소 농도를 저감할 필요가 있다.

[0132] 그래서 본 실시형태에서는 반도체 장치를, 채널 형성 영역의 수소 농도를 저감하며, 도전체(242a), 도전체

(242b), 및 도전체(260)의 산화를 억제하며, 소스 영역 및 드레인 영역 내의 수소 농도가 저감되는 것을 억제하는 구성으로 한다.

[0133] 산화물(230b)의 채널 형성 영역과 접하는 절연체(253)는 수소를 포획 및 고착하는 기능을 가지는 것이 바람직하다. 이에 의하여 산화물(230b)의 채널 형성 영역 내의 수소 농도를 저감할 수 있다. 따라서 채널 형성 영역 내의 V_0H를 저감하여 채널 형성 영역을 i형 또는 실질적으로 i형으로 할 수 있다.

[0134] 수소를 포획 및 고착하는 기능을 가지는 절연체로서 비정질 구조를 가지는 금속 산화물을 들 수 있다. 절연체(253)로서 예를 들어 산화 마그네슘, 또는 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물 등의 금속 산화물을 사용하는 것이 바람직하다. 이와 같은 비정질 구조를 가지는 금속 산화물에서는, 산소 원자가 댕글링 본드(dangling bond)를 가지고, 상기 댕글링 본드로 수소를 포획 또는 고착하는 성질을 가지는 경우가 있다. 즉 비정질 구조를 가지는 금속 산화물은 수소를 포획 또는 고착하는 능력이 높다고 할 수 있다.

[0135] 또한 절연체(253)에 고유전율(high-k) 재료를 사용하는 것이 바람직하다. 또한 high-k 재료의 일례로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물이 있다. 절연체(253)에 high-k 재료를 사용함으로써, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하다.

[0136] 이상에 의하여 절연체(253)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물을 사용하는 것이 바람직하고, 비정질 구조를 가지며 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물을 사용하는 것이 더 바람직하고, 비정질 구조를 가지는 산화 하프늄을 사용하는 것이 더 바람직하다. 본 실시형태에서는 절연체(253)에 산화 하프늄을 사용한다. 이 경우, 절연체(253)는 적어도 산소와 하프늄을 포함한다. 또한 상기 산화 하프늄은 비정질 구조를 가진다. 이 경우, 절연체(253)는 비정질 구조를 가진다.

[0137] 그 외에, 절연체(253)에는 산화 실리콘 또는 산화질화 실리콘 등 열에 대하여 안정적인 구조를 가지는 절연체를 사용하여도 좋다. 예를 들어 절연체(253)로서 산화 알루미늄과, 산화 알루미늄 위의 산화 실리콘 또는 산화질화 실리콘을 가지는 적층 구조를 사용하여도 좋다. 또한 예를 들어 절연체(253)로서 산화 알루미늄과, 산화 알루미늄 위의 산화 실리콘 또는 산화질화 실리콘과, 산화 실리콘 또는 산화질화 실리콘 위의 산화 하프늄을 가지는 적층 구조를 사용하여도 좋다.

[0138] 도전체(242a), 도전체(242b), 및 도전체(260)의 산화를 억제하기 위하여, 도전체(242a), 도전체(242b), 및 도전체(260) 각각의 근방에 산소에 대한 배리어 절연체를 제공하는 것이 바람직하다. 본 실시형태에서 설명하는 반도체 장치에서 상기 절연체는 예를 들어 절연체(253), 절연체(254), 및 절연체(275)이다.

[0139] 산소에 대한 배리어 절연체로서는 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물, 산화 마그네슘, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 및 질화산화 실리콘이 있다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물로서 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트), 그리고 하프늄 및 실리콘을 포함한 산화물(하프늄 실리케이트)이 있다. 예를 들어 절연체(253), 절연체(254), 및 절연체(275)는 각각 상기 산소에 대한 배리어 절연체의 단층 구조 또는 적층 구조를 가지는 것이 바람직하다.

[0140] 절연체(253)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(253)는 적어도 절연체(280)보다 산소를 투과시키기 어려운 것이 바람직하다. 절연체(253)는 도전체(242a)의 측면 및 도전체(242b)의 측면과 접하는 영역을 가진다. 절연체(253)가 산소에 대한 배리어성을 가짐으로써, 도전체(242a) 및 도전체(242b)의 측면이 산화되어 상기 측면에 산화막이 형성되는 것을 억제할 수 있다. 이에 의하여 트랜지스터(201a)의 온 전류의 저하 또는 전계 효과 이동도의 저하를 일으키는 것을 억제할 수 있다.

[0141] 또한 절연체(253)는 산화물(230b)의 상면 및 측면, 산화물(230a)의 측면, 절연체(224)의 측면, 및 절연체(222)의 상면에 접하여 제공된다. 절연체(253)가 산소에 대한 배리어성을 가짐으로써, 열처리 등을 수행하였을 때 산화물(230b)의 채널 형성 영역으로부터 산소가 이탈되는 것을 억제할 수 있다. 따라서 산화물(230a) 및 산화물(230b)에 산소 결손이 형성되는 것을 저감할 수 있다.

[0142] 또한 반대로 절연체(280)에 과잉량의 산소가 포함되는 경우에도, 상기 산소가 산화물(230a) 및 산화물(230b)에 과도하게 공급되는 것을 억제할 수 있다. 따라서 소스 영역 및 드레인 영역이 과도하게 산화되어 트랜지스터(201a)의 온 전류의 저하 또는 전계 효과 이동도의 저하를 일으키는 것을 억제할 수 있다.

[0143] 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물은 산소에 대한 배리어성을 가지기 때문에 절연체(253)

로서 적합하게 사용할 수 있다.

[0144] 절연체(254)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(254)는 산화물(230)의 채널 형성 영역과 도전체(260) 사이 그리고 절연체(280)와 도전체(260) 사이에 제공되어 있다. 상기 구성으로 함으로써, 산화물(230)의 채널 형성 영역에 포함되는 산소가 도전체(260)로 확산되어 산화물(230)의 채널 형성 영역에 산소 결손이 형성되는 것을 억제할 수 있다. 또한 산화물(230)에 포함되는 산소 및 절연체(280)에 포함되는 산소가 도전체(260)로 확산되어 도전체(260)가 산화되는 것을 억제할 수 있다. 절연체(254)는 적어도 절연체(280)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(254)에 질화 실리콘을 사용하는 것이 바람직하다. 이 경우, 절연체(254)는 적어도 질소와 실리콘을 포함한다.

[0145] 또한 절연체(254)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 이에 의하여 도전체(260)에 포함되는 수소 등의 불순물이 산화물(230b)로 확산되는 것을 방지할 수 있다.

[0146] 절연체(275)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(275)는 절연체(280)와 도전체(242a) 사이 및 절연체(280)와 도전체(242b) 사이에 제공되어 있다. 상기 구성으로 함으로써, 절연체(280)에 포함되는 산소가 도전체(242a) 및 도전체(242b)로 확산되는 것을 억제할 수 있다. 따라서 절연체(280)에 포함되는 산소에 의하여 도전체(242a) 및 도전체(242b)가 산화되어 저항률이 증대되고 온 전류가 저감되는 것을 억제할 수 있다. 절연체(275)는 적어도 절연체(280)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(275)에 질화 실리콘을 사용하는 것이 바람직하다. 이 경우, 절연체(275)는 적어도 질소와 실리콘을 포함한다.

[0147] 산화물(220)에서의 소스 영역 및 드레인 영역의 수소 농도가 저감되는 것을 억제하기 위하여, 소스 영역 및 드레인 영역 각각의 근방에 수소에 대한 배리어 절연체를 제공하는 것이 바람직하다. 본 실시형태에서 설명하는 반도체 장치에서, 상기 수소에 대한 배리어 절연체는 예를 들어 절연체(275)이다.

[0148] 수소에 대한 배리어 절연체로서 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 산화물, 및 질화 실리콘 등의 질화물을 들 수 있다. 예를 들어 절연체(275)는 상기 산소에 대한 배리어 절연체의 단층 구조 또는 적층 구조를 가지는 것이 바람직하다.

[0149] 절연체(275)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(275)가 수소에 대한 배리어성을 가짐으로써, 절연체(253)에 의한 소스 영역 및 드레인 영역 내의 수소의 포획 및 고착을 억제할 수 있다. 따라서 소스 영역 및 드레인 영역을 n형으로 할 수 있다.

[0150] 상기 구성으로 함으로써, 채널 형성 영역을 i형 또는 실질적으로 i형으로 하고, 소스 영역 및 드레인 영역을 n형으로 할 수 있기 때문에, 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 또한 상기 구성으로 함으로써, 미세화 또는 고집적화하여도 반도체 장치는 양호한 전기 특성을 가질 수 있다. 또한 트랜지스터(201a)를 미세화함으로써 고주파 특성을 향상시킬 수 있다. 구체적으로는, 차단 주파수를 향상시킬 수 있다.

[0151] 절연체(253) 및 절연체(254)는 각각 게이트 절연체의 일부로서 기능한다. 절연체(253) 및 절연체(254)는 도전체(260)와 함께, 절연체(280) 등에 형성된 개구에 제공된다. 트랜지스터(201a)를 미세화하는 데에 있어서 절연체(253) 및 절연체(254)의 막 두께는 각각 얇은 것이 바람직하다. 절연체(253)의 막 두께는 0.1nm 이상 5.0nm 이하가 바람직하고, 0.5nm 이상 5.0nm 이하가 더 바람직하고, 1.0nm 이상 5.0nm 미만이 더 바람직하고, 1.0nm 이상 3.0nm 이하가 더 바람직하다. 절연체(254)의 막 두께는 0.1nm 이상 5.0nm 이하가 바람직하고, 0.5nm 이상 3.0nm 이하가 더 바람직하고, 1.0nm 이상 3.0nm 이하가 더 바람직하다. 또한 절연체(253) 및 절연체(254)는 각각 적어도 일부에서 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0152] 절연체(253)의 막 두께를 상술한 바와 같이 얇게 하기 위해서는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 사용하여 성막을 하는 것이 바람직하다. ALD법으로서는 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라스마 여기된 반응제를 사용하는 PEALD(Plasma Enhanced ALD)법 등이 있다. PEALD법에서는 플라스마를 이용함으로써 더 낮은 온도에서 성막을 할 수 있기 때문에 바람직한 경우가 있다.

[0153] ALD법에서는 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막이 가능하고, 종횡비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 따라서 절연체(280) 등에 형성된 개구부의 측면 및 도전체(242a), 도전체(242b)의 측단부 등에 절연체(253)를 상술한 바와 같은 얇은 막 두께로 피복성 좋게 성막할 수 있다.

[0154] 또한 ALD법에서 사용하는 전구체에는 탄소 등이 포함되는 경우가 있다. 그러므로 ALD법으로 제공된 막은 다른 성막법으로 제공된 막보다 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한 불순물의 정량은 이차 이온

질량 분석법(SIMS: Secondary Ion Mass Spectrometry), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 또는 오제 전자 분광법(AES: Auger Electron Spectroscopy)을 사용하여 수행할 수 있다.

[0155] 예를 들어 절연체(254)에는 PEALD법으로 성막한 질화 실리콘을 사용할 수 있다.

[0156] 또한 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 산화 하프늄 등의 절연체를 절연체(253)로서 사용함으로써, 절연체(253)는 절연체(254)의 기능도 가질 수 있다. 이러한 경우에는, 절연체(254)를 제공하지 않는 구성을 적용하면, 반도체 장치의 제작 공정을 간략화하고, 생산성을 향상시킬 수 있다.

[0157] 또한 본 실시형태의 반도체 장치는 상기 구성에 더하여 수소가 트랜지스터(201a)에 혼입되는 것을 억제하는 구성으로 하는 것이 바람직하다. 예를 들어 수소의 확산을 억제하는 기능을 가지는 절연체를 트랜지스터(201a)의 위 및 아래 중 한쪽 또는 양쪽을 덮도록 제공하는 것이 바람직하다. 본 실시형태에서 설명하는 반도체 장치에서 상기 절연체는 예를 들어 절연체(212)이다.

[0158] 절연체(212)로서는 수소의 확산을 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 이에 의하여, 절연체(212)의 아래쪽으로부터 트랜지스터(201a)로 수소가 확산되는 것을 억제할 수 있다. 절연체(212)에는, 상술한 절연체(275)에 사용할 수 있는 절연체를 사용할 수 있다.

[0159] 절연체(212), 절연체(214), 절연체(262), 절연체(282), 절연체(283), 절연체(284), 및 절연체(285) 중 하나 또는 복수는 물, 수소 등의 불순물이 기판 측으로부터, 또는 트랜지스터(201a)의 위쪽으로부터 트랜지스터(201a)로 확산되는 것을 억제하는 배리어 절연체로서 기능하는 것이 바람직하다. 따라서 절연체(212), 절연체(214), 절연체(262), 절연체(282), 절연체(283), 절연체(284), 및 절연체(285) 중 하나 또는 복수는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 가지는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 가지는 것이 바람직하다.

[0160] 절연체(212), 절연체(214), 절연체(262), 절연체(282), 절연체(283), 절연체(284), 및 절연체(285)는 각각 물, 수소 등의 불순물 및 산소 확산을 억제하는 기능을 가지는 절연체를 가지는 것이 바람직하고, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다. 예를 들어 절연체(212)에, 보다 수소 배리어성이 높은 질화 실리콘 등을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(214), 절연체(262), 절연체(282), 절연체(283), 절연체(284), 및 절연체(285)는 각각 수소를 포획 및 고착하는 기능이 높은 산화 알루미늄 또는 산화 마그네슘 등을 가지는 것이 바람직하다. 이에 의하여 물, 수소 등의 불순물이 절연체(212) 및 절연체(214)를 통하여 기판 측으로부터 트랜지스터(201a) 측으로 확산되는 것을 억제할 수 있다. 또는 물, 수소 등의 불순물이 절연체(284)보다 외측에 배치되는 층간 절연막 등으로부터 트랜지스터(201a) 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(224) 등에 포함되는 산소가 기판 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(280) 등에 포함되는 산소가 절연체(282) 등을 통하여 트랜지스터(201a)보다 위쪽으로 확산되는 것을 억제할 수 있다. 이와 같이, 트랜지스터(201a)의 상하를 물, 수소 등의 불순물 및 산소 확산을 억제하는 기능을 가지는 절연체로 둘러싸는 구조로 하는 것이 바람직하다.

[0161] 도전체(205a)는 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 여기서 도전체(205a)는 절연체(216)에 형성된 개구부에 매립되어 제공되는 것이 바람직하다. 또한 도전체(205a)의 일부가 절연체(214)에 매립되는 경우가 있다.

[0162] 도전체(205a)는 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다. 도 5에서 도전체(205a)는 도전체(205a1) 및 도전체(205a2)를 포함한다. 도전체(205a1)는 상기 개구부의 바닥면 및 측벽과 접하여 제공된다. 도전체(205a2)는 도전체(205a1)의 오목부에 매립되도록 제공된다. 여기서 도전체(205a2)의 상면의 높이는 도전체(205a1)의 상면의 높이 및 절연체(216)의 상면의 높이와 실질적으로 일치한다.

[0163] 여기서 도전체(205a1)는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 가지는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 가지는 것이 바람직하다.

[0164] 도전체(205a1)에 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205a2)에 포함되

는 수소 등의 불순물이 절연체(216) 및 절연체(224) 등을 통하여 산화물(230)로 확산되는 것을 방지할 수 있다. 또한 도전체(205a1)에 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205a2)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 및 산화 루테늄이 있다. 도전체(205a1)는 상기 도전성 재료의 단층 구조 또는 적층 구조를 가질 수 있다. 예를 들어 도전체(205a1)는 질화 타이타늄을 가지는 것이 바람직하다.

[0165] 또한 도전체(205a2)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(205a2)는 텅스텐을 가지는 것이 바람직하다.

[0166] 도전체(205a)는 제 2 게이트 전극으로서 기능할 수 있다. 이 경우, 도전체(205a)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(201a)의 문턱 전압(Vth)을 제어할 수 있다. 특히 도전체(205a)에 음의 전위를 인가함으로써, 트랜지스터(201a)의 Vth를 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서 도전체(205a)에 음의 전위를 인가하는 경우에는 인가하지 않는 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다.

[0167] 또한 도전체(205a)의 전기 저항률은 상기 도전체(205a)에 인가하는 전위를 고려하여 설정되고, 도전체(205a)의 막 두께는 상기 전기 저항률에 따라 설정된다. 또한 절연체(216)의 막 두께는 도전체(205a)와 거의 같다. 여기서, 도전체(205a)의 설계상 허용되는 범위에서 도전체(205a) 및 절연체(216)의 막 두께를 얇게 하는 것이 바람직하다. 절연체(216)의 막 두께를 얇게 함으로써, 절연체(216) 내에 포함되는 수소 등의 불순물의 절대량을 저감할 수 있기 때문에, 상기 불순물이 산화물(230)로 확산되는 것을 억제할 수 있다.

[0168] 절연체(222) 및 절연체(224)는 게이트 절연체로서 기능한다.

[0169] 절연체(222)는 수소(예를 들어 수소 원자 및 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연체(222)는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 수소 및 산소 중 한쪽 또는 양쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다.

[0170] 절연체(222)는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 가지는 것이 바람직하다. 상기 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 또는 하프늄 및 지르코늄을 포함하는 산화물, 예를 들어 하프늄 지르코늄 산화물을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물(230)로부터 기판 측으로의 산소의 방출 및 트랜지스터(201a)의 주변부로부터 산화물(230)로의 수소 등의 불순물의 확산을 억제하는 층으로서 기능한다. 따라서 절연체(222)를 제공함으로써, 수소 등의 불순물이 트랜지스터(201a)의 내측으로 확산되는 것을 억제하고, 산화물(230) 내에 산소 결손이 생성되는 것을 억제할 수 있다. 또한 절연체(224) 및 산화물(230)이 가지는 산소와 도전체(205a)가 반응하는 것을 억제할 수 있다.

[0171] 또는 상기 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 또한 절연체(222)로서는 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시킨 것을 사용하여도 좋다.

[0172] 또한 절연체(222)는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 하프늄 지르코늄 산화물 등의 소위 high-k 재료를 포함하는 절연체의 단층 구조 또는 적층 구조를 가져도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다. 또한 절연체(222)에는 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), $(Ba,Sr)TiO_3$(BST) 등의 유전율이 높은 물질을 사용할 수 있는 경우도 있다.

[0173] 산화물(230)과 접하는 절연체(224)는 예를 들어 산화 실리콘 또는 산화질화 실리콘을 포함하는 것이 바람직하다.

[0174] 또한 절연체(222) 및 절연체(224)는 각각 2층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어진 적층 구조에 한정되지 않고, 상이한 재료로 이루어진 적층 구조로 하여도 좋다.

[0175] 도전체(242a), 도전체(242b), 및 도전체(260)에는 각각 산화되기 어려운 도전성 재료 또는 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 상기 도전성 재료로서는 예를 들어 질소를 포함하는 도전성 재료 및 산소를 포함하는 도전성 재료가 있다. 이에 의하여 도전체(242a), 도전체(242b), 및 도전체(260)의 도전율이 저하되는 것을 억제할 수 있다. 도전체(242a), 도전체(242b), 및 도전체(260)에 금속 및 질소를 포함하는 도전성 재료를 사용하는 경우, 도전체(242a), 도전체(242b), 및 도전체(260)는 적어도 금속과 질소를 포함한다.

[0176] 도전체(242a, 242b)는 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다. 또한 도전체(260)는 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0177] 도 5에서는 도전체(242a, 242b)를 2층 구조로 나타내었다. 이때, 산화물(230b)에 접하는 층(도전체(242a1) 및 도전체(242b1))에는 산화되기 어려운 도전성 재료 또는 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 이에 의하여 도전체(242a, 242b)의 도전율이 저하되는 것을 억제할 수 있다. 또한 산화물(230b)에 접하는 층(도전체(242a1) 및 도전체(242b1))에 수소를 흡수하기 쉬운(추출하기 쉬운) 재료를 사용하면, 산화물(230)의 수소 농도를 저감할 수 있어 바람직하다.

[0178] 또한 도전체(242a2) 및 도전체(242b2)는 도전체(242a1) 및 도전체(242b1)보다 도전성이 높은 것이 바람직하다. 예를 들어 도전체(242a2) 및 도전체(242b2)의 막 두께를 도전체(242a1) 및 도전체(242b1)의 막 두께보다 크게 하는 것이 바람직하다.

[0179] 예를 들어 도전체(242a1) 및 도전체(242b1)로서 질화 탄탈럼 또는 질화 타이타늄을 사용하고, 도전체(242a2) 및 도전체(242b2)로서 텅스텐을 사용할 수 있다.

[0180] 도전체(242a, 242b)의 도전율이 저하되는 것을 억제하기 위하여 산화물(230b)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용하는 것이 바람직하다. 특히 갈륨, 알루미늄, 및 주석 중에서 선택되는 하나 또는 복수와, 인듐과, 아연을 가지는 금속 산화물을 사용하는 것이 바람직하다. CAAC-OS를 사용함으로써 도전체(242a) 또는 도전체(242b)에 의하여 산화물(230b)로부터 산소가 추출되는 것을 억제할 수 있다. 또한 도전체(242a) 및 도전체(242b)의 도전율이 저하되는 것을 억제할 수 있다.

[0181] 도전체(242a, 242b)로서는 예를 들어 탄탈럼을 포함하는 질화물, 타이타늄을 포함하는 질화물, 몰리브데넘을 포함하는 질화물, 텅스텐을 포함하는 질화물, 탄탈럼 및 알루미늄을 포함하는 질화물, 타이타늄 및 알루미늄을 포함하는 질화물 등을 사용하는 것이 바람직하다. 본 발명의 일 형태에서는 탄탈럼을 포함하는 질화물이 특히 바람직하다. 또한 예를 들어 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0182] 또한 산화물(230b) 등에 포함되는 수소가 도전체(242a) 또는 도전체(242b)로 확산되는 경우가 있다. 특히 도전체(242a) 및 도전체(242b)에 탄탈럼을 포함하는 질화물을 사용함으로써, 산화물(230b) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)로 확산되기 쉽고, 확산된 수소는 도전체(242a) 또는 도전체(242b)가 가지는 질소와 결합되는 경우가 있다. 즉 산화물(230b) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)에 흡수되는 경우가 있다.

[0183] 도전체(260)는 그 상면이 절연체(254)의 최상부, 절연체(253)의 최상부, 및 절연체(280)의 상면과 높이가 실질적으로 일치하도록 배치된다.

[0184] 도전체(260)는 트랜지스터(201a)의 제 1 게이트 전극으로서 기능한다. 도전체(260)는 도전체(260a)와, 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 예를 들어 도전체(260a)는 도전체(260b)의 바닥면 및 측면을 감싸도록 배치되는 것이 바람직하다.

[0185] 도 5에서는 도전체(260)를 2층 구조로 나타내었다. 이때, 도전체(260a)에는 산화되기 어려운 도전성 재료 또는 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0186] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0187] 또한 도전체(260a)가 산소 확산을 억제하는 기능을 가짐으로써, 절연체(280) 등에 포함되는 산소로 인하여 도전

체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다.

[0188] 또한 도전체(260)에는 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로서 포함하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)는 적층 구조를 가져도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조를 가져도 좋다.

[0189] 또한 트랜지스터(201a)에서 도전체(260)는 절연체(280) 등에 형성된 개구를 매립하도록 자기 정합(自己整合)적으로 형성된다. 도전체(260)를 이와 같이 형성함으로써, 도전체(242a)와 도전체(242b) 사이의 영역에 도전체(260)를 위치 맞춤 없이 확실하게 배치할 수 있다.

[0190] 절연체(266), 절연체(290), 절연체(264), 절연체(216), 절연체(280), 절연체(284), 절연체(232), 및 절연체(281)는 각각 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다.

[0191] 예를 들어 절연체(266), 절연체(290), 절연체(264), 절연체(216), 절연체(280), 절연체(284), 절연체(232), 및 절연체(281)는 각각 산화 실리콘, 산화질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 및 공공(空孔)을 가지는 산화 실리콘 중 하나 또는 복수를 가지는 것이 바람직하다.

[0192] 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다.

[0193] 또한 절연체(266), 절연체(290), 절연체(264), 절연체(216), 절연체(280), 절연체(284), 절연체(232), 및 절연체(281)의 상면은 각각 평탄화되어 있어도 좋다.

[0194] 절연체(280) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 예를 들어 절연체(280)는 산화 실리콘, 산화질화 실리콘 등의 실리콘을 포함한 산화물을 가지는 것이 바람직하다.

[0195] 또한 절연체(280)의 개구부에서 절연체(280)의 측벽은 절연체(222)의 상면에 대하여 실질적으로 수직이어도 좋고, 테이퍼 형상이어도 좋다. 측벽을 테이퍼 형상으로 함으로써, 절연체(280)의 개구부에 제공되는 절연체(253) 등의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다.

[0196] 용량 소자(101a)가 가지는 도전체(153) 및 도전체(160)는 각각 도전체(205), 도전체(242), 또는 도전체(260)에 사용할 수 있는 각종 도전체를 사용하여 형성할 수 있다. 도전체(153) 및 도전체(160)는 각각 ALD법 또는 CVD법 등 피복성이 양호한 성막법을 사용하여 성막하는 것이 바람직하다.

[0197] 도전체(153)의 하면에는 도전체(242b)의 상면이 접한다. 예를 들어 도전체(153)로서 도전체(242b)와 같은 도전성 재료를 사용함으로써, 도전체(153)와 도전체(242b)의 접촉 저항을 저감할 수 있다. 예를 들어 도전체(153)로서 ALD법을 사용하여 성막한 질화 타이타늄 또는 질화 탄탈럼을 사용할 수 있다.

[0198] 예를 들어 도전체(160a)로서 ALD법을 사용하여 성막한 질화 타이타늄을 사용하고, 도전체(160b)로서 CVD법을 사용하여 성막한 텅스텐을 사용할 수 있다. 또한 절연체(154)에 대한 텅스텐의 밀착성이 충분히 높은 경우에는, 도전체(160)로서 CVD법을 사용하여 성막한 텅스텐의 단층 구조를 사용하여도 좋다.

[0199] 용량 소자(101a)가 가지는 절연체(154)에는 고유전율(high-k) 재료(비유전율이 높은 재료)를 사용하는 것이 바람직하다. 절연체(154)는 ALD법 또는 CVD법 등 피복성이 양호한 성막법을 사용하여 성막하는 것이 바람직하다.

[0200] 고유전율(high-k) 재료의 절연체로서는 예를 들어 알루미늄, 하프늄, 지르코늄, 및 갈륨 등에서 선택된 금속 원소를 1종류 이상 포함하는 산화물, 산화질화물, 질화산화물, 및 질화물이 있다. 또한 상기 산화물, 산화질화물, 질화산화물, 또는 질화물에 실리콘을 함유시켜도 좋다. 또한 상기 재료로 이루어지는 절연체를 적층하여 사용할 수도 있다.

[0201] 예를 들어 고유전율(high-k) 재료의 절연체로서 산화 알루미늄, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화질화물, 실리콘 및 지르코늄을 가지는 산화물, 실리콘 및 지르코늄을 가지는 산화질화물,

하프늄 및 지르코늄을 가지는 산화물, 그리고 하프늄 및 지르코늄을 가지는 산화질화물이 있다. 이와 같은 high-k 재료를 사용함으로써, 누설 전류를 억제할 수 있을 정도로 절연체(154)를 두껍게 하며, 용량 소자(101a)의 정전 용량을 충분히 확보할 수 있다.

[0202] 또한 상기 재료로 이루어지는 절연체를 적층시켜 사용하는 것이 바람직하고, 고유전율(high-k) 재료와, 상기 고유전율(high-k) 재료보다 절연 내력이 큰 재료의 적층 구조를 사용하는 것이 바람직하다. 예를 들어 절연체(154)로서 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 또한 예를 들어 산화 지르코늄, 산화 알루미늄, 산화 지르코늄, 산화 알루미늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 또한 예를 들어 하프늄 지르코늄 산화물, 산화 알루미늄, 하프늄 지르코늄 산화물, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 산화 알루미늄과 같이 절연 내력이 비교적 큰 절연체를 적층하여 사용함으로써, 절연 내력이 향상되어, 용량 소자(101a)의 정전 파괴를 억제할 수 있다.

[0203] 도전체(240)는 절연체(212), 절연체(214), 절연체(266), 절연체(272), 절연체(290), 절연체(262), 절연체(264), 절연체(216), 절연체(275), 절연체(280), 절연체(282), 절연체(284), 절연체(232), 및 절연체(281)의 개구부의 내벽에 접하여 제공되어 있다. 또한 도전체(240)는 도전체(252a)의 상면 및 측면, 도전체(242a)의 상면 및 측면, 그리고 도전체(209)의 상면과 접한다.

[0204] 도전체(240)는 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 및 다이오드 등의 회로 소자, 배선, 전극, 또는 단자와, 트랜지스터(201a, 203a)를 전기적으로 접속하기 위한 플러그 또는 배선으로서 기능한다.

[0205] 예를 들어 실시형태 2에서 설명하는 기억 장치에서 도전체(240)는 기록 및 판독 비트선으로서 기능한다.

[0206] 도전체(240)는 도전체(240a)와 도전체(240b)의 적층 구조를 가지는 것이 바람직하다. 예를 들어 도 5에 나타낸 바와 같이, 도전체(240)는 도전체(240a)가 상기 개구부의 내벽에 접하여 제공되고, 그 내측에 도전체(240b)가 제공되는 구조로 할 수 있다. 즉, 도전체(240a)는 도전체(240b)에 비하여 절연체(212), 절연체(214), 절연체(266), 절연체(272), 절연체(290), 절연체(262), 절연체(264), 절연체(216), 절연체(275), 절연체(280), 절연체(282), 절연체(284), 절연체(232), 및 절연체(281)의 근방에 배치된다. 또한 도전체(240a)는 도전체(252a)의 상면 및 측면, 도전체(242a)의 상면 및 측면, 그리고 도전체(209)의 상면과 접한다.

[0207] 도전체(240a)에는 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(240a)는 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 및 산화 루테늄 중 하나 또는 복수를 사용한 단층 구조 또는 적층 구조를 가질 수 있다. 이에 의하여 물, 수소 등의 불순물이 도전체(240)를 통하여 산화물(230, 220)에 혼입되는 것을 억제할 수 있다.

[0208] 또한 도전체(240)는 배선으로서도 기능하기 때문에 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로서 포함하는 도전성 재료를 사용할 수 있다.

[0209] 예를 들어, 도전체(240a)에 질화 타이타늄을 사용하고, 도전체(240b)에 텅스텐을 사용하는 것이 바람직하다. 이 경우, 도전체(240a)는 타이타늄과 질소를 포함하는 도전체가 되고, 도전체(240b)는 텅스텐을 포함하는 도전체가 된다.

[0210] 또한 도전체(240)는 단층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다. 또한 도 1 등에서는 도전체(240)의 상면의 높이가 절연체(281)의 상면의 높이와 정렬되는 예를 나타내었지만, 도전체(240)의 상면의 높이는 절연체(281)의 상면의 높이보다 높아도 좋다.

[0211] <반도체 장치의 단면 구성예 2>

[0212] 도 9 및 도 10을 사용하여, 본 발명의 일 형태의 반도체 장치의 단면 구성예에 대하여 설명한다.

[0213] 또한 도 9에서 X 방향은 도시한 트랜지스터의 채널 길이 방향에 평행하고, Y 방향은 X 방향에 수직이고, Z 방향은 X 방향 및 Y 방향에 수직이다.

[0214] 또한 도 10에서 Y 방향은 도시한 트랜지스터의 채널 길이 방향에 평행하고, X 방향은 Y 방향에 수직이고, Z 방향은 X 방향 및 Y 방향에 수직이다.

[0215] 도 9는 도 5에 나타낸 반도체 장치의 변형예이다. 구체적으로는 도 9에서는 트랜지스터(203a)의 채널 길이보다 트랜지스터(202a)의 채널 길이가 길다.

[0216] 도 5 등에서는 트랜지스터(203a)의 채널 길이와 트랜지스터(202a)의 채널 길이가 같은 예를 나타내었지만, 이에

한정되지 않는다. 트랜지스터(203a)의 채널 길이와 트랜지스터(202a)의 채널 길이는 각각 독립적으로 결정할 수 있다.

[0217] 또한 도 9에 나타낸 바와 같이 트랜지스터(202a)와 용량 소자(101a)는 중첩되는 부분을 가져도 좋다. 구체적으로는 트랜지스터(202a)에서의 도전체(265b), 산화물(220), 및 도전체(270b)의 적층 구조와, 용량 소자(101a)에서의 도전체(153), 절연체(154), 및 도전체(160)의 적층 구조가 중첩되는 부분을 가져도 좋다.

[0218] 또한 도 9에서의 일점쇄선 X1-X2로 자른 Y 방향의 단면도를 도 10에 나타내었다. 도 10은 트랜지스터(202a)의 채널 폭 방향의 단면도라고도 할 수 있다. 또한 도 9는 도 10에서의 일점쇄선 X1-X2로 자른 Y 방향의 단면도라고도 할 수 있다.

[0219] 도 10에서는 절연체(210) 위에 절연체(212)가 제공되고, 절연체(212) 위에 절연체(214)가 제공되고, 절연체(214) 위에 도전체(265b)가 제공되어 있다. 또한 도전체(265b) 위에 절연체(272)가 제공되고, 절연체(272) 위에 절연체(274)가 제공되고, 절연체(274) 위에 산화물(220)이 제공되어 있다. 절연체(274)의 측면, 그리고 산화물(220)의 상면 및 측면은 절연체(243b), 절연체(244b), 및 도전체(270b)로 덮여 있다. 절연체(243b), 절연체(244b), 및 도전체(270b)는 절연체(272) 위에 제공된 절연체(290)의 개구의 내부에 제공되어 있다.

[0220] 여기서 산화물(220)은 제 1 게이트 전극으로서 기능하는 영역을 가지는 도전체(270b)로 상면뿐만 아니라 측면도 덮여 있다고 할 수 있다.

[0221] 본 명세서 등에서, 적어도 제 1 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다. 또한 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 상이하다. 한편으로 본 명세서 등에 개시되는 S-channel 구조는 Fin형 구조의 일종으로 간주할 수도 있다. 또한 본 명세서 등에서 Fin형 구조란, 게이트 전극이 적어도 채널의 2면 이상(구체적으로는 2면, 3면, 또는 4면)을 감싸도록 배치되는 구조를 가리킨다. Fin형 구조 및 S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성을 높일 수 있고, 바꿔 말하면 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.

[0222] 본 실시형태의 반도체 장치가 가지는 트랜지스터를 상기 S-channel 구조로 함으로써, 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 또한 S-channel 구조는 채널 형성 영역을 전기적으로 둘러싼 구조이기 때문에, GAA(Gate All Around) 구조 또는 LGAA(Lateral Gate All Around) 구조와 실질적으로 같은 구조라고도 할 수 있다. 트랜지스터가 S-channel 구조, GAA 구조, 또는 LGAA 구조를 가지는 경우, 산화물과 게이트 절연체의 계면 또는 계면 근방에 형성되는 채널 형성 영역을 산화물의 벌크 전체에 형성할 수 있다. 따라서 트랜지스터에 흐르는 전류 밀도를 향상시킬 수 있기 때문에, 트랜지스터의 온 전류 향상 또는 트랜지스터의 전계 효과 이동도 향상이 기대된다.

[0223] 또한 도 10에는 트랜지스터(202a)로서 S-channel 구조의 트랜지스터를 예시하였지만, 본 발명의 일 형태의 반도체 장치는 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태에 사용할 수 있는 트랜지스터 구조를 플레이너형 구조, Fin형 구조, 및 GAA 구조에서 선택되는 어느 하나 또는 복수로 하여도 좋다.

[0224] 또한 산화물(220)의 단면 형상은 도 10에 나타낸 구성에 한정되지 않는다. 예를 들어 산화물(220)은 측면과 상면 사이에 만곡면을 가져도 좋다. 이에 의하여 산화물(220) 위에 형성되는 막의 피복성을 높일 수 있다.

[0225] 또한 도 10에서는 절연체(272) 위에 절연체(262)가 제공되고, 절연체(262) 위에 절연체(216)가 제공되어 있다. 절연체(262) 및 절연체(216)에 제공된 개구에 도전체(205b)가 매립되어 있고, 도전체(205b)와 도전체(270b)가 전기적으로 접속되어 있다. 또한 절연체(216) 위에 절연체(222)가 제공되고, 절연체(222) 위에 도전체(242b)가 제공되고, 도전체(242b) 위에 절연체(275)가 제공되고, 절연체(275) 위에 절연체(280)가 제공되고, 절연체(280) 위에 절연체(282)가 제공되어 있다. 절연체(282) 위에 도전체(153)가 제공되고, 도전체(153) 위에 절연체(154)가 제공되고, 절연체(154) 위에 도전체(160)가 제공되어 있다. 절연체(222)에 제공된 개구를 통하여 도전체(205b)와 도전체(242b)가 전기적으로 접속되어 있다. 또한 절연체(275), 절연체(280), 및 절연체(282)에 제공된 개구를 통하여 도전체(242b)와 도전체(153)가 전기적으로 접속되어 있다. 도전체(160)는 위층(제 1 층(11_1)에 대해서는 제 2 층(11_2))에 제공된 도전체(265c)와 전기적으로 접속되어 있다.

[0226] <반도체 장치의 단면 구성예 3>

[0227] 도 11을 사용하여, 본 발명의 일 형태의 반도체 장치의 단면 구성예에 대하여 설명한다.

[0228] 도 11에 나타낸 반도체 장치에서는 도 1에 나타낸 적층 구조와 같은 적층 구조(실시형태 2에서 설명하는 기억층

(60)에 상당함) 아래에 트랜지스터(300) 등을 가지는 층(실시형태 2에서 설명하는 구동 회로층(50)에 상당함)이 제공되어 있다. 도 11에서의 절연체(212)보다 위층의 구성은 도 1과 같기 때문에 자세한 설명은 생략한다.

[0229] 도 11에서는 실시형태 2에서 설명하는 구동 회로층(50)이 가지는 트랜지스터(300)를 예시하였다. 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316), 게이트 절연체로서 기능하는 절연체(315), 기판(311)의 일부를 포함하는 반도체 영역(313), 그리고 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 포함한다. 트랜지스터(300)는 p채널형 트랜지스터 및 n채널형 트랜지스터 중 어느 것이어도 좋다. 기판(311)으로서는 예를 들어 단결정 실리콘 기판을 사용할 수 있다.

[0230] 여기서, 도 11에 나타낸 트랜지스터(300)는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 가진다. 또한 도전체(316)는 절연체(315)를 개재하여 반도체 영역(313)의 측면 및 상면을 덮도록 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체가 제공되어도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우에 대하여 설명하였지만, SOI(Silicon on Insulator) 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.

[0231] 또한 도 11에 나타낸 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용할 수 있다.

[0232] 각 구조체들 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0233] 예를 들어 트랜지스터(300) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(320) 및 절연체(322)에는 도전체(328) 등이 매립되어 있다. 또한 절연체(324) 및 절연체(326)에는 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 콘택트 플러그 또는 배선으로서 기능한다.

[0234] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0235] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 11에서는 절연체(326) 및 도전체(330) 위에 절연체(350), 절연체(357), 절연체(210a), 및 절연체(210b)가 순차적으로 적층되어 제공되어 있다. 절연체(350), 절연체(357), 절연체(210a), 및 절연체(210b)에는 도전체(209)가 매립되어 있다. 도전체(209)는 콘택트 플러그 또는 배선으로서 기능한다.

[0236] 예를 들어 도전체(240)와 트랜지스터(300)는 도전체(209), 도전체(330), 및 도전체(328) 등을 통하여 전기적으로 접속된다.

[0237] <반도체 장치의 상면 구성예>

[0238] 도 12의 (A) 및 (B)를 사용하여, 본 발명의 일 형태의 반도체 장치의 상면 구성예에 대하여 설명한다.

[0239] 또한 도 12의 (A) 및 (B)에서 X 방향은 도시한 트랜지스터의 채널 길이 방향에 평행하고, Y 방향은 도시한 트랜지스터의 채널 폭 방향에 평행하고, Z 방향은 X 방향 및 Y 방향에 수직이다. 또한 도 12의 (A) 및 (B)에서는 간략화를 위하여 절연체 등 일부의 구성 요소의 도시를 생략하였다.

[0240] 도 12의 (A)는 제 1 층(11_1) 등의 각 층에서의 상단의 레이아웃이고, 트랜지스터(201a, 201b) 및 용량 소자(101a, 101b) 등을 나타낸 것이다.

[0241] 도 12의 (B)는 제 1 층(11_1) 등의 각 층에서의 하단의 레이아웃이고, 트랜지스터(202a, 202b, 203a, 203b) 등을 나타낸 것이다.

[0242] 도 12의 (A) 및 (B)에 나타낸 각종 도전체는 라인 앤드 스페이스 패턴으로 형성되어 있다. 이들 도전체를 라인/스페이스=20nm/20nm로 설계하고, 2개의 패턴을 중첩시키는 부분의 마진을 10nm로 하고, 도전체(240)에 대해서는 맞출 때의 어긋남에 대한 마진을 5nm 가하여 25nm×25nm로 설계한 경우, 하나의 셀의 면적(도 12의 (A) 및

(B)에서 이점쇄선으로 둘러싼 영역의 면적)은 60nm×162.5nm=0.000975㎛^{2}가 되고, 셀 밀도는 103cell/㎛^{2}가 된다. 예를 들어 셀을 4층 적층한 경우(도 1에서의 n=4로 한 경우), 셀 밀도는 412cell/㎛^{2}가 된다.

[0243] 또한 2개의 패턴을 중첩시키는 부분의 마진을 5nm로 하고 도전체(252b)를 Y 방향으로 리드함으로써 전위를 공급하는 구성(즉, 도전체(265c)를 제공하지 않는 구성, 도 2 참조)으로 한 경우에는 하나의 셀의 면적은 50nm×135nm=0.00675㎛^{2}가 되고, 셀 밀도는 148cell/㎛^{2}가 된다. 예를 들어 셀을 4층 적층한 경우, 셀 밀도는 593cell/㎛^{2}가 된다.

[0244] 또한 도 12의 (A) 및 (B)에서는 도전체(240)를 상면에서 보았을 때, 사각형으로 나타내었지만, 이에 한정되는 것이 아니다. 예를 들어 도전체(240)는 상면에서 보았을 때 원형, 타원형 등의 실질적으로 원형인 형상, 사각형 등의 다각형, 또는 사각형 등의 다각형의 모서리 부분을 둥글게 한 형상이어도 좋다.

[0245] <반도체 장치의 구성 재료>

[0246] 이하에서는, 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다. 또한 반도체 장치를 구성하는 각 층은 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0247] <<기판>>

[0248] 트랜지스터를 형성하는 기판으로서는 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용할 수 있다. 절연체 기판으로서는 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 및 수지 기판이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘 또는 저마늄을 재료로 한 반도체 기판, 및 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 예를 들어 흑연 기판, 금속 기판, 합금 기판, 및 도전성 수지 기판이 있다. 또한 기판으로서는 예를 들어 금속의 질화물을 가지는 기판, 금속의 산화물을 가지는 기판, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 및 도전체 기판에 반도체 또는 절연체가 제공된 기판이 있다. 또는 이들 기판에 1종류 또는 복수 종류의 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 예를 들어 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 및 기억 소자가 있다.

[0249] <<절연체>>

[0250] 절연체로서는 예를 들어 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 및 금속 질화산화물이 있다.

[0251] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0252] 비유전율이 높은 절연체로서는 예를 들어 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화질화물, 그리고 실리콘 및 하프늄을 가지는 질화물이 있다.

[0253] 비유전율이 낮은 절연체로서는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 및 수지가 있다.

[0254] 또한 금속 산화물을 사용한 트랜지스터는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 및 탄탈럼 중 하나 또는 복수를 포함하는 절연체를 단층으로 또는 적층으로 사용할 수 있다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄,

산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 및 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물이 있다.

[0255] 또한 게이트 절연체로서 기능하는 절연체는, 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 산화 실리콘 또는 산화질화 실리콘이 산화물(220) 또는 산화물(230)과 접함으로써, 산화물(220) 또는 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

[0256] <<도전체>>

[0257] 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘 등 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 도전체로서는 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 및 란타넘과 니켈을 포함한 산화물이 있다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 및 란타넘과 니켈을 포함한 산화물은 각각 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 또는 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0258] 적층 구조의 도전체를 사용하는 경우, 예를 들어 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조, 상술한 금속 원소를 포함하는 재료와 질소를 포함하는 도전성 재료를 조합한 적층 구조, 또는 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조를 적용하여도 좋다.

[0259] 또한 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료에서 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0260] 특히 게이트 전극으로서 기능하는 도전체로서 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 및 실리콘을 첨가한 인듐 주석 산화물 중 하나 또는 복수를 사용하여도 좋다. 또한 질소를 포함하는 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0261] <<금속 산화물>>

[0262] 산화물(220, 230)로서는, 각각 반도체로서 기능하는 금속 산화물(산화물 반도체)을 사용하는 것이 바람직하다. 이하에서는, 본 발명의 일 형태에 따른 산화물(220, 230)에 적용할 수 있는 금속 산화물에 대하여 설명한다.

[0263] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0264] 여기서는, 금속 산화물이 인듐, 원소 M, 및 아연을 가지는 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석으로 한다. 그 외에, 원소 M에 적용할 수 있는 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등이 있다. 다만 원소 M으로서 상술한 원소를 복수 조합하여도 되는 경우가 있다. 특히 원소 M은 갈륨, 알루미늄, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.

[0265] 특히 트랜지스터의 반도체층에는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물(In-Ga-Zn 산화물, IGZO라고도 기재함)을 사용하는 것이 바람직하다. 또는 트랜지스터의 반도체층에는 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함하는 산화물(IAZO라고도 기재함)을 사용하여도 좋다. 또는 반도체층에는 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물(IAGZO 또는 IGAZO)을 사용하여도 좋다.

[0266] 또한 본 명세서 등에서는, 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.

[0267] 이하에서는 금속 산화물의 일례로서 In-Ga-Zn 산화물에 대하여 설명한다.

[0268] 산화물 반도체의 결정 구조로서는 비정질(completely amorphous를 포함함), CAAC(c-axis-aligned crystalline), nc(nanocrystalline), CAC(cloud-aligned composite), 단결정(single crystal), 및 다결정(polycrystal) 등을 들 수 있다.

[0269] 또한 산화물 반도체는 구조에 주목한 경우, 상기와는 다른 식으로 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와, 그 외의 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체로서는, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0270] 여기서 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[0271] [CAAC-OS]

[0272] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역을 말한다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란, 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과, 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0273] 또한 상기 복수의 결정 영역은 각각 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 수십nm 정도가 되는 경우가 있다.

[0274] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입, 결함의 생성 등으로 인하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서, OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도를 높일 수 있다.

[0275] [nc-OS]

[0276] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 또는 비정질 산화물 반도체와 구별이 안되는 경우가 있다.

[0277] [a-like OS]

[0278] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉 a-like OS는 nc-OS 및 CAAC-OS보다 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS보다 막 내의 수소 농도가 높다.

[0279] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0280] [CAC-OS]

[0281] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는 금속 산화물에서 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 가지는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0282] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리되어 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하, 클라우드상이라고도 함)이다. 즉 CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[0283] 또한 In-Ga-Zn 산화물에서의 CAC-OS란, In, Ga, Zn, 및 O를 포함하는 재료 구성에서, 일부에 In을 주성분으로 하는 영역(제 1 영역)을 가지고, 일부에 Ga을 주성분으로 하는 영역(제 2 영역)을 가지고, 이들 영역이 각각 모자이크 패턴이며 랜덤으로 존재하는 구성을 말한다. 따라서 CAC-OS는 금속 원소가 불균일하게 분포된 구조를 가지는 것으로 추측된다.

[0284] CAC-OS는 예를 들어 기판을 가열하지 않는 조건에서 스퍼터링법에 의하여 형성할 수 있다. 또한 CAC-OS를 스퍼터링법으로 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용할 수 있다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하다. 예를 들어 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 한다.

[0285] 여기서, 제 1 영역은 제 2 영역보다 도전성이 높은 영역이다. 즉 제 1 영역을 캐리어가 흐름으로써, 금속 산화물의 도전성이 발현된다. 따라서 제 1 영역이 금속 산화물 내에서 클라우드상으로 분포됨으로써, 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0286] 한편으로, 제 2 영역은 제 1 영역보다 절연성이 높은 영역이다. 즉 제 2 영역이 금속 산화물 내에 분포됨으로써 누설 전류를 억제할 수 있다.

[0287] 따라서 CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉 CAC-OS는 재료의 일부에서는 도전성 기능을 가지고 재료의 일부에서는 절연성 기능을 가지며, 재료의 전체에서는 반도체로서의 기능을 가진다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.

[0288] 또한 CAC-OS를 사용한 트랜지스터는 신뢰성이 높다. 따라서 CAC-OS는 표시 장치를 비롯한 다양한 반도체 장치에 최적이다.

[0289] 산화물 반도체는 다양한 구조를 취하고, 각각이 다른 특성을 가진다. 본 발명의 일 형태의 산화물 반도체에는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상이 포함되어도 좋다.

[0290] <<기타 반도체 재료>>

[0291] 트랜지스터의 반도체층에는 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어 실리콘 등의 단일 원소의 반도체, 비소화 갈륨 등의 화합물 반도체를 사용하여도 좋다.

[0292] 또한 트랜지스터의 반도체층에 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 트랜지스터의 반도체층에 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는 황화 몰리브데넘(대표적으로는 MoS_2), 셀레늄화 몰리브데넘(대표적으로는 $MoSe_2$), 몰리브데넘 텔루륨(대표적으로는 $MoTe_2$), 황화 텅스텐(대표적으로는 WS_2), 셀레늄화 텅스텐(대표적으로는 WSe_2), 텅스텐 텔루륨(대표적으로는 WTe_2), 황화 하프늄(대표적으로는 HfS_2), 셀레늄화 하프늄(대표적으로는 $HfSe_2$), 황화 지르코늄(대표적으로는 ZrS_2), 셀레늄화 지르코늄(대표적으로는 $ZrSe_2$) 등을 들 수 있다. 상술한 전이 금속 칼코제나이드를 트랜지스터의 반도체층에 적용함으로써, 온 전류가 높은 반도체 장치를 제공할 수 있다.

[0293] <반도체 장치의 제작 방법예>

[0294] 도 13 내지 도 18을 사용하여, 본 발명의 일 형태의 반도체 장치의 제작 방법예에 대하여 설명한다. 여기서는 도 1에 나타낸 반도체 장치를 제작하는 경우를 예로 들어 설명한다.

[0295] 이하에서, 절연체를 형성하기 위한 절연성 재료, 도전체를 형성하기 위한 도전성 재료, 또는 반도체를 형성하기 위한 반도체 재료는 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, ALD법 등을 적절히 사용하여 성막할 수 있다.

[0296] 또한 스퍼터링법으로서는, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 그리고 전극에 인가하는 전압을 펄스적으로 변화시키는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속 도전막을 성막하는 경우에 사용된다. 또한 펄스 DC 스퍼터링법은 주로 산화물, 질화물, 탄화물 등의 화합물을 반응성 스퍼터링법으로 성막할 때 사용된다.

[0297] 또한 CVD법은 플라스마를 이용하는 플라스마 CVD(PECVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.

[0298] 플라스마 CVD법에 의하여, 비교적 낮은 온도에서 품질이 높은 막을 얻을 수 있다. 또한 열 CVD법은 플라스마를 사용하지 않기 때문에, 피처리물에 대한 플라스마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라스마로부터 전하를 받아 차지 업하는 경우가 있다. 이때, 축적된 전하로 인하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라스마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라스마 대미지가 생기지 않기 때문에 반도체 장치의 수율을 높일 수 있다. 또한 열 CVD법에서는 성막 시에 플라스마 대미지가 생기지 않기 때문에 결함이 적은 막을 얻을 수 있다.

[0299] 또한 ALD법으로서는, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD법, 플라스마 여기된 반응제를 사용하는 PEALD법 등을 사용할 수 있다.

[0300] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 스퍼터링법과는 다르다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등 다른 성막 방법과 조합하여 사용되는 것이 바람직한 경우도 있다.

[0301] 또한 CVD법은 원료 가스의 유량비를 변화시킴으로써, 임의의 조성의 막을 성막할 수 있다. 예를 들어 CVD법은 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우에는, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반송 또는 압력 조정에 시간이 덜 걸리는 만큼, 성막에 걸리는 시간을 단축할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.

[0302] 또한 ALD법은 복수 종류의 상이한 전구체를 동시에 도입함으로써 임의의 조성의 막을 성막할 수 있다. 또는 복수 종류의 상이한 전구체를 도입하는 경우, 전구체 각각의 사이클 수를 제어함으로써, 임의의 조성의 막을 성막할 수 있다.

[0303] 우선, 기판(미도시)을 준비하고, 상기 기판 위에 절연체(210) 및 도전체(209)를 형성한다. 다음으로 절연체(210) 위 및 도전체(209) 위에 절연체(212)를 성막하고, 절연체(212) 위에 절연체(214)를 성막하고, 절연체(214) 위에 절연체(266)를 성막한다(도 13의 (A)).

[0304] 절연체(212), 절연체(214), 및 절연체(266)는 각각 스퍼터링법을 사용하여 성막하는 것이 바람직하다. 수소를 포함하는 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(212) 내, 절연체(214) 내, 또는 절연체(266) 내의 수소 농도를 저감할 수 있다. 다만 절연체(212), 절연체(214), 및 절연체(266)의 성막 방법은 각각 스퍼터링법에 한정되지 않고, 예를 들어 CVD법, MBE법, PLD법, 또는 ALD법을 사용하여도 좋다.

[0305] 본 실시형태에서는 절연체(212)로서, 질소 가스를 포함하는 분위기에서 실리콘 타깃을 사용하여, 펄스 DC 스퍼

터링법으로 질화 실리콘을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써 타깃 표면의 아크 방전으로 인한 파티클의 발생을 억제할 수 있기 때문에, 막 두께 분포를 더 균일하게 할 수 있다. 또한 펄스 전압을 사용함으로써 고주파 전압보다 방전의 상승, 하강을 가파르게 할 수 있다. 이에 의하여 전극에 전력을 더 효율적으로 공급하여 스퍼터링 레이트 및 막질을 향상시킬 수 있다.

[0306] 질화 실리콘과 같은, 물, 수소 등의 불순물이 투과하기 어려운 절연체를 사용함으로써, 절연체(212)보다 아래층에 포함되는 물, 수소 등의 불순물의 확산을 억제할 수 있다. 또한 절연체(212)로서 질화 실리콘 등 구리가 투과하기 어려운 절연체를 사용함으로써, 절연체(212)보다 아래층(미도시)의 도전체에 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 절연체(212)를 통하여 위쪽으로 확산되는 것을 억제할 수 있다.

[0307] 본 실시형태에서는 절연체(214)로서, 산소 가스를 포함하는 분위기에서 알루미늄 타깃을 사용하여, 펄스 DC 스퍼터링법으로 산화 알루미늄을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트 및 막질을 향상시킬 수 있다. 여기서 기판에 RF(Radio Frequency) 전력을 인가하여도 좋다. 기판에 인가하는 RF 전력의 크기를 바꿈으로써, 절연체(214)보다 아래층에 주입되는 산소의 양을 제어할 수 있다. RF 전력은 예를 들어 0W/cm^2 이상 1.86W/cm^2 이하로 한다. 즉 절연체(214)의 형성 시의 RF 전력을 바꿈으로써, 트랜지스터 특성에 적합한 산소의 양을 변화시켜 주입할 수 있다. 따라서 트랜지스터의 신뢰성을 향상시키는 데 적합한 양의 산소를 주입할 수 있다. 또한 RF의 주파수는 10MHz 이상이 바람직하다. 대표적으로는 13.56MHz이다. RF의 주파수가 높을수록 기판에 주는 대미지를 작게 할 수 있다.

[0308] 절연체(214)에는, 수소를 포획하는 기능 및 고착하는 기능이 높은 비정질 구조를 가지는 금속 산화물, 예를 들어 산화 알루미늄을 사용하는 것이 바람직하다. 이에 의하여 절연체(266) 등에 포함되는 수소를 포획 또는 고착하고, 상기 수소가 산화물(220)로 확산되는 것을 방지할 수 있다. 특히 절연체(214)에 비정질 구조를 가지는 산화 알루미늄 또는 비정질 구조의 산화 알루미늄을 사용함으로써, 수소를 더 효과적으로 포획 또는 고착할 수 있는 경우가 있기 때문에 바람직하다. 이에 의하여 양호한 특성을 가지고, 신뢰성이 높은 트랜지스터 및 반도체 장치를 제작할 수 있다.

[0309] 또한 본 실시형태에서는 절연체(212) 및 절연체(214)에서 나중에 도전체(240)를 제공하는 위치와 중첩되는 부분을 미리 개구하는 예를 나타내었다. 또한 개구의 폭은 특별히 한정되지 않고, 예를 들어 절연체(212)의 단부 및 절연체(214)의 단부는 각각 절연체(272)의 단부 및 도전체(252)의 단부 중 한쪽 또는 양쪽과 정렬되어도 좋다.

[0310] 또한 도 17의 (A)에서 설명하는 가공 공정에 있어서, 절연체(212)를 개구하여도 좋다. 절연체(212)를 미리 개구하면 제작 공정 중에 물, 수소 등의 불순물이 기판 측으로부터 트랜지스터로 확산되기 쉬워지는 경우가 있다. 절연체(212)를 나중에 개구함으로써, 절연체(212)의 배리어 절연체로서의 기능을 더 높일 수 있어 바람직하다. 마찬가지로 도 17의 (A)에서 설명하는 가공 공정에 있어서, 절연체(214)도 개구하여도 좋다. 도 17의 (A)에서 설명하는 가공 공정에 있어서, 절연체(212) 및 절연체(214)를 개구하는 경우, 절연체(212) 및 절연체(214)는 예를 들어 도 3에 나타낸 형상으로 할 수 있다.

[0311] 또한 도 17의 (A)에서 설명하는 가공 공정에 있어서, 절연체(212) 및 절연체(214)를 개구하여도 좋다. 절연체(212) 및 절연체(214)를 미리 개구하면 제작 공정 중에 물, 수소 등의 불순물이 기판 측으로부터 트랜지스터로 확산되기 쉬워지는 경우가 있다. 절연체(212) 및 절연체(214)를 개구하는 타이밍을 나중에 함으로써, 절연체(212) 및 절연체(214)의 배리어 절연체로서의 기능을 더 높일 수 있어 바람직하다. 도 17의 (A)에서 설명하는 가공 공정에 있어서, 절연체(212) 및 절연체(214)를 개구하는 경우, 절연체(212) 및 절연체(214)는 예를 들어 도 3에 나타낸 형상으로 할 수 있다.

[0312] 개구의 형성에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하기 때문에 드라이 에칭법을 사용하는 것이 바람직하다. 에칭 가스로서는 할로젠을 포함하는 에칭 가스를 사용할 수 있고, 구체적으로는 플루오린, 염소, 및 브로민 중 하나 또는 복수를 포함하는 에칭 가스를 사용할 수 있다. 예를 들어 에칭 가스로서 C_4F_6 가스, C_5F_6 가스, C_4F_8 가스, CF_4 가스, SF_6 가스, CHF_3 가스, Cl_2 가스, BCl_3 가스, $SiCl_4$ 가스, 또는 BBr_3 가스 등을 단독으로 또는 2종류 이상의 가스를 혼합시켜 사용할 수 있다. 또한 상기 에칭 가스에 산소 가스, 탄산 가스, 질소 가스, 헬륨 가스, 아르곤 가스, 수소 가스, 또는 탄화수소 가스 등을 적절히 첨가할 수 있다. 예를 들어 절연체(214)에 산화 알루미늄을 사용하는 경우, 에칭 가스로서 CHF_3 및 Ar의 혼합 가스를 사용할 수 있다. 또한 에칭 조건은 에칭하는 대상에 맞추어 적절히 설정할 수

있다.

[0313] 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라스마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라스마 에칭 장치는, 평행 평판형 전극 중 한쪽에 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 중 한쪽에 복수의 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 같은 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 고밀도 플라스마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 가지는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라스마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다.

[0314] 본 실시형태에서는 절연체(266)로서, 산소 가스를 포함하는 분위기에서 실리콘 타깃을 사용하여, 펄스 DC 스퍼터링법으로 산화 실리콘을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트 및 막질을 향상시킬 수 있다.

[0315] 다음으로, 절연체(214)에 도달하는 개구를 절연체(266)에 형성한다. 절연체(214)로서는, 절연체(266)를 에칭하여 홈을 형성할 때 에칭 스토퍼막으로서 기능하는 절연체를 선택하는 것이 바람직하다. 예를 들어 홈을 형성하는 절연체(266)에 산화 실리콘 또는 산화질화 실리콘을 사용한 경우에는, 절연체(214)에 질화 실리콘, 산화 알루미늄, 또는 산화 하프늄을 사용하는 것이 좋다.

[0316] 개구의 형성 후에, 도전체(265a1, 265b1, 265c1)가 되는 도전막을 성막한다(도 13의 (A)). 도전체(265a1 265b1, 265c1)가 되는 도전막은 산소의 투과를 억제하는 기능을 가지는 도전체를 포함하는 것이 바람직하다. 상기 도전막은 예를 들어, 질화 탄탈럼, 질화 텅스텐, 및 질화 타이타늄 중 하나 또는 복수를 가지는 것이 바람직하다. 또는 상기 도전막은 산소의 투과를 억제하는 기능을 가지는 도전체와 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 또는 몰리브데넘 텅스텐 합금의 적층막으로 할 수 있다. 도전체(265a1, 265b1, 265c1)가 되는 도전막은 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다.

[0317] 본 실시형태에서는, 도전체(265a1, 265b1, 265c1)가 되는 도전막으로서 질화 타이타늄을 성막한다. 이와 같은 금속 질화물을 도전체(265a, 265b, 265c)의 아래층에 사용함으로써, 절연체(266) 등에 의하여 도전체(265a2, 265b2, 265c2)가 산화되는 것을 억제할 수 있다. 또한 도전체(265a2, 265b2, 265c2)로서 구리 등의 확산되기 쉬운 금속을 사용하여도, 상기 금속이 도전체(265a1, 265b1, 265c1)로부터 외부로 확산되는 것을 방지할 수 있다.

[0318] 다음으로 도전체(265a2, 265b2, 265c2)가 되는 도전막을 성막한다. 도전체(265a2, 265b2, 265c2)가 되는 도전막은 예를 들어 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 및 몰리브데넘 텅스텐 합금 중 하나 또는 복수를 가지는 것이 바람직하다. 상기 도전막은 예를 들어 도금법, 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는, 도전체(265a2, 265b2, 265c2)가 되는 도전막으로서 텅스텐을 성막한다.

[0319] 다음으로 CMP 처리를 수행함으로써, 도전체(265a1, 265b1, 265c1)가 되는 도전막 및 도전체(265a2, 265b2, 265c2)가 되는 도전막의 일부를 제거하여 절연체(266)를 노출시킨다. 그 결과, 절연체(266)의 개구부에만 도전체(265a1, 265b1, 265c1) 및 도전체(265a2, 265b2, 265c2)가 잔존한다(도 13의 (A)). 또한 상기 CMP 처리에 의하여 절연체(266)의 일부가 제거되는 경우가 있다.

[0320] 다음으로 절연체(266) 위 및 도전체(265a, 265b, 265c) 위에 절연체(272)를 성막한다(도 13의 (A)).

[0321] 절연체(272)로서는, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 예를 들어 산화 알루미늄, 산화 하프늄, 또는 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트)을 사용하는 것이 바람직하다. 또는 하프늄 지르코늄 산화물을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연체(272)가 수소 및 물에 대한 배리어성을 가짐으로써, 트랜지스터의 주변에 제공된 구조체에 포함되는 수소 및 물이 절연체(272)를 통하여 트랜지스터의 내측으로 확산되는 것을 억제하고, 산화물(220) 내에 산소 결손이 생성되는 것을 억제할 수 있다.

[0322] 또는 절연체(272)는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체와 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 또는 질화산화 실리콘의 적층막으로 할 수 있다.

[0323] 절연체(272)는 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는 절연체(272)로서 ALD법을 사용하여 산화 하프늄을 성막한다. 또는 절연체(272)로서 PEALD법을 사용하여 성막한 질화 실리콘과 ALD법을 사용하여 성막한 산화 하프늄의 적층체를 사용하여도 좋다.

[0324] 이어서 가열 처리를 수행하는 것이 바람직하다. 가열 처리의 온도는 250℃ 이상 650℃ 이하가 바람직하고, 300℃ 이상 500℃ 이하가 더 바람직하고, 320℃ 이상 450℃ 이하가 더 바람직하다. 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 수행하는 경우, 산소 가스를 20% 정도로 하는 것이 바람직하다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.

[0325] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서 사용하는 가스에 포함되는 수분량은 1ppb 이하가 바람직하고, 0.1ppb 이하가 더 바람직하고, 0.05ppb 이하가 더 바람직하다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 절연체(272) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0326] 본 실시형태에서는 가열 처리로서 절연체(272)의 성막 후에 질소 가스와 산소 가스의 유량비를 4:1로 하여 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여, 절연체(272)에 포함되는 물, 수소 등의 불순물을 제거하는 것 등이 가능하다. 또한 하프늄을 포함하는 산화물을 절연체(272)에 사용하는 경우, 상기 가열 처리에 의하여 절연체(272)의 일부가 결정화되는 경우가 있다. 또한 가열 처리는 절연체(274) 성막 후 등의 타이밍에 수행할 수도 있다.

[0327] 다음으로, 절연체(272) 위에 절연막(274f)을 성막한다(도 13의 (A)).

[0328] 절연막(274f)은 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는 절연막(274f)으로서 스퍼터링법을 사용하여 산화 실리콘을 성막한다. 수소를 포함하는 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연막(274f) 내의 수소 농도를 저감할 수 있다. 절연막(274f)은 나중의 공정에서 산화물(220a)과 접하기 때문에, 이와 같이 수소 농도가 저감되어 있는 것이 적합하다.

[0329] 다음으로 절연막(274f) 위에 산화막(220af)을 성막하고, 산화막(220af) 위에 산화막(220bf)을 성막한다(도 13의 (A)). 또한 산화막(220af) 및 산화막(220bf)은 대기 환경에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 대기 환경에 노출시키지 않고 성막함으로써, 산화막(220af) 위 및 산화막(220bf) 위에 대기 환경에서의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 산화막(220af)과 산화막(220bf)의 계면 근방을 청정하게 유지할 수 있다.

[0330] 산화막(220af) 및 산화막(220bf)은 각각 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는, 산화막(220af) 및 산화막(220bf)의 성막에는 스퍼터링법을 사용한다.

[0331] 예를 들어 산화막(220af) 및 산화막(220bf)을 스퍼터링법으로 성막하는 경우에는, 스퍼터링 가스로서 산소 또는 산소와 비활성 기체의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 과잉 산소를 증가시킬 수 있다. 또한 상기 산화막을 스퍼터링법으로 성막하는 경우에는 In-M-Zn 산화물 타깃 등을 사용할 수 있다.

[0332] 특히 산화막(220af)의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연막(274f)에 공급되는 경우가 있다. 따라서, 상기 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상이 바람직하고, 80% 이상이 더 바람직하고, 100%가 더 바람직하다.

[0333] 또한 산화막(220bf)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 30% 초과 100% 이하, 바람직하게는 70% 이상 100% 이하로 하여 성막하면, 산소 과잉형 산화물 반도체가 형성된다. 산소 과잉형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 신뢰성을 얻을 수 있다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 산화막(220bf)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 1% 이상 30% 이하, 바람직하게는 5% 이상 20% 이하로 하여 성막하면, 산소 결핍형 산화물 반도체가 형성된다. 산소 결핍형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 전계 효과 이동도를 얻을 수 있다. 또한 기판을 가열하면서 성막을 수행함으로써, 상기 산화막의 결정성을 향상

시킬 수 있다.

[0334] 본 실시형태에서는 In:Ga:Zn=1:3:4[원자수비]의 산화물 타깃을 사용하여 스퍼터링법으로 산화막(220af)을 성막한다. 또한 In:Ga:Zn=4:2:4.1[원자수비]의 산화물 타깃, In:Ga:Zn=1:1:1[원자수비]의 산화물 타깃, In:Ga:Zn=1:1:1.2[원자수비]의 산화물 타깃, 또는 In:Ga:Zn=1:1:2[원자수비]의 산화물 타깃을 사용하여 스퍼터링법으로 산화막(220bf)을 성막한다. 또한 각 산화막은, 성막 조건 및 원자수비를 적절히 선택함으로써 산화물(220a) 및 산화물(220b)에 요구되는 특성을 가지도록 형성되는 것이 좋다.

[0335] 또한 절연막(274f), 산화막(220af), 및 산화막(220bf)을 대기에 노출시키지 않고 스퍼터링법으로 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하는 것이 바람직하다. 이에 의하여 각 성막 공정 사이에서 절연막(274f), 산화막(220af), 및 산화막(220bf)에 수소가 혼입되는 것을 저감할 수 있다.

[0336] 또한 산화막(220af) 및 산화막(220bf)의 성막에 ALD법을 사용하여도 좋다. 산화막(220af) 및 산화막(220bf)의 성막에 ALD법을 사용함으로써, 종횡비가 높은 홈 또는 개구부에 대해서도 두께가 균일한 막을 형성할 수 있다. 또한 PEALD법을 사용함으로써, 열 ALD법보다 낮은 온도에서 산화막(220af) 및 산화막(220bf)을 형성할 수 있다.

[0337] 다음으로, 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 산화막(220af) 및 산화막(220bf)이 다결정화되지 않는 온도 범위에서 수행하면 좋다. 가열 처리의 온도는 100℃ 이상, 250℃ 이상, 또는 350℃ 이상이고, 650℃ 이하, 600℃ 이하, 또는 550℃ 이하인 것이 바람직하다.

[0338] 또한 가열 처리의 분위기로서는 절연체(272)의 성막 후에 수행하는 가열 처리에 적용할 수 있는 분위기와 같은 분위기를 들 수 있다.

[0339] 또한 절연체(272)의 성막 후에 수행하는 가열 처리와 마찬가지로 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 산화막(220af) 및 산화막(220bf) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0340] 본 실시형태에서는, 가열 처리로서 질소 가스와 산소 가스의 유량비를 4:1로 하여 400℃의 온도에서 1시간의 처리를 수행한다. 이러한 산소 가스를 포함하는 가열 처리에 의하여, 산화막(220af) 및 산화막(220bf) 내의 탄소, 물, 수소 등의 불순물을 저감할 수 있다. 이와 같이 막 내의 불순물을 저감함으로써, 산화막(220bf)의 결정성을 향상시켜, 밀도가 더 높고 치밀한 구조로 할 수 있다. 이에 의하여 산화막(220af) 및 산화막(220bf) 내의 결정 영역을 증대시켜, 산화막(220af) 및 산화막(220bf)에서의 결정 영역의 면내 편차를 저감할 수 있다. 따라서 트랜지스터의 전기 특성의 면내 편차를 저감할 수 있다.

[0341] 또한 가열 처리를 수행함으로써, 절연체(266), 절연막(274f), 산화막(220af), 및 산화막(220bf) 내의 수소가 절연체(272)로 이동하고, 절연체(272) 내에 흡수된다. 바꿔 말하면, 절연체(266), 절연막(274f), 산화막(220af), 및 산화막(220bf) 내의 수소가 절연체(272)로 확산된다. 따라서 절연체(272)의 수소 농도는 증가되지만, 절연체(266), 절연막(274f), 산화막(220af), 및 산화막(220bf) 내 각각의 수소 농도는 저하된다.

[0342] 특히, 절연막(274f)(나중에 절연체(274)가 됨)은 트랜지스터(202a, 203a)의 게이트 절연체로서 기능하고, 산화막(220af) 및 산화막(220bf)(나중에 산화물(220a) 및 산화물(220b)이 됨)은 트랜지스터(202a, 203a)의 채널 형성 영역으로서 기능한다. 수소 농도가 저감된 절연막(274f), 산화막(220af), 및 산화막(220bf)을 사용하여 형성된 트랜지스터(202a, 203a)는 양호한 신뢰성을 가지기 때문에 바람직하다.

[0343] 다음으로 리소그래피법을 사용하여 절연막(274f), 산화막(220af), 및 산화막(220bf)을 섬 형성으로 가공함으로써 절연체(274), 산화물(220a), 및 산화물(220b)을 형성한다(도 13의 (B)).

[0344] 여기서 절연체(274), 산화물(220a), 및 산화물(220b)은 적어도 일부가 도전체(265a, 265b)와 중첩되도록 형성한다. 또한 절연체(274), 산화물(220a), 및 산화물(220b)은 도전체(265c)와 중첩되지 않도록 형성한다.

[0345] 또한 도 13의 (B)에 나타낸 바와 같이 절연체(274), 산화물(220a), 및 산화물(220b)의 측면이 테이퍼 형상을 가져도 좋다. 절연체(274), 산화물(220a), 및 산화물(220b)의 측면의 테이퍼 각은 예를 들어, 60° 이상 90° 미만이어도 좋다. 이와 같이 측면을 테이퍼 형상으로 함으로써, 나중의 공정에서 절연체(276) 등의 피복성이 향상되어, 공동 등의 결함을 저감할 수 있다.

[0346] 다만 상기에 한정되지 않고, 절연체(274), 산화물(220a), 및 산화물(220b)의 측면을 절연체(272)의 상면에 대하여 실질적으로 수직으로 하여도 좋다. 이러한 구성으로 함으로써, 복수의 트랜지스터를 제공할 때 면적 감소, 밀도 증가가 가능하다.

[0347] 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 절연막(274f), 산화막(220af), 및 산화막(220bf)의 가공은 각각 다른 조건으로 수행하여도 좋다.

[0348] 또한 리소그래피법에서는 먼저 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 그리고 상기 레지스트 마스크를 사용하여 에칭 처리를 수행함으로써, 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어 KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet)광 등을 사용하여 레지스트를 노광함으로써 레지스트 마스크를 형성할 수 있다. 또한 기판과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 상술한 광 대신에 전자 빔 또는 이온 빔을 사용하여도 좋다. 또한 전자 빔 또는 이온 빔을 사용하는 경우에는 마스크는 불필요하다. 또한 레지스트 마스크는 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거할 수 있다.

[0349] 또한 레지스트 마스크 아래에 절연체 또는 도전체로 이루어지는 하드 마스크를 사용하여도 좋다. 하드 마스크를 사용하는 경우, 산화막(220bf) 위에 하드 마스크 재료인 절연막 또는 도전막을 형성하고, 그 위에 레지스트 마스크를 형성하고, 하드 마스크 재료를 에칭함으로써 원하는 형상의 하드 마스크를 형성할 수 있다. 산화막(220bf) 등의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고, 레지스트 마스크를 남긴 채 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크가 소실되는 경우가 있다. 산화막(220bf) 등의 에칭 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다. 한편으로, 하드 마스크의 재료가 후공정에 영향을 미치지 않거나, 후공정에서 이용될 수 있는 경우에는 하드 마스크를 반드시 제거할 필요는 없다.

[0350] 다음으로 리소그래피법을 사용하여 절연체(272)를 가공함으로써 도전체(265c)의 상면을 노출시키고 절연체(266)의 도전체(209)와 중첩되는 부분의 상면을 노출시킨다(도 13의 (C)). 또한 여기서는 적어도 도전체(265c)의 상면을 노출시키도록 절연체(272)를 가공할 수 있으면 좋고, 절연체(272)에서 도전체(209)와 중첩되는 부분을 제거함으로써, 도 17의 (A)에서의 가공 공정에 있어서 가공하는 막의 개수를 줄일 수 있다. 또한 상술한 바와 같이 절연체(272)에 사용하는 것이 바람직한 재료에는 에칭이 어려운 재료도 포함되기 때문에 미리 개구함으로써, 도 17의 (A)에서 가공 조건의 선택의 폭을 넓힐 수 있어 바람직하다.

[0351] 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하기 때문에 드라이 에칭법을 사용하는 것이 바람직하다. 에칭 가스로서는 할로젠을 포함하는 에칭 가스를 사용할 수 있고, 구체적으로는 플루오린, 염소, 및 브로민 중 하나 또는 복수를 포함하는 에칭 가스를 사용할 수 있다. 예를 들어 에칭 가스로서 C_4F_6 가스, C_5F_6 가스, C_4F_8 가스, CF_4 가스, SF_6 가스, CHF_3 가스, Cl_2 가스, BCl_3 가스, $SiCl_4$ 가스, 또는 BBr_3 가스 등을 단독으로 또는 2종류 이상의 가스를 혼합시켜 사용할 수 있다. 또한 상기 에칭 가스에 산소 가스, 탄산 가스, 질소 가스, 헬륨 가스, 아르곤 가스, 수소 가스, 또는 탄화수소 가스 등을 적절히 첨가할 수 있다. 예를 들어 절연체(272)에 산화 하프늄을 사용하는 경우, 에칭 가스로서 C_4F_8, H_2, 및 Ar의 혼합 가스를 사용할 수 있다. 또한 에칭 조건은 에칭하는 대상에 맞추어 적절히 설정할 수 있다.

[0352] 또한 절연체(272)를 가공하였을 때, 도 13의 (C)에 나타낸 바와 같이 절연체(266)의 상면에서 도전체(209)와 중첩되는 영역에 오목부가 형성되는 경우가 있다.

[0353] 다음으로 절연체(272) 위, 도전체(265c) 위, 및 산화물(220b) 위에 도전체(252_1)가 되는 도전막을 성막하고, 상기 도전막 위에 도전체(252_2)가 되는 도전막을 성막한다(도 13의 (D)).

[0354] 도전체(252_1)가 되는 도전막 및 도전체(252_2)가 되는 도전막은 각각 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다.

[0355] 본 실시형태에서는 도전체(252_1)가 되는 도전막으로서 스퍼터링법을 사용하여 질화 탄탈럼을 성막하고, 도전체(252_2)가 되는 도전막으로서 텅스텐을 성막한다. 또한 도전체(252_1)가 되는 도전막을 성막하기 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 도전체(252_1)가 되는 도전막을 성막하여도 좋다. 이러한 처리를 수행함으로써, 산화물(220b)의 표면에 흡착된 수분 및 수소를 제거하고, 또한 산화물(220a) 및 산화물(220b) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 200℃로 한다.

[0356] 다음으로 리소그래피법을 사용하여 도전체(252_1)가 되는 도전막 및 도전체(252_2)가 되는 도전막을 가공함으로

써 각각 섬 형상의 도전체(252_1) 및 도전체(252_2)를 형성한다(도 13의 (D)). 또한 도 13의 (D)에 나타낸 2개의 도전체(252_1)는 각각 섬 형상으로 제공되어도 좋고, 도전체(209)와 중첩되는 위치에 개구를 가지는 하나의 섬 형상의 막이어도 좋다. 마찬가지로 도 13의 (D)에 나타낸 2개의 도전체(252_2)는 각각 섬 형상으로 제공되어도 좋고, 도전체(209)와 중첩되는 위치에 개구를 가지는 하나의 섬 형상의 막이어도 좋다.

[0357] 여기서 도전체(252_1) 및 도전체(252_2)는 적어도 일부가 도전체(265a, 265b, 265c)와 중첩되도록 형성한다. 또한 도전체(252_1) 및 도전체(252_2)는 절연체(272)에 제공된 개구의 일부 및 절연체(266)의 오목부의 일부에 제공된다. 또한 도전체(252_1) 및 도전체(252_2)를 형성함으로써, 절연체(272)에서 도전체(209)와 중첩되는 영역의 일부가 노출된다.

[0358] 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 또한 도전체(252_1)가 되는 도전막 및 도전체(252_2)가 되는 도전막의 가공은 각각 다른 조건으로 수행하여도 좋다.

[0359] 다음으로 절연체(274), 산화물(220a), 산화물(220b), 도전체(252_1), 및 도전체(252_2)를 덮어 절연체(276)를 성막하고, 절연체(276) 위에 절연체(290)를 성막한다. 그 후, 리소그래피법을 사용하여 도전체(252_1), 도전체(252_2), 절연체(276), 및 절연체(290)를 가공함으로써 산화물(220b)에 도달하는 개구를 형성한다(도 14의 (A)).

[0360] 여기서, 절연체(276)는 절연체(272)의 상면 및 절연체(274)의 측면과 접하는 것이 바람직하다.

[0361] 절연체(290)로서는, 절연체(290)가 되는 절연막을 형성하고 상기 절연막에 CMP 처리를 수행함으로써, 상면이 평탄한 절연체를 형성하는 것이 바람직하다. 또한 절연체(290) 위에 예를 들어 스퍼터링법으로 질화 실리콘을 성막하고, 상기 질화 실리콘에 대하여 절연체(290)에 도달할 때까지 CMP 처리를 수행하여도 좋다.

[0362] 산화물(220b)에 도달하는 개구는 산화물(220b)과 도전체(265a)가 중첩되는 영역 및 산화물(220b)과 도전체(265b)가 중첩되는 영역의 2개의 영역에 제공된다.

[0363] 절연체(276) 및 절연체(290)는 각각 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다.

[0364] 절연체(276)로서는 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어 절연체(276)로서 ALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다. 또는 절연체(276)로서 스퍼터링법을 사용하여 산화 알루미늄을 성막하고, 그 위에 PEALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다. 절연체(276)에 이러한 적층 구조를 적용함으로써 물, 수소 등의 불순물 및 산소 확산을 억제하는 기능을 향상시킬 수 있다.

[0365] 이러한 식으로 산화물(220a), 산화물(220b), 도전체(252_1), 및 도전체(252_2)를 산소 확산을 억제하는 기능을 가지는 절연체(276)로 덮을 수 있다. 이에 의하여 나중의 공정에서 절연체(290) 등으로부터 절연체(274), 산화물(220a), 산화물(220b), 도전체(252_1), 및 도전체(252_2)로 산소가 직접 확산되는 것을 억제할 수 있다.

[0366] 예를 들어 절연체(290)로서 스퍼터링법을 사용하여 산화 실리콘을 성막하는 것이 바람직하다. 절연체(290)가 되는 절연막을 산소를 포함하는 분위기에서 스퍼터링법으로 성막함으로써, 과잉 산소를 포함하는 절연체(290)를 형성할 수 있다. 또한 수소를 포함하는 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(290) 내의 수소 농도를 저감할 수 있다. 또한 상기 절연막을 성막하기 전에 가열 처리를 수행하여도 좋다. 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 상기 절연막을 성막하여도 좋다. 이러한 처리를 수행함으로써, 절연체(276)의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물(220a), 산화물(220b), 및 절연체(274) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다.

[0367] 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 또한 도전체(252_1), 도전체(252_2), 절연체(276), 및 절연체(290)의 가공은 각각 다른 조건으로 수행하여도 좋다.

[0368] 상기 가공에 의하여 도전체(252_1)는 각각 섬 형상의 도전체(252a1, 252b1, 252c1)로 분단된다. 마찬가지로 도전체(252_2)는 각각 섬 형상의 도전체(252a2, 252b2, 252c2)로 분단된다. 또한 도 14의 (A)에 나타낸 2개의 도전체(252a1)는 각각 섬 형상으로 제공되어도 좋고, 도전체(209)와 중첩되는 위치에 개구를 가지는 하나의 섬 형상의 막이어도 좋다. 마찬가지로 도 14의 (A)에 나타낸 2개의 도전체(252a2)는 각각 섬 형상으로 제공되어도 좋고, 도전체(209)와 중첩되는 위치에 개구를 가지는 하나의 섬 형상의 막이어도 좋다.

[0369] 상기 에칭 처리에 의하여, 산화물(220a)의 측면, 산화물(220b)의 상면 및 측면, 도전체(252a, 252b, 252c)의 측면, 절연체(276)의 측면, 절연체(290)의 측면 등에 불순물이 부착되거나 이들 내부로 상기 불순물이 확산되는 경우가 있다. 이러한 불순물을 제거하는 공정을 수행하여도 좋다. 또한 상기 드라이 에칭에 의하여 산화물(220b)의 표면에 손상 영역이 형성되는 경우가 있다. 이러한 손상 영역을 제거하여도 좋다. 상기 불순물로서는, 예를 들어 절연체(290), 절연체(276), 도전체(252a, 252b, 252c)에 포함되는 성분, 상기 개구의 형성 시에 사용하는 장치의 부재에 포함되는 성분, 및 에칭에 사용하는 가스 또는 액체에 포함되는 성분에 기인한 것이 있다. 상기 불순물로서는 예를 들어 하프늄, 알루미늄, 실리콘, 탄탈럼, 플루오린, 및 염소가 있다.

[0370] 특히 알루미늄, 실리콘 등의 불순물은 산화물(220b)의 결정성을 저하시키는 경우가 있다. 따라서 산화물(220b)의 표면 및 그 근방에서 알루미늄, 실리콘 등의 불순물은 제거되는 것이 바람직하다. 또한 상기 불순물의 농도는 저감되어 있는 것이 바람직하다. 예를 들어 산화물(220b)의 표면 및 그 근방에서의 알루미늄 원자의 농도는 5.0atomic% 이하가 바람직하고, 2.0atomic% 이하가 더 바람직하고, 1.5atomic% 이하가 더 바람직하고, 1.0atomic% 이하가 더 바람직하고, 0.3atomic% 미만이 더 바람직하다.

[0371] 또한 산화물(220b)의 결정성이 낮은 영역에서는 알루미늄, 실리콘 등의 불순물로 인하여 결정 구조의 치밀성이 저하되어 있기 때문에, V_OH가 다량으로 형성되어 트랜지스터가 노멀리 온이 되기 쉽다. 따라서 산화물(220b)의 결정성이 낮은 영역은 저감 또는 제거되어 있는 것이 바람직하다.

[0372] 한편으로, 산화물(220b)은 층상의 CAAC 구조를 가지는 것이 바람직하다. 특히 산화물(220b)의 드레인 하단부까지 CAAC 구조를 가지는 것이 바람직하다. 여기서, 트랜지스터에 있어서 도전체(252a), 도전체(252b), 또는 도전체(252c) 및 그 근방이 드레인으로서 기능한다. 즉, 도전체(252a), 도전체(252b), 또는 도전체(252c)의 하단부 근방의 산화물(220b)이 CAAC 구조를 가지는 것이 바람직하다. 이와 같이, 드레인 내압에 현저하게 영향을 미치는 드레인 단부에서도 산화물(220b)의 결정성이 낮은 영역이 제거되고 CAAC 구조를 가짐으로써, 트랜지스터의 전기 특성의 변동을 더 억제할 수 있다. 또한 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0373] 상기 에칭 공정에서 산화물(220b)의 표면에 부착된 불순물 등을 제거하기 위하여 세정 처리를 수행한다. 세정 방법으로서는, 세정액 등을 사용한 웨트 세정(웨트 에칭 처리라고 할 수도 있음), 플라스마를 사용한 플라스마 처리, 열처리에 의한 세정 등이 있고, 상기 세정을 적절히 조합하여 수행하여도 좋다. 또한 상기 세정 처리에 의하여, 상기 홈부가 깊어지는 경우가 있다.

[0374] 웨트 세정은 암모니아수, 옥살산, 인산, 및 플루오린화 수소산 중 하나 또는 복수를 탄산수 또는 순수(純水)로 희석한 수용액, 순수, 탄산수 등을 사용하여 수행하여도 좋다. 또는 이들 수용액, 순수, 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다. 또는 이들 세정을 적절히 조합하여 수행하여도 좋다.

[0375] 또한 본 명세서 등에서는, 플루오린화 수소산을 순수로 희석한 수용액을 희석 플루오린화 수소산이라고 부르고, 암모니아수를 순수로 희석한 수용액을 희석 암모니아수라고 부르는 경우가 있다. 또한 상기 수용액의 농도, 온도 등은 제거하려고 하는 불순물, 세정되는 반도체 장치의 구성 등에 따라 적절히 조정한다. 희석 암모니아수의 암모니아 농도는 0.01% 이상 5% 이하가 바람직하고, 0.1% 이상 0.5% 이하가 더 바람직하다. 또한 희석 플루오린화 수소산의 플루오린화 수소 농도는 0.01ppm 이상 100ppm 이하가 바람직하고, 0.1ppm 이상 10ppm 이하가 더 바람직하다.

[0376] 또한 초음파 세정에서 주파수는 바람직하게는 200kHz 이상이고, 더 바람직하게는 900kHz 이상이다. 상기 주파수를 사용함으로써 산화물(220b) 등에 대한 대미지를 저감할 수 있다.

[0377] 또한 상기 세정 처리를 여러 번 수행하여도 좋고, 세정 처리마다 세정액을 변경하여도 좋다. 예를 들어 제 1 세정 처리로서 희석 플루오린화 수소산 또는 희석 암모니아수를 사용한 처리를 수행하고, 제 2 세정 처리로서 순수 또는 탄산수를 사용한 처리를 수행하여도 좋다.

[0378] 상기 세정 처리로서, 본 실시형태에서는 희석 암모니아수를 사용하여 웨트 세정을 수행한다. 상기 세정 처리를 수행함으로써, 산화물(220a), 산화물(220b) 등의 표면에 부착되거나 내부로 확산된 불순물을 제거할 수 있다. 또한 산화물(220b)의 결정성을 높일 수 있다.

[0379] 상기 에칭 후 또는 상기 세정 후에 가열 처리를 수행하여도 좋다. 가열 처리의 온도는 100℃ 이상, 250℃ 이상, 또는 350℃ 이상이고, 650℃ 이하, 600℃ 이하, 550℃ 이하, 또는 400℃ 이하인 것이 바람직하다. 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이에 의하

여, 산화물(220a) 및 산화물(220b)에 산소가 공급되므로 산소 결손을 저감할 수 있다. 또한 이러한 열처리를 수행함으로써, 산화물(220b)의 결정성을 향상시킬 수 있다. 또한, 산화물(220a) 및 산화물(220b) 내에 잔존한 수소와 공급된 산소가 반응함으로써, 상기 수소를 H_2O로서 제거(탈수화)할 수 있다. 이에 의하여 산화물(220a) 및 산화물(220b) 내에 잔존한 수소가 산소 결손과 재결합되어 V_OH가 형성되는 것을 억제할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 산소 분위기에서 가열 처리를 수행한 후에, 대기에 노출시키지 않고 연속하여 질소 분위기에서 가열 처리를 수행하여도 좋다.

[0380] 산화물(220b)에 대하여 도전체(252a) 및 도전체(242b)가 접한 상태로 가열 처리를 수행하는 경우, 산화물(220b)에서 도전체(242a)와 중첩되는 영역 및 도전체(242b)와 중첩되는 영역은 각각 시트 저항이 저하되는 경우가 있다. 또한 캐리어 농도가 증가되는 경우가 있다. 따라서 산화물(220b)에서 도전체(242a)와 중첩되는 영역 및 도전체(242b)와 중첩되는 영역을 자기 정합적으로 저저항화할 수 있다.

[0381] 다음으로 개구를 매립하도록 절연막 및 도전막을 성막하고 가공함으로써, 도전체(265a)와 중첩되는 위치에 절연체(243a), 절연체(244a), 도전체(270a1), 및 도전체(270a2)를 제공하고, 도전체(265b)와 중첩되는 위치에 절연체(243b), 절연체(244b), 도전체(270b1), 및 도전체(270b2)를 제공한다(도 14의 (B)).

[0382] 우선, 절연체(243a, 243b)가 되는 절연막을 성막한다. 상기 절연막은 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 상기 절연막은 ALD법을 사용하여 성막하는 것이 바람직하다. 상기 절연체(253)와 마찬가지로 절연체(243a, 243b)는 얇은 막 두께로 형성하는 것이 바람직하고, 막 두께의 편차가 작아지도록 할 필요가 있다. 한편, ALD법은 전구체와 반응제(예를 들어 산화제 등)를 교대로 도입하는 성막 방법이고, 이 사이클을 반복하는 횟수를 바꿈으로써 막 두께를 조절할 수 있기 때문에, 막 두께를 정밀하게 조절할 수 있다. 또한 도 14의 (B)에 나타낸 바와 같이 절연체(243a, 243b)는 개구의 바닥면 및 측면에 피복성 좋게 성막될 필요가 있다. ALD법을 사용함으로써 상기 개구의 바닥면 및 측면에서 원자의 층을 한 층씩 퇴적할 수 있기 때문에, 상기 개구에 대하여 피복성 좋게 절연체(243a, 243b)를 형성할 수 있다.

[0383] 또한 절연체(243a, 243b)가 되는 절연막을 ALD법으로 성막하는 경우, 산화제로서 오존(O_3), 산소(O_2), 물(H_2O) 등을 사용할 수 있다. 수소를 포함하지 않는 오존(O_3), 산소(O_2) 등을 산화제로서 사용함으로써, 산화물(220b)로 확산되는 수소를 저감할 수 있다.

[0384] 본 실시형태에서는 절연체(243a, 243b)가 되는 절연막으로서 열 ALD법으로 산화 하프늄을 성막한다.

[0385] 다음으로, 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 것이 바람직하다. 여기서 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가지는 장치를 사용한 처리를 말한다. 또한 본 명세서 등에서 마이크로파란, 300MHz 이상 300GHz 이하의 주파수를 가지는 전자기파를 가리키는 것으로 한다.

[0386] 마이크로파 처리에서는, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가지는 마이크로파 처리 장치를 사용하는 것이 바람직하다. 여기서 마이크로파 처리 장치의 주파수는 300MHz 이상 300GHz 이하가 바람직하고, 2.4GHz 이상 2.5GHz 이하가 더 바람직하고, 예를 들어 2.45GHz로 할 수 있다. 고밀도 플라스마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있다. 또한 마이크로파 처리 장치의 마이크로파를 인가하는 전원의 전력은 1000W 이상 10000W 이하가 바람직하고, 2000W 이상 5000W 이하가 바람직하다. 또한 마이크로파 처리 장치는 기판 측에 RF를 인가하는 전원을 가져도 좋다. 또한 기판 측에 RF를 인가함으로써, 고밀도 플라스마에 의하여 생성된 산소 이온을 산화물(220b) 내에 효율적으로 도입할 수 있다.

[0387] 또한 상기 마이크로파 처리는 감압하에서 수행하는 것이 바람직하고, 압력은 10Pa 이상 1000Pa 이하가 바람직하고, 300Pa 이상 700Pa 이하가 더 바람직하다. 또한 처리 온도는 750℃ 이하가 바람직하고, 500℃ 이하가 더 바람직하고, 예를 들어 250℃ 정도로 할 수 있다. 또한 산소 플라스마 처리를 수행한 후에, 외기에 노출시키지 않고 연속하여 열처리를 수행하여도 좋다. 가열 처리의 온도는 예를 들어 100℃ 이상 750℃ 이하가 바람직하고, 300℃ 이상 500℃ 이하가 더 바람직하다.

[0388] 또한 예를 들어 상기 마이크로파 처리는 산소 가스와 아르곤 가스를 사용하여 수행할 수 있다. 여기서 산소 유량비($O_2/(O_2+Ar)$)를 0%보다 높고 100% 이하로 한다. 바람직하게는 산소 유량비($O_2/(O_2+Ar)$)를 0%보다 높고 50% 이하로 한다. 더 바람직하게는 산소 유량비($O_2/(O_2+Ar)$)를 10% 이상 40% 이하로 한다. 더 바람직하게는 산소 유량비($O_2/(O_2+Ar)$)를 10% 이상 30% 이하로 한다. 이와 같이 산소를 포함하는 분위기에서 마이크로파 처리를 수

행함으로써, 산화물(220b) 내의 캐리어 농도를 저하시킬 수 있다. 또한 마이크로파 처리에서 체임버에 과잉량의 산소가 도입되지 않도록 함으로써, 산화물(220b)에서 캐리어 농도가 과도하게 저하되는 것을 방지할 수 있다.

[0389] 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF 등의 고주파를 사용하여 산소 가스를 플라스마화하고, 상기 산소 플라스마를 산화물(220b) 중 도전체(252a)와 도전체(252c) 사이의 영역 및 도전체(252b)와 도전체(252c) 사이의 영역에 작용시킬 수 있다. 플라스마, 마이크로파 등의 작용에 의하여 상기 영역에서의 V_OH를 산소 결손과 수소로 분단하여 수소를 상기 영역에서 제거할 수 있다. 즉 채널 형성 영역에 포함되는 V_OH를 저감할 수 있다. 따라서 채널 형성 영역 내의 산소 결손 및 V_OH를 저감하여 캐리어 농도를 저하시킬 수 있다. 또한 채널 형성 영역에서 형성된 산소 결손에, 상기 산소 플라스마에서 발생한 산소 라디칼을 공급함으로써, 채널 형성 영역 내의 산소 결손을 더 저감하여, 캐리어 농도를 더 저하시킬 수 있다.

[0390] 채널 형성 영역 내에 주입되는 산소는 산소 원자, 산소 분자, 산소 이온, 및 산소 라디칼(O 라디칼이라고도 하고, 홀전자(unpaired electron)를 가지는 원자, 분자, 또는 이온임) 등의 다양한 형태를 가진다. 또한 채널 형성 영역 내에 주입되는 산소는 상술한 형태 중 어느 하나 또는 복수를 가지면 좋고, 특히 산소 라디칼인 것이 적합하다. 또한 절연체(243)의 막질을 향상시킬 수 있기 때문에, 트랜지스터의 신뢰성이 향상된다.

[0391] 한편, 산화물(220b)에는 도전체(252a, 252b, 252c) 중 어느 것과 중첩되는 영역이 존재한다. 상기 영역은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 여기서, 도전체(252a, 252b, 252c)는 산소를 포함하는 분위기에서 마이크로파 처리를 수행할 때, 마이크로파, RF 등의 고주파, 산소 플라스마 등의 작용에 대한 차폐막으로서 기능하는 것이 바람직하다. 그러므로 도전체(252a, 252b, 252c)는 300MHz 이상 300GHz 이하, 예를 들어 2.4GHz 이상 2.5GHz 이하의 전자기파를 차폐하는 기능을 가지는 것이 바람직하다.

[0392] 도전체(252a, 252b, 252c)가 마이크로파 또는 RF 등의 고주파, 산소 플라스마 등의 작용을 차폐하기 때문에, 이들 작용은 산화물(220b)에서 도전체(252a, 252b, 252c) 중 어느 것과 중첩되는 영역에는 미치지 않는다. 따라서 마이크로파 처리에 의한 V_OH의 저감 및 과잉량의 산소 공급이 소스 영역 및 드레인 영역에서 발생하지 않기 때문에, 캐리어 농도의 감소를 방지할 수 있다.

[0393] 또한 도전체(252a, 252b, 252c)의 측면과 접하여 산소에 대한 배리어성을 가지는 절연체(243)가 제공되어 있다. 이에 의하여 마이크로파 처리에 의하여 도전체(252a, 252b, 252c)의 측면에 산화막이 형성되는 것을 억제할 수 있다.

[0394] 또한 절연체(243)의 막질을 향상시킬 수 있기 때문에, 트랜지스터의 신뢰성이 향상된다.

[0395] 상술한 바와 같이 하여 산화물 반도체의 채널 형성 영역에서 산소 결손 및 V_OH를 선택적으로 제거하여, 채널 형성 영역을 i형 또는 실질적으로 i형으로 할 수 있다. 또한 소스 영역 또는 드레인 영역으로서 기능하는 영역에 과잉량의 산소가 공급되는 것을 억제하고, 마이크로파 처리를 수행하기 전의 도전성(저저항 영역인 상태)을 유지할 수 있다. 이에 의하여 트랜지스터의 전기 특성의 변동이 억제되므로, 기판면 내에서 트랜지스터의 전기 특성에 편차가 생기는 것을 억제할 수 있다.

[0396] 또한 마이크로파 처리에서는, 마이크로파와 산화물(220b) 내의 분자의 전자기적인 상호 작용에 의하여 산화물(220b)에 열 에너지가 직접 전달되는 경우가 있다. 이 열 에너지에 의하여 산화물(220b)이 가열되는 경우가 있다. 이러한 가열 처리를 마이크로파 어닐링이라고 부르는 경우가 있다. 마이크로파 처리를 산소를 포함하는 분위기에서 수행함으로써, 산소 어닐링과 동등한 효과가 얻어지는 경우가 있다. 또한 산화물(220b)에 수소가 포함되는 경우, 이 열 에너지가 산화물(220b) 내의 수소에 전달되고, 이에 의하여 활성화된 수소가 산화물(220b)로부터 방출될 수 있다.

[0397] 또한 절연체(243a, 243b)가 되는 절연막 성막 후에 마이크로파 처리를 수행하지 않고, 상기 절연막의 성막 전에 마이크로파 처리를 수행하여도 좋다.

[0398] 또한 절연체(243a, 243b)가 되는 절연막 성막 후에 수행되는 마이크로파 처리 후에, 감압 상태를 유지한 채 가열 처리를 수행하여도 좋다. 이러한 처리를 수행함으로써 상기 절연막 내, 산화물(220b) 내, 및 산화물(220a) 내의 수소를 효율적으로 제거할 수 있다. 또한 수소의 일부는 도전체(252)(도전체(252a, 252b, 252c))에 게터링되는 경우가 있다. 또는 마이크로파 처리 후에 감압 상태를 유지한 채 가열 처리를 수행하는 단계를 여러 번 반복적으로 수행하여도 좋다. 가열 처리를 반복적으로 수행함으로써, 상기 절연막 내, 산화물(220b) 내, 및 산화물(220a) 내의 수소를 효율적으로 제거할 수 있다. 또한 가열 처리의 온도는 300℃ 이상 500℃ 이하로 하는

것이 바람직하다. 또한 상기 마이크로파 처리, 즉 마이크로파 어닐링이 상기 가열 처리의 역할을 하여도 좋다. 마이크로파 어닐링에 의하여 산화물(220b) 등이 충분히 가열되는 경우에는, 상기 가열 처리는 수행하지 않아도 된다.

[0399] 또한 마이크로파 처리를 수행하여 절연체(243a, 243b)가 되는 절연막의 막질을 개선함으로써, 수소, 물, 불순물 등의 확산을 억제할 수 있다. 따라서 도전체(270)가 되는 도전막의 성막 등의 후공정 또는 열처리 등의 후처리에서 절연체(243)를 통하여 수소, 물, 불순물 등이 산화물(220b), 산화물(220a) 등으로 확산되는 것을 억제할 수 있다.

[0400] 다음으로 절연체(244a, 244b)가 되는 절연막을 성막한다. 상기 절연막은 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 상기 절연막은 절연체(243a, 243b)가 되는 절연막과 마찬가지로 ALD법을 사용하여 성막하는 것이 바람직하다. ALD법을 사용함으로써, 절연체(244a, 244b)가 되는 절연막을 얇은 막 두께로 피복성 좋게 성막할 수 있다. 본 실시형태에서는 상기 절연막으로서 PEALD법으로 질화 실리콘을 성막한다.

[0401] 다음으로 도전체(270a1, 270b1)가 되는 도전막과, 도전체(270a2, 270b2)가 되는 도전막을 순차적으로 성막한다. 도전체(270a1, 270b1)가 되는 도전막 및 도전체(270a2, 270b2)가 되는 도전막은 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 본 실시형태에서는 ALD법을 사용하여 도전체(270a1, 270b1)가 되는 도전막으로서 질화 타이타늄을 성막하고, CVD법을 사용하여 도전체(270a2, 270b2)가 되는 도전막으로서 텅스텐을 성막한다.

[0402] 다음으로 CMP 처리에 의하여, 절연체(243a, 243b)가 되는 절연막, 절연체(244a, 244b)가 되는 절연막, 도전체(270a1, 270b1)가 되는 도전막, 및 도전체(270a2, 270b2)가 되는 도전막을 절연체(290)가 노출될 때까지 연마한다. 즉, 절연체(243a, 243b)가 되는 절연막, 절연체(244a, 244b)가 되는 절연막, 도전체(270a1, 270b1)가 되는 도전막, 및 도전체(270a2, 270b2)가 되는 도전막이 개구에서 노출된 부분을 제거한다. 이에 의하여 도전체(265a)와 중첩되는 개구 내에 절연체(243a), 절연체(244a), 및 도전체(270a)(도전체(270a1) 및 도전체(270a2))를 형성하고, 도전체(265b)와 중첩되는 개구 내에 절연체(243b), 절연체(244b), 및 도전체(270b)(도전체(270b1) 및 도전체(270b2))를 형성한다(도 14의 (B)).

[0403] 이에 의하여 절연체(243a, 243b)는 산화물(220b)과 중첩되는 개구의 내벽 및 측면에 접하여 제공된다. 또한 절연체(244a, 244b)는 산화물(220b)과 중첩되는 개구의 내벽 및 측면을 따라 제공된다. 또한 도전체(270a)는 절연체(243a) 및 절연체(244a)를 개재하여 개구를 매립하도록 배치되고, 도전체(270b)는 절연체(243b) 및 절연체(244b)를 개재하여 개구를 매립하도록 배치된다. 이러한 식으로 트랜지스터(202a, 202b, 203a, 203b)가 형성된다. 상술한 바와 같이 트랜지스터(202a, 202b, 203a, 203b)는 같은 공정으로 병행하여 제작할 수 있다.

[0404] 다음으로, 상기 가열 처리와 같은 조건으로 가열 처리를 수행하여도 좋다. 본 실시형태에서는, 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 절연체(290) 내의 수분 농도 및 수소 농도를 저감시킬 수 있다. 또한 상기 가열 처리 후, 대기에 노출시키지 않고 연속하여 절연체(262)를 성막하여도 좋다.

[0405] 다음으로 절연체(243a, 243b, 244a, 244b) 위, 도전체(270a, 270b) 위, 및 절연체(290) 위에 절연체(262)를 형성한다(도 14의 (B)). 절연체(262)는 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다. 절연체(262)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 수소를 포함하는 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(262) 내의 수소 농도를 저감할 수 있다.

[0406] 본 실시형태에서는 절연체(262)로서, 산소 가스를 포함하는 분위기에서 알루미늄 타깃을 사용하여, 펄스 DC 스퍼터링법으로 산화 알루미늄을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트 및 막질을 향상시킬 수 있다. 또한 기판에 인가하는 RF 전력은 1.86W/cm^2 이하로 한다. 바람직하게는 0W/cm^2 이상 0.62W/cm^2 이하로 한다. 또한 "RF 전력이 0W/cm^2이다"란, 기판에 RF 전력을 인가하지 않는 것과 동의하다. 기판에 인가하는 RF 전력의 크기를 바꿈으로써, 절연체(282)보다 아래층에 주입되는 산소의 양을 제어할 수 있다. 예를 들어 RF 전력이 작을수록 절연체(262)보다 아래층에 주입되는 산소의 양이 감소되므로, 절연체(262)의 막 두께가 얇아도 상기 산소의 양은 포화되기 쉬워진다. 또한 RF 전력이 클수록 절연체(262)보다 아래층에 주입되는 산소의 양이 증가한다. RF 전력을 작게 함으로써, 절연체(290)에 주입되는 산소의 양을 억제할 수 있다. 또는 절연체(262)는 2층의 적층 구조를 가져도 좋다. 이때 예를 들어 기판에 인가하

는 RF 전력을 0W/cm^2로 하여 절연체(262)의 아래층을 성막하고, 기판에 인가하는 RF 전력을 0.62W/cm^2로 하여 절연체(262)의 위층을 성막한다.

[0407] 또한 RF의 주파수는 10MHz 이상이 바람직하다. 대표적으로는 13.56MHz이다. RF의 주파수가 높을수록 기판에 주는 대미지를 작게 할 수 있다.

[0408] 또한 스퍼터링법을 사용하여 산소를 포함하는 분위기에서 절연체(262)의 성막을 수행함으로써, 성막하면서 절연체(290)에 산소를 첨가할 수 있다. 이에 의하여 절연체(290)에 과잉 산소를 포함시킬 수 있다. 이때 기판을 가열하면서 절연체(262)를 성막하는 것이 바람직하다.

[0409] 다음으로 리소그래피법을 사용하여 절연체(262)를 가공함으로써 절연체(290)에서 도전체(209)와 중첩되는 부분의 상면을 노출시킨다(도 14의 (B)). 절연체(262)에서 도전체(209)와 중첩되는 부분을 제거함으로써 도 17의 (A)의 가공 공정에서 가공하는 막의 수를 줄일 수 있다. 또한 상술한 바와 같이 절연체(262)에 사용하는 것이 바람직한 재료에는 에칭이 어려운 재료도 포함되기 때문에 미리 개구함으로써, 도 17의 (A)에서 가공 조건의 선택의 폭을 넓힐 수 있어 바람직하다.

[0410] 개구의 형성에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하기 때문에 드라이 에칭법을 사용하는 것이 바람직하다. 에칭 가스로서는 할로젠을 포함하는 에칭 가스를 사용할 수 있고, 구체적으로는 플루오린, 염소, 및 브로민 중 하나 또는 복수를 포함하는 에칭 가스를 사용할 수 있다. 예를 들어 에칭 가스로서 C_4F_6 가스, C_5F_6 가스, C_4F_8 가스, CF_4 가스, SF_6 가스, CHF_3 가스, Cl_2 가스, BCl_3 가스, $SiCl_4$ 가스, 또는 BBr_3 가스 등을 단독으로 또는 2종류 이상의 가스를 혼합시켜 사용할 수 있다. 또한 상기 에칭 가스에 산소 가스, 탄산 가스, 질소 가스, 헬륨 가스, 아르곤 가스, 수소 가스, 또는 탄화수소 가스 등을 적절히 첨가할 수 있다. 예를 들어 절연체(262)에 산화 알루미늄을 사용하는 경우, 에칭 가스로서 CHF_3 및 Ar의 혼합 가스를 사용할 수 있다. 또한 에칭 조건은 에칭하는 대상에 맞추어 적절히 설정할 수 있다.

[0411] 또한 절연체(262)를 가공하였을 때, 도 14의 (B)에 나타낸 바와 같이 절연체(290)의 상면의 도전체(209)와 중첩되는 영역에 오목부가 형성되는 경우가 있다.

[0412] 다음으로 절연체(262) 위에 절연체(216)를 형성하고, 절연체(262)에 도달하는 개구 및 도전체(270b)에 도달하는 개구를 절연체(216)에 형성한다. 그리고 상기 개구를 매립하도록 도전체(205a, 205b)를 형성한다(도 14의 (C)). 도전체(205b)는 절연체(262)에 제공된 개구를 통하여 도전체(270b)와 물리적 및 전기적으로 접속된다.

[0413] 절연체(262)에 있어서, 도전체(270b)에 도달하는 개구를 형성하는 타이밍은 절연체(216)의 형성 전이라도 좋고, 절연체(216)의 형성 후라도 좋다.

[0414] 절연체(216)는 절연체(262)에 제공된 개구 및 절연체(290)의 오목부를 매립하도록 제공된다.

[0415] 절연체(216)의 재료 및 제작 방법으로서는 절연체(266)에 사용할 수 있는 재료 및 제작 방법을 참조할 수 있다.

[0416] 도전체(205a1, 205b1)의 재료 및 제작 방법으로서는 도전체(265a1, 265b1)에 사용할 수 있는 재료 및 제작 방법을 참조할 수 있다.

[0417] 도전체(205a2, 205b2)의 재료 및 제작 방법으로서는 도전체(265a2, 265b2)에 사용할 수 있는 재료 및 제작 방법을 참조할 수 있다.

[0418] 도전체(205a, 205b)의 형성 방법으로서는 듀얼 다마신법을 사용하는 것이 바람직하다.

[0419] 또한 도 5 등에 나타낸 바와 같이 도전체(263)를 사용하여 도전체(205b)와 도전체(270b)를 전기적으로 접속하여도 좋다.

[0420] 다음으로 도 15의 (A)에 나타낸 바와 같이 트랜지스터(201a, 201b)를 형성한다. 절연체(222)로부터 절연체(282)까지의 각 층의 재료 및 제작 방법으로서는 각각 절연체(272)로부터 절연체(262)까지의 각 층의 재료 및 제작 방법을 참조할 수 있다.

[0421] 다음으로 도 15의 (B)에 나타낸 바와 같이 절연체(275), 절연체(280), 및 절연체(282)를 가공하여 도전체(242b)에 도달하는 개구를 형성한다.

[0422] 본 공정에서 제공하는 개구의 폭은 미세한 것이 바람직하다. 예를 들어 개구의 폭이 60nm 이하, 50nm 이하,

40nm 이하, 30nm 이하, 20nm 이하, 또는 10nm 이하이고, 1nm 이상 또는 5nm 이상인 것이 바람직하다. 이와 같이 미세한 개구를 형성하기 위해서는 EUV광 등의 단파장 광 또는 전자 빔을 사용한 리소그래피법을 사용하는 것이 바람직하다.

[0423] 본 공정에서 제공하는 개구는 종횡비가 높기 때문에 이방성 에칭을 사용하여 절연체(282)의 일부, 절연체(280)의 일부, 절연체(275)의 일부를 가공하는 것이 바람직하다. 특히 드라이 에칭법에 의한 가공은 미세 가공에 적합하기 때문에 바람직하다. 또한 상기 가공은 각각 다른 조건으로 수행하여도 좋다.

[0424] 다음으로 도 16의 (A)에 나타낸 바와 같이 상기 개구를 매립하도록 용량 소자(101a, 101b)를 형성한다. 구체적으로는 도전체(153), 절연체(154), 도전체(160a), 도전체(160b)를 형성한다.

[0425] 우선, 개구와 절연체(282)를 덮도록 도전체(153)가 되는 도전막을 성막한다. 도전체(153)가 되는 도전막은 개구의 측면 및 바닥면에 접하여 형성되는 것이 바람직하다. 그러므로 도전체(153)가 되는 도전막은 ALD법 또는 CVD법 등 피복성이 양호한 성막 방법을 사용하여 성막하는 것이 바람직하다. 예를 들어 ALD법을 사용하여 질화 타이타늄 또는 질화 탄탈럼을 성막하는 것이 바람직하다.

[0426] 다음으로 도전체(153)가 되는 도전막을 리소그래피법을 사용하여 가공하여 도전체(153)를 형성한다. 이에 의하여 도전체(153)의 일부가 개구의 내부에 형성되고 절연체(282)의 상면의 일부에 접한다.

[0427] 또한 도전체(153)가 되는 도전막을 CMP법을 사용하여 가공하여도 좋다. 이 경우, 도전체(153)의 최상부가 절연체(282)의 상면과 실질적으로 일치하는 형상으로 할 수 있다.

[0428] 다음으로 도전체(153) 위에 절연체(154)가 되는 절연막을 성막한다. 절연체(154)가 되는 절연막은 개구의 내측에 제공된 도전체(153)에 접하여 형성되는 것이 바람직하다. 그러므로 절연체(154)가 되는 절연막은 ALD법 또는 CVD법 등 피복성이 양호한 성막 방법을 사용하여 성막하는 것이 바람직하다. 절연체(154)가 되는 절연막은 상술한 High-k 재료를 사용하여 형성되는 것이 바람직하다.

[0429] 다음으로, 도전체(160a)가 되는 도전막, 도전체(160b)가 되는 도전막을 순차적으로 성막한다. 도전체(160a)가 되는 도전막은 개구의 내측에 제공된 절연체(154)가 되는 절연막에 접하여 형성되는 것이 바람직하고, 도전체(160b)가 되는 도전막은 개구를 매립하도록 형성되는 것이 바람직하다. 그러므로 도전체(160a)가 되는 도전막 및 도전체(160b)가 되는 도전막은 각각 ALD법 또는 CVD법 등 피복성이 양호한 성막 방법을 사용하여 성막하는 것이 바람직하다. 예를 들어 ALD법을 사용하여 도전체(160a)가 되는 도전막으로서 질화 타이타늄을 성막하고, CVD법을 사용하여 도전체(160b)가 되는 도전막으로서 텅스텐을 성막하는 것이 바람직하다.

[0430] 또한 CVD법을 사용하여 도전체(160b)가 되는 도전막을 성막한 경우, 상기 도전막의 상면의 평균 면 거칠기가 커지는 경우가 있다. 이 경우, CMP법을 사용하여 상기 도전막을 평탄화하는 것이 바람직하다.

[0431] 다음으로 절연체(154)가 되는 절연막, 도전체(160a)가 되는 도전막, 및 도전체(160b)가 되는 도전막을 리소그래피법을 사용하여 가공하여 절연체(154), 도전체(160a), 및 도전체(160b)를 형성한다(도 16의 (A)). 이때, 절연체(154), 도전체(160a), 및 도전체(160b)가 도전체(153)의 측단부를 덮도록 형성하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 도전체(160)와 도전체(153)를 절연체(154)로 분리시킬 수 있어 도전체(160)와 도전체(153)의 단락을 억제할 수 있다.

[0432] 또한 상기에 있어서, 절연체(154)가 되는 절연막을 가공하는 예를 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 도전체만을 가공하고, 절연막은 가공하지 않고 그대로 남기는 구성으로 하여도 좋다. 이에 의하여 절연체(154)의 가공 공정을 삭감하여 생산성을 향상시킬 수 있다.

[0433] 이상에 의하여 1층의 기억층을 구성하는 각각 복수의 트랜지스터(201, 202, 203) 및 용량 소자(101)를 형성할 수 있다.

[0434] 다음으로 리소그래피법을 사용하여 절연체(282)를 가공하고 절연체(280)에서 도전체(209)와 중첩되는 부분의 상면을 노출시킨다(도 16의 (B)). 절연체(282)에서 도전체(209)와 중첩되는 부분을 제거함으로써 도 17의 (A)에서의 가공 공정에서 가공하는 막의 수를 줄일 수 있다. 또한 상술한 바와 같이 절연체(282)에 사용하는 것이 바람직한 재료에는 에칭이 어려운 재료도 포함되기 때문에 미리 개구함으로써, 도 17의 (A)에서의 가공 조건의 선택의 폭을 넓힐 수 있어 바람직하다.

[0435] 개구의 형성에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하기 때문에 드라이 에칭법을 사용하는 것이 바람직하다. 에칭 가스로서는 할로젠을 포함하는 에칭 가

스를 사용할 수 있고, 구체적으로는 플루오린, 염소, 및 브로민 중 하나 또는 복수를 포함하는 에칭 가스를 사용할 수 있다. 예를 들어 에칭 가스로서 C_4F_6 가스, C_5F_6 가스, C_4F_8 가스, CF_4 가스, SF_6 가스, CHF_3 가스, Cl_2 가스, BCl_3 가스, $SiCl_4$ 가스, 또는 BBr_3 가스 등을 단독으로 또는 2종류 이상의 가스를 혼합시켜 사용할 수 있다. 또한 상기 에칭 가스에 산소 가스, 탄산 가스, 질소 가스, 헬륨 가스, 아르곤 가스, 수소 가스, 또는 탄화수소 가스 등을 적절히 첨가할 수 있다. 예를 들어 절연체(282)에 산화 알루미늄을 사용하는 경우, 에칭 가스로서 CHF_3 및 Ar의 혼합 가스를 사용할 수 있다. 또한 에칭 조건은 에칭하는 대상에 맞추어 적절히 설정할 수 있다.

[0436] 또한 절연체(282)를 가공하였을 때, 도 16의 (B)에 나타낸 바와 같이 절연체(280)의 상면의 도전체(209)와 중첩되는 영역에 오목부가 형성되는 경우가 있다.

[0437] 그 후, 상술한 트랜지스터(201, 202, 203) 및 용량 소자(101)의 제작을 반복적으로 수행함으로써, 다층의 기억층을 형성할 수 있다(도 16의 (B)). 예를 들어 N층의 기억층(N은 1 이상의 정수임)을 가지는 기억 장치를 제작하는 경우, 상술한 제작 공정(절연체(266)의 성막으로부터 용량 소자(101)의 형성까지)을 N번 반복적으로 수행한다.

[0438] 이와 같이 N층의 기억층을 구성하는, 각각 복수의 트랜지스터(201, 202, 203) 및 용량 소자(101)를 형성한 후, 도전체(240)를 제공하는 공정으로 진행한다.

[0439] 다음으로 도전체(209)에 도달하는 개구를 절연체(212), 절연체(214), 절연체(266), 절연체(272), 절연체(276), 절연체(290), 절연체(262), 절연체(216), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 및 절연체(284)에 형성한다(도 17의 (A)). 상기 개구의 형성은 리소그래피법을 사용하여 수행하는 것이 바람직하다. 여기서 개구의 내부에는 도전체(242a, 242b, 252a, 252b)의 일부가 돌출된다. 따라서 개구에 있어서, 도전체(242a, 242b, 252a, 252b)의 측면은 여기서 개구를 형성한 절연체의 적어도 하나의 측면보다 돌출되어 형성되어 있다.

[0440] 절연체(282, 272, 262) 등, 에칭이 어려운 재료를 사용한 절연체에 미리 개구를 형성해 둠으로써, 도 17의 (A)에서의 가공 공정을 높은 수율로 수행할 수 있어 반도체 장치의 생산성을 향상시킬 수 있다.

[0441] 예를 들어 우선, 이방성 에칭에 의하여 절연체(212), 절연체(214), 절연체(266), 절연체(272), 절연체(276), 절연체(290), 절연체(262), 절연체(216), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 및 절연체(284)에 개구를 형성하는 것이 바람직하다. 이때, 상기 개구의 폭은 2개의 도전체(252a) 사이의 폭 및 2개의 도전체(242a) 사이의 폭 중 한쪽 또는 양쪽과 같은 정도로 할 수 있다. 이방성 에칭에는 드라이 에칭법을 사용하는 것이 바람직하다.

[0442] 다음으로 등방성 에칭에 의하여, 상기 개구의 폭을 넓히는 것이 바람직하다. 이때, 도전체(252a) 및 도전체(242a)가 에칭되지 않거나 에칭되기 어려운 조건을 사용함으로써, 2개의 도전체(252a) 사이의 폭 및 2개의 도전체(242a) 사이의 폭을 유지하면서 절연체(212), 절연체(214), 절연체(266), 절연체(272), 절연체(276), 절연체(290), 절연체(262), 절연체(216), 절연체(222), 절연체(275), 절연체(280), 절연체(282), 및 절연체(284)의 개구의 폭을 넓힐 수 있다. 등방성 에칭에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다.

[0443] 이방성 에칭과 등방성 에칭은 동일한 에칭 장치를 사용하여 다른 조건하에서 대기에 노출시키지 않고 연속하여 수행하는 것이 바람직하다. 예를 들어 이방성 에칭과 등방성 에칭의 양쪽에 드라이 에칭법을 사용하는 경우에는 전원 전력, 바이어스 전력, 에칭 가스의 유량, 에칭 가스의 종류, 및 압력 등의 조건 중 하나 또는 복수를 변경함으로써 이방성 에칭에서 등방성 에칭으로 전환할 수 있다.

[0444] 또는 이방성 에칭과 등방성 에칭에서 다른 에칭 방법을 사용하여도 좋다. 예를 들어 이방성 에칭에 드라이 에칭법을 사용하고, 등방성 에칭에 웨트 에칭법을 사용할 수 있다.

[0445] 다음으로, 도전체(240a)가 되는 도전막 및 도전체(240b)가 되는 도전막을 순차적으로 성막한다. 도전체(240a)가 되는 도전막은 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 것이 바람직하다. 도전체(240a)가 되는 도전막에는 예를 들어 질화 탄탈럼 또는 질화 타이타늄을 사용할 수 있다. 또한 도전체(240b)가 되는 도전막에는 예를 들어 텅스텐, 몰리브데넘, 또는 구리를 사용할 수 있다. 이들 도전막은 각각 예를 들어 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법을 사용하여 성막할 수 있다.

[0446] 다음으로 CMP 처리를 수행함으로써, 도전체(240a)가 되는 도전막의 일부 및 도전체(240b)가 되는 도전막의 일부

를 제거하여 가장 위층의 절연체의 상면을 노출시킨다. 그 결과, 개구에만 이들 도전막이 잔존함으로써 상면이 평탄한 도전체(240)(도전체(240a) 및 도전체(240b))를 형성할 수 있다(도 17의 (B)). 예를 들어 도 1의 경우에는 절연체(281)가 노출될 때까지 CMP 처리를 수행한다. 또한 상기 CMP 처리에 의하여 절연체(281)의 상면의 일부가 제거되는 경우가 있다. 도전체(240)는 도전체(209, 242a, 242b, 252a, 252b)와 전기적으로 접속된다.

[0447] 이상에 의하여 도 1에 나타낸 반도체 장치를 제작할 수 있다.

[0448] 또한 도 7에 나타낸 구성의 반도체 장치를 제작하는 경우에는 도 14의 (B)에서 절연체(262)에 제공하는 개구의 폭이 도전체(240)를 제공하는 폭보다 좁아지도록 절연체(262)를 가공한다(예를 들어, 도 18의 (A) 참조). 마찬가지로 도 16의 (B)에서 절연체(282)에 제공하는 개구의 폭이 도전체(240)를 제공하는 폭보다 좁아지도록 절연체(282)를 가공한다. 이에 의하여 도 18의 (B)에 나타낸 바와 같이 도전체(209)에 도달하는 개구를 형성한 후, 상기 개구에서 절연체(262)의 단부 및 절연체(282)의 단부를 돌출시킬 수 있다.

[0449] 본 실시형태의 반도체 장치는 2개의 트랜지스터가 금속 산화물과 금속 산화물 위의 도전체를 공유함으로써, 트랜지스터 2개분의 면적보다 작은 면적에 2개의 트랜지스터를 형성할 수 있다. 이에 의하여 반도체 장치의 미세화 또는 고집적화를 실현할 수 있다. 또한 본 실시형태의 반도체 장치를 사용하여 기억 용량이 큰 기억 장치를 실현할 수 있다. 또한 점유 면적이 작은 기억 장치를 실현할 수 있다.

[0450] 또한 본 실시형태의 반도체 장치는 OS 트랜지스터를 가진다. OS 트랜지스터는 오프 전류가 낮기 때문에, 소비 전력이 낮은 반도체 장치 또는 기억 장치를 실현할 수 있다. 또한 OS 트랜지스터는 주파수 특성이 높기 때문에 동작 속도가 빠른 반도체 장치 또는 기억 장치를 실현할 수 있다. 또한 OS 트랜지스터를 사용함으로써, 양호한 전기 특성을 가지는 반도체 장치, 트랜지스터의 전기 특성의 편차가 적은 반도체 장치, 온 전류가 높은 반도체 장치, 신뢰성이 높은 반도체 장치 또는 기억 장치를 실현할 수 있다.

[0451] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서 하나의 실시형태에 복수의 구성예가 제시되는 경우에는 구성예를 적절히 조합할 수 있다.

[0452] (실시형태 2)

[0453] 본 실시형태에서는 본 발명의 일 형태의 기억 장치에 대하여 도 19 내지 도 24를 사용하여 설명한다.

[0454] 도 19의 (A)에 본 발명의 일 형태의 기억 장치의 사시 개략도를 나타내었다. 도 19의 (B)에 본 발명의 일 형태의 기억 장치의 블록도를 나타내었다.

[0455] 도 19의 (A) 및 (B)에 나타낸 기억 장치(100)는 구동 회로층(50)과 N층(N은 1 이상의 정수임)의 기억층(60)을 가진다. 기억층(60)은 각각 메모리 셀 어레이(15)를 가진다. 메모리 셀 어레이(15)는 복수의 메모리 셀(10)(기억 소자라고도 함)을 가진다.

[0456] N층의 기억층(60)은 구동 회로층(50) 위에 제공된다. N층의 기억층(60)을 구동 회로층(50) 위에 제공함으로써, 기억 장치(100)의 점유 면적을 축소시킬 수 있다. 또한 단위 면적당 기억 용량을 높일 수 있다.

[0457] 본 실시형태 등에서는 첫 번째 층의 기억층(60)을 기억층(60_1)이라고 나타내고, 두 번째 층의 기억층(60)을 기억층(60_2)이라고 나타내고, 세 번째 층의 기억층(60)을 기억층(60_3)이라고 나타낸다. 또한 k번째 층(k는 1 이상 N 이하의 정수임)의 기억층(60)을 기억층(60_k)이라고 나타내고, N번째 층의 기억층(60)을 기억층(60_N)이라고 나타낸다. 또한 본 실시형태 등에서, N층의 기억층(60) 전체에 따른 사항을 설명하는 경우나 N층의 기억층(60)의 각 층에 공통되는 사항을 나타내는 경우에 단순히 "기억층(60)"이라고 표기하는 경우가 있다.

[0458] <구동 회로층(50)의 구성예>

[0459] 구동 회로층(50)은 PSW(22)(파워 스위치), PSW(23), 및 주변 회로(31)를 가진다. 주변 회로(31)는 주변 회로(41), 컨트롤 회로(32)(Control Circuit), 및 전압 생성 회로(33)를 가진다.

[0460] 기억 장치(100)에 있어서, 각 회로, 각 신호 및 각 전압은 필요에 따라 적절히 취사할 수 있다. 또는 다른 회로 혹은 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부에 대한 출력 신호이다.

[0461] 신호(CLK)는 클록 신호이다. 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON

2)는 파워 게이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 컨트롤 회로(32)에서 생성하여도 좋다.

[0462] 컨트롤 회로(32)는 기억 장치(100)의 동작 전반을 제어하는 기능을 가지는 로직 회로이다. 예를 들어 컨트롤 회로는 신호(CE), 신호(GW) 및 신호(BW)를 논리 연산하여 기억 장치(100)의 동작 모드(예를 들어 기록 동작, 판독 동작)를 결정한다. 또는 컨트롤 회로(32)는 이 동작 모드가 실행되도록 주변 회로(41)의 제어 신호를 생성한다.

[0463] 전압 생성 회로(33)는 음의 전압을 생성하는 기능을 가진다. 신호(WAKE)는 신호(CLK)의 전압 생성 회로(33)에 대한 입력을 제어하는 기능을 가진다. 예를 들어 신호(WAKE)로서 H레벨의 신호가 공급되면, 신호(CLK)가 전압 생성 회로(33)에 입력되고, 전압 생성 회로(33)는 음의 전압을 생성한다.

[0464] 주변 회로(41)는 메모리 셀(10)에 대한 데이터의 기록 및 판독을 하기 위한 회로이다. 주변 회로(41)는 행 디코더(42)(Row Decoder), 열 디코더(44)(Column Decoder), 행 드라이버(43)(Row Driver), 열 드라이버(45)(Column Driver), 입력 회로(47)(Input Cir.), 출력 회로(48)(Output Cir.), 감지 증폭기 회로(46)(Sense Amplifier)를 가진다.

[0465] 행 디코더(42) 및 열 디코더(44)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(42)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(44)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(43)는 행 디코더(42)가 지정하는 배선(WWL)(기록 워드선) 또는 배선(SL)(판독 워드선)을 선택하는 기능을 가진다. 열 드라이버(45)는 데이터를 메모리 셀(10)에 기록하는 기능, 메모리 셀(10)로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 가진다. 열 드라이버(45)는 열 디코더(44)가 지정하는 배선(BL)(기록 및 판독 비트선)을 선택하는 기능을 가진다.

[0466] 입력 회로(47)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(47)가 유지하는 데이터는 열 드라이버(45)에 출력된다. 입력 회로(47)의 출력 데이터가 메모리 셀(10)에 기록되는 데이터(Din)이다. 열 드라이버(45)가 메모리 셀(10)로부터 판독한 데이터(Dout)는 출력 회로(48)에 출력된다. 출력 회로(48)는 Dout를 유지하는 기능을 가진다. 또한 출력 회로(48)는 Dout를 기억 장치(100)의 외부에 출력하는 기능을 가진다. 출력 회로(48)로부터 출력되는 데이터가 신호(RDA)이다.

[0467] PSW(22)는 주변 회로(31)에 대한 VDD의 공급을 제어하는 기능을 가진다. PSW(23)는 행 드라이버(43)에 대한 VHM의 공급을 제어하는 기능을 가진다. 여기서는 기억 장치(100)의 고전원 전압이 VDD이고, 저전원 전압은 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 PSW(22)의 온/오프가 제어되고, 신호(PON2)에 의하여 PSW(23)의 온/오프가 제어된다. 도 19의 (B)에서는 주변 회로(31)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우 각 전원 도메인에 파워 스위치를 제공하면 좋다.

[0468] <기억층(60)의 구성예>

[0469] N층의 기억층(60)의 구성예에 대하여 설명한다. N층의 기억층(60)은 각각이 메모리 셀 어레이(15)를 가진다. 또한 메모리 셀 어레이(15)는 복수의 메모리 셀(10)을 가진다. 도 19의 (A) 및 (B)에서는 메모리 셀 어레이(15)가 m행 n열(m 및 n은 2 이상의 정수임)의 매트릭스상으로 배치된 복수의 메모리 셀(10)을 가지는 예를 나타내었다.

[0470] 또한 행과 열은 서로 직교하는 방향으로 연장된다. 본 실시형태에서는 X방향을 "행"으로 하고 Y방향을 "열"로 하였지만, X방향을 "열"로 하고 Y방향을 "행"으로 하여도 좋다.

[0471] 도 19의 (B)에서는 1행 1열의 메모리 셀(10)을 메모리 셀(10[1, 1])이라고 표기하고, m행 n열의 메모리 셀(10)을 메모리 셀(10[m, n])이라고 표기하였다. 또한 i행 j열(i는 1 이상 m 이하의 정수이고 j는 1 이상 n 이하의 정수임)의 메모리 셀(10)을 메모리 셀(10[i, j])이라고 표기하였다.

[0472] 메모리 셀의 회로 구성예를 도 20의 (A) 및 (B)에 나타내었다. 상기 회로 구성에 대응하는 메모리 셀(10)의 단면 구성예에 대해서는 실시형태 1을 참조할 수 있다.

[0473] 실시형태 1에서 설명한 바와 같이 본 발명의 일 형태의 반도체 장치에서는 배선(BL)[i,s](s는 n이 짝수인 경우에는 1 이상 n/2 이하의 정수이고, n이 홀수인 경우에는 1 이상 (n+1)/2 이하의 정수임)(도전체(240))이 트랜지스터(M1)(트랜지스터(201a))의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하는 도전체(242a)의 상면, 측면, 및 하면 중 적어도 하나와, 트랜지스터(M3)(트랜지스터(203a))의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하는 도전체(252a)의 상면, 측면, 및 하면 중 적어도 하나의 양쪽과 직

접 접한다. 이에 의하여 접속용 전극을 별도로 제공할 필요가 없기 때문에 메모리 셀 어레이(15)의 점유 면적을 축소시킬 수 있다. 또한 메모리 셀(10)의 집적도가 향상되어 기억 장치(100)의 기억 용량을 증대시킬 수 있다.

[0474] 메모리 셀(10)은 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 및 용량 소자(C)를 가진다. 3개의 트랜지스터와 하나의 용량 소자로 구성되는 메모리 셀을 3Tr1C형 메모리 셀이라고도 한다. 따라서 본 실시형태에 나타낸 메모리 셀(10)은 3Tr1C형 메모리 셀이다.

[0475] 상기 메모리 셀(10)은 NOSRAM(등록 상표, Nonvolatile Oxide Semiconductor Random Access Memory)이라고 부를 수 있다.

[0476] 트랜지스터(M1)는 실시형태 1에서 나타낸 트랜지스터(201a) 또는 트랜지스터(201b)에 대응한다. 트랜지스터(M2)는 실시형태 1에서 나타낸 트랜지스터(202a) 또는 트랜지스터(202b)에 대응한다. 트랜지스터(M3)는 실시형태 1에서 나타낸 트랜지스터(203a) 또는 트랜지스터(203b)에 대응한다. 용량 소자(C)는 실시형태 1에서 나타낸 용량 소자(101a) 또는 용량 소자(101b)에 대응한다. 배선(BL)은 실시형태 1에서 나타낸 도전체(240)에 대응한다.

[0477] 메모리 셀(10[i, j])에 있어서, 트랜지스터(M1)의 게이트는 배선(WWL[j])과 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(BL[i, s])과 전기적으로 접속된다. 또한 도 20의 (A)에서는 배선(WWL[j])의 일부가 트랜지스터(M1)의 게이트로서 기능하는 경우의 구성예를 나타내었다. 용량 소자(C)의 한쪽 전극은 배선(PL[i, s])과 전기적으로 접속되고, 다른 쪽 전극은 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 또한 도 20의 (A) 등에서는 배선(PL[i, s])의 일부가 용량 소자(C)의 한쪽 전극으로서 기능하는 경우의 구성예를 나타내었다. 또한 트랜지스터(M2)의 게이트는 용량 소자(C)의 다른 쪽 전극과 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(PL[i, s])과 전기적으로 접속된다. 또한 트랜지스터(M3)의 게이트는 배선(SL[j])과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(BL[i, s])과 전기적으로 접속된다.

[0478] 메모리 셀(10[i, j])에 있어서, 용량 소자(C)의 다른 쪽 전극, 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(M2)의 게이트가 전기적으로 접속되고, 항상 같은 전위를 가지는 영역을 "노드(ND)"라고 부른다.

[0479] 메모리 셀(10[i, j+1])에 있어서, 트랜지스터(M1)의 게이트는 배선(WWL[j+1])과 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(BL[i, s])과 전기적으로 접속된다. 또한 도 20의 (A)에서는 배선(WWL[j+1])의 일부가 트랜지스터(M1)의 게이트로서 기능하는 경우의 구성예를 나타내었다. 용량 소자(C)의 한쪽 전극은 배선(PL[i, s+1])과 전기적으로 접속되고, 다른 쪽 전극은 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 또한 도 20의 (A) 등에서는 배선(PL[i, s+1])의 일부가 용량 소자(C)의 한쪽 전극으로서 기능하는 경우의 구성예를 나타내었다. 또한 트랜지스터(M2)의 게이트는 용량 소자(C)의 다른 쪽 전극과 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(PL[i, s+1])과 전기적으로 접속된다. 또한 트랜지스터(M3)의 게이트는 배선(SL[j+1])과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(BL[i, s])과 전기적으로 접속된다.

[0480] 메모리 셀(10[i, j+1])에 있어서, 용량 소자(C)의 다른 쪽 전극, 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(M2)의 게이트가 전기적으로 접속되고, 항상 같은 전위를 가지는 영역을 노드(ND)라고 부른다.

[0481] 또한 도 20의 (A)에 나타낸 바와 같이, 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)로서 각각 백 게이트를 가지는 트랜지스터를 사용하여도 좋다. 게이트와 백 게이트는 게이트와 백 게이트로 반도체의 채널 형성 영역을 끼우도록 배치된다. 게이트와 백 게이트는 도전체로 형성된다. 백 게이트는 게이트와 같은 식으로 기능시킬 수 있다. 또한 백 게이트의 전위를 변화시킴으로써 트랜지스터의 문턱 전압을 변화시킬 수 있다. 백 게이트의 전위는 게이트와 같은 전위로 하여도 좋고, 접지 전위 또는 임의의 전위로 하여도 좋다.

[0482] 또한 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)는 각각 백 게이트를 가지지 않아도 된다. 예를 들어 도 20의 (B)에 나타낸 바와 같이, 트랜지스터(M1)로서 백 게이트를 가지는 트랜지스터를 사용하고, 트랜지스터(M2) 및 트랜지스터(M3)로서 백 게이트를 가지지 않는 트랜지스터를 사용하여도 좋다.

[0483] 또한 게이트와 백 게이트는 도전체로 형성되기 때문에, 트랜지스터의 외부에서 발생하는 전기장이, 채널이 형성되는 반도체에 작용하지 않도록 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 가진다. 즉 정전기 등 외부의 전기장의 영향으로 인하여 트랜지스터의 전기적 특성이 변동되는 것을 방지할 수 있다. 또한 백 게이트를

제공함으로써 BT 시험 전후에서의 트랜지스터의 문턱 전압의 변화량을 저감시킬 수 있다.

[0484] 예를 들어 트랜지스터(M1)로서 백 게이트를 가지는 트랜지스터를 사용함으로써 외부의 전기장의 영향이 경감되어 안정적으로 오프 상태를 유지할 수 있다. 따라서 노드(ND)에 기록된 데이터를 안정적으로 유지할 수 있다. 백 게이트를 제공함으로써 메모리 셀(10)의 동작이 안정되므로, 메모리 셀(10)을 포함하는 기억 장치의 신뢰성을 높일 수 있다.

[0485] 마찬가지로, 트랜지스터(M3)로서 백 게이트를 가지는 트랜지스터를 사용함으로써 외부의 전기장의 영향이 경감되어 안정적으로 오프 상태를 유지할 수 있다. 따라서 배선(BL)과 배선(PL) 사이의 누설 전류가 저감되어, 메모리 셀(10)을 포함하는 기억 장치의 소비 전력을 저감할 수 있다.

[0486] 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)의 채널이 형성되는 반도체층으로서는 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체 등을 단체로 또는 조합하여 사용할 수 있다. 반도체 재료로서는 예를 들어 실리콘, 저마늄 등을 사용할 수 있다. 또한 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 산화물 반도체, 질화물 반도체 등의 화합물 반도체를 사용하여도 좋다.

[0487] 또한 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)는 채널이 형성되는 반도체층에 금속 산화물의 1종인 산화물 반도체를 사용한 트랜지스터("OS 트랜지스터"라고도 함)인 것이 바람직하다. 산화물 반도체는 밴드 갭이 2eV 이상이므로 오프 전류가 매우 낮다. 따라서 메모리 셀(10)의 소비 전력을 저감할 수 있다. 따라서 메모리 셀(10)을 포함하는 기억 장치(100)의 소비 전력을 저감할 수 있다.

[0488] 또한 OS 트랜지스터를 포함하는 메모리 셀을 "OS 메모리"라고 부를 수 있다. 또한 상기 메모리 셀을 포함하는 기억 장치(100)도 "OS 메모리"라고 부를 수 있다.

[0489] 또한 OS 트랜지스터는 고온 환경하에서도 동작이 안정적이고, 특성의 변동이 적다. 예를 들어 고온 환경하에서도 오프 전류가 거의 증가하지 않는다. 구체적으로는 실온 이상 200℃ 이하의 환경 온도에서도 오프 전류가 거의 증가하지 않는다. 또한 고온 환경하에서도 온 전류가 저하하기 어렵다. 따라서 OS 메모리는 고온 환경하에서도 동작이 안정적이고 신뢰성이 높다.

[0490] <메모리 셀(10)의 동작예>

[0491] 메모리 셀(10)의 데이터 기록 동작예와 판독 동작예에 대하여 설명한다. 또한 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)는 각각 노멀리 오프형의 트랜지스터인 것이 바람직하다. 이하에서는 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)로서 노멀리 오프형의 n채널형 트랜지스터를 사용하는 것으로 하여 설명한다.

[0492] 도 21은 메모리 셀(10)의 동작예를 설명하기 위한 타이밍 차트이다. 도 22의 (A), (B), 도 23의 (A) 및 (B)는 메모리 셀(10)의 동작예를 설명하기 위한 회로도이다.

[0493] 또한 도면 등에서 배선 및 전극의 전위를 나타내기 위하여, 배선 및 전극에 인접하여 전위(H)를 나타내는 "H", 또는 전위(L)를 나타내는 "L"를 부기하는 경우가 있다. 또한 전위 변화가 발생된 배선 및 전극을 나타내기 위하여 "H" 또는 "L"를 원문자로 부기하는 경우가 있다. 또한 트랜지스터가 오프 상태인 경우를 나타내기 위하여 상기 트랜지스터에 겹쳐 "×" 기호를 부기하는 경우가 있다.

[0494] 또한 전위(H)가 n채널형 트랜지스터의 게이트에 공급되면 상기 트랜지스터가 온 상태가 되는 것으로 한다. 또한 전위(L)가 n채널형 트랜지스터의 게이트에 공급되면 상기 트랜지스터가 오프 상태가 되는 것으로 한다. 따라서 전위(H)는 전위(L)보다 높은 전위이다. 전위(H)는 고전원 전위(VDD)와 같은 전위이어도 좋다. 또한 전위(L)는 전위(H)보다 낮은 전위이다. 전위(L)는 접지 전위(GND)와 같은 전위이어도 좋다. 본 실시형태에서는 전위(L)를 접지 전위(GND)와 같은 전위로 한다.

[0495] 우선 기간(T0)에 있어서, 배선(WWL), 배선(BL), 배선(SL), 배선(PL), 및 노드(ND)의 전위가 전위(L)인 것으로 한다(도 21). 또한 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)의 백 게이트에 접지 전위(GND)가 공급되어 있는 것으로 한다.

[0496] [데이터 기록 동작]

[0497] 기간(T1)에 있어서, 배선(WWL) 및 배선(BL)에 전위(H)를 공급한다(도 21 및 도 22의 (A)). 따라서 트랜지스터(M1)가 온 상태가 되고 노드(ND)에 "1"을 나타내는 데이터로서 전위(H)가 기록된다.

[0498] 노드(ND)의 전위가 전위(H)가 되면 트랜지스터(M2)는 온 상태가 된다. 또한 배선(SL)의 전위는 전위(L)이기 때문에 트랜지스터(M3)는 오프 상태이다. 트랜지스터(M3)를 오프 상태로 해두면 배선(BL)과 배선(PL)의 단락을 방지할 수 있다.

[0499] [유지 동작]

[0500] 기간(T2)에 있어서, 배선(WWL)에 전위(L)를 공급한다. 따라서 트랜지스터(M1)가 오프 상태가 되고 노드(ND)가 플로팅 상태가 된다. 따라서 노드(ND)에 기록된 데이터(전위(H))가 유지된다(도 21 및 도 22의 (B)).

[0501] 상술한 바와 같이 OS 트랜지스터는 오프 전류가 매우 낮은 트랜지스터이다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써, 노드(ND)에 기록된 데이터를 장기간 유지할 수 있다. 그러므로 노드(ND)를 리프레시할 필요가 없어지거나 노드(ND)의 리프레시 동작의 반도를 매우 적게 할 수 있어 메모리 셀(10)의 소비 전력을 저감할 수 있다. 따라서 기억 장치(100)의 소비 전력을 저감할 수 있다.

[0502] 또한 트랜지스터(M2) 및 트랜지스터(M3) 중 한쪽 또는 양쪽으로서 OS 트랜지스터를 사용함으로써, 기록 동작 및 유지 동작 시에 배선(BL)과 배선(PL) 사이에 흐르는 누설 전류를 매우 적게 할 수 있다.

[0503] 또한 OS 트랜지스터는 Si 트랜지스터에 비하여 소스와 드레인 사이의 절연 내압이 높다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써 노드(ND)에 더 높은 전위를 공급할 수 있다. 따라서 노드(ND)에 유지하는 전위 범위를 크게 할 수 있다. 노드(ND)에 유지하는 전위 범위를 크게 함으로써 멀티레벨 데이터 또는 아날로그 데이터를 유지하는 것이 용이해진다.

[0504] [판독 동작]

[0505] 기간(T3)에 있어서, 배선(BL)에 전위(H)를 프리차지한다. 즉 배선(BL)의 전위를 전위(H)로 한 후, 배선(BL)을 플로팅 상태로 한다(도 21 및 도 23의 (A)).

[0506] 다음으로 기간(T4)에 있어서, 배선(SL)에 전위(H)를 공급하여 트랜지스터(M3)를 온 상태로 한다(도 21 및 도 23의 (B)). 이때 노드(ND)의 전위가 전위(H)인 경우에는 트랜지스터(M2)가 온 상태이기 때문에 트랜지스터(M2) 및 트랜지스터(M3)를 통하여 배선(BL)과 배선(PL)이 도통 상태가 된다. 배선(BL)과 배선(PL)이 도통 상태가 되면 플로팅 상태인 배선(BL)의 전위가 전위(H)에서 전위(L)로 변화된다.

[0507] 또한 노드(ND)에 "0"을 나타내는 데이터로서 전위(L)가 기록되어 있는 경우에는 트랜지스터(M2)는 오프 상태이다. 따라서 트랜지스터(M3)가 온 상태가 되어도 배선(BL)과 배선(PL)은 도통 상태가 되지 않기 때문에 배선(BL)의 전위는 전위(H)를 유지한다.

[0508] 이와 같이, 배선(SL)에 전위(H)를 공급하였을 때의 배선(BL)의 전위 변화를 검출함으로써, 메모리 셀(10)에 기록된 데이터를 판독할 수 있다.

[0509] OS 트랜지스터를 사용한 메모리 셀(10)에서는 OS 트랜지스터를 통하여 노드(ND)에 전하를 기록하는 방식이기 때문에, 종래의 플래시 메모리에서 필요한 고전압이 불필요하고, 고속 기록 동작도 실현할 수 있다. 또한 플래시 메모리와는 달리, 플로팅 게이트 또는 전하 포획층에 대한 전하 주입 및 이들로부터의 전하 추출도 수행되지 않기 때문에, OS 트랜지스터를 사용한 메모리 셀(10)은 실질적으로 무제한의 데이터 기록 및 판독이 가능하다. OS 트랜지스터를 사용한 메모리 셀(10)은 플래시 메모리와는 달리 반복 재기록 동작으로도 전자 포획 중심의 증가로 인한 불안정성이 보이지 않는다. OS 트랜지스터를 사용한 메모리 셀(10)은 종래의 플래시 메모리와 비교하여 열화가 적고, 높은 신뢰성이 얻어진다.

[0510] OS 트랜지스터를 사용한 메모리 셀(10)은 자기 메모리 또는 저항 변화형 메모리 등과는 달리, 원자 레벨에서의 구조 변화가 일어나지 않는다. 따라서 OS 트랜지스터를 사용한 메모리 셀(10)은 자기 메모리 및 저항 변화형 메모리보다 재기록에 대한 내성이 높다.

[0511] <감지 증폭기 회로(46)의 구성예>

[0512] 다음으로 감지 증폭기 회로(46)의 구성예에 대하여 설명한다. 구체적으로는 감지 증폭기 회로(46)를 포함하는, 데이터 신호의 기록 또는 판독을 수행하는 기록 판독 회로의 구성예에 대하여 설명한다.

[0513] 도 24는 감지 증폭기 회로(46)를 포함하는, 데이터 신호의 기록 또는 판독을 수행하는 회로(600)의 구성예를 나타낸 회로도이다. 메모리 셀(10)에 접속되는 배선(BL)에는 열마다 도 24에 나타낸 회로(600)가 제공되어 있다.

[0514] 회로(600)는 전환 회로(601), 트랜지스터(661) 내지 트랜지스터(666), 감지 증폭기 회로(46), AND 회로(652),

아날로그 스위치(653), 및 아날로그 스위치(654)를 가진다.

[0515] 회로(600)는 신호(R/W), 신호(SEN), 신호(SEP), 신호(BPR), 신호(RSEL), 신호(WSEL), 신호(GRSEL), 및 신호(GWSEL)에 의거하여 동작한다.

[0516] 회로(600)에 입력되는 데이터(DIN)는 노드(NS)와 전기적으로 접속된 배선(WBL)을 통하여 배선(BL)에 전달됨으로써 메모리 셀(10)에 기록된다. 메모리 셀(10)에 기록된 데이터(DOUT)는 배선(BL)을 통하여 노드(NSB)에 전기적으로 접속된 배선(RBL)에 전달됨으로써 회로(600)로부터 데이터(DOUT)로서 출력된다.

[0517] 또한 데이터(DIN) 및 데이터(DOUT)는 내부 신호이며, 각각 신호(WDA) 및 신호(RDA)에 대응한다.

[0518] 트랜지스터(661)는 프리차지 회로를 구성한다. 트랜지스터(661)에 의하여 배선(BL) 및 배선(RBL)은 프리차지 전위(Vpre)로 프리차지된다. 또한 본 실시형태에서는 프리차지 전위(Vpre)로서 전위(Vdd)(하이 레벨)를 사용한 경우에 대하여 설명한다(도 24에서는 Vdd(Vpre)라고 표기함). 신호(BPR)는 프리차지 신호이고, 신호(BPR)에 의하여 트랜지스터(661)의 도통 상태가 제어된다.

[0519] 감지 증폭기 회로(46)는 판독 동작 시에는 배선(BL)을 통하여 배선(RBL)에 입력된 데이터의 하이 레벨 또는 로 레벨을 판정한다. 또한 감지 증폭기 회로(46)는 기록 동작 시에는 회로(600)에 입력된 데이터(DIN)를 일시적으로 유지하는 래치 회로로서 기능한다.

[0520] 도 24에 나타낸 감지 증폭기 회로(46)는 래치형 감지 증폭기이다. 감지 증폭기 회로(46)는 2개의 인버터 회로를 가지고, 한쪽 인버터 회로의 입력 노드가 다른 쪽 인버터 회로의 출력 노드와 접속된다. 한쪽 인버터 회로의 입력 노드를 노드(NS)로 하고, 출력 노드를 노드(NSB)로 하면 노드(NS) 및 노드(NSB)에서 상보 데이터가 유지된다.

[0521] 신호(R/W)는 배선(BL)과 배선(WBL)의 도통 상태 또는 배선(BL)과 배선(RBL)의 도통 상태를 전환하기 위한 신호이다. 전환 회로(601)는 신호(R/W)에 의하여 아날로그 스위치를 제어함으로써 배선(BL)과 배선(WBL)의 도통 상태 또는 배선(BL)과 배선(RBL)의 도통 상태를 전환할 수 있다. 또한 신호(R/W)는 기록 선택 신호인 신호(WSEL) 및 판독 선택 신호인 신호(RSEL)와 같은 타이밍으로 전환할 수 있는 신호로 할 수 있다.

[0522] 전환 회로(601)는 데이터의 기록 시에 있어서 배선(BL)과 배선(WBL) 사이를 도통 상태로 하고, 데이터의 판독 시에 있어서 배선(BL)과 배선(RBL) 사이를 도통 상태로 할 수 있다. 배선(BL)은 메모리 셀(10)에 대한 데이터의 기록을 위한 배선과 메모리 셀(10)로부터의 데이터의 판독을 위한 배선의 기능을 겸하는 구성으로 할 수 있다. 그러므로 메모리 셀(10)과 감지 증폭기 회로(46)를 가지는 회로(600) 사이의 배선의 수를 삭감할 수 있다.

[0523] 신호(SEN) 및 신호(SEP)는 감지 증폭기 회로(46)를 활성화시키기 위한 감지 증폭기 인에이블 신호이고, 레퍼런스 전위(Vref)는 판독 판정 전위이다. 감지 증폭기 회로(46)는 레퍼런스 전위(Vref)를 기준으로 활성화된 시점의 노드(NSB)의 전위가 하이 레벨인지 로 레벨인지를 판정한다.

[0524] AND 회로(652)는 노드(NS)와 배선(WBL)의 도통 상태를 제어한다. 또한 아날로그 스위치(653)는 노드(NSB)와 배선(RBL)의 도통 상태를 제어하고, 아날로그 스위치(654)는 노드(NS)와 레퍼런스 전위(Vref)를 공급하는 배선의 도통 상태를 제어한다.

[0525] 데이터 판독 시에서는 배선(BL)과 배선(RBL)을 도통 상태로 하고 배선(BL)의 전위와 같은 전위인 배선(RBL)의 전위는 아날로그 스위치(653)에 의하여 노드(NSB)에 전달된다. 배선(RBL)의 전위가 레퍼런스 전위(Vref)보다 낮아지면, 감지 증폭기 회로(46)는 배선(RBL)이 로 레벨인 것으로 판정한다. 또한 배선(BL)의 전위와 같은 전위인 배선(RBL)의 전위가 레퍼런스 전위(Vref)보다 낮아지지 않는 경우, 감지 증폭기 회로(46)는 배선(RBL)이 하이 레벨인 것으로 판정한다.

[0526] 신호(WSEL)는 기록 선택 신호이고, AND 회로(652)를 제어한다. 신호(RSEL)는 판독 선택 신호이고, 아날로그 스위치(653) 및 아날로그 스위치(654)를 제어한다.

[0527] 트랜지스터(662) 및 트랜지스터(663)는 출력 MUX(멀티플렉서) 회로를 구성한다. 신호(GRSEL)는 글로벌 판독 선택 신호이고, 출력 MUX 회로를 제어한다. 출력 MUX 회로는 데이터를 판독하는 배선(RBL)을 선택하는 기능을 가진다.

[0528] 출력 MUX 회로는 감지 증폭기 회로(46)로부터 판독한 데이터(DOUT)를 출력하는 기능을 가진다.

[0529] 트랜지스터(664), 트랜지스터(665), 및 트랜지스터(666)는 기록 드라이버 회로를 구성한다. 신호(GWSEL)는 글

로벌 기록 선택 신호이고, 기록 드라이버 회로를 제어한다. 기록 드라이버 회로는 데이터(DIN)를 감지 증폭기 회로(46)에 기록하는 기능을 가진다.

[0530] 기록 드라이버 회로는 데이터(DIN)를 기록하는 열을 선택하는 기능을 가진다. 기록 드라이버 회로는 신호(GWSEL)에 의거하여 바이트 단위, 하프 워드 단위, 또는 1 워드 단위로 데이터를 기록한다.

[0531] 게인 셀형 메모리 셀은 하나의 메모리 셀당 적어도 2개의 트랜지스터가 필요하고, 단위 면적당 배치할 수 있는 메모리 셀의 개수를 늘리기 어렵지만, 메모리 셀(10)을 구성하는 트랜지스터로서 OS 트랜지스터를 사용함으로써 메모리 셀 어레이(15)를 복수 적층하여 제공할 수 있다. 즉 단위 면적당 기억할 수 있는 데이터양을 늘릴 수 있다. 또한 게인 셀형 메모리 셀은 전하를 축적하는 용량이 작은 경우에도, 축적한 전하를 가장 가까운 트랜지스터로 증폭시킴으로써 메모리로서의 동작을 수행할 수 있다. 또한 메모리 셀(10)을 구성하는 트랜지스터로서 오프 전류가 매우 낮은 OS 트랜지스터를 사용함으로써 용량 소자의 용량을 작게 할 수 있다. 또는 용량 소자로서 트랜지스터의 게이트 용량 및 배선의 기생 용량 중 한쪽 또는 양쪽을 이용할 수 있어 용량 소자를 생략할 수 있다. 즉 메모리 셀(10)의 면적을 축소시킬 수 있다.

[0532] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0533] (실시형태 3)

[0534] 본 실시형태에서는 본 발명의 일 형태의 기억 장치가 실장된 칩의 일례에 대하여 도 25를 사용하여 설명한다.

[0535] 도 25의 (A) 및 (B)에 나타낸 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩에 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.

[0536] 도 25의 (A)에 나타낸 바와 같이 칩(1200)은 CPU(1211), GPU(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.

[0537] 칩(1200)에는 범프(미도시)가 제공되고, 도 25의 (B)에 나타낸 바와 같이 패키지 기판(1201)의 제 1 면에 접속된다. 또한 패키지 기판(1201)의 제 1 면의 뒷면에는 복수의 범프(1202)가 제공되고 머더보드(1203)에 접속된다.

[0538] 머더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어도 좋다. 예를 들어 DRAM(1221)으로서 앞의 실시형태에서 설명한 NOSRAM을 사용할 수 있다. 이에 의하여 DRAM(1221)의 저소비 전력화, 고속화, 및 대용량화가 가능하다.

[0539] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한 GPU(1212)는 복수의 GPU 코어를 가지는 것이 바람직하다. 또한 CPU(1211) 및 GPU(1212)는 각각 일시적으로 데이터를 저장하는 메모리를 가져도 좋다. 또는 CPU(1211) 및 GPU(1212)에 공통된 메모리가 칩(1200)에 제공되어도 좋다. 상기 메모리로서는 상술한 NOSRAM을 사용할 수 있다. 또한 GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고 화상 처리 또는 적화 연산(product-sum operation)에 사용할 수 있다. GPU(1212)에 OS 트랜지스터를 사용한 화상 처리 회로 또는 적화 연산 회로를 제공함으로써 화상 처리 또는 적화 연산을 낮은 소비 전력으로 실행할 수 있다.

[0540] 또한 CPU(1211) 및 GPU(1212)가 동일한 칩에 제공되면 CPU(1211)와 GPU(1212) 사이의 배선을 짧게 할 수 있기 때문에, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)가 가지는 메모리 간의 데이터 전송, 그리고 GPU(1212)에서의 연산 후의 GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.

[0541] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 가진다. 또한 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.

[0542] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 가진다.

[0543] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 가진다. 컨트롤러에는 마우스, 키보드, 게임용 컨트롤러 등이 포함된다. 이와 같은 인터페이스로서 USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.

[0544] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 가진다. 또한 네트워크 보안용 회로를

가져도 좋다.

[0545] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 공정으로 형성할 수 있다. 그러므로 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 공정을 증가시킬 필요가 없어 칩(1200)을 낮은 비용으로 제작할 수 있다.

[0546] GPU(1212)를 가지는 칩(1200)이 제공된 패키지 기판(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 머더보드(1203)를 GPU 모듈(1204)이라고 부를 수 있다.

[0547] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에 그 크기를 작게 할 수 있다. 또한 화상 처리에 뛰어나기 때문에 스마트폰, 태블릿 단말기, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대용 전자 기기에 사용하는 것이 적합하다. 또한 GPU(1212)를 사용한 적화 연산 회로에 의하여 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 방법을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.

[0548] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0549] (실시형태 4)

[0550] 본 실시형태에서는 본 발명의 일 형태의 기억 장치가 제공된 전자 부품의 일례를 나타낸다.

[0551] [전자 부품]

[0552] 도 26의 (A)에 전자 부품(700) 및 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도를 나타내었다. 도 26의 (A)에 나타낸 전자 부품(700)은 몰드(711) 내에 본 발명의 일 형태의 기억 장치인 기억 장치(100)를 가진다. 도 26의 (A)는 전자 부품(700)의 내부를 나타내기 위하여 일부 기재를 생략하였다. 전자 부품(700)은 몰드(711) 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 와이어(714)를 통하여 기억 장치(100)와 전기적으로 접속되어 있다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품이 복수 조합되고 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써 실장 기판(704)이 완성된다.

[0553] 앞의 실시형태에서 설명한 바와 같이, 기억 장치(100)는 구동 회로층(50)과 기억층(60)(메모리 셀 어레이(15)를 포함함)을 가진다.

[0554] 도 26의 (B)에 전자 부품(730)의 사시도를 나타내었다. 전자 부품(730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)은 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 기억 장치(100)가 제공되어 있다.

[0555] 전자 부품(730)에서는 기억 장치(100)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 예를 나타내었다. 또한 반도체 장치(735)로서는 CPU, GPU, FPGA 등의 집적 회로(반도체 장치)를 사용할 수 있다.

[0556] 패키지 기판(732)으로서는 예를 들어 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판을 사용할 수 있다. 인터포저(731)로서는 예를 들어 실리콘 인터포저, 또는 수지 인터포저를 사용할 수 있다.

[0557] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 부르는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.

[0558] 인터포저(731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자를 제공할 필요가 없기 때문에 집적 회로보다 낮은 비용으로 제작할 수 있다. 또한 실리콘 인터포저의 배선은 반도체 공정으로 형성할 수 있으므로, 수지 인터포저에서는 어려운 미세 배선의 형성이 용이하다.

[0559] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0560] 또한 실리콘 인터포저를 사용한 SiP, MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공

되는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히 인터포저 위에 복수의 집적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0561] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 집적 회로의 높이를 정렬시키는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(730)에서는 기억 장치(100)와 반도체 장치(735)의 높이를 정렬시키는 것이 바람직하다.

[0562] 전자 부품(730)을 다른 기판에 실장하기 위하여 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 26의 (B)에서는 전극(733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 땜납 볼을 매트릭스상으로 제공함으로써 BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성의 핀을 매트릭스상으로 제공함으로써 PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0563] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 실장 방법으로서는 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 및 QFN(Quad Flat Non-leaded package)이 있다.

[0564] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0565] (실시형태 5)

[0566] 본 실시형태에서는, 본 발명의 일 형태의 기억 장치의 응용예에 대하여 설명한다.

[0567] 본 발명의 일 형태의 기억 장치는, 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 스틸 카메라, 비디오 카메라, 녹화 재생 장치, 내비게이션 시스템, 및 게임기)의 기억 장치에 적용할 수 있다. 또한 이미지 센서, IoT(Internet of Things), 헬스케어 관련 기기 등에 사용할 수도 있다. 이에 의하여 전자 기기의 전력 절약화를 도모할 수 있다. 또한 여기서 컴퓨터란, 태블릿형 컴퓨터, 노트북형 컴퓨터, 및 데스크톱형 컴퓨터뿐만 아니라, 서버 시스템과 같은 대형 컴퓨터도 가리킨다.

[0568] 본 발명의 일 형태의 기억 장치를 포함하는 전자 기기의 일례에 대하여 설명한다. 또한 도 27의 (A) 내지 (J) 및 도 28의 (A) 내지 (E)에서는, 앞의 실시형태에서 설명한 상기 기억 장치를 포함하는 전자 부품(700) 또는 전자 부품(730)이 각 전자 기기에 포함되어 있다.

[0569] [휴대 전화]

[0570] 도 27의 (A)에 나타낸 정보 단말기(5500)는 정보 단말기의 1종인 휴대 전화(스마트폰)이다. 정보 단말기(5500)는 하우징(5510) 및 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 제공되고, 버튼이 하우징(5510)에 제공되어 있다.

[0571] 본 발명의 일 형태의 기억 장치를 적용함으로써, 정보 단말기(5500)는 애플리케이션 실행 시에 생성되는 일시적인 파일(예를 들어 웹 브라우저 사용 시의 캐시 등)을 유지할 수 있다.

[0572] [웨어러블 단말기]

[0573] 도 27의 (B)에는 웨어러블 단말기의 일례인 정보 단말기(5900)를 나타내었다. 정보 단말기(5900)는 하우징(5901), 표시부(5902), 조작 스위치(5903), 조작 스위치(5904), 밴드(5905) 등을 가진다.

[0574] 상술한 정보 단말기(5500)와 마찬가지로, 본 발명의 일 형태의 기억 장치를 적용함으로써, 웨어러블 단말기는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.

[0575] [정보 단말기]

[0576] 도 27의 (C)에는 데스크톱형 정보 단말기(5300)를 나타내었다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301), 표시부(5302), 및 키보드(5303)를 가진다.

[0577] 상술한 정보 단말기(5500)와 마찬가지로, 본 발명의 일 형태의 기억 장치를 적용함으로써, 데스크톱형 정보 단말기(5300)는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.

[0578] 도 27의 (A) 내지 (C)에서는 전자 기기로서 스마트폰, 웨어러블 단말기, 및 데스크톱용 정보 단말기에 대하여 설명하였지만, 이외의 정보 단말기로서는, 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 및 워크스테이션이 있다.

[0579] [전자 제품]

[0580] 도 27의 (D)에는 전자 제품의 일례로서 전기 냉동 냉장고(5800)를 나타내었다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 도어(5802), 냉동실용 도어(5803) 등을 가진다. 예를 들어 전기 냉동 냉장고(5800)는 IoT(Internet of Things)에 대응한 전기 냉동 냉장고이다.

[0581] 본 발명의 일 형태의 기억 장치를 전기 냉동 냉장고(5800)에 적용할 수 있다. 전기 냉동 냉장고(5800)는, 전기 냉동 냉장고(5800)에 보관되는 식재료 및 그 식재료의 소비 기한 등의 정보를 인터넷 등을 통하여 정보 단말기 등에 송신하거나 정보 단말기 등으로부터 수신할 수 있다. 전기 냉동 냉장고(5800)에서는 상기 정보를 송신하는 경우에 생성되는 일시적인 파일을 본 발명의 일 형태의 기억 장치에 유지할 수 있다.

[0582] 도 27의 (D)에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는, 예를 들어 청소기, 전자 레인지, 전기 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 및 오디오 비주얼 기기(audio visual appliance)가 있다.

[0583] [게임기]

[0584] 도 27의 (E)는 게임기의 일례인 휴대용 게임기(5200)를 나타낸 것이다. 휴대용 게임기(5200)는 하우징(5201), 표시부(5202), 버튼(5203) 등을 가진다.

[0585] 또한 도 27의 (F)에는 게임기의 일례인 거치형 게임기(7500)를 나타내었다. 거치형 게임기(7500)는 특히 가정용 거치형 게임기라고 할 수 있다. 거치형 게임기(7500)는 본체(7520) 및 컨트롤러(7522)를 가진다. 또한 본체(7520)에는 무선 또는 유선에 의하여 컨트롤러(7522)를 접속할 수 있다. 또한 도 27의 (F)에는 나타내지 않았지만, 컨트롤러(7522)는 게임의 화상을 표시하는 표시부, 버튼 이외의 입력 인터페이스로서 기능하는 터치 패널, 스틱, 회전식 손잡이, 또는 슬라이드식 손잡이 등을 가질 수 있다. 또한 컨트롤러(7522)의 형상은 도 27의 (F)에 나타낸 것에 한정되지 않고, 게임의 분야에 따라 다양하게 변경하여도 좋다. 예를 들어 FPS(First Person Shooter) 등의 슈팅 게임에서는, 트리거 버튼을 가지는 총 모양의 컨트롤러를 사용할 수 있다. 또한 예를 들어 음악 게임 등에서는 악기, 음악 기기 등의 모양의 컨트롤러를 사용할 수 있다. 또한 거치형 게임기는 컨트롤러를 사용하는 대신에 카메라, 심도 센서, 및 마이크로폰 중 하나 또는 복수를 가지고, 게임 플레이어의 제스처 또는 음성을 사용하여 조작을 하여도 좋다.

[0586] 또한 상술한 게임기의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이, 또는 헤드 마운트 디스플레이 등의 표시 장치에 의하여 출력할 수 있다.

[0587] 본 발명의 일 형태의 기억 장치를 휴대용 게임기(5200) 또는 거치형 게임기(7500)에 적용함으로써 소비 전력을 저감할 수 있다. 또한 소비 전력이 저감됨으로써 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0588] 또한 본 발명의 일 형태의 기억 장치를 휴대용 게임기(5200) 또는 거치형 게임기(7500)에 적용함으로써, 게임 실행 중에 발생하는 연산에 필요한 일시 파일 등을 유지할 수 있다.

[0589] 도 27의 (E) 및 (F)에서는 게임기의 일례로서 휴대용 게임기 및 가정용 거치형 게임기에 대하여 설명하였지만, 이들 외의 게임기로서는 예를 들어 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 및 스포츠 시설에 설치되는 배팅 연습용 투구 머신이 있다.

[0590] [이동체]

[0591] 본 발명의 일 형태의 기억 장치는 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.

[0592] 도 27의 (G)에서는 이동체의 일례인 자동차(5700)를 도시하였다.

[0593] 자동차(5700)의 운전석 주변에는, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 또는 에어컨디셔너의 설정 등을 표시함으로써 다양한 정보를 제공하는 계기판이 제공되어 있다. 또한 운전석 주변에는, 이들 정보를 표시하는 기억 장치가 제공되어도 좋다.

[0594] 특히 상기 표시 장치는, 자동차(5700)에 제공된 촬상 장치(미도시)가 찍은 영상이 표시됨으로써, 필러 등에 가려진 시계, 운전석의 사각 등을 보완할 수 있고, 이로써 안전성을 높일 수 있다. 즉, 자동차(5700)의 외측에 제공된 촬상 장치가 찍은 화상이 표시됨으로써, 사각을 보완하고 안전성을 높일 수 있다.

[0595] 본 발명의 일 형태의 기억 장치는 정보를 일시적으로 유지할 수 있기 때문에, 예를 들어 자동차(5700)의 자율

운전, 도로 안내, 위험 예측 등을 실행하는 시스템 등에서 필요한 일시적인 정보 유지에 사용될 수 있다. 상기 표시 장치에 도로 안내, 위험 예측 등의 일시적인 정보를 표시하여도 좋다. 또한 자동차(5700)에 제공된 블랙박스가 찍은 영상을 유지하여도 좋다.

[0596] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 및 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓)도 있다.

[0597] [카메라]

[0598] 본 발명의 일 형태의 기억 장치는 카메라에 적용할 수 있다.

[0599] 도 27의 (H)에는 촬상 장치의 일례로서 디지털 카메라(6240)를 나타내었다. 디지털 카메라(6240)는 하우징(6241), 표시부(6242), 조작 스위치(6243), 셔터 버튼(6244) 등을 가지고, 탈착 가능한 렌즈(6246)가 장착되어 있다. 또한 여기서 디지털 카메라(6240)는 하우징(6241)에서 렌즈(6246)를 떼어 교환할 수 있는 구성을 가지지만, 렌즈(6246)와 하우징(6241)은 일체가 되어도 좋다. 또한 디지털 카메라(6240)는 스트로보스코프, 뷰파인더 등을 별도로 장착할 수 있는 구성을 가져도 좋다.

[0600] 본 발명의 일 형태의 기억 장치를 디지털 카메라(6240)에 적용함으로써 소비 전력을 저감할 수 있다. 또한 소비 전력이 저감됨으로써 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0601] [비디오 카메라]

[0602] 본 발명의 일 형태의 기억 장치는 비디오 카메라에 적용할 수 있다.

[0603] 도 27의 (I)에는 촬상 장치의 일례로서 비디오 카메라(6300)를 나타내었다. 비디오 카메라(6300)는 제 1 하우징(6301), 제 2 하우징(6302), 표시부(6303), 조작 스위치(6304), 렌즈(6305), 접속부(6306) 등을 가진다. 조작 스위치(6304) 및 렌즈(6305)는 제 1 하우징(6301)에 제공되어 있고, 표시부(6303)는 제 2 하우징(6302)에 제공되어 있다. 그리고 제 1 하우징(6301)과 제 2 하우징(6302)은 접속부(6306)에 의하여 접속되어 있고, 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도는 접속부(6306)에 의하여 변경할 수 있다. 표시부(6303)에 표시되는 영상을 접속부(6306)에서의 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0604] 비디오 카메라(6300)로 촬영한 영상을 기록하는 경우, 데이터의 기록 형식에 따른 인코딩을 수행할 필요가 있다. 본 발명의 일 형태의 기억 장치를 이용함으로써, 비디오 카메라(6300)는 인코딩을 수행할 때 발생하는 일시적인 파일을 유지할 수 있다.

[0605] [ICD]

[0606] 본 발명의 일 형태의 기억 장치는 ICD(Implantable Cardioverter-Defibrillator)에 적용할 수 있다.

[0607] 도 27의 (J)는 ICD의 일례를 나타낸 단면 모식도이다. ICD 본체(5400)는 배터리(5401), 전자 부품(700), 레귤레이터, 제어 회로, 안테나(5404), 우심방에 연결되는 와이어(5402), 우심실에 연결되는 와이어(5403)를 적어도 가진다.

[0608] ICD 본체(5400)는 수술에 의하여 몸 안에 설치되고, 2개의 와이어는 인체의 쇄골하 정맥(5405) 및 상대정맥(5406)을 통과하여 한쪽 와이어 끝이 우심실에 설치되고, 다른 쪽 와이어 끝이 우심방에 설치되도록 한다.

[0609] ICD 본체(5400)는 페이스메이커로서의 기능을 가지고, 심박수가 규정의 범위에서 벗어난 경우에 심장 박동 조율을 수행한다. 또한 심장 박동 조율을 수행하여도 심박수가 개선되지 않는 경우(심실 빈맥, 심실세동 등이 일어나는 경우)에는, 전기 충격에 의한 치료가 수행된다.

[0610] 심장 박동 조율 및 전기 충격을 적절히 수행하기 위하여, ICD 본체(5400)는 심박수를 항상 감시할 필요가 있다. 그러므로 ICD 본체(5400)는 심박수를 검지하기 위한 센서를 가진다. 또한 ICD 본체(5400)는, 상기 센서 등에 의하여 취득한 심박수의 데이터, 심장 박동 조율에 의한 치료를 수행한 횟수, 치료 시간 등을 전자 부품(700)에서 기억할 수 있다.

[0611] 또한 안테나(5404)는 전력을 수신할 수 있고, 그 전력은 배터리(5401)에 충전된다. 또한 ICD 본체(5400)가 복수의 배터리를 가짐으로써, 안전성을 높일 수 있다. 구체적으로는, ICD 본체(5400)의 일부의 배터리를 사용할 수 없어도, 나머지 배터리가 기능할 수 있기 때문에, 배터리는 보조 전원으로서도 기능한다.

[0612] 또한 전력을 수신할 수 있는 안테나(5404)에 더하여, 생체 신호를 송신할 수 있는 안테나를 가져도 좋고, 예를 들어 맥박, 호흡수, 심박수, 체온 등의 생체 신호를 외부의 모니터 장치로 확인할 수 있는, 심장 활동을 감시하는 시스템을 구성하여도 좋다.

[0613] [PC용 확장 디바이스]

[0614] 본 발명의 일 형태의 기억 장치는 PC(Personal Computer) 등의 계산기, 정보 단말기용 확장 디바이스에 적용할 수 있다.

[0615] 도 28의 (A)에서는, 상기 확장 디바이스의 일례로서, 정보의 기억이 가능한 칩을 포함하고, PC 외부에 장착되는 포터블 확장 디바이스(6100)를 나타내었다. 확장 디바이스(6100)는 예를 들어 USB(Universal Serial Bus) 등에 의하여 PC에 접속되면, 상기 칩에서 정보를 기억할 수 있다. 또한 도 28의 (A)에서는 포터블 확장 디바이스(6100)를 도시하였지만, 본 발명의 일 형태의 확장 디바이스는 이에 한정되지 않고, 예를 들어 냉각용 팬 등이 탑재된 비교적 큰 확장 디바이스이어도 좋다.

[0616] 확장 디바이스(6100)는 하우징(6101), 캡(6102), USB 커넥터(6103), 및 기판(6104)을 가진다. 기판(6104)은 하우징(6101)에 수납된다. 기판(6104)에는, 본 발명의 일 형태의 기억 장치 등을 구동하는 회로가 제공되어 있다. 예를 들어 기판(6104)에는 전자 부품(700) 및 컨트롤러 칩(6106)이 장착되어 있다. USB 커넥터(6103)는 외부 장치와 접속하기 위한 인터페이스로서 기능한다.

[0617] [SD 카드]

[0618] 본 발명의 일 형태의 기억 장치는, 정보 단말기, 디지털 카메라 등의 전자 기기에 장착할 수 있는 SD 카드에 적용할 수 있다.

[0619] 도 28의 (B)는 SD 카드의 외관을 나타낸 모식도이고, 도 28의 (C)는 SD 카드의 내부 구조를 나타낸 모식도이다. SD 카드(5110)는 하우징(5111), 커넥터(5112), 및 기판(5113)을 가진다. 커넥터(5112)는 외부 장치에 접속하기 위한 인터페이스로서 기능한다. 기판(5113)은 하우징(5111)에 수납된다. 기판(5113)에는 기억 장치 및 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기판(5113)에는 전자 부품(700) 및 컨트롤러 칩(5115)이 장착되어 있다. 또한 전자 부품(700)과 컨트롤러 칩(5115) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어, 전자 부품에 제공되는 기록 회로, 행 드라이버, 판독 회로 등은 전자 부품(700)이 아니라 컨트롤러 칩(5115)에 제공되어도 좋다.

[0620] 기판(5113)의 뒷면 측에도 전자 부품(700)을 제공함으로써, SD 카드(5110)의 용량을 늘릴 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기판(5113)에 제공하여도 좋다. 이에 의하여 외부 장치와 SD 카드(5110) 사이에서 무선 통신을 수행할 수 있기 때문에, 데이터를 전자 부품(700)으로부터 판독하거나 전자 부품(700)에 기록할 수 있다.

[0621] [SSD]

[0622] 본 발명의 일 형태의 기억 장치는, 정보 단말기 등의 전자 기기에 장착할 수 있는 SSD(Solid State Drive)에 적용할 수 있다.

[0623] 도 28의 (D)는 SSD의 외관을 나타낸 모식도이고, 도 28의 (E)는 SSD의 내부 구조를 나타낸 모식도이다. SSD(5150)는 하우징(5151), 커넥터(5152), 및 기판(5153)을 가진다. 커넥터(5152)는 외부 장치에 접속하기 위한 인터페이스로서 기능한다. 기판(5153)은 하우징(5151)에 수납된다. 기판(5153)에는 기억 장치 및 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기판(5153)에는 전자 부품(700), 메모리 칩(5155), 및 컨트롤러 칩(5156)이 장착되어 있다. 기판(5153)의 뒷면 측에도 전자 부품(700)을 제공함으로써, SSD(5150)의 용량을 늘릴 수 있다. 메모리 칩(5155)에는 작업 메모리가 포함되어 있다. 예를 들어 메모리 칩(5155)에는 DRAM 칩을 사용할 수 있다. 컨트롤러 칩(5156)에는 프로세서, ECC(Error Check and Correct) 회로 등이 포함되어 있다. 또한 전자 부품(700), 메모리 칩(5155), 및 컨트롤러 칩(5115) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어 컨트롤러 칩(5156)에도 작업 메모리로서 기능하는 메모리를 제공하여도 좋다.

[0624] [계산기]

[0625] 도 29의 (A)에 나타낸 계산기(5600)는 대형 계산기의 예이다. 계산기(5600)에서는, 랙(5610)에 랙 마운트형 계산기(5620)가 복수로 제공되어 있다.

[0626] 계산기(5620)는 예를 들어 도 29의 (B)에 나타낸 사시도의 구성을 가질 수 있다. 도 29의 (B)에서 계산기(5620)는 머더보드(5630)를 가지고, 머더보드(5630)는 복수의 슬롯(5631) 및 복수의 접속 단자를 가진다. 슬롯(5631)에는 PC 카드(5621)가 삽입되어 있다. 또한 PC 카드(5621)는 접속 단자(5623), 접속 단자(5624), 및 접속 단자(5625)를 가지고, 각각 머더보드(5630)에 접속되어 있다.

[0627] 도 29의 (C)에 나타낸 PC 카드(5621)는 CPU, GPU, 기억 장치 등이 제공된 처리 보드의 일례이다. PC 카드(5621)는 보드(5622)를 가진다. 또한 보드(5622)는 접속 단자(5623), 접속 단자(5624), 접속 단자(5625), 반도체 장치(5626), 반도체 장치(5627), 반도체 장치(5628), 및 접속 단자(5629)를 가진다. 또한 도 29의 (C)에서는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628) 이외의 반도체 장치를 도시하였지만, 이들 반도체 장치에 대해서는, 이하에서 기재하는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628)의 설명을 참조할 수 있다.

[0628] 접속 단자(5629)는 머더보드(5630)의 슬롯(5631)에 삽입될 수 있는 형상을 가지고, 접속 단자(5629)는 PC 카드(5621)와 머더보드(5630)를 접속하기 위한 인터페이스로서 기능한다. 접속 단자(5629)의 규격으로서는 예를 들어 PCIe 등이 있다.

[0629] 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)는 예를 들어 PC 카드(5621)에 대하여 전력 공급, 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(5621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(5623), 접속 단자(5624), 접속 단자(5625) 각각의 규격으로서는 예를 들어 USB(Universal Serial Bus), SATA(Serial ATA), 및 SCSI(Small Computer System Interface) 등이 있다. 또한 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는 HDMI(등록 상표) 등이 있다.

[0630] 반도체 장치(5626)는 신호의 입출력을 수행하는 단자(미도시)를 가지고, 상기 단자를 보드(5622)의 소켓(미도시)에 삽입함으로써, 반도체 장치(5626)와 보드(5622)를 전기적으로 접속할 수 있다.

[0631] 반도체 장치(5627)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5627)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5627)로서는 예를 들어 FPGA(Field Programmable Gate Array), GPU, CPU 등이 있다. 반도체 장치(5627)로서는 예를 들어 전자 부품(730)을 사용할 수 있다.

[0632] 반도체 장치(5628)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5628)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5628)로서는 예를 들어 기억 장치 등이 있다. 반도체 장치(5628)로서는 예를 들어 전자 부품(700)을 사용할 수 있다.

[0633] 계산기(5600)는 병렬 계산기로서 기능할 수도 있다. 계산기(5600)를 병렬 계산기로서 사용함으로써, 예를 들어 인공 지능의 학습 및 추론에 필요한 대규모의 계산을 수행할 수 있다.

[0634] 상기 각종 전자 기기 등에 본 발명의 일 형태의 기억 장치를 사용함으로써, 전자 기기의 소형화, 및 저소비 전력화를 도모할 수 있다. 또한 본 발명의 일 형태의 기억 장치는 소비 전력이 낮기 때문에, 회로로부터의 발열을 저감할 수 있다. 따라서 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 줄일 수 있다. 또한 본 발명의 일 형태의 기억 장치를 사용함으로써, 고온 환경하에서도 동작이 안정된 전자 기기를 실현할 수 있다. 따라서 전자 기기의 신뢰성을 높일 수 있다.

[0635] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0636] (실시형태 6)

[0637] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치를 우주용 기기에 적용하는 경우의 구체적인 예에 대하여 도 30을 사용하여 설명한다.

[0638] 본 발명의 일 형태의 반도체 장치는 OS 트랜지스터를 포함한다. OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어 OS 트랜지스터는 우주 공간에서 사용되는 경우에 적합하다. 구체적으로는, OS 트랜지스터는 우주 왕복선, 인공위성, 또는 우주 탐사기에 제공되는 반도체 장치를 구성하는 트랜지스터로서 사용할 수 있다. 방사선으로서는 예를 들어 X선 및 중성자선 등이 있다. 또한 우주 공간이란 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재된 우주 공간은 열권, 중간권, 및 성층권 중 하나 또는 복수를 포함하여도 좋다.

[0639] 도 30에는 우주용 기기의 일례로서 인공위성(6800)을 나타내었다. 인공위성(6800)은 기체(6801)와, 태양 전지판(6802)과, 안테나(6803)와, 이차 전지(6805)와, 제어 장치(6807)를 가진다. 또한 도 30에서는 우주 공간에 행성(6804)을 예시하였다.

[0640] 또한 우주 공간은 지상에 비하여 방사선량이 100배 이상 많은 환경이다. 또한 방사선으로서, 예를 들어 X선 및 감마선으로 대표되는 전자기파(전자기 방사선), 그리고 알파선, 베타선, 중성자선, 양자선, 중이온선, 중간자선 등으로 대표되는 입자 방사선이 있다.

[0641] 태양 전지판(6802)에 태양광이 조사됨으로써 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성된다. 하지만 예를 들어 태양 전지판에 태양광이 조사되지 않는 상황, 또는 태양 전지판에 조사되는 태양광의 광량이 적은 상황에서는 생성되는 전력이 낮아진다. 따라서 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성되지 않을 가능성이 있다. 생성되는 전력이 낮은 상황에서도 인공위성(6800)을 동작시키기 위하여, 인공위성(6800)에 이차 전지(6805)를 제공하는 것이 좋다. 또한 태양 전지판은 태양 전지 모듈이라고 불리는 경우가 있다.

[0642] 인공위성(6800)은 신호를 생성할 수 있다. 상기 신호는 안테나(6803)를 통하여 송신되고, 예를 들어 지상에 제공된 수신기 또는 다른 인공위성이 상기 신호를 수신할 수 있다. 인공위성(6800)이 송신한 신호를 수신함으로써, 상기 신호를 수신한 수신기의 위치를 측정할 수 있다. 이상에 의하여 인공위성(6800)은 위성 측위 시스템을 구성할 수 있다.

[0643] 또한 제어 장치(6807)는 인공위성(6800)을 제어하는 기능을 가진다. 제어 장치(6807)는 예를 들어 CPU, GPU, 및 기억 장치에서 선택되는 어느 하나 또는 복수를 사용하여 구성된다. 또한 제어 장치(6807)에는 본 발명의 일 형태인 OS 트랜지스터를 포함하는 반도체 장치를 사용하는 것이 적합하다. OS 트랜지스터는 Si 트랜지스터에 비하여 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선이 입사할 수 있는 환경에서도 신뢰성이 높아 적합하게 사용할 수 있다.

[0644] 또한 인공위성(6800)은 센서를 가지는 구성으로 할 수 있다. 예를 들어, 가시광 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지상에 제공된 물체에 맞아 반사된 태양광을 검출하는 기능을 가질 수 있다. 또는 열 적외 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지표로부터 방출되는 열 적외선을 검출하는 기능을 가질 수 있다. 이상에 의하여 인공위성(6800)은 예를 들어 지구 관측 위성으로서의 기능을 가질 수 있다.

[0645] 또한 본 실시형태에서는 우주용 기기의 일례로서 인공위성에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 반도체 장치는 우주선, 우주 캡슐, 우주 탐사선 등의 우주용 기기에 적합하게 사용할 수 있다.

[0646] 또는 예를 들어 OS 트랜지스터는 원자력 발전소 및 방사성 폐기물의 처리장 또는 처분장의 작업용 로봇에 제공되는 반도체 장치를 구성하는 트랜지스터로서 사용할 수 있다. 특히 원자로 시설의 해체, 핵연료 또는 연료 데브리를 꺼내는 작업, 방사성 물질이 많은 공간의 실지 조사 등에서 원격 조종되는 원격 조종 로봇에 제공되는 반도체 장치를 구성하는 트랜지스터로서 적합하게 사용할 수 있다.

[0647] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

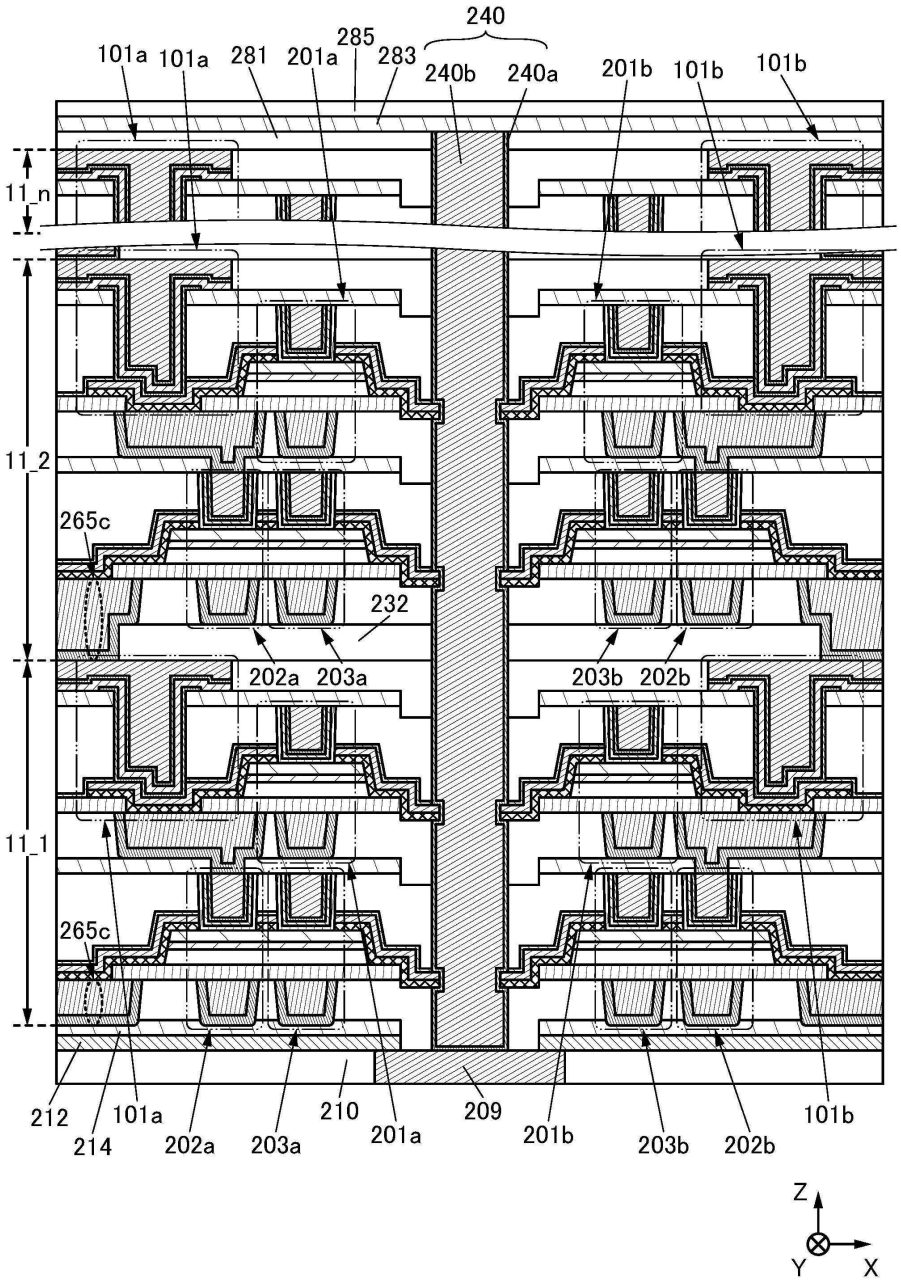
부호의 설명

[0648] ADDR: 신호, BL[i,s]: 배선, BL: 배선, BPR: 신호, BW: 신호, CE: 신호, CLK: 신호, DIN: 데이터, DOUT: 데이터, GND: 접지 전위, GRSEL: 신호, GW: 신호, GWSEL: 신호, ND: 노드, NS: 노드, NSB: 노드, PL[i, s+1]: 배선, PL[i, s]: 배선, PL: 배선, RBL: 배선, RDA: 신호, RSEL: 신호, SEN: 신호, SEP: 신호, SL[j+1]: 배선, SL[j]: 배선, SL: 배선, Vdd: 전위, VDD: 고전원 전위, Vref: 레퍼런스 전위, WAKE: 신호, WBL: 배선, WDA: 신호, WSEL: 신호, WWL[j+1]: 배선, WWL[j]: 배선, WWL: 배선, 10[1, 1]: 메모리 셀, 10[i, j+1]: 메모리 셀, 10[i, j]: 메모리 셀, 10[m, n]: 메모리 셀, 10: 메모리 셀, 11_1: 제 1 층, 11_2: 제 2 층, 11_n: 제 n 층, 15: 메모리 셀 어레이, 22: PSW, 23: PSW, 31: 주변 회로, 32: 컨트롤 회로, 33: 전압 생성 회로, 41: 주변 회로, 42: 행 디코더, 43: 행 드라이버, 44: 열 디코더, 45: 열 드라이버, 46: 감지 증폭기 회로, 47: 입력 회로, 48: 출력 회로, 50: 구동 회로층, 60_1: 기억층, 60_2: 기억층, 60_3: 기억층, 60_k: 기억층, 60_N: 기억층, 60: 기억층, 100: 기억 장치, 101a: 용량 소자, 101b: 용량 소자, 153: 도전체, 154: 절연체, 160a: 도전체, 160b: 도전체, 160: 도전체, 201a: 트랜지스터, 201b: 트랜지스터, 202a: 트랜지스터, 202b: 트랜지스터, 203a: 트랜지스터, 203b: 트랜지스터, 205a: 도전체, 205b: 도전체, 209: 도전체, 210a: 절연체, 210b: 절연체, 210: 절연체, 212: 절연체, 214: 절연체, 216: 절연체, 220a: 산화물, 220af: 산화막, 220b: 산화물,

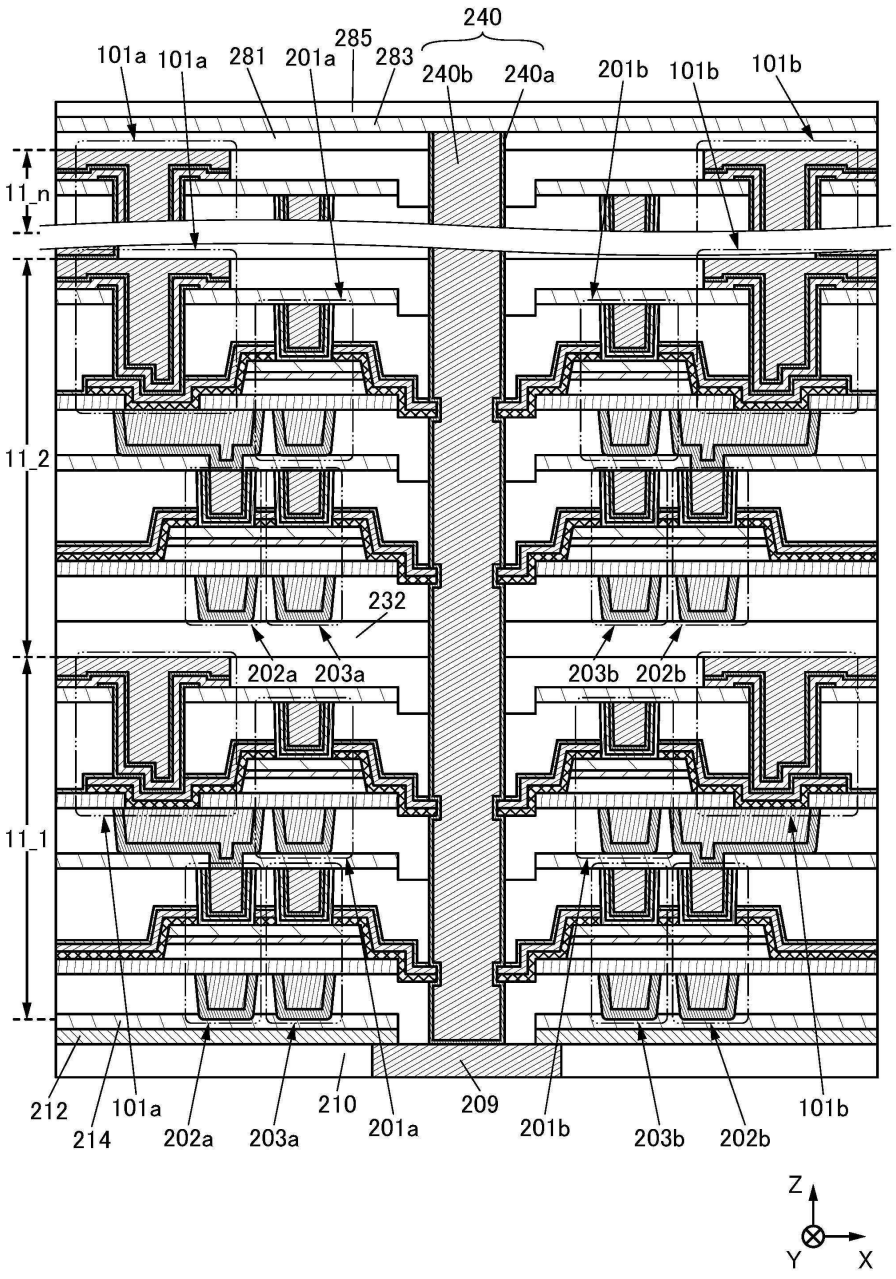
220bf: 산화막, 220: 산화물, 222: 절연체, 224: 절연체, 230a: 산화물, 230b: 산화물, 230: 산화물, 231a: 도전체, 231b: 도전체, 231: 도전체, 232: 절연체, 240a: 도전체, 240b: 도전체, 240: 도전체, 242a: 도전체, 242b: 도전체, 243a: 절연체, 243b: 절연체, 244a: 절연체, 244b: 절연체, 250: 영역, 252_1: 도전체, 252_2: 도전체, 252a: 도전체, 252b: 도전체, 252c: 도전체, 252: 도전체, 253: 절연체, 254: 절연체, 260a: 도전체, 260b: 도전체, 260: 도전체, 262: 절연체, 263a: 도전체, 263b: 도전체, 263: 도전체, 264: 절연체, 265a: 도전체, 265b: 도전체, 265c: 도전체, 266: 절연체, 270a: 도전체, 270b: 도전체, 272: 절연체, 274f: 절연막, 274: 절연체, 275: 절연체, 276: 절연체, 280: 절연체, 281: 절연체, 282: 절연체, 283: 절연체, 284: 절연체, 285: 절연체, 290: 절연체, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 357: 절연체, 600: 회로, 601: 전환 회로, 652: AND 회로, 653: 아날로그 스위치, 654: 아날로그 스위치, 661: 트랜지스터, 662: 트랜지스터, 663: 트랜지스터, 664: 트랜지스터, 665: 트랜지스터, 666: 트랜지스터, 700: 전자 부품, 702: 인쇄 기판, 704: 실장 기판, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 730: 전자 부품, 731: 인터포저, 732: 패키지 기판, 733: 전극, 735: 반도체 장치, 1200: 칩, 1201: 패키지 기판, 1202: 범프, 1203: 머더보드, 1204: GPU 모듈, 1211: CPU, 1212: GPU, 1213: 아날로그 연산부, 1214: 메모리 컨트롤러, 1215: 인터페이스, 1216: 네트워크 회로, 1221: DRAM, 1222: 플래시 메모리, 5110: SD 카드, 5111: 하우징, 5112: 커넥터, 5113: 기판, 5115: 컨트롤러 칩, 5150: SSD, 5151: 하우징, 5152: 커넥터, 5153: 기판, 5155: 메모리 칩, 5156: 컨트롤러 칩, 5200: 휴대용 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 데스크톱형 정보 단말기, 5301: 본체, 5302: 표시부, 5303: 키보드, 5400: ICD 본체, 5401: 배터리, 5402: 와이어, 5403: 와이어, 5404: 안테나, 5405: 쇄골하 정맥, 5406: 상대정맥, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5600: 계산기, 5610: 랙, 5620: 계산기, 5621: PC 카드, 5622: 보드, 5623: 접속 단자, 5624: 접속 단자, 5625: 접속 단자, 5626: 반도체 장치, 5627: 반도체 장치, 5628: 반도체 장치, 5629: 접속 단자, 5630: 머더보드, 5631: 슬롯, 5700: 자동차, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 도어, 5803: 냉동실용 도어, 5900: 정보 단말기, 5901: 하우징, 5902: 표시부, 5903: 조작 스위치, 5904: 조작 스위치, 5905: 밴드, 6100: 확장 디바이스, 6101: 하우징, 6102: 캡, 6103: USB 커넥터, 6104: 기판, 6106: 컨트롤러 칩, 6240: 디지털 카메라, 6241: 하우징, 6242: 표시부, 6243: 조작 스위치, 6244: 셔터 버튼, 6246: 렌즈, 6300: 비디오 카메라, 6301: 제 1 하우징, 6302: 제 2 하우징, 6303: 표시부, 6304: 조작 스위치, 6305: 렌즈, 6306: 접속부, 6800: 인공위성, 6801: 기체, 6802: 태양 전지판, 6803: 안테나, 6804: 행성, 6805: 이차 전지, 6807: 제어 장치, 7500: 거치형 게임기, 7520: 본체, 7522: 컨트롤러

도면

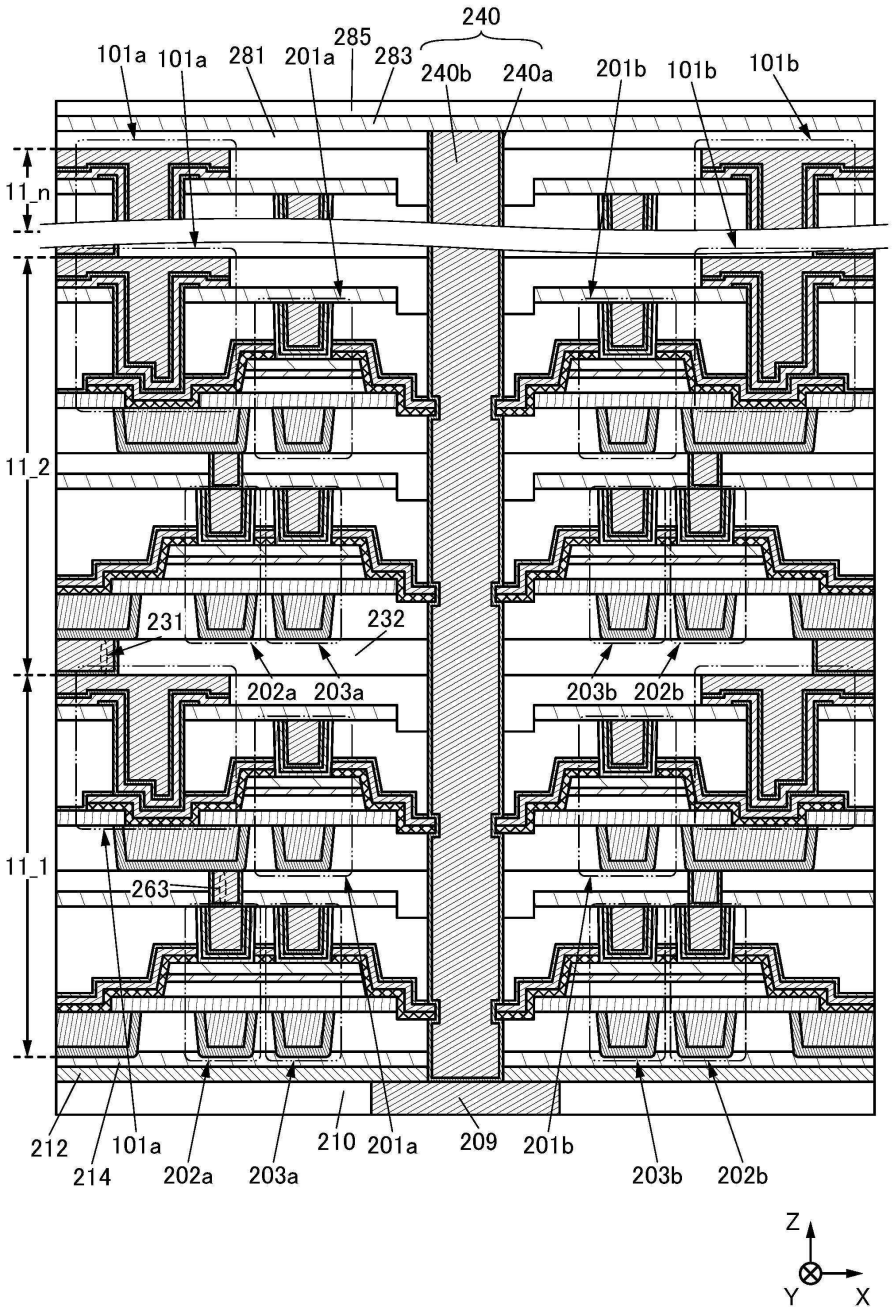
도면1


240
101a
101a
281
285
201a
283
240b
240a
201b
101b
101b
11_n
11_2
265c
232
202a
203a
203b
202b
11_1
265c
212
214
101a
202a
203a
210
201a
209
201b
203b
202b
101b
Z
Y
X

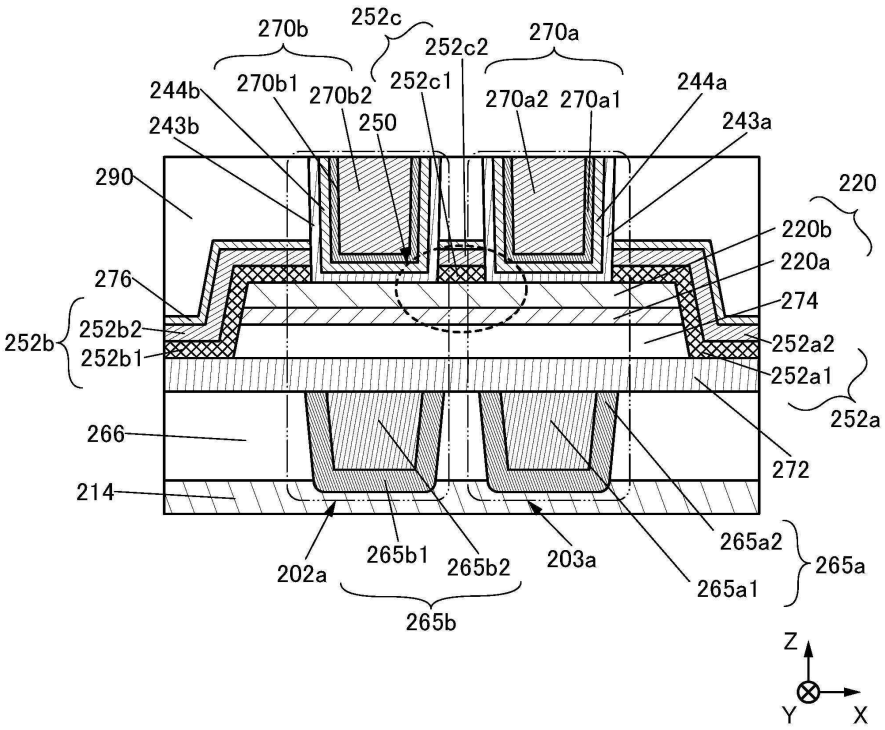
도면2


240
101a
101a
281
285
201a
283
240b
240a
201b
101b
101b
11_n
11_2
232
202a
203a
203b
202b
11_1
212
214
101a
202a
203a
210
201a
209
201b
203b
202b
101b
Z
Y
X

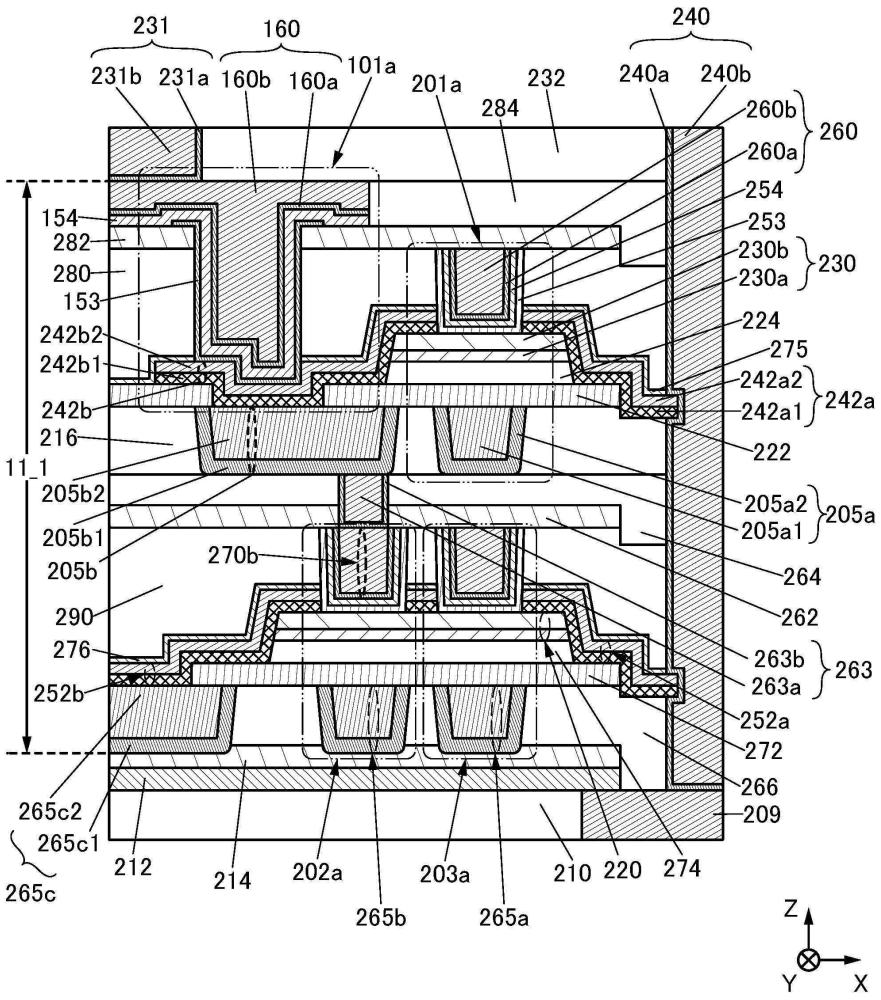
도면3


240
101a
101a
281
201a
285
283
240b
240a
201b
101b
101b
11_n
11_2
231
232
202a
203a
203b
202b
11_1
263
212
214
101a
202a
203a
210
201a
209
201b
203b
202b
Z
Y
X

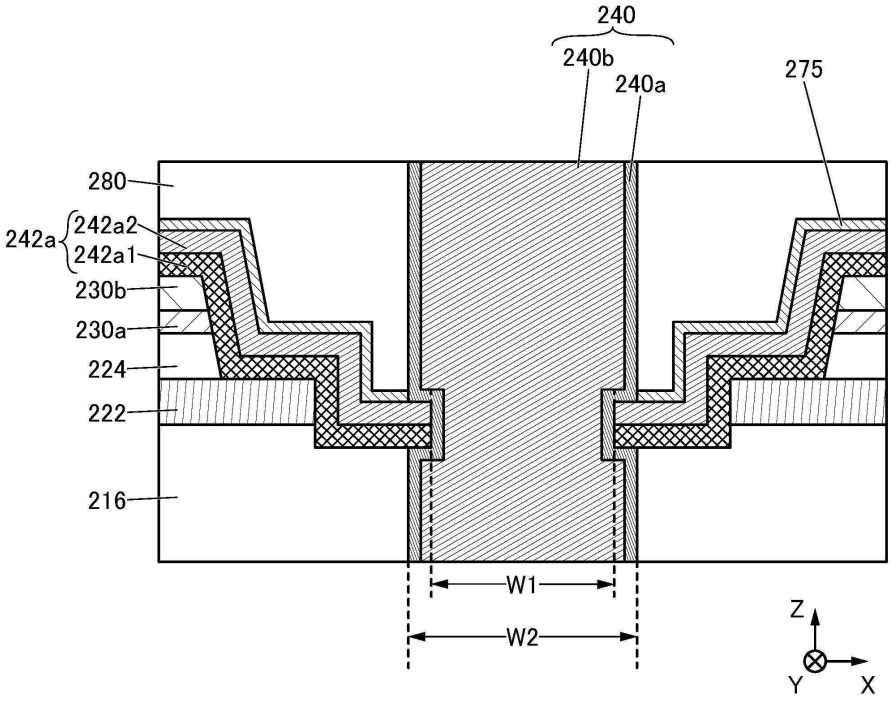
도면4


270b
252c
252c2
270a
244b
270b1
270b2
252c1
270a2
270a1
244a
243b
250
243a
290
220
220b
220a
276
274
252b
252b2
252b1
252a2
252a1
252a
266
272
214
265a2
265a
202a
265b1
265b2
203a
265a1
265b
Z
Y
X

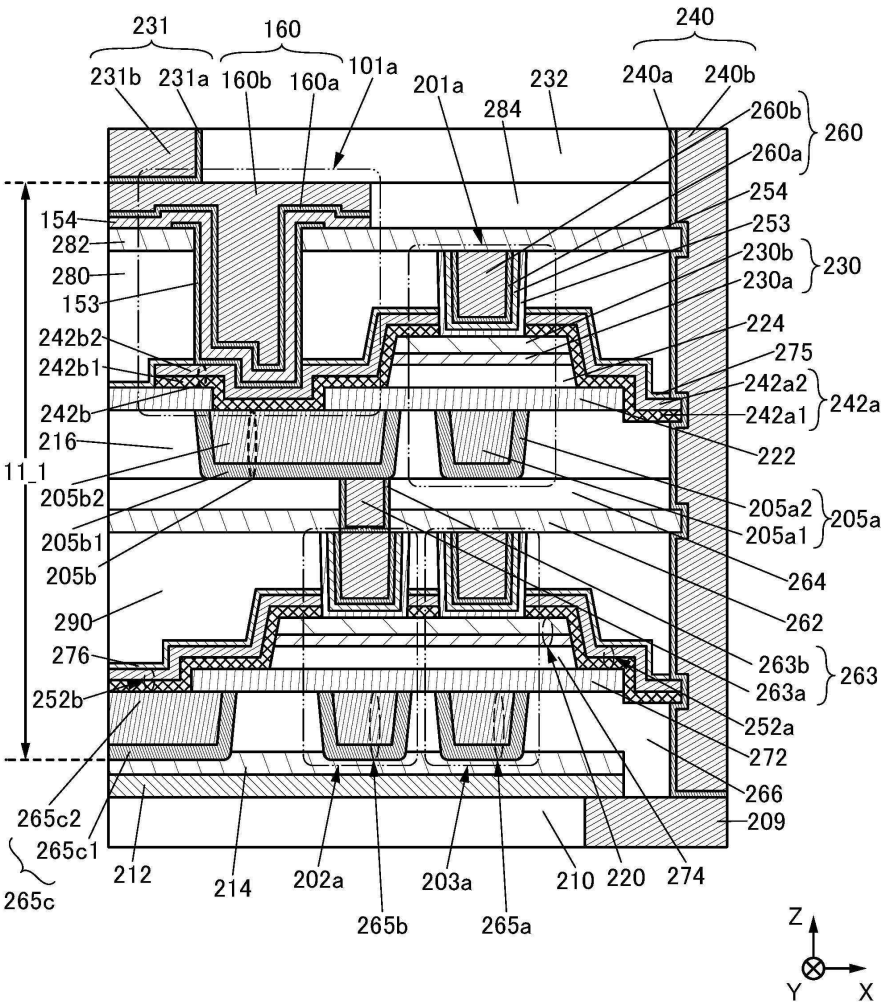
도면5


231
160
240
231b
231a
160b
160a
101a
201a
232
284
240a
240b
260b
260a
260
254
253
230b
230a
230
154
282
280
153
224
275
242b2
242b1
242a2
242a1
242a
242b
216
222
11_1
205b2
205a2
205a1
205a
205b1
205b
270b
264
290
262
276
263b
263a
263
252b
252a
272
266
209
265c2
265c1
265c
212
214
202a
203a
210
220
274
265b
265a
Z
Y
X

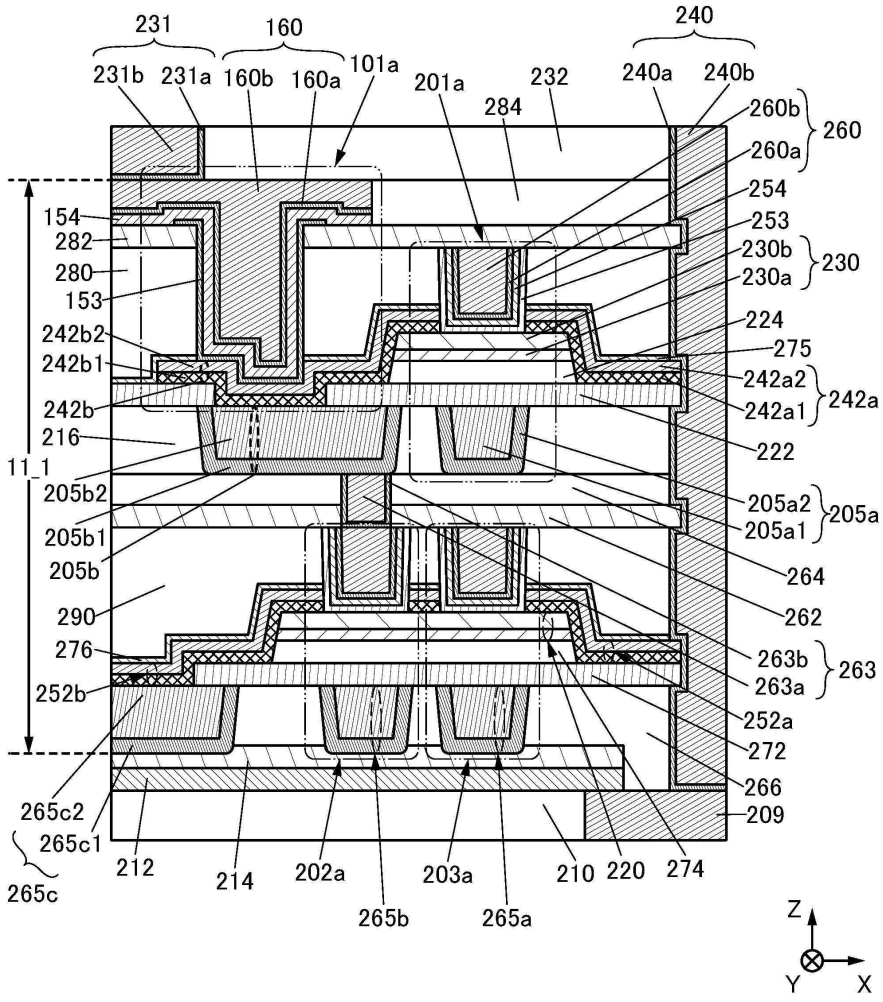
도면6


240
240b
240a
275
280
242a
242a2
242a1
230b
230a
224
222
216
W1
W2
Z
Y
X

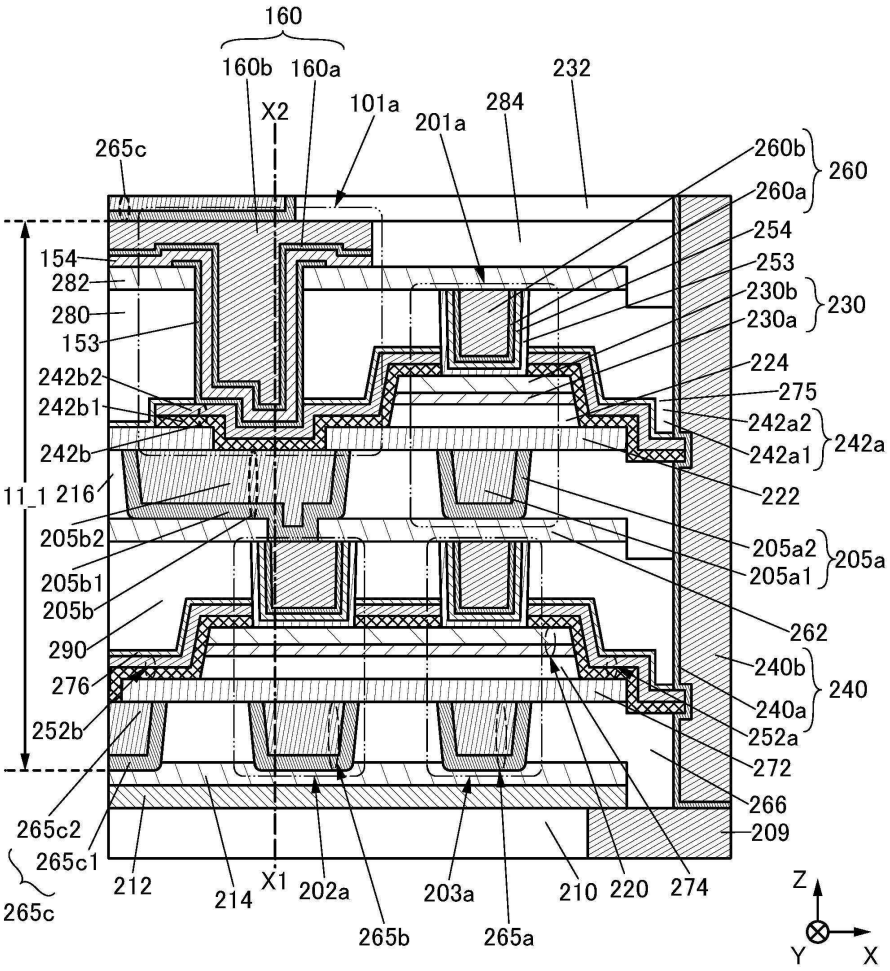
도면7


231
160
240
231b
231a
160b
160a
101a
201a
232
284
240a
240b
260b
260
260a
254
253
230b
230
230a
154
282
280
153
242b2
242b1
224
275
242a2
242a
242a1
242b
216
222
11_1
205b2
205a2
205a
205a1
205b1
205b
264
290
262
276
263b
263
263a
252b
252a
272
266
265c2
209
265c1
212
214
202a
203a
210
220
274
265c
265b
265a
Z
Y
X

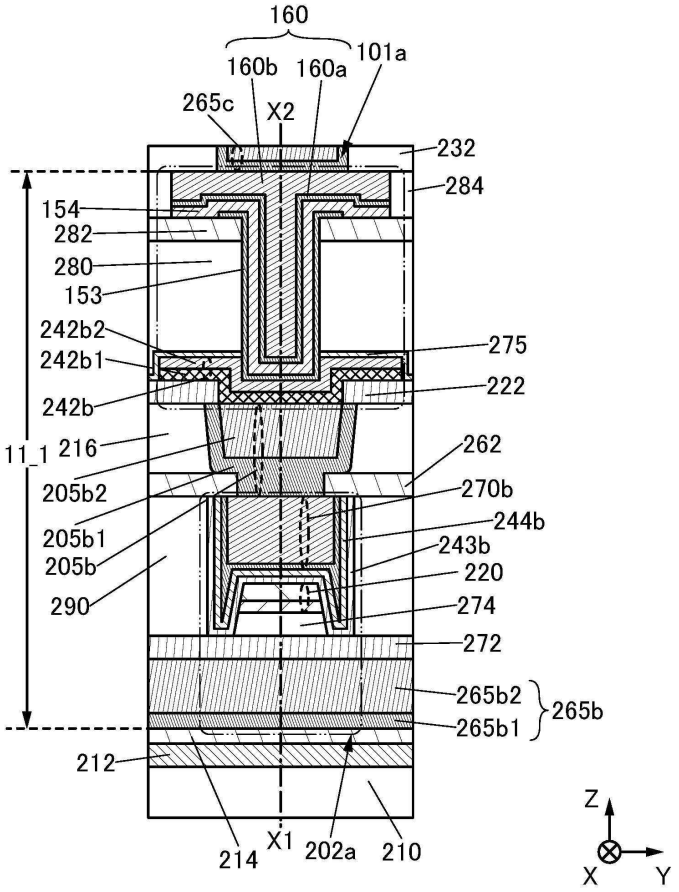
도면8


231
160
240
231b
231a
160b
160a
101a
201a
232
284
240a
240b
260b
260a
260
254
253
230b
230a
230
154
282
280
153
224
275
242b2
242b1
242a2
242a1
242a
242b
216
222
11_1
205b2
205a2
205a1
205a
205b1
205b
264
290
262
276
263b
263a
263
252b
252a
272
266
265c2
265c1
209
265c
212
214
202a
203a
210
220
274
265b
265a
Z
Y
X

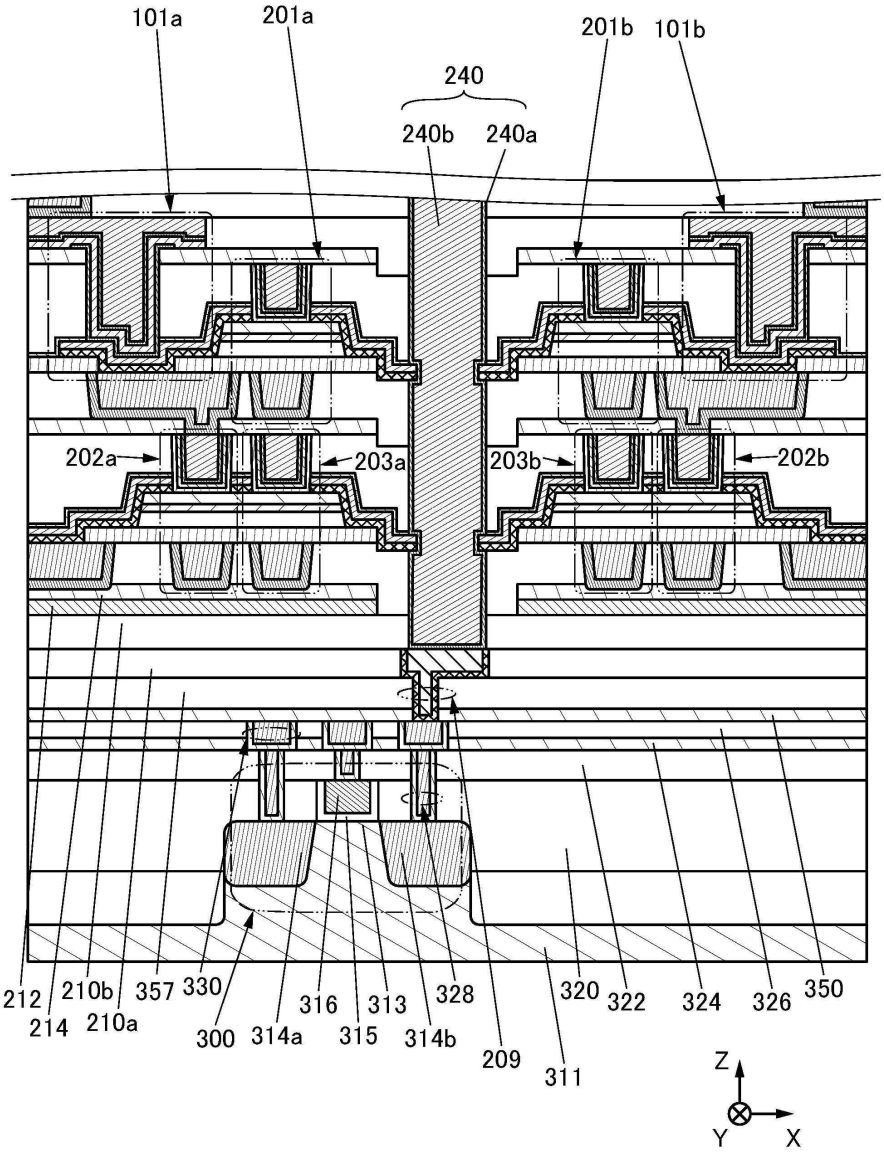
도면9


160
160b
160a
X2
101a
201a
284
232
265c
260b
260
260a
254
154
253
282
230b
230
280
230a
153
224
242b2
275
242b1
242a2
242a
242a1
242b
222
11_1
216
205a2
205b2
205a
205a1
205b1
262
205b
290
240b
276
240
240a
252b
252a
272
266
265c2
209
265c1
212
214
X1
202a
203a
210
220
274
265c
265b
265a
Z
Y
X

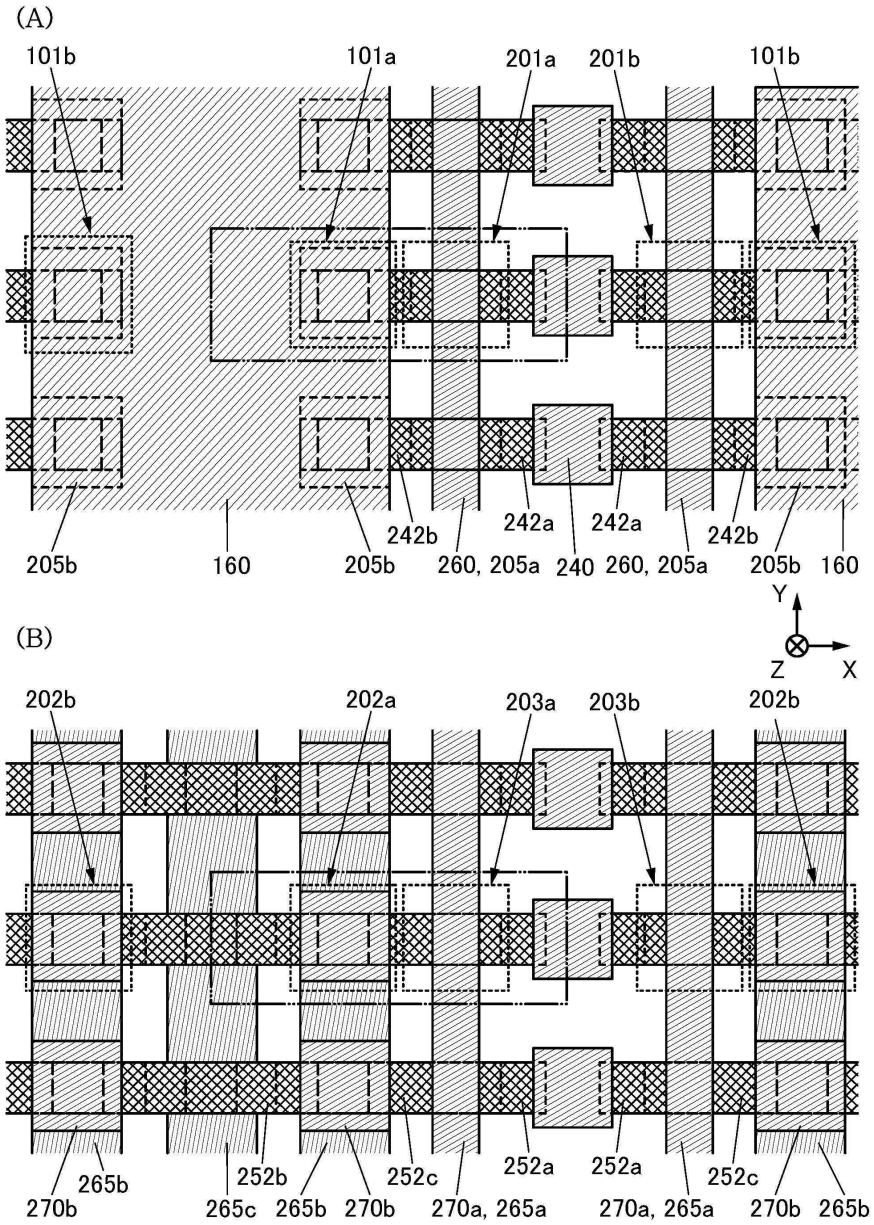
도면10


160
160b
160a
101a
265c
X2
232
284
154
282
280
153
242b2
242b1
242b
275
222
11_1
216
205b2
205b1
205b
290
262
270b
244b
243b
220
274
272
265b2
265b1
265b
212
214
X1
202a
210
Z
X
Y

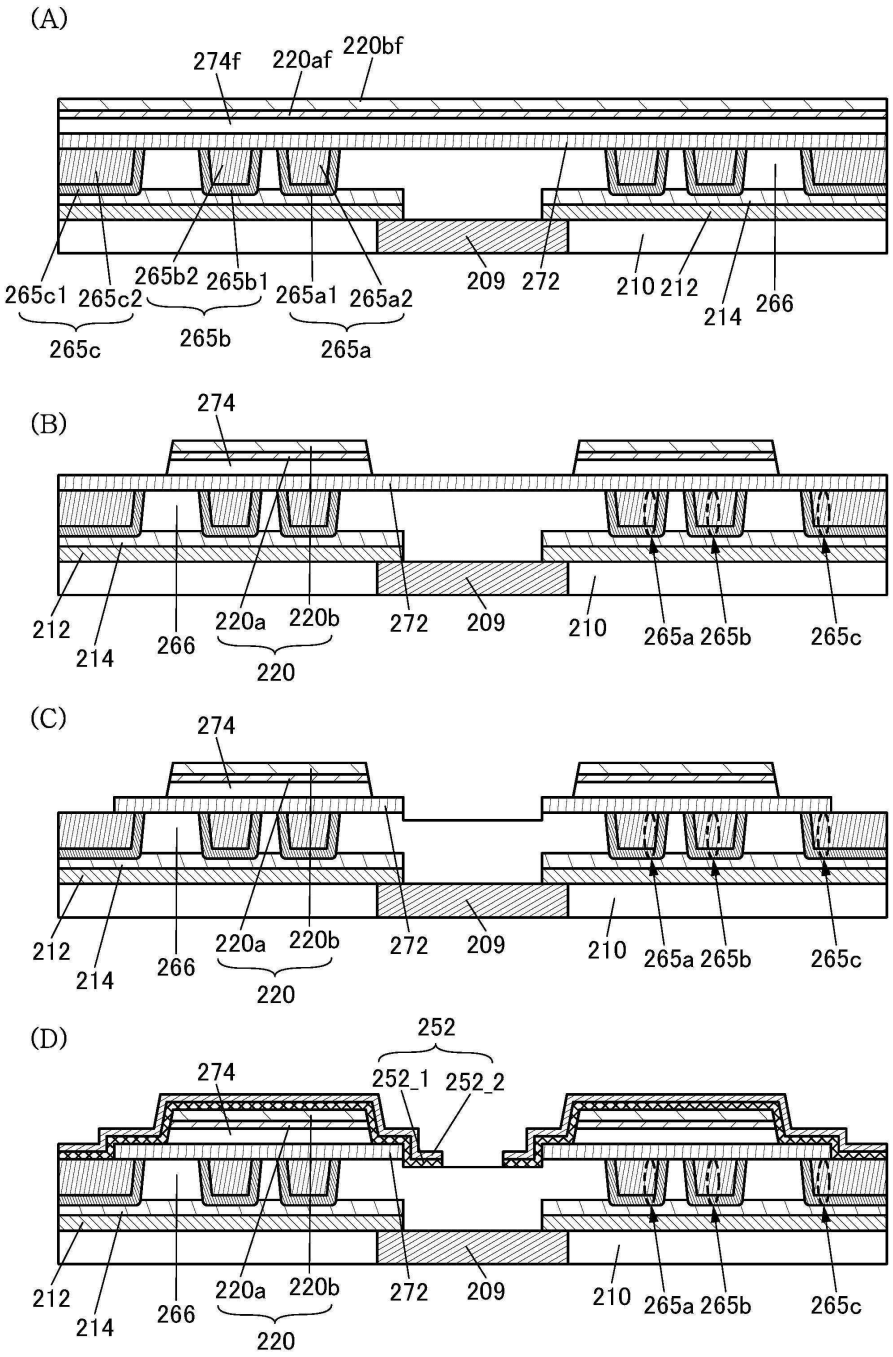
도면11


101a
201a
240
240b
240a
201b
101b
202a
203a
203b
202b
212
214
210b
210a
357
330
300
314a
316
315
313
314b
328
209
311
320
322
324
326
350
Z
Y
X

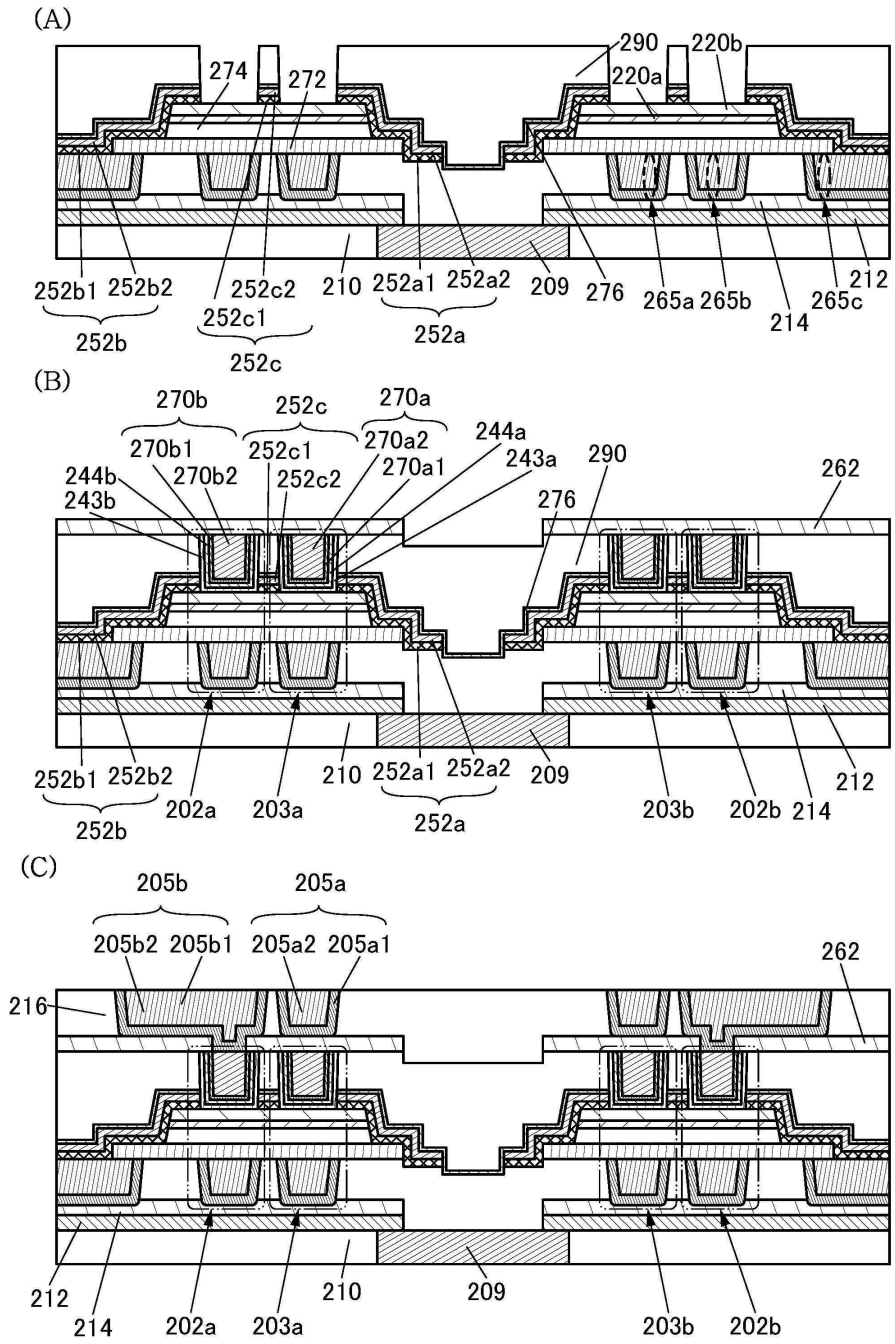
도면12


(A)
101b
101a
201a
201b
101b
205b
160
205b
242b
260, 205a
240
242a
242a
260, 205a
242b
205b
160
Y
Z
X
(B)
202b
202a
203a
203b
202b
270b
265b
265c
252b
265b
270b
252c
270a, 265a
252a
252a
270a, 265a
252c
270b
265b

도면13

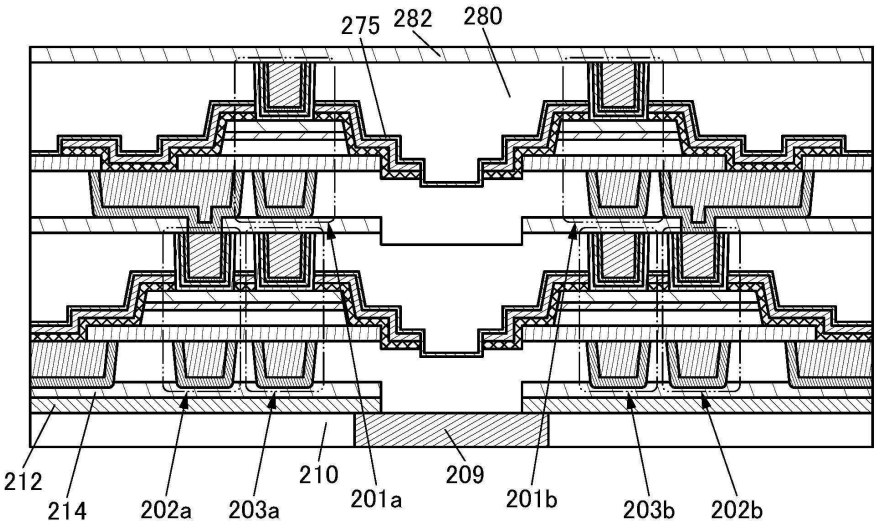

(A)
274f
220af
220bf
265c1
265c2
265b2
265b1
265a1
265a2
209
272
210
212
214
266
265c
265b
265a
(B)
274
212
214
266
220a
220b
220
272
209
210
265a
265b
265c
(C)
274
212
214
266
220a
220b
220
272
209
210
265a
265b
265c
(D)
252
252_1
252_2
274
212
214
266
220a
220b
220
272
209
210
265a
265b
265c

도면14

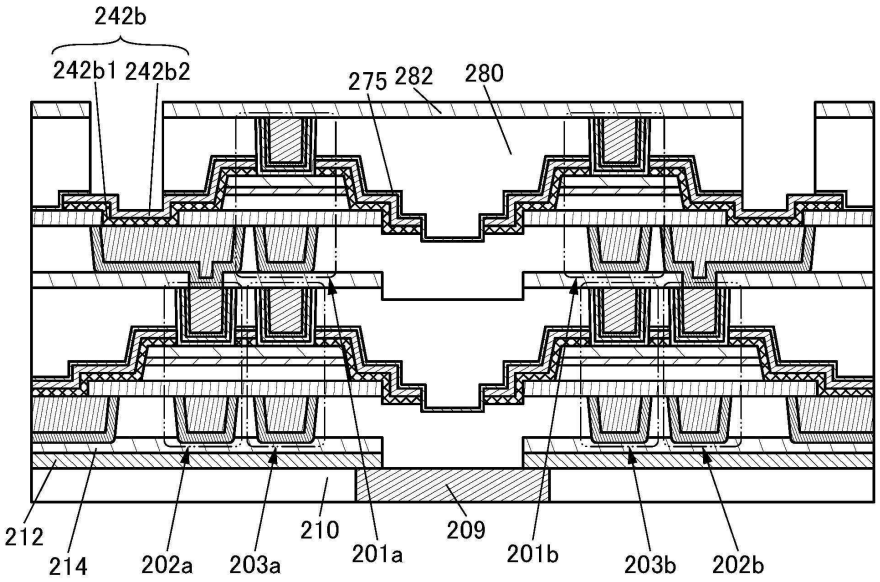

(A)
274
272
290
220b
220a
252b1
252b2
252b
252c2
252c1
252c
210
252a1
252a2
252a
209
276
265a
265b
214
265c
212
(B)
270b
252c
270a
270b1
252c1
270a2
244a
243a
290
262
244b
243b
270b2
252c2
270a1
276
252b1
252b2
252b
202a
203a
210
252a1
252a2
252a
209
203b
202b
214
212
(C)
205b
205a
205b2
205b1
205a2
205a1
262
216
212
214
202a
203a
210
209
203b
202b

도면15

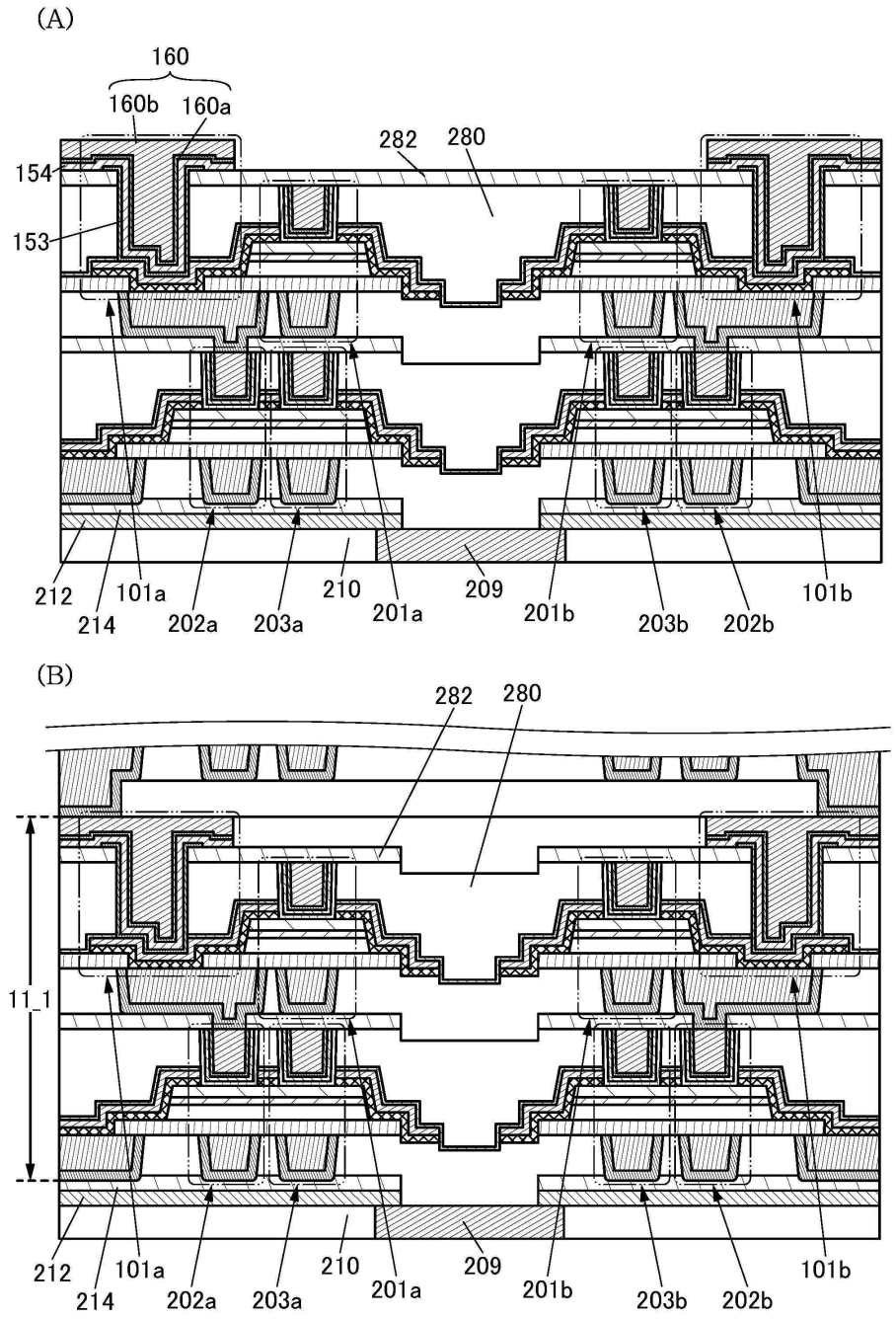
(A)


275
282
280
212
214
202a
203a
210
201a
209
201b
203b
202b

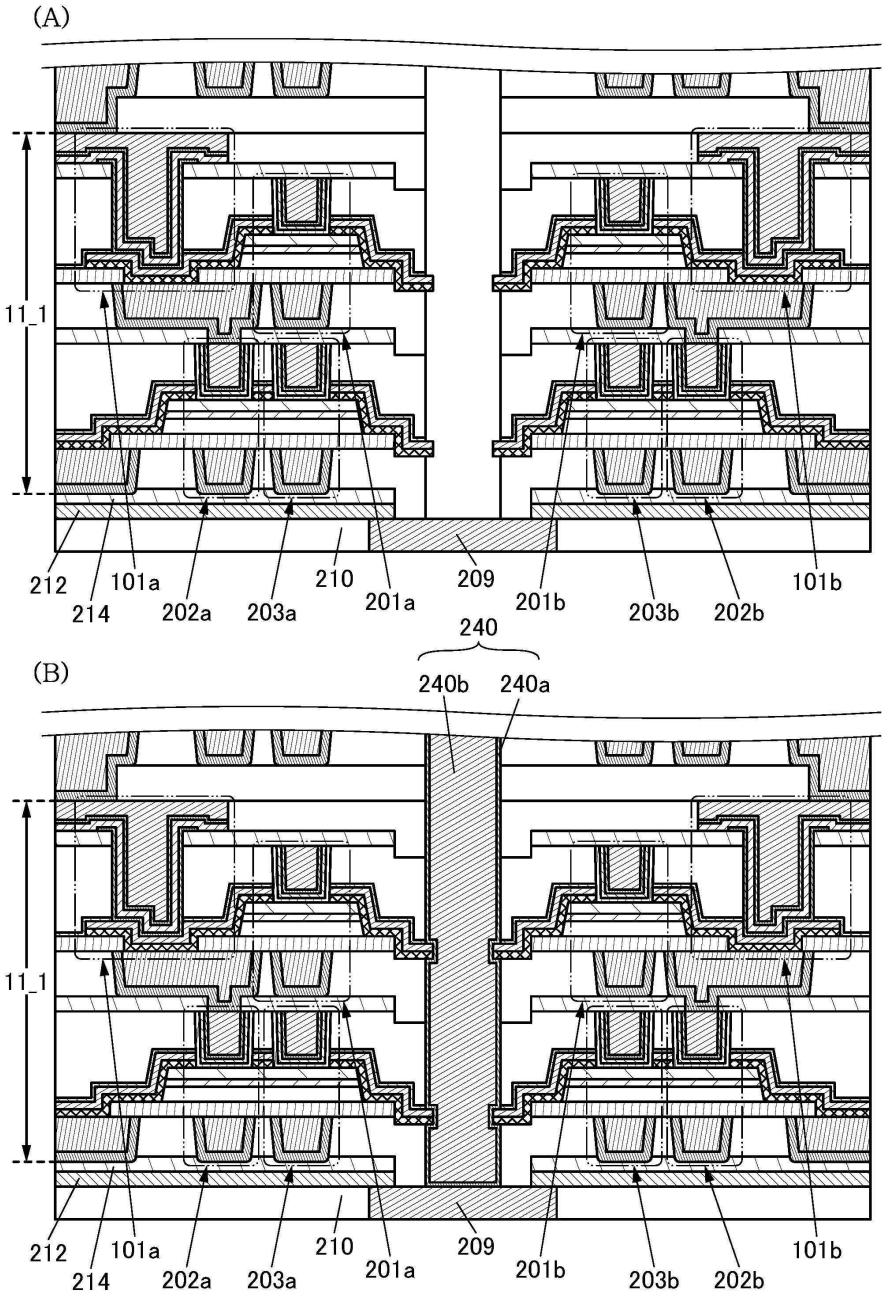
(B)


242b
242b1
242b2
275
282
280
212
214
202a
203a
210
201a
209
201b
203b
202b

도면16

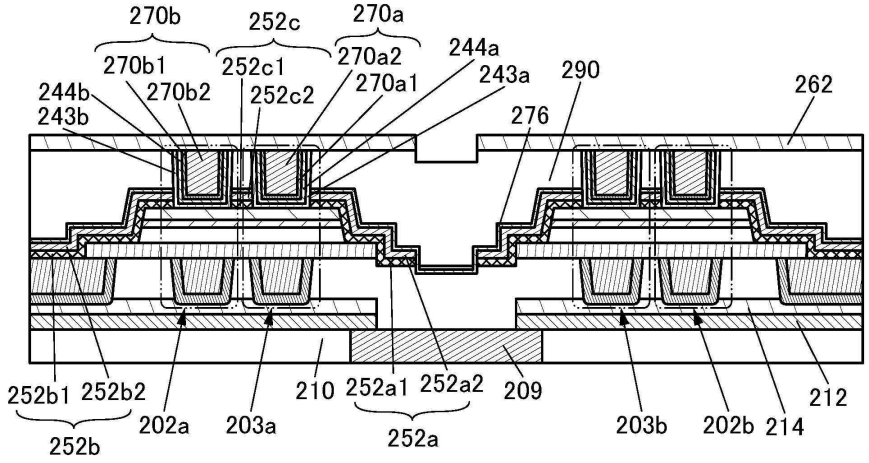

(A)
160
160b
160a
282
280
154
153
212
214
101a
202a
203a
210
201a
209
201b
203b
202b
101b
(B)
282
280
11_1
212
214
101a
202a
203a
210
201a
209
201b
203b
202b
101b

도면17

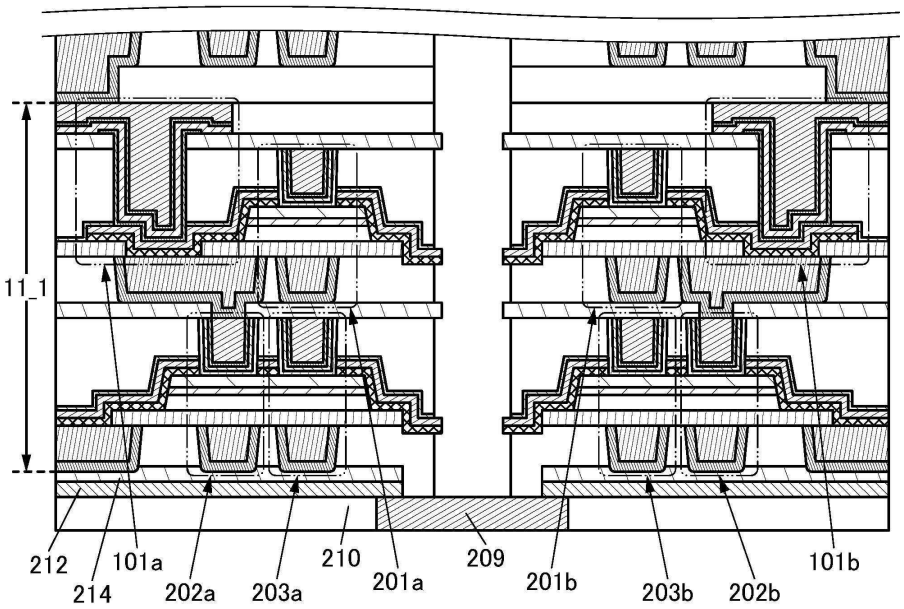

(A)
11_1
212
214
101a
202a
203a
210
201a
209
201b
203b
202b
101b
240
240b
240a
(B)
11_1
212
214
101a
202a
203a
210
201a
209
201b
203b
202b
101b

도면18

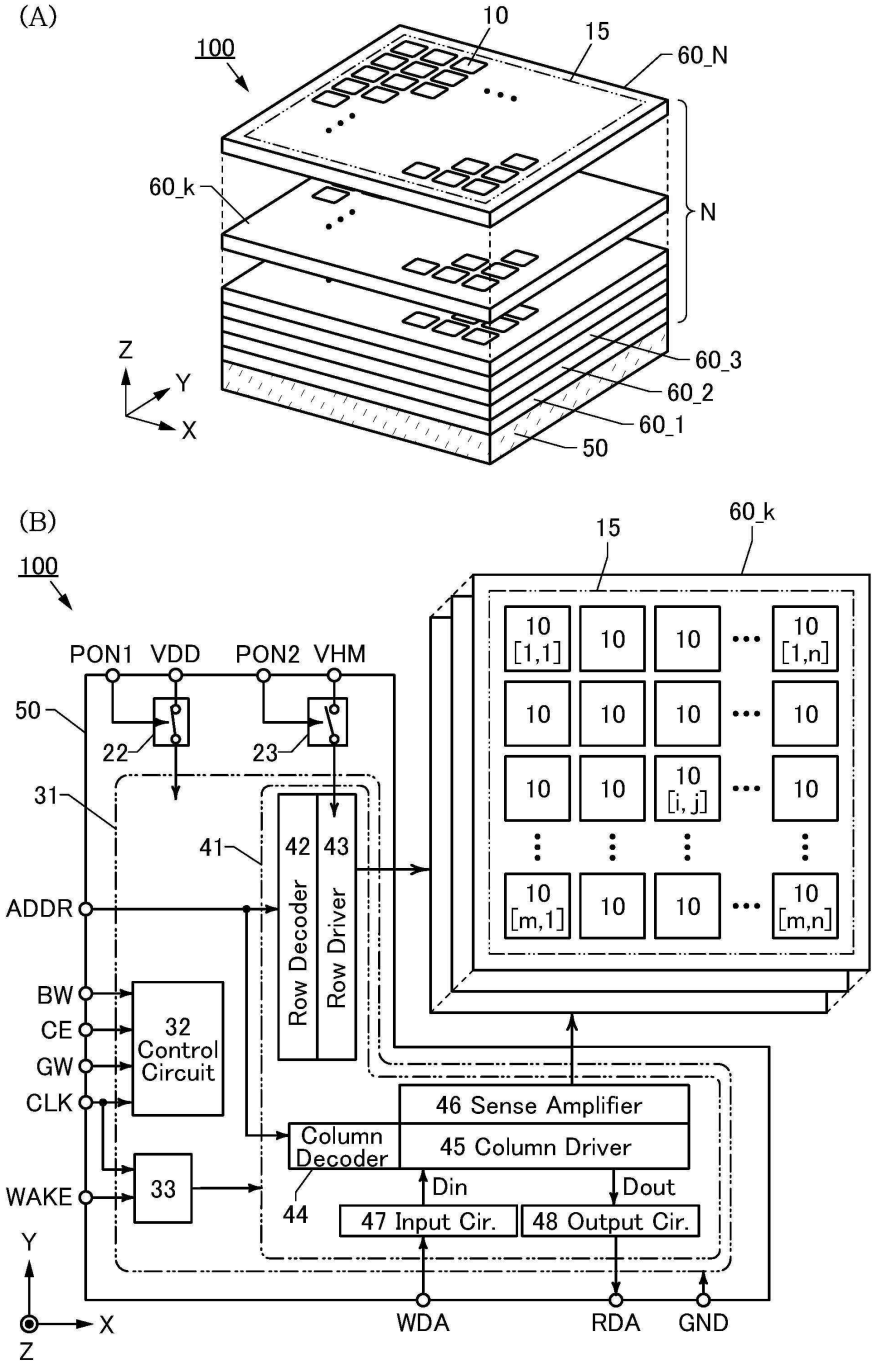
(A)


270b
252c
270a
270b1
252c1
270a2
244a
244b
270b2
252c2
270a1
243a
290
262
243b
276
252b1
252b2
202a
203a
210
252a1
252a2
209
203b
202b
214
212
252b
252a

(B)

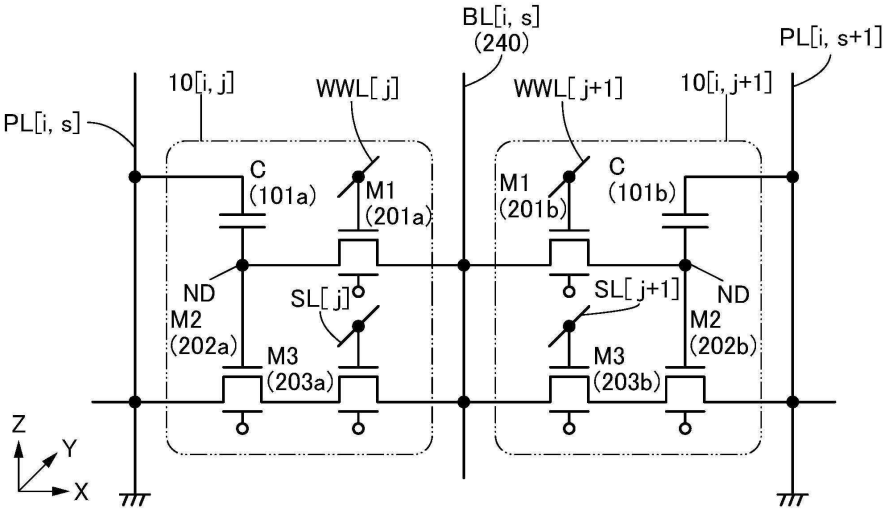

11_1
212
214
101a
202a
203a
210
201a
209
201b
203b
202b
101b

도면19

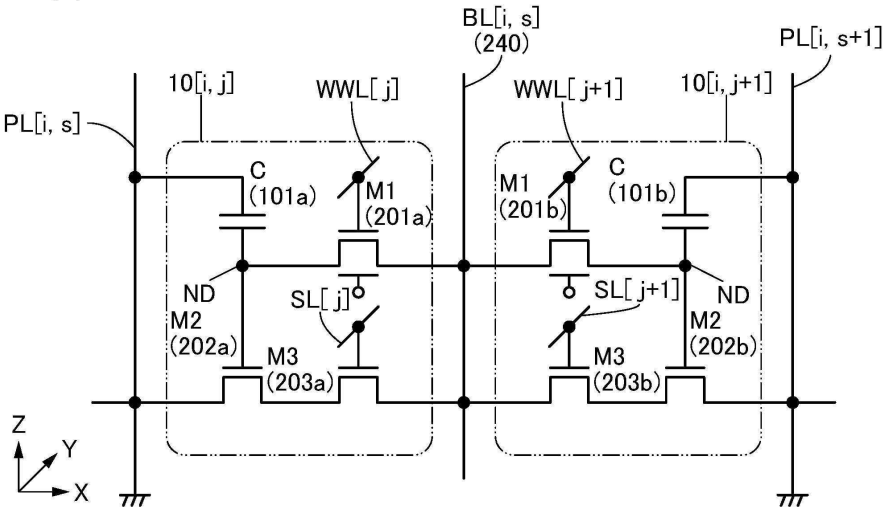

(A)
100
10
15
60_N
60_k
N
60_3
60_2
60_1
50
Z
Y
X
(B)
100
15
60_k
PON1
VDD
PON2
VHM
50
22
23
31
41
42
43
Row Decoder
Row Driver
ADDR
BW
CE
GW
CLK
32
Control
Circuit
WAKE
33
46 Sense Amplifier
45 Column Driver
Column
Decoder
44
Din
Dout
47 Input Cir.
48 Output Cir.
10
[1,1]
10
[1,n]
10
[i, j]
10
[m,1]
10
[m,n]
WDA
RDA
GND
Y
X
Z

도면20

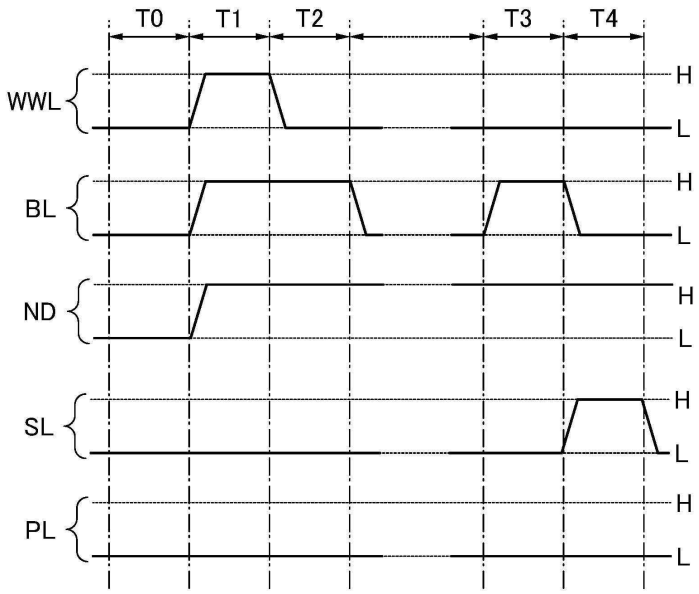
(A)


BL[i, s]
(240)
PL[i, s+1]
10[i, j]
WWL[j]
WWL[j+1]
10[i, j+1]
PL[i, s]
C
(101a)
M1
(201a)
M1
(201b)
C
(101b)
ND
M2
(202a)
SL[j]
SL[j+1]
ND
M2
(202b)
M3
(203a)
M3
(203b)
Z
Y
X

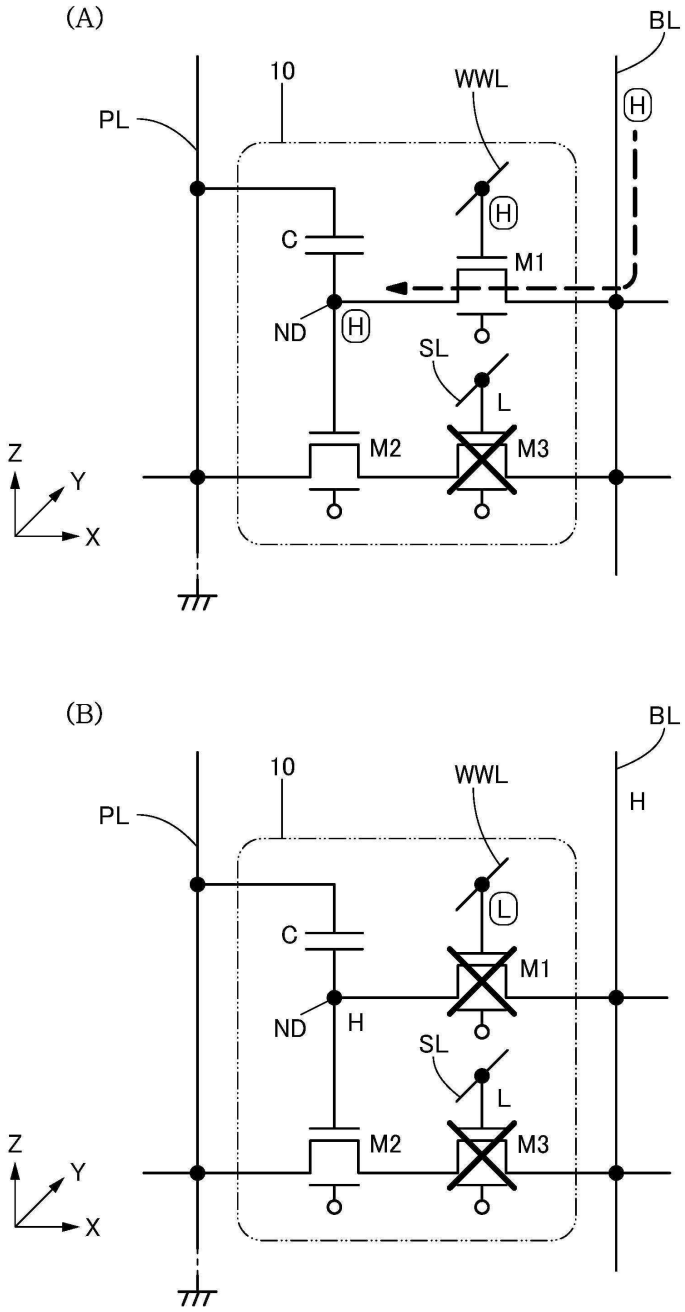
(B)


BL[i, s]
(240)
PL[i, s+1]
10[i, j]
WWL[j]
WWL[j+1]
10[i, j+1]
PL[i, s]
C
(101a)
M1
(201a)
M1
(201b)
C
(101b)
ND
M2
(202a)
SL[j]
SL[j+1]
ND
M2
(202b)
M3
(203a)
M3
(203b)
Z
Y
X

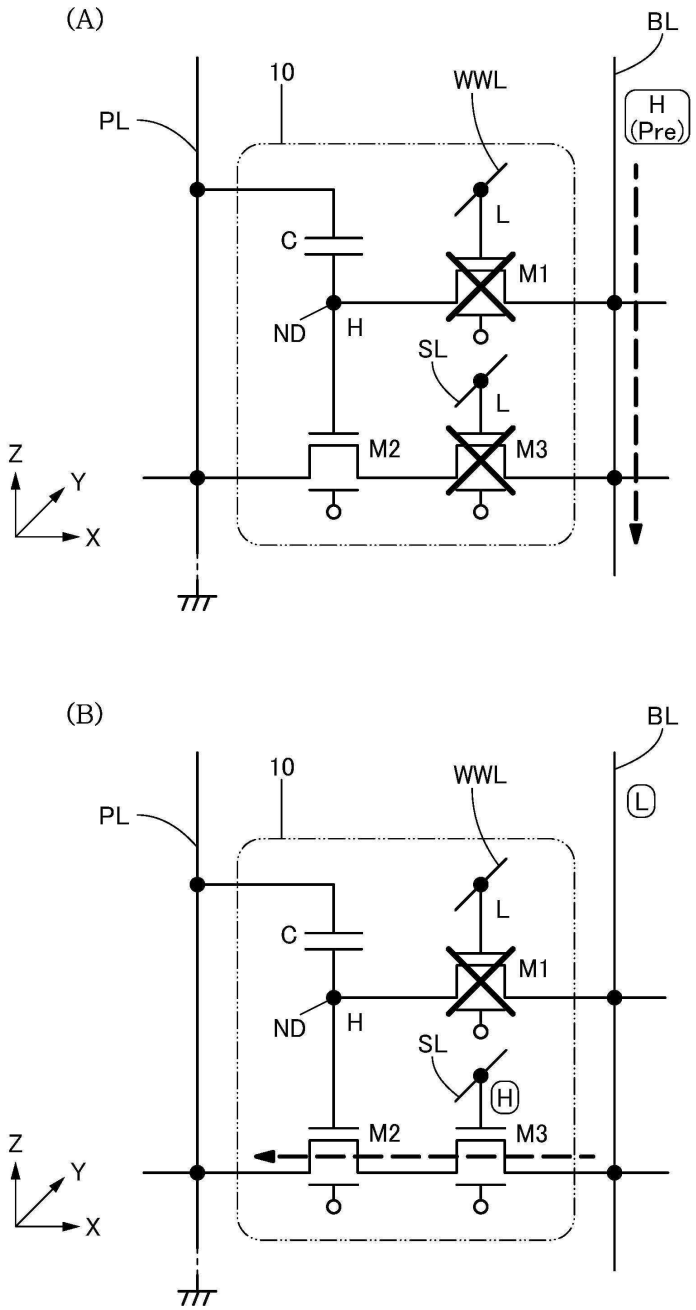
도면21



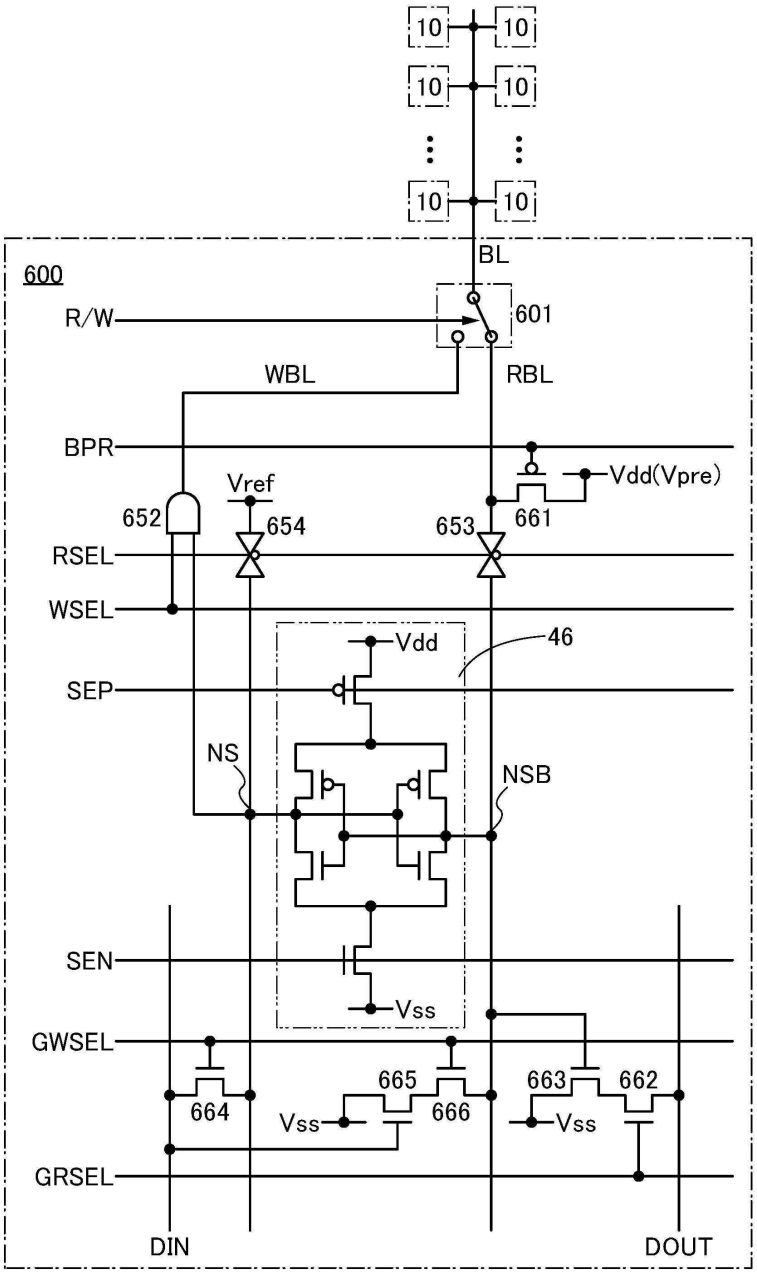
도면22


(A)
BL
10
WWL
PL
H
C
M1
ND
H
SL
L
M2
M3
Z
Y
X
(B)
BL
10
WWL
PL
H
L
C
M1
ND
H
SL
L
M2
M3
Z
Y
X

도면23

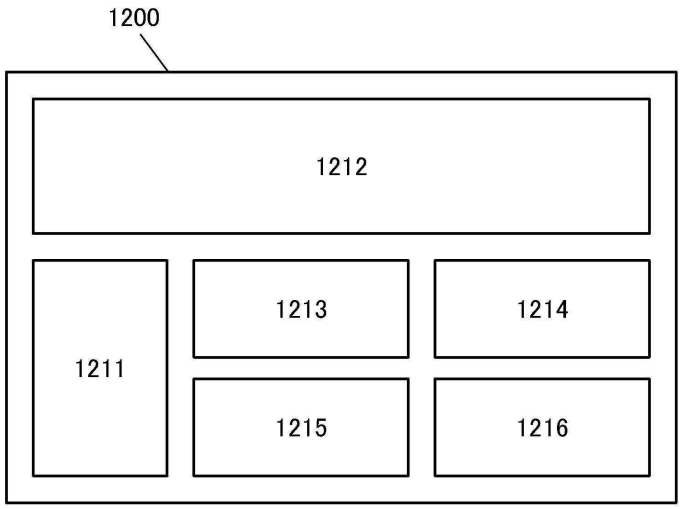

(A)
BL
10
WWL
PL
H
(Pre)
L
C
M1
ND
H
SL
L
M2
M3
Z
Y
X
(B)
BL
10
WWL
PL
L
L
C
M1
ND
H
SL
H
M2
M3
Z
Y
X

도면24

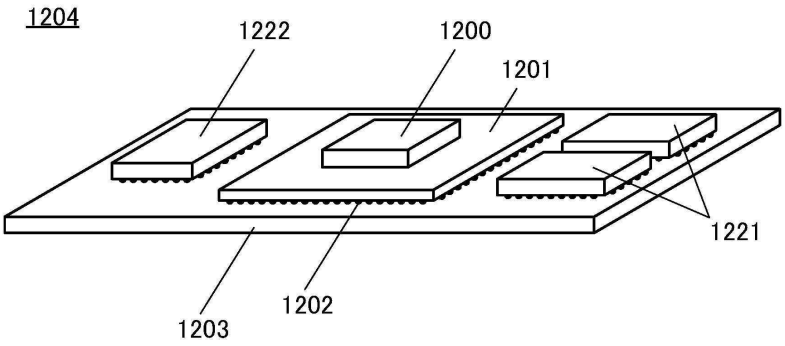

10
10
10
10
10
10
BL
600
R/W
601
WBL
RBL
BPR
Vref
Vdd(Vpre)
652
654
653
661
RSEL
WSEL
Vdd
46
SEP
NS
NSB
SEN
Vss
GWSEL
665
663
662
664
Vss
666
Vss
GRSEL
DIN
DOUT

도면25

(A)

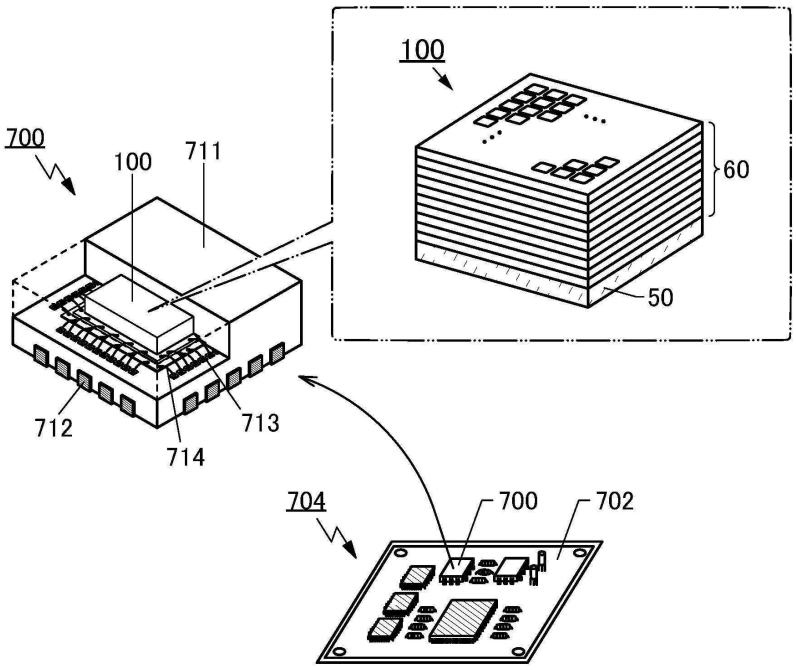

1200
1212
1211
1213
1214
1215
1216

(B)

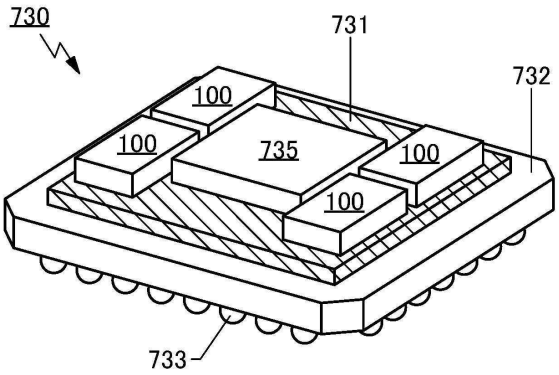

1204
1222
1200
1201
1221
1203
1202

도면26

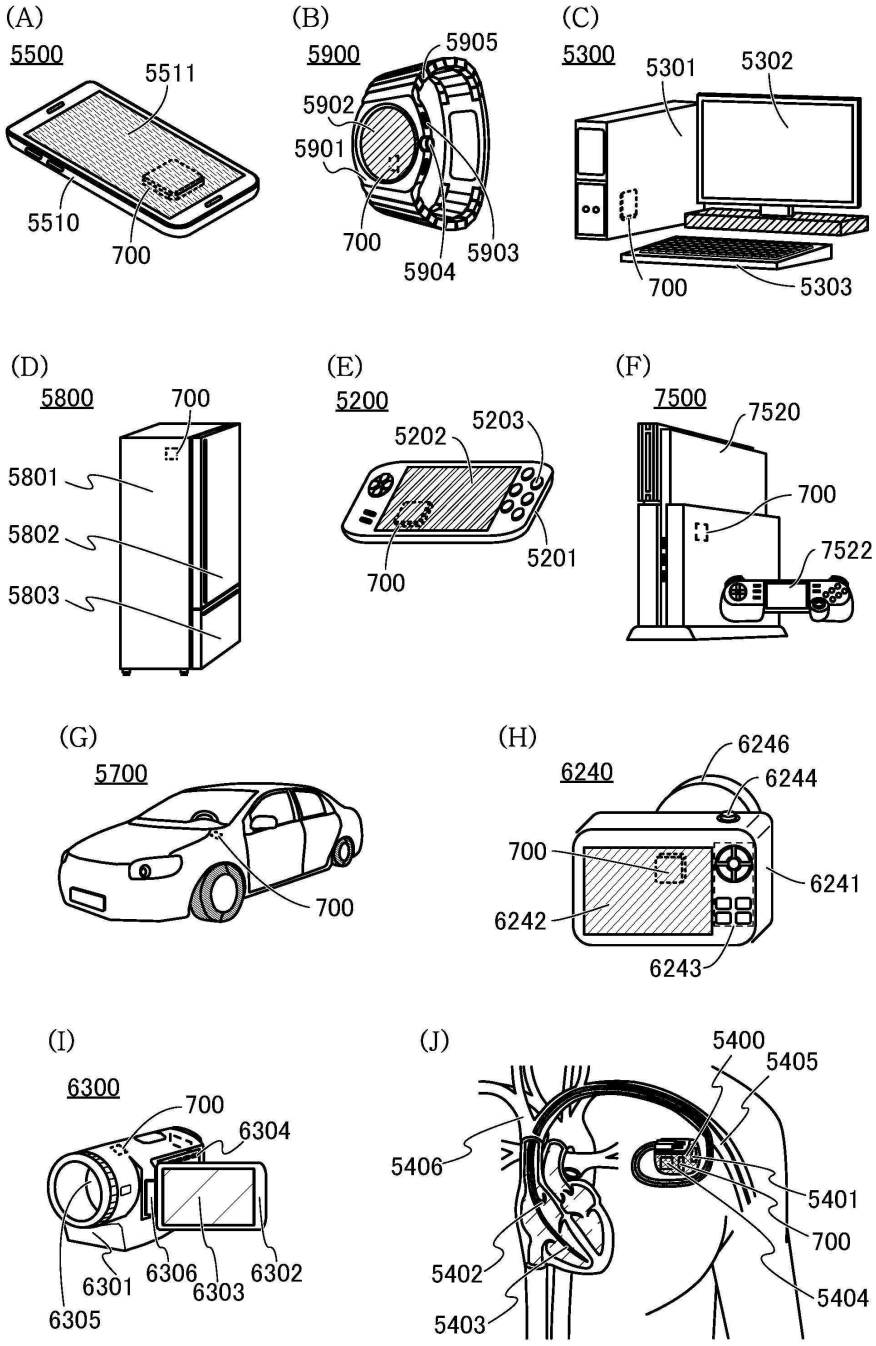
(A)


100
700
100
711
60
50
712
713
714
704
700
702

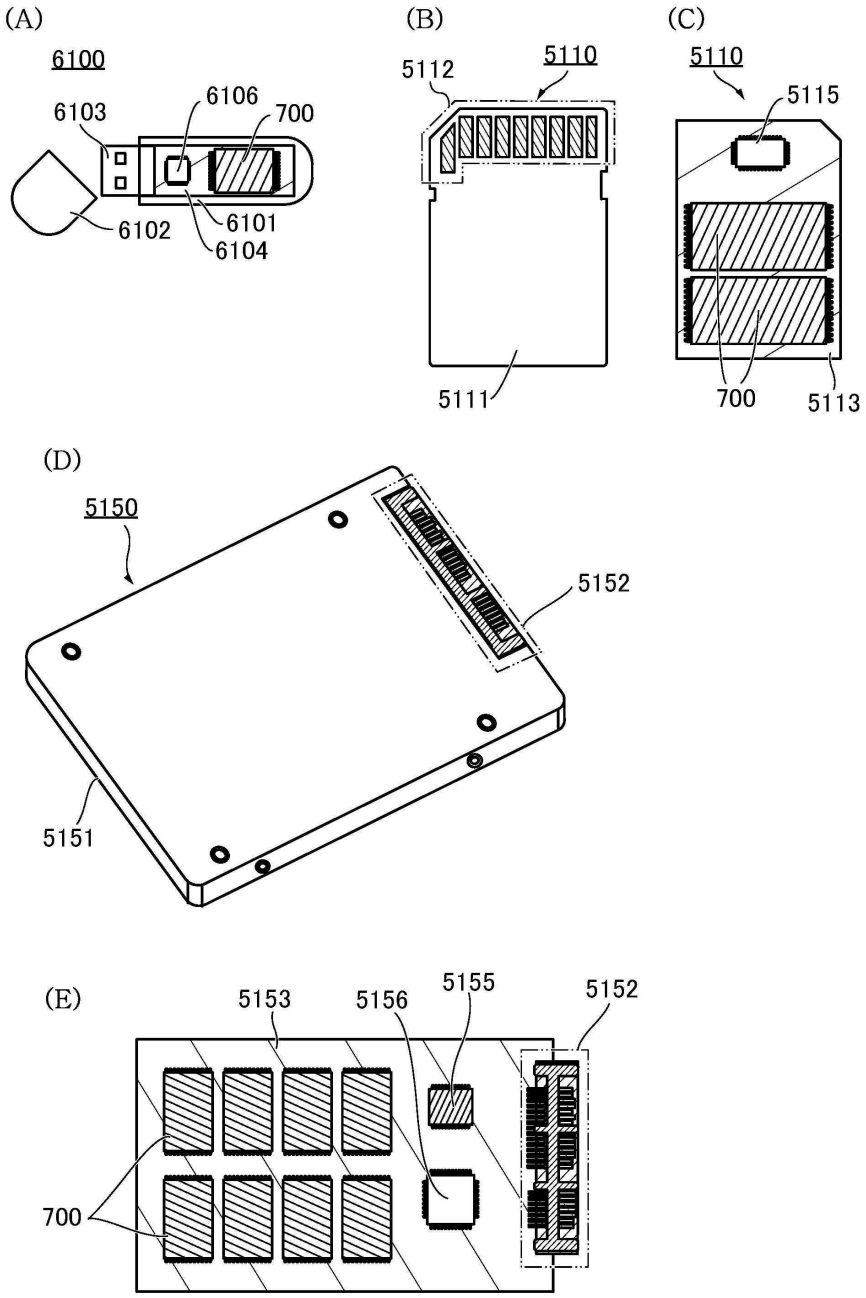
(B)


730
731
732
100
100
735
100
100
733

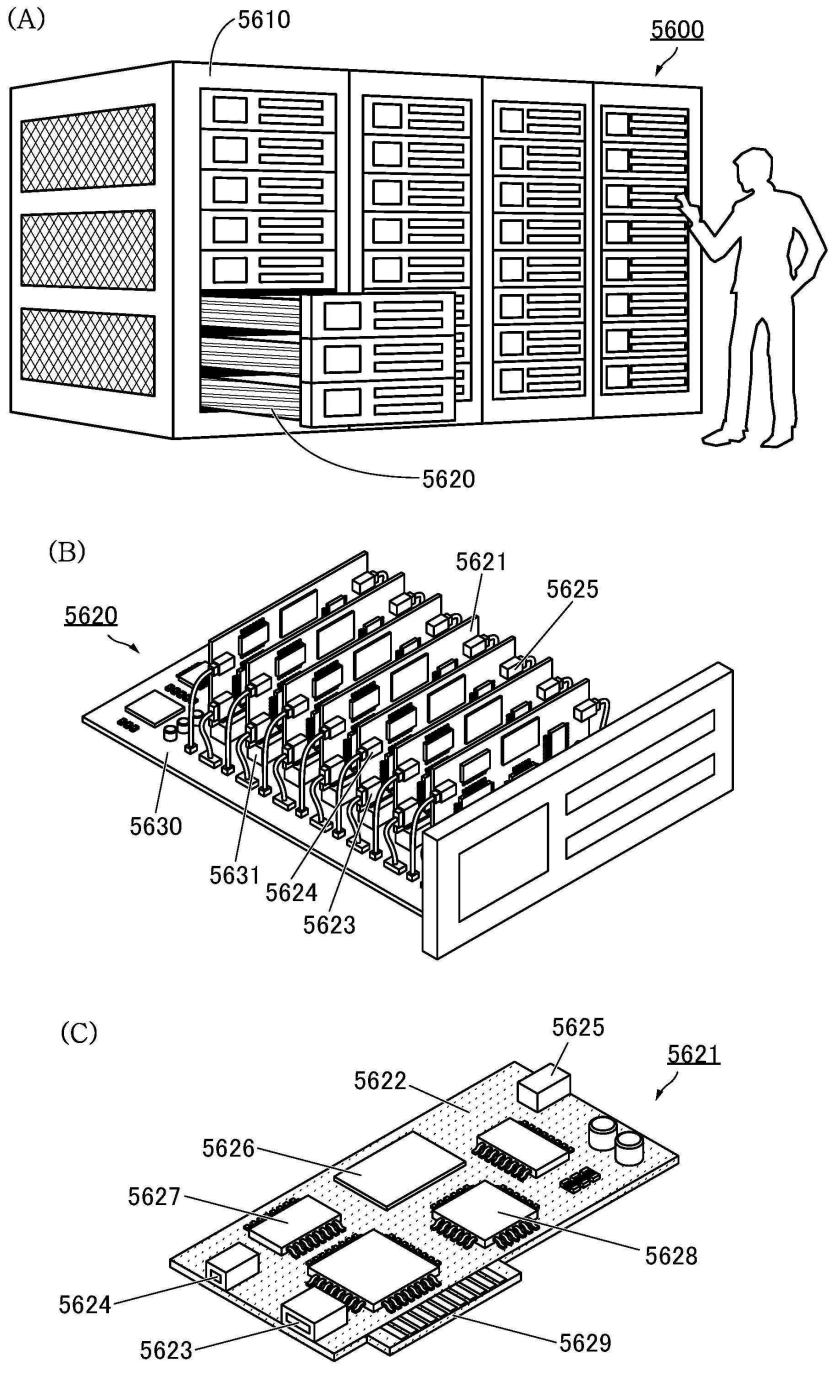
도면27


(A)
5500
5511
5510
700
(B)
5900
5905
5902
5901
700
5904
5903
(C)
5300
5301
5302
700
5303
(D)
5800
700
5801
5802
5803
(E)
5200
5203
5202
5201
700
(F)
7500
7520
700
7522
(G)
5700
700
(H)
6240
6246
6244
700
6241
6242
6243
(I)
6300
700
6304
6301
6306
6303
6302
6305
(J)
5400
5405
5406
5401
700
5402
5404
5403

도면28


(A)
6100
6103
6106
700
6102
6101
6104
(B)
5112
5110
5111
(C)
5110
5115
700
5113
(D)
5150
5152
5151
(E)
5153
5156
5155
5152
700

도면29


(A)
5610
5600
5620
(B)
5621
5625
5620
5630
5631
5624
5623
(C)
5625
5621
5622
5626
5627
5628
5624
5623
5629

도면30

