



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H04B 1/69 (2006.01)

(45) 공고일자 2007년08월03일
 (11) 등록번호 10-0746435
 (24) 등록일자 2007년07월30일

(21) 출원번호	10-2002-7003685	(65) 공개번호	10-2002-0032609
(22) 출원일자	2002년03월20일	(43) 공개일자	2002년05월03일
심사청구일자	2005년09월06일		
번역문 제출일자	2002년03월20일		
(86) 국제출원번호	PCT/EP2000/009265	(87) 국제공개번호	WO 2001/24425
국제출원일자	2000년09월21일	국제공개일자	2001년04월05일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 캐나다, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리비아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 싱가포르, 아랍에미리트, 남아프리카, 감비아, 그라나다, 가나, 인도네시아, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨, 크로아티아, 스웨덴, 인도, 안티구와바부다, 벨리제, 코스타리카, 탄자니아, 모잠비크, 모로코, 도미니카, 알제리,

AP ARIPO특허 : 캐나다, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 감비아, 짐바브웨, 시에라리온, 탄자니아, 모잠비크,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프리스,

OA OAPI특허 : 부르키나파소, 베냉, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장

99119011.7

1999년09월28일

유럽특허청(EPO)(EP)

(73) 특허권자

텔레폰액티에볼라겟엘엠에릭슨(펍)
 스웨덴왕국 스톡홀름 에스-164 83

(72) 발명자

파흐러쥐르젠
 독일연방공화국메인하임91802쿠르제날세임5

젠트슈퍼터
 독일연방공화국헤를드스베르크90562투체르스트라세37에이

(74) 대리인

권동용

박병석
서장찬
최재철

(56) 선행기술조사문현

EP 0503657 A
US 5625627 A

WO 9859443 A
DE 3623910 A

심사관 : 김광식

전체 청구항 수 : 총 11 항

(54) 통신 시스템에서 다수 채널의 데이터 프레임을 시간-정렬시키는 장치 및 방법

(57) 요약

다수의 채널(CH1, CH2, ... CHn)의 데이터 프레임이 디코더(DEC)의 내부 프레임 구조의 공통 동기화 클록(WR, R/W, RD, T)에 관하여 각각 상이한 시간 오프셋을 갖고 도달하는 전기 통신 시스템에서 3개의 프레임 메모리(RAM1, RAM2, RAM3)는 데이터 프레임의 시간-정렬을 수행하는데 이용된다. 데이터 프레임은 판독 상태를 갖는 2개의 프레임 메모리(RAM1, RAM2)에 각각 기록되고, 한 프레임 메모리(RAM3)의 판독은 공통 동기화 클록(T)의 발생이 시작되면 수행된다. 프레임 메모리(RAM1, RAM2, RAM3)의 판독/기록 상태의 주기적 스위칭이 수행되어, 항상 2개의 프레임 메모리(RAM1, RAM2)는 기록 상태(WR)에 있고 하나의 프레임 메모리(RAM3)는 판독 상태(RD)에 있게된다. 판독 상태에 있는 프레임 메모리(RAM3)는 공통 동기화 클록에 동기화되어 판독된다.

내용도

도 1-1

특허청구의 범위

청구항 1.

다수의 채널(CH1, CH2)의 순차적 데이터 프레임(CH10, CH11, CH12, CH13, CH14; CH20, CH21, CH22, CH23, CH24)을 수신하고, 공통 동기화 클록(T0 내지 T4)에 대해 시간-정렬된 모든 채널의 상기 데이터 프레임을 출력하는 전기 통신 시스템(TELE) 수신기(RX)의 시간-정렬 장치로서, 상기 채널 상의 상기 각각의 데이터 프레임은 시간-정렬되지 않은, 전기 통신 시스템 수신기의 시간-정렬 장치에 있어서:

a) 상기 각 채널의 한 데이터 프레임을 각각 저장하고, 입력 수단(IM)에 의해 데이터가 판독/기록 프레임 메모리에 기록되는 기록 상태(WR) 및 출력 수단(OM)에 의해 데이터가 상기 프레임 메모리에서부터 판독되는 판독 상태(RD)를 갖는 제 1, 제 2 및 제 3 판독/기록 프레임 메모리(RAM1, RAM2, RAM3); 및

b) 상기 공통 동기화 클록(T0 내지 T4)에 동기화된 제 1 내지 제 3 정렬 모드(M1, M2, M3)를 통해 상기 3개의 프레임 메모리를 주기적으로 스위칭하는 제어 유닛을 포함하는데, 상기 제어 수단은,

b1) 상기 제 1 정렬 모드(M1)에서, 상기 제 1 및 제 2 프레임 메모리(RAM1, RAM2)는 기록 상태(WR)이고 상기 제 3 프레임 메모리(RAM3)는 판독 상태(RD)이며,

b2) 상기 제 2 정렬 모드(M2)에서, 상기 제 2 및 제 3 프레임 메모리(RAM2, RAM3)는 기록 상태(WR)이고 상기 제 1 프레임 메모리(RAM1)는 판독 상태(RD)이며,

b3) 상기 제 3 정렬 모드(M3)에서, 상기 제 3 및 제 1 프레임 메모리(RAM3, RAM1)는 기록 상태(WR)이고 상기 제 2 프레임 메모리(RAM2)는 판독 상태(RD)이며,

b4) 상기 각 모드가 스위칭 된 후, 어떤 채널의 새롭게 도달하는 데이터 프레임은 항상 이전 모드에서 판독 상태(RD)에 있었던 프레임 메모리에 기록되고,

b5) 상기 데이터 프레임이 항상 상기 공통 동기화 클록에 시간-정렬된 판독 상태(RD)를 갖는 프레임 메모리에서부터 판독 되도록, 상기 3개의 프레임 메모리를 주기적으로 스위칭하는 전기 통신 시스템 수신기의 시간-정렬 장치.

청구항 2.

제 1 항에 있어서,

상기 각 프레임 메모리(RAM1, RAM2, RAM3)는 각 채널에 각각 관련된 다수의 매트릭스(도 4-1 및 도 4-2)를 포함하고, 상기 매트릭스는 각각 하나의 데이터 프레임을 저장하기 위해 바람직한 인터리빙 깊이에 따라 미리 설정된 수의 열(N_R-1) 및 행(N_W-1)을 포함하며, 상기 입력 수단(IM)은 행 방향의 기록 상태(WR)를 갖는 프레임 메모리의 관련 매트릭스로 각 채널을 위한 하나의 데이터 프레임을 기록하고, 디-인터리빙 수단(DILM)은 상기 각 공통 동기화 클록(T0 내지 T4)에 열 방식으로 시간-정렬된 판독 상태(RD)에서 프레임 메모리의 매트릭스로부터 데이터를 판독 출력하는 것을 특징으로 하는 전기 통신 시스템 수신기의 시간-정렬 장치.

청구항 3.

제 2 항에 있어서,

상기 데이터 프레임의 상기 데이터는 소프트 결정 기호(도 4-2)로 구성된 복조기/등화기(BBRX)로부터의 데이터이고, 상기 소프트 결정 기호는 상기 프레임 메모리의 매트릭스 메모리 셀에 저장되는 것을 특징으로 하는 전기 통신 시스템 수신기의 시간-정렬 장치.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 따른 하나 이상의 시간-정렬 장치를 포함하는 전기 통신 시스템의 수신기(RX).

청구항 5.

제 4 항에 있어서,

상기 수신기는 CDMA 수신기인 것을 특징으로 하는 전기 통신 시스템의 수신기.

청구항 6.

제 5 항에 따른 하나 이상의 수신기를 포함하는 전기 통신 시스템(TELE).

청구항 7.

제 6 항에 있어서,

상기 전기 통신 시스템은 CDMA 기술을 이용하여 통신을 수행하는 것을 특징으로 하는 전기 통신 시스템.

청구항 8.

제 6 항에 있어서,

송신기는 컨볼루션 코딩 기술에 따라서 상기 데이터 프레임의 데이터를 코드화하는데, 상기 코드화된 데이터는 상기 수신기(RX)의 상기 프레임 메모리에서 소프트-기호 방식으로 저장되는 것을 특징으로 하는 전기 통신 시스템.

청구항 9.

다수의 채널(CH1, CH2)의 순차적 데이터 프레임(CH10, CH11, CH12, CH13, CH14; CH20, CH21, CH22, CH23, CH24)을 시간-정렬하고, 공통 동기화 클록(T0 내지 T4)에 대해 시간-정렬된 모든 채널의 상기 데이터 프레임을 출력하는 방법으로서, 상기 채널 상의 상기 각각의 데이터 프레임은 시간-정렬되지 않은, 순차적 데이터 프레임의 시간 정렬 및 출력 방법에 있어서:

- a) 상기 각 채널의 한 데이터 프레임을 각각 저장하고, 데이터가 판독/기록 프레임 메모리에 기록되는 기록 상태(WR) 및 데이터가 상기 프레임 메모리에서부터 판독되는 판독 상태(RD)를 갖는 제 1, 제 2 및 제 3 판독/기록 프레임 메모리(RAM1, RAM2, RAM3)에 데이터 프레임을 기록하는 단계; 및
- b) 상기 공통 동기화 클록(T0 내지 T4)에 동기화된 제 1 내지 제 3 정렬 모드(M1, M2, M3)를 통해 상기 3개의 프레임 메모리를 주기적으로 스위칭하는 단계를 포함하는데, 상기 스위칭 단계는,
 - b1) 상기 제 1 정렬 모드(M1)에서, 데이터 프레임은 기록 상태(WR)에 있는 상기 제 1 및 제 2 프레임 메모리(RAM1, RAM2)에 기록되고 데이터 프레임은 상기 각 공통 동기화 클록이 시작되면 판독 상태(RD)의 상기 제 3 프레임 메모리(RAM3)에서부터 판독되며,
 - b2) 상기 제 2 정렬 모드(M2)에서, 데이터 프레임은 기록 상태(WR)에 있는 상기 제 2 및 제 3 프레임 메모리(RAM2, RAM3)에 기록되고 데이터 프레임은 상기 각 공통 동기화 클록이 시작되면 판독 상태(RD)의 상기 제 1 프레임 메모리(RAM1)에서부터 판독되며,
 - b3) 상기 제 3 정렬 모드(M3)에서, 데이터 프레임은 기록 상태(WR)에 있는 상기 제 3 및 제 1 프레임 메모리(RAM3, RAM1)에 기록되고 데이터 프레임은 상기 각 공통 동기화 클록이 시작되면 판독 상태(RD)의 상기 제 2 프레임 메모리(RAM2)에서부터 판독되며,
 - b4) 상기 각 모드가 스위칭 된 후, 어떤 채널의 새롭게 도달하는 데이터 프레임은 항상 이전 모드에서 판독 상태(RD)에 있었던 프레임 메모리에 기록되고,
 - b5) 상기 데이터 프레임이 항상 상기 공통 동기화 클록(T0 내지 T4)에 시간-정렬된 판독 상태(RD)인 프레임 메모리에서부터 판독되도록, 상기 3개의 프레임 메모리를 주기적으로 스위칭하는 순차적 데이터 프레임의 시간 정렬 및 출력 방법.

청구항 10.

제 9 항에 있어서,

상기 각 프레임 메모리(RAM1, RAM2, RAM3)는 각 채널에 각각 관련된 다수의 매트릭스(도 4-1 및 도 4-2)를 포함하고, 상기 매트릭스는 각각 하나의 데이터 프레임을 저장하기 위하여 바람직한 인터리빙 깊이에 따라 미리 설정된 수의 열($N_R - 1$) 및 행($N_W - 1$)을 포함하는데, 상기 각 채널을 위한 하나의 데이터 프레임은 기록 상태(WR)인 프레임 메모리의 관련 매

트릭스에 행 방향으로 기록되고, 판독 상태(RD) 프레임 메모리의 매트릭스로부터의 데이터는 상기 각 공통 동기화 클록(T0 내지 T4)과 시간-정렬되어 열방식으로 판독되는 것을 특징으로 하는 순차적 데이터 프레임의 시간-정렬 및 출력 방법.

청구항 11.

제 9 항에 있어서,

상기 데이터 프레임의 상기 데이터는 소프트 결정 기호를 포함하는 복조기/등화기(BBRX)로부터의 데이터이고, 상기 소프트 결정 기호(도 4-2)는 상기 메모리의 매트릭스 메모리 셀에 저장되는 것을 특징으로 하는 순차적 데이터 프레임의 시간-정렬 및 출력 방법.

명세서

기술분야

본 발명은 다수 채널의 순차적 데이터 프레임(data frame)을 수신하기 위한 전기 통신 시스템의 수신기의 시간-정렬(time-alignment) 장치에 관한 것이다. 상기 채널상의 각 데이터 프레임은 서로 시간-정렬되지 않고, 시간-정렬 장치는 모든 채널의 데이터 프레임을 공통 동기화 클록에 대해서 시간-정렬되는 방식으로 출력한다. 또한, 본 발명은 이러한 시간-정렬을 수행하는 방법, 전기 통신 시스템의 수신기, 및 수신기에서 이러한 시간-정렬이 수행되는 전기 통신 시스템에 관한 것이다.

배경기술

많은 전기 통신 시스템에서, 다수 채널의 개별 데이터 프레임은 무선 링크에 정확하게 동시에 수신되지 않는다. 예를 들어, 전기 통신 시스템이 이동 무선 통신 시스템이면, 접속되어 있는 동안에도 중계 기지국(base transceiver station)(BTS)과 이동국 사이의 거리는 다수의 이동국 사이에서 변하게 되어, 데이터 프레임은 시간이 정렬되지 않는 방식으로 도달한다.

이러한 이동 무선 통신 시스템의 일 예는 도 5 및 도 6에 중계 기지국 BTS로 도시된 CDMA 시스템이다. 일반적으로, 시간-정렬이라는 것과 관련하여 전술된 양상은 다수의 비-정렬된 채널을 이용하는 임의의 전기 통신 시스템에 적용할 수 있다.

각각이 순차적 데이터 프레임을 포함하는 다수의 채널이 제공되는 모든 전기 통신 시스템에서, 하나의 특정 채널에만 순차적으로 도달하는 데이터 프레임을 디코딩(decoding)하기 위하여 고유 채널 전용인 개별 디코더(decoder)가 제공되어야만 한다. 그러나, 이것은 디코더 장치를 300개까지 증가시킬 수 있으며, 이는 하드웨어 관리가 요구되는 관점에서는 수용될 수 없다. 이러한 이유 때문에, 공통 디코더 자원이 모든 채널의 데이터 프레임을 디코딩하는데 효과적으로 이용되는 방법에 관한 문제가 항상 존재하게 된다. 원칙적으로, 이것은 디코더가 하나의 데이터 프레임을 디코딩하는데 소비하는 시간이 데이터 프레임 주기보다 훨씬 짧다면 달성될 수 있다. 그 후, 디코더는 한 데이터 프레임 주기내에서 다수 채널의 데이터 프레임을 차례대로 처리할 수 있다. 그러나, 이것은, 입증계(incoming) 데이터 프레임이 일정한 데이터 프레임 스트림 형태로 디코더 자원에 전달되기 전에 메모리에 버퍼(buffer)되어야 할 것을 요구한다. 이렇게 하기 위하여, 데이터 프레임은 정해진 타임 그리드(time grid)에 적합하도록 배치되어야 하는데, 즉, 데이터 프레임은 디코더의 내부 프레임 구조, 즉, 수신기 내부에 제공되는 공통 동기화 클록에 대해서 정렬되어야 한다.

본 발명은 특히 하나의 공통 디코더 자원만이 요구되도록 다수 채널의 수신 데이터 프레임의 상이한 시간 오프셋(time offset)이 어떻게 처리될 수 있는가에 대한 문제점과 관련된다.

발명의 상세한 설명

전술된 바와 같이, 여러 채널로부터의 데이터 프레임은 디코더 내부 프레임 구조에 대해 개별 시간 오프셋을 갖기 때문에, 데이터 프레임은 양호하게 정의된 방식(프레임 배열)으로 내부 동기화 클록에 대해 정렬되어 시간 공유 방식으로 디코더 자원을 이용할 수 있어야 한다. 게다가, 프레임이 디코드되기 전에 디-인터리빙(de-interleaving)이 자주 수행되어야 하는데, 즉, 수신된 데이터 프레임은 재배열(디-인터리빙)되어야 한다.

본 발명의 목적은 디코더 자원이 다수 채널에 대해서도 효과적으로 이용될 수 있는 시간-정렬 장치, 전기 통신 시스템의 수신기, 전기 통신 시스템 및 시간-정렬 방법을 제공하는 것이다.

본 목적의 해결 방안

이러한 목적은 다수 채널의 순차적인 데이터 프레임을 수신하고 공통 동기화 클록에 대해서 시간-정렬된 모든 채널의 상기 데이터 프레임을 출력하는 전기통신 시스템 수신기의 시간-정렬 장치에 의해 해결되는데, 여기서 상기 채널상의 상기 각 데이터 프레임은 시간-정렬되지 않으며, 상기 시간-정렬 장치는:

- a) 상기 각 채널의 한 데이터 프레임을 각각 저장하고, 데이터가 프레임 메모리에 기록되는 기록 상태와 데이터가 프레임 메모리에서 판독되는 판독 상태가 각각 있는 적어도 제 1, 제 2 및 제 3 판독/기록 프레임 메모리; 및
- b) 상기 공통 동기화 클록에 동기화된 제 1 내지 제 3 정렬 모드를 통해 상기 3개의 프레임 메모리를 주기적으로 스위칭하는 제어 장치를 포함하며, 상기 제어 장치는,
 - b1) 상기 제 1 정렬 모드에서, 상기 제 1 및 제 2 프레임 메모리는 기록 상태이고 상기 제 3 프레임 메모리는 판독 상태이며,
 - b2) 상기 제 2 정렬 모드에서, 상기 제 2 및 제 3 프레임 메모리는 기록 상태이고 상기 제 1 프레임 메모리는 판독 상태이며,
 - b3) 상기 제 3 정렬 모드에서, 상기 제 3 및 제 1 프레임 메모리는 기록 상태이고 상기 제 2 프레임 메모리는 판독 상태이며,
 - b4) 상기 모드가 스위칭된 후에 어떤 채널의 새롭게 도달하는 데이터 프레임은 이전 모드에서 판독 상태에 있었던 프레임 메모리에 항상 기록되고,
 - b5) 데이터 프레임이 상기 공통 동기화 클록에 시간-정렬된 판독 상태를 갖는 프레임 메모리에서부터 항상 판독되도록 3 개의 프레임 메모리를 주기적으로 스위칭한다.

제다가, 이러한 목적은 제 1 청구항 내지 제 3 청구항에 따른 하나 이상의 시간-정렬 장치를 포함하는 전기 통신 시스템의 수신기에 의해 해결된다.

또한, 본 목적은 제 4 청구항 또는 제 5 청구항에 따른 하나 이상의 수신기를 포함하는 통신 시스템에 의해 해결된다.

제다가, 본 목적은 다수 채널의 순차적 데이터 프레임을 수신하고, 공통 동기화 클록에 시간-정렬된 모든 채널의 상기 데이터 프레임을 출력하는 방법에 의해 해결되는데, 상기 채널상의 상기 각 데이터 프레임은 시간-정렬되지 않으며, 상기 방법은:

- a) 상기 각 채널의 한 데이터 프레임을 각각 저장하고, 판독/기록 프레임 메모리에 데이터가 기록되는 기록 상태와 상기 프레임 메모리로부터 데이터 프레임이 판독되는 판독 상태를 각각 갖는 적어도 제 1, 제 2 및 제 3 기록/판독 프레임 메모리에 데이터 프레임을 기록하는 단계; 및
- b) 상기 공통 동기화 클록에 동기화된 제 1 내지 제 3 정렬 모드를 통해 상기 3개의 프레임 메모리를 주기적으로 스위칭하는 단계로서,
 - b1) 상기 제 1 정렬 모드에서, 데이터 프레임은 기록 상태에 있는 상기 제 1 및 제 2 프레임 메모리에 기록되고 데이터 프레임은 상기 각 공통 동기화 클록으로 시작되는 판독 상태의 상기 제 3 프레임 메모리로부터 판독되며,
 - b2) 상기 제 2 정렬 모드에서, 데이터 프레임은 기록 상태에 있는 상기 제 2 및 제 3 프레임 메모리에 기록되고 데이터 프레임은 상기 각 공통 동기화 클록으로 시작되는 판독 상태의 상기 제 1 프레임 메모리로부터 판독되며,

b3) 상기 제 3 정렬 모드에서, 데이터 프레임은 기록 상태에 있는 상기 제 3 및 제 1 프레임 메모리에 기록되고 데이터 프레임은 상기 각 공통 동기화 클록으로 시작되는 판독 상태의 상기 제 2 프레임 메모리에서 판독되며,

b4) 각 모드가 스위칭된 후, 어떤 채널의 새롭게 도달하는 데이터 프레임은 이전 모드에서 판독 상태에 있었던 프레임 메모리에 항상 기록되고,

b5) 데이터 프레임이 상기 공통 동기화 클록에 시간-정렬된 판독 상태를 갖는 프레임 메모리에서 항상 판독되도록, 3개의 프레임 메모리를 주기적으로 스위칭하는 단계를 포함한다.

본 발명의 일 양상에 따르면, 3개의 프레임 메모리가 이용된다. 각각의 프레임 메모리는 모든 채널의 하나의 완전한 데이터 프레임을 보유할 수 있다. 한 동기화 클록 주기 동안, 2개의 메모리는 데이터를 기록하는데 이용되고 하나의 메모리는 데이터를 판독하는데 이용된다. 입중계 데이터 프레임이 수신될 때, 이 입중계 데이터 프레임은 기록 상태에 있는 프레임 메모리 중 하나에 항상 기록된다. 그러나, 개별 채널의 데이터 프레임과 동기화 클록 간의 시간 오프셋은 0과 하나의 전체 프레임 주기 사이에서 변할 수 있기 때문에, 이 시간 오프셋은 모든 채널로부터의 전체 데이터 프레임 하나가 하나의 프레임 메모리에 저장될 때까지 동기화 클록 주기를 두 개까지 차지할 수 있다. 시간 오프셋은, 프레임 메모리에 가득히 기록된 데이터 프레임이 판독될 때까지 전체 프레임 주기 하나를 차지할 수 있고, 동일한 채널의 다른 데이터 프레임이 이전 프레임 이후에 바로 도달하기 때문에, 기록 상태에 있는 제 2 메모리가 이용된다.

2개의 프레임 메모리 중 하나에 다수 채널의 개별 데이터 프레임을 기록하는 동안, 제 3 프레임 메모리(판독 상태에 있음)가 판독된다. 다음 공통 동기화 클록이 발생될 때, 3개의 프레임 메모리의 정렬 모드는 주기적으로 변한다. 즉, 한 정렬 모드에서 판독에 이용되었던 프레임 메모리는 기록하기 위한 프레임 메모리로서 이용될 것이고, 이전에 기록하는데 이용되었던 두개의 프레임 메모리 중 하나는 다시 판독하는데 이용하게 된다. 각각의 주기적 변화 후에, 새롭게 도달한 각 채널의 데이터 프레임은 이전 모드에서 판독 상태에 있었던 프레임 메모리에 항상 기록된다는 것이 중요하다.

본 발명의 바람직한 양상

전술된 본 발명의 양상에서, 다수 채널의 데이터 프레임은 판독 상태에 있는 한 프레임 메모리에 존재하고, 이러한 프레임 메모리는 공통 동기화 클록의 발생이 시작되면 판독된다. 하나의 데이터 프레임을 행에 저장할 수 있고, 행 방향을 따라서 공통 동기화 클록에 동기화된 데이터 프레임을 판독할 수도 있다. 그러나, 많은 통신 시스템에서 비트-인터리빙은 송신기 측에서 수행된다. 정확한 디-인터리빙 포맷(format)으로 시간-정렬된 프레임을 공급하기 위하여, 수신기에서 디-인터리빙이 수행되어야 한다. 유익하게도, 본 발명에서 이것은 행 방향에 프레임 메모리를 기록하고 열 방향으로 프레임 메모리를 판독함으로써 수행될 수 있다. 그러므로, 시간-정렬 및 디-인터리빙은 하드웨어에 관련하여 수고를 증가시키지 않고도 수행될 수 있다.

시간-정렬 장치, 수신기 및 본 방법이, 예컨대 소프트-출력 등화기(soft-output equalizer) 뿐만 아니라 코딩률(coding rate) $r = 1/2$ 또는 $r = 1/3$ 인 컨볼루션 코딩/디코딩을 사용하는 전기 통신 시스템에서 이용될 때, 데이터 프레임에 존재하는 데이터 정보는, 각각 4개의 소프트-결정 비트(soft-decision bit)를 가지며 인터리버(interleaver)에 따라서 스크램블(scramble)된 2 내지 3 기호(symbol)처럼 발생할 것이다. 유익하게도, 각각의 기호는 메모리 셀 하나에 저장된다.

본 발명의 더욱 유익한 실시예 및 개선점은 이하의 실시예 및 첨부된 청구 범위에서 알 수 있다. 이하에, 본 발명은 실시예 및 첨부된 도면을 참조로 설명될 것이다.

실시예

이하에, 본 발명의 시간-정렬 장치 및 방법이 적용되는 CDMA 무선 중계국이 기술된다. 그러나, CDMA 시스템의 설명은 본 발명을 위한 적용 예로서 제공된 것이며, 본 발명은 다수 채널 각각이 서로에 대해 시간 오프셋되는 순차적인 데이터 프레임을 제공하는 다른 전기 통신 시스템이나 수신기에도 적용될 수 있다는 것을 알 수 있다. 그러므로, 본 발명은 시간-프레임 지향형으로 물리적 층 데이터 프로세싱(processing)을 수행하는 수신기 및 임의의 전기 통신 시스템에 적용될 수 있다.

간단하게 요약하면, 도 5는 송신기 TX(도 5에서 상부 브랜치(branch)) 및 수신기 RX(도 5에서 하부 브랜치)를 포함하는 CDMA-시스템의 중계 기지국 BTS의 블록 도를 도시한다. 송신기 TX에서, ATM 패킷(packet) 형태의 이용자 데이터 US는 ATM 스위치 및 대응 인터페이스(interface)(ATM IFX/IFC)를 통해 채널 인코더(encoder) 장치 ENC에 입력된다. 코

드화된(또한, 인터리빙도 된) 데이터는 기저 대역 장치 BBTX에 의해 변조되고 CDMA 확산된다. 변조된 데이터는 장치 TRX-DIG에서 필터링(filtering)되어 아날로그 신호 컨버트(convert)되고, 장치 TRX-RF에서 바람직한 반송파 주파수로 업컨버트(upconvert)되며, 전력 증폭기 장치 MCPA에 의해 증폭된 후, 마지막으로 듀플렉스 필터(duplex-filter)를 통해 안테나 ANT로 송신된다.

수신기에서, 2개의 안테나(다이버시티(diversity) 수신)는, 장치 LAN에 의해 증폭되고 장치 TRX-RF에서 다운컨버트(downconvert)된 후 TRX-DIG에서 A/D 컨버트되어 필터링된 신호를 수신하는데 공통적으로 이용된다. 데이터는 기저 대역 장치 BBRX의 RAKE 수신기/디스프레더(despread)에 의해 복조되고, 임의 액세스 채널은 장치 BBRA에서 검출 및 복조된다. 그 후, 이용자 데이터 US는 디코더 장치 DEC에서 디코드된 후, ATM 인터페이스 ATM IFX/IFC를 통해 ATM 스위치로 송신된다.

도 6은 도 5의 디코더 장치 DEC의 FPGA-근거 해결 방안(FPGA : field programmable gate array)을 도시한다. 도 6의 디코더 장치 DEC의 하드웨어 구조에 도시된 바와 같이, ①에서 다수의 채널(예를 들어 300개까지의 채널)로부터의 이용자 데이터 US는 RAKE 수신기/디스프레더 BBRX에서부터 (직렬 또는 병렬로) 입력된다(도 5 참조). 장치(②)(FPGA-FAL ; FAL : Frame ALignment)와 장치(③)(FPGA-CHD; CHD : CHannel Distribution)는 본 발명에 따라서 수신 데이터의 디-인터리빙 및 프레임 정렬을 수행한다. 이러한 프로세스 동안, 장치(②)는 데이터가 수신될 때 특정 순서대로 장치(④)(프레임 메모리 RAM1, RAM2, RAM3(RAM : Random Access Memory)를 포함하는 메모리 블록 및 프레임 메모리를 인터페이스 하기 위한 FPGA)에 데이터를 기록하고, 반면 장치(③)는 디코더의 내부 프레임 구조와 관련된 특정 시간에서 다른 순서대로, 즉, 디코더의 공통 동기화 클록에 따라 데이터를 판독한다. 한 순서에 따라 메모리에 데이터를 기록하고, 다른 순서에 따라 메모리로부터 데이터를 판독하는 것을 일반적으로 각각 인터리빙 및 디-인터리빙이라 한다. 데이터 프레임이 수신될 때 시작되는 프레임 메모리 RAM에 데이터 프레임을 기록하고, (디코더의 내부 프레임 구조와 관련된) 디코더의 공통 동기화 클록이 발생된 후 데이터 프레임을 판독하는 특정한 방식을 프레임 정렬(FAL)이라 한다. 장치(③)에 의해 데이터가 메모리 블록(장치(④))로부터 판독된 후, 그 데이터는 디코딩을 위해 장치(⑤)(비터비 디코더 장치)로 송신된다.

도 6에 도시된 바와 같이, 본 발명에 따라서 하나의 디코더 장치(비터비 장치(⑤))는 3개의 프레임 메모리 RAM1, RAM2, RAM3와 접속된 다수 채널의 데이터 프레임을 디코드하는데 이용된다. 그러므로, 디코딩 자원은 모든 채널에 공통적으로 이용될 수 있어, 디코딩 하드웨어가 효과적으로 이용될 수 있다. 디코딩 하드웨어의 효율적인 이용을 위하여, 모든 채널의 데이터 프레임은 공통 동기화 클록에 대해서 양호하게 정의된 방식으로 제공된다.

도 5 및 도 6을 참조로 일반적으로 기술된 수신기의 시간-정렬 장치는 (여기서 디코더 장치 DEC의 프레임 구조에 의해 제공된) 공통 동기화 클록에 대해서 3개의 메모리에 판독 및 기록하는 것을 제어하며, 또한 3개의 프레임 메모리 각각을 특정하게 배열함으로써 구성된 것처럼 도시될 수 있다. 본 발명은 공통 동기화 클록에 대해서 3개의 프레임 메모리에 특정 판독 및 기록하는 것에 관한 것이다. 본 발명의 이러한 시간-정렬 장치 및 방법의 실시예(도 5 및 도 6에 도시된 디코더 장치 DEC에 포함됨)는 도 1-3을 참조로 이하에 설명될 것이다.

또한, 도 6에서 알 수 있는 바와 같이, 본 발명에 따른 이러한 시간-정렬 장치에 의해 수행되는 특정 시간-정렬 및 디-인터리빙은 디코더 장치(⑤)에서 이용되는 특정 디코딩 절차와 무관하다. 시간-정렬 방식으로 디코더(⑤)에 다수의 데이터 프레임을 제공하기 위한 공통 동기화 클록만이 요구된다. 그러므로, 본 발명의 바람직한 실시예로서 이하에 기술되는 시간-정렬 장치 및 방법은 도 5 및 도 6의 CDMA 수신기의 특정 실시예로 제한되는 것은 아니다.

시간-정렬 절차의 원리

도 1-1은 전기 통신 시스템의 수신기 RX에 있는 시간-정렬 장치의 블록도이다. 설명을 위해서, 참조 번호(① 내지 ⑤)는 도 6에 도시된 디코더 실시예에서의 장치의 정렬에 개략적으로 대응한다.

도 1-1에서, 다수의 채널 CH1, ..., CHn 각각에 있는 순차적인 데이터 프레임이 ①에 도달된다. 본 발명에서, 각 채널은 고정되고 일정한 데이터율(data rate)을 갖는다. 반면, 이용자는 데이터율이 상이한 여러 애플리케이션을 이용할 수 있다. 그러므로, 이용자 채널은 데이터율이 일정한 하나 이상의 단일 채널을 포함한다.

도 1-2는 8개의 채널 CH1, ..., CH8의 데이터가 10ms의 프레임 주기 내에서 ①에 어떻게 도달하는지에 관한 일 예를 도시한다. 예를 들어, 각 채널의 데이터는 320개의 순차적으로 도달하는 데이터 패킷처럼 도달한다. 8개 채널의 데이터 패킷은 시간 공유 방식, 즉, 다중화된 시간 또는 병렬식으로 도달할 수 있다. 예를 들어, 각 데이터 패킷은 페이로드(payload)로서 2 소프트 비트(soft bit)를 포함한다. 이러한 소프트 비트는 4비트 방식 버스(bit wide bus)상에 순차적으로 전달될 수

있다. 그러므로, 이러한 경우에 버스는 8개 채널 CH1, ..., CH8의 모든 데이터 패킷에 대해 4개의 라인(line)을 포함할 것이다. 채널의 어떤 다른 세트(set) CH9, ..., CH16 또는 CH17, ..., CH24(도 1 내지 도 2에 도시되지 않음)등은 각각 4개의 라인이 있는 다른 버스를 필요로 할 것이다. 대안적으로, 소프트 비트의 모든 성분이 순차적으로 전달되면, 단일 라인만을 포함하는 버스로만으로도 충분할 것이다.

본 발명에서 각 데이터 패킷이 제공된 버스상에서 시간 다중화되는 방식으로 채널에 도달되든지 병렬식으로 도달되는지와는 무관하지만, 모든 채널(이 경우에는 8개의 채널)의 모든 데이터 패킷은 10ms의 단일 프레임 주기로 도달한다는 것이 중요하다.

320개의 데이터 패킷이 병렬로 도달되는지 시간 다중화 방식으로 도달되는지와는 무관하게, 단일 채널의 데이터 프레임은 순차적인 일련의 320개 데이터 패킷으로 구성된다. 데이터 프레임의 시작 시간은 (제 1) 데이터 패킷(1)이 각 채널에 수신될 때이고, 종료 시간은 10ms의 한 프레임 주기 이후, 즉, 320번째 데이터 패킷이 수신된 이후이다. 도 1-2에서, 제 1 데이터 패킷(1)의 시작 시간은 공통 동기화 클록과 부합되기 때문에, 채널 CH1은 시간-정렬된다. 도 1-2에서 데이터의 시간 다중화 도달의 예를 보면, 채널 CH2의 제 1 데이터 패킷은 채널 CH1의 제 1 데이터 패킷 바로 이후에 도달하기 때문에 채널 CH2의 그래프를 이러한 시간 간격만큼 오른쪽으로 이동시켜보면, 채널 CH2는 시간 간격 $16*10\text{ms}/320$ 에 정렬되지 않는다(지연된다).

도 1-1에 도시된 본 발명에 따른 시간-정렬 장치는 채널의 데이터 패킷을 재정렬시켜서, 도 1-3에 도시된 순차적인 데이터 패킷이 획득된다. 우선, 채널 CH1의 데이터 프레임에 속하는 모든 데이터 패킷이 제공되고, 그 후 채널 CH2의 데이터 프레임에 속하는 모든 데이터 패킷이 제공된다. 그러므로, 공통 동기화 클록에 대한 시간-정렬은 각 채널의 데이터 프레임이 각 프레임 주기의 시작 시간 T_0 , T_1 에 모두 정렬된다는 것을 의미하는 것은 아니다. 반대로, 공통 동기화 클록에 대한 정렬은 각각의 제 1 데이터 패킷과 함께 시작되는 데이터 프레임은 시간 간격 $T_0 \rightarrow T_1$ 내의 고정된 시간 패턴(즉, 순차적)에 따라서 서로의 뒤를 잇는다. 이러한 고정된 시간 패턴에 순차적으로 도달하는(그리고 이러한 시간 패턴에서 T_0 에 정렬되는) 8개의 모든 데이터 프레임은 이제 단일 비터비 디코딩 장치, 예를 들어, 도 6의 ⑤에 있는 컨볼루션 디코더의 추가-비교-선택 장치 ACS1(공지되어 있음)에 의해 순차적으로(즉, 직렬로)처리될 수 있다. 동시에, 즉, 병렬로, 컨볼루션 디코더의 다른 ACS 장치 ACS2, ACS3 및 ACS4는 다른 채널 CH9,... 16, CH17...24 등을 처리한다. 이것은 ACS 장치마다 프로세싱이 채널 세트 각각에 대해 순차적이고 4개의 ACS 장치는 함께 병렬로 동작한다고 볼 수 있다는 것을 의미한다.

공통 동기화 클록으로 시작되는 10ms의 한 시간 간격 내에서 판독되고 처리될 수 있는 각 채널로부터의 데이터 프레임 수는 각 데이터 프레임을 디코딩하는 각각의 디코딩 장치가 필요로 하는 시간에 따라 달라진다. 게다가, 프로세싱은 데이터 프레임이 10ms의 시간 간격을 최적으로 이용하기 위해 차례대로 처리되도록 수행되는 것이 바람직하고, 순차적인 판독 및 프로세싱 또한 두 데이터 프레임 판독 동작 사이에 짧은 시간 지연이 있도록 수행될 수 있다. 그러므로, 디코더에서의 프로세싱 시간은 고정된 시간 간격 10ms에서 얼마나 많은 데이터 프레임이 순차적으로 판독되고 처리되는지를 결정할 것이다.

즉, 하나의 개별 채널을 고려하면, (이러한 채널의) 모든 데이터 프레임은 실제로 순차적으로 도달할 것이다. 모든 채널을 고려하면, 데이터 프레임은 공통 클록에 대해서 각각 시간-오프셋되어 병렬식으로 도달한다. 데이터 프레임을 판독하는 것은 적어도 채널 CH1, ..., CH8의 판독이 관련되는 한 동시에 발생되는 것이 아니라 순차적으로 발생되는 것이다. 반면에, 제 2 ACS 장치 ACS2에 의해 처리되는 다음 채널 세트인 채널 CH9의 데이터 프레임은 채널 CH1로부터의 대응 데이터 프레임과 동시에 판독된다.

전술된 바와 같이, 본 발명에 따른 시간-정렬 장치는 공통 동기화 클록 T_0 에 대해 미리 설정된 시간 패턴에 따라서 순차적인 데이터 패킷을 포함하는 데이터 프레임을 정렬시킨다. 시간-정렬 절차가 관련되는 한, 순차적인 데이터 패킷이 실제로 서로에 대해 시간 지연(도 1-2에 도시됨)되는지 아닌지는 상관없다(왜냐하면, 이것은 순차적인 데이터 패킷이 시간 다중화되거나 병렬식으로 어떻게 시간-정렬 장치의 입력부에 존재하는지에 따라 달라지기 때문이다). 그러므로, 데이터 패킷은 시간 지연 없이 순차적으로 제공되는 형태로 존재할 수 있다. 시간-정렬 절차의 중요한 양상은 각 데이터 프레임의 시작 시간, 즉, 제 1 데이터 패킷의 시작 시간은 현재 시간 패턴에 따라 발생되지 않는다는 것인데, 즉, 다음 채널의 제 1 데이터 패킷은 한 프레임 주기내의 모든 채널의 한 데이터 프레임에 적합하도록 마지막 채널의 마지막 패킷이 끝날 때 정확하게 시작되지 않는다는 것이다.

도 2-2 및 도 2-3은 본 발명에 따른 시간-정렬 장치의 입/출력부, 즉, 각각 ①에서의 입증계 데이터 프레임 및 ③에서 판독된 시간-정렬된 데이터 프레임이 존재할 수 있는 일반적인 시간 관계를 도시한다. 이하에 더욱 상세하게 기술되는 바와

같이, 도 2-2에서 채널 CH2, CH3 및 CHn의 각 데이터 프레임은 프레임 주기의 시작, 즉, 동기화 클록 T_0 에서 오프셋되고, 채널 CH1의 데이터 프레임만 T_0 에 정렬된다. 도 2-3에서, 각 프레임 주기에서 모든 채널의 모든 데이터 프레임은 서로의 뒤를 잇고, 그러므로 모든 채널의 단일 데이터 프레임은 한 프레임 주기에 적응된다.

제 1 실시예(3개의 메모리를 이용하는 시간-정렬)

도 1-1에서, 도 6에 대응하는 부분을 참조 번호 ① 내지 ⑥으로 나타내는 본 발명의 한 실시예가 도시된다.

전술된 바와 같이, 다수의 채널 CH1, ..., CHn 각각의 순차적인 데이터 프레임은 ①에 도달하는데, 여기서 상기 채널상의 각 데이터 프레임은 서로 시간 오프셋된다. 반면에, 시간-정렬 장치의 출력부(참조 번호 ③)에서, 시간-정렬된 프레임은 디코더 장치(⑤)로 출력되고, 디코드된 데이터는 다수의 채널을 위하여 디코더 장치(⑤)에서부터 출력된다. 제어 장치 CU는 공통 동기화 클록(디코더 장치 DEC의 내부 프레임 구조에 대응) 및 일부 제어 신호 CTRL을 제공하는 타이밍 수단 TM을 포함한다. 상기 채널의 상기 데이터 프레임을 각각 저장하기 위한 적어도 제 1, 제 2 및 제 3 판독/기록 프레임 메모리가 제공된다. 각 프레임 메모리는, 데이터가 상기 프레임 메모리에 기록될 수 있는 기록 상태 WR 및 데이터가 상기 프레임 메모리에서부터 판독될 수 있는 판독 상태 RD를 갖는다. 각 메모리의 판독/기록 상태는 도 1-1에 도시된 바와 같이, 제어 장치 CU에 의한 각각의 R/W 제어 신호를 개별 프레임 메모리로 출력시킴으로써 제어될 수 있다.

전술된 바와 같이, 채널의 데이터 프레임은 ①에서 직렬(시간 다중화) 및/또는 병렬 포맷으로 도달할 수 있다. 입력 멀티플렉서(multiplexer)(이하에는 입력 수단 IM이라고도 함)는 입력부 ①에서 데이터 프레임으로부터 데이터를 선택하고, 선택된 데이터를 제어 장치 CU에 의해 제공된 CTRL 신호에 응답하여 프레임 메모리 RAM1, ..., RAM3에 제공한다. 제어 장치 CU는, 프레임 메모리에 데이터가 저장될 수 있는 어드레스 ADR를 규정한다. 그러므로, 각 채널에 대해서 입력 수단 IM은 데이터를 순차적으로 제공하고 제어 수단 CU는 (판독/기록 신호 R/W에 의한) 3개의 프레임 메모리의 기록/판독 상태 및 CTRL 신호를 제어하여, 데이터 프레임은 기록 상태에 있는 2 프레임 메모리 중 하나에 항상 기록되고 데이터는 판독 상태를 갖는 하나의 프레임 메모리에서부터 공통 동기화 클록에 동기화되어 판독된다. 예를 들어, 도 1-1에서 프레임 메모리 RAM3가 판독 상태라면, 데이터 프레임은 RAM3에서 판독될 수 있고 데이터는 다른 2개의 프레임 메모리 RAM1, RAM2 중 하나에 기록된다. 각 프레임 메모리의 판독/기록 상태는 제어 수단에 의해 발생된 판독/기록 신호 R/W에 의해 제어된다.

그러므로, 출력 멀티플렉서(③)(이하에는 출력 수단 OM이라고도 함)는 판독 상태에 있는 프레임 메모리에서만 데이터 프레임을 각각 판독한다. 이렇게 하기 위하여, 제어 신호 CTRL는 공통 동기화 클록에 동기화된 제어 장치 CU에 의해 출력 수단 OM에 인가된다. 즉, 공통 동기화 클록이 발생될 때마다, 판독 상태에 있는 한 프레임 메모리에 저장된 모든 데이터 프레임이 판독된다. 그 후, 이러한 시간-정렬 데이터 프레임은 디코더 장치(⑤)에 제공된다.

게다가, 제어 장치 CU는 출력 수단 OM을 위한 프레임 메모리의 판독 어드레스를 입력 수단 IM을 위한 기록 어드레스와는 다른 순서로 설정함으로써 각 데이터 프레임의 디-인터리빙을 수행한다. 이것은 도 1-1에 디-인터리빙 수단 DILM으로 표시되며, 이하의 제 2 실시예에서 더욱 상세하게 기술된다.

도 1-1은 3개의 프레임 메모리에 데이터 프레임 제공 및 3개의 프레임 메모리에서부터 데이터 프레임 판독이 어떻게 수행되는지 가능한 구성만을 도시하였지만, 입력 수단 IM, 출력 수단 OM 및 제어 수단 CU의 다른 구성도 가능하고 본 발명의 중요한 양상은 공통 동기화 클록에 관한 판독/기록 상태에 관련하여 개별 메모리가 어떻게 이용되는지에 있다는 것을 이해할 수 있고, 이는 도 2-1, 도 2-2, 도 2-3 및 도 3을 참조로 이하에 더욱 상세하게 기술된다.

도 2-1a, 도 2-1b 및 도 2-1c는 공통 동기화 클록이 발생 T_0, T_1, \dots, T_4 할 때 2개의 채널 CH1, CH2 각각을 위한 3개의 프레임 메모리 RAM1, RAM2, RAM3의 엔트리(entry)를 도시한다. 제 1, 제 2 및 제 3 프레임 메모리 RAM1, RAM2, RAM3 각각은 채널 CH1, CH2의 데이터 프레임을 저장하고, 각각의 프레임 메모리는 데이터가 기록될 수 있는 기록 상태 WD 및 프레임 메모리에서부터 데이터 프레임이 판독될 수 있는 판독 상태 RD를 가지며, 현재 상태(WD/RD)는 도 2-1a, b 및 c에 표시된다.

도 2-1d는 채널 CH1을 위해 순차적으로 도달하는 다수의 데이터 프레임 CH₁₀, CH₁₁, CH₁₂, CH₁₃, CH₁₄을 도시한다. 도 2-1d의 가로 축에서, 시간 축 및 공통 동기화 클록의 발생 T_0, T_1, T_2, T_3, T_4 이 표시된다. 여기서, 설명하기 위하여 제 1 채널 CH1의 순차적인 데이터 프레임은 공통 동기화 클록의 발생과 바람직하게 정렬된다. 즉, 프레임 CH₁₁은 공통 동기화

클록의 발생 T_0 에서 시작해서, 공통 동기화 클록의 다음 발생 T_1 에서 끝난다. 물론, 일반적인 경우에(도 2-1e에서 채널 CH2의 데이터 프레임 참조), 데이터 프레임은 공통 동기화 클록과 정렬되지 않는다. 그러나, 많은 채널 중에서 하나는 공통 동기화 클록과 정렬되는 것이 바람직하다.

공통 동기화 클록의 발생 사이의 모든 주기에 대해서, 소위 정렬 모드가 도 2-1f에 도시된다. 3개의 정렬 모드는 구별될 수 있는데, 즉,

- 모드 "M1" : 1WR, 2WR, 3RD ; 제 1 프레임 메모리는 기록 상태 WR이며, 제 2 프레임 메모리도 기록 상태 WR이고, 제 3 메모리는 판독 상태 RD이다.
- 모드 "M2" : 2WR, 3WR, 1RD ; 제 2 프레임 메모리는 기록 상태 WR이며, 제 3 프레임 메모리도 기록 상태 WR이고, 제 1 메모리는 판독 상태 RD이다.
- 모드 "M3" : 3WR, 1WR, 2RD ; 제 3 프레임 메모리는 기록 상태 WR이며, 제 1 프레임 메모리도 기록 상태 WR이고, 제 2 메모리는 판독 상태 RD이다.

정렬 모드 M1 내지 M3는 T_0 에서부터 T_1 까지, T_1 에서부터 T_2 까지, T_2 에서부터 T_3 까지인 각각의 동기 클록 주기동 안 유지된다. 시간 T_3 이후에, 정렬 모드는 동일한 순서대로 반복된다. 그러므로, 도 2-1d는 3가지 종류의 정렬 모드 M1, M2, M3를 통한 주기적 스위칭을 도시한다. 즉, 각각의 공통 동기화 클록이 발생될 때 3개의 프레임 메모리의 미리 설정된 판독/기록 상태가 스위치 온(switch on)된다. 그러므로, 정렬 모드의 스위칭은 공통 동기화 클록 T_0 내지 T_4 에 동조되고, 예로서 제 1 채널 CH1의 데이터 프레임만 공통 동기화 클록에 동조된다고 가정된다.

여기서, 판독 상태 RD에 있는 각 프레임 메모리는 공통 동기화 클록의 다음 발생이 시작될 때 판독되고, WR 상태에 있는 프레임 메모리는 데이터가 도달할 때 기록된다는 것이 중요하다.

도 2-1e는 채널 CH2의 데이터 프레임 $CH_{20}, CH_{21}, CH_{22}, CH_{23}, CH_{24}$ 를 도시한다. 개별 데이터 프레임은 순차적으로 도달하고 제 1 채널 CH1의 데이터 프레임과 동일한 길이(예를 들어 10ms)를 가지지만, 공통 동기화 클록에 관한 시간 오프셋이 있다는 것을 도 2-1e에서 알 수 있다. 예로서, 여기서 공통 동기화 클록에 관한(그리고 도 2-1d의 특정 예에서 제 1 채널 CH1의 데이터 프레임에 관한) 시간 오프셋은 정확하게 데이터 프레임 주기의 절반이라고 가정된다. 이것은, 공통 동기화 클록의 발생 $T_0, T_1 \dots T_4$ 시에 데이터 프레임의 절반(예를 들어, 데이터 프레임 CH_{20} 의 제 1 절반)만 시간 주기 $t_0 - T_0$ 에서 기록 상태 WR인 프레임 메모리에 기록된다는 것을 의미한다. 게다가, 개별 데이터 프레임은 항상 동일한 프레임 메모리의 각 메모리 위치에 기록된다. 기록 프로세스의 시간 주기는 상이한 채널에서 구별된다. 제 1 정렬 모드 M1에서 프레임 메모리 RAM1(도 2-1a 참조)를 고려하는 예에서 알 수 있는 바와 같이, 데이터 프레임 CH_{20} 은 시간 T_1 에서 프레임 메모리 RAM1에 완전히 기록되지만, 타임-오프셋 때문에 프레임 메모리 RAM1에 기록하는 것은 동기화 클록 발생 T_0, T_1 과의 동기화가 시작되지도 종료되지도 않는다. 그러므로, CH_{20} 의 제 1 절반은 정렬 모드 M3가 동작될 때 시간 간격 $t_0 - T_0$ (t_0 : 데이터 프레임 CH_{20} 의 도달 시간 또는 시작 시간) 동안 프레임 메모리 RAM1에 기록되고, CH_{20} 의 제 2 절반은 $T_0 - t_1$ (t_1 : CH_{20} 의 종료 시간 및 CH_{21} 의 시작 시간) 사이에서 프레임 메모리 RAM1에 기록된다. 그러나, 시간 T_0 전의 프레임 주기 동안, 데이터 프레임 CH_{10} (동기화 클록에 동기화 됨)는 모드 M3에서 프레임 메모리 RAM1에 이미 기록되었다.

물론, 동기화 클록의 발생 T_0 일 때, 모드 스위칭이 발생된다. 그러나, 동기화 클록 T_0 가 발생될 때 데이터 프레임 CH_{20} 은 아직 프레임 메모리 RAM1에 완전하게 기록되지 않았기 때문에, 프레임 메모리 RAM1은 $T_0 < t < T_1$ 동안 기록 상태가 유지된다. 그러므로, 종료 시간 t_1 까지, 데이터 프레임 CH_{20} 은 프레임 메모리 RAM1에 완전히 기록될 수 있다.

$t > t_1$ 이면, 다음 시간-오프셋 데이터 프레임 CH_{21} 은 프레임 메모리에 기록되어야 한다. 데이터 프레임 CH_{20} 이 이미 프레임 메모리 RAM1에 기록되어 있기 때문에, 시간 간격 $t_1 - T_1$ 에서 기록 상태에 있는 제 2 프레임 메모리 RAM2에 계속해서 기록될 것이다. 이것은 도 2-1a, b 및 c에서 화살표 c_1 으로 표시된다.

다음 동기화 클록 T_1 의 발생하면, 모드 스위칭이 수행된다. 시간 간격 T_1-T_2 의 제 2 정렬 모드 M2에서, 데이터 메모리 RAM1은 판독 상태 RD라고 가정되며, 제 2 프레임 메모리는 기록 상태 WR를 유지하고, 제 3 프레임 메모리 RAM3는 기록 상태 WR로 스위칭된다. 프레임 CH₂₁의 종료 시간 t_2 에서, 제 2 프레임 메모리 RAM2는 완전히 채워지고 제 2 채널 CH₂을 위해 새롭게 도달하는 데이터 프레임 CH₂₂은 이전 정렬 모드 M1에서 판독 상태에 있었던 프레임 메모리 RAM3에 기록된다. 이것은 도 2-1b, c 및 e에서 c₂로 표시된다.

물론, 채널 CH1에 대해서, 데이터 프레임은 이미 동기화 클록에 동기화되어 도달되었기 때문에, 공통 동기화 클록에 관한 부분적인 시간-오버랩핑(overlapping) 기록은 여기서 불필요하다. 그러므로, T_0 일 때, 데이터 프레임 CH₁₀은 프레임 메모리 RAM1에 완전히 저장되고, 발생 T_1 에서 채널 CH₁₁은 제 2 프레임 메모리 RAM2에 완전히 기록된다(화살표 d₁으로 표시됨).

M1→M2인 모드 스위칭은 다음에 따라 달성된다. 클록 동기화 주기 T_1-T_2 에서, 두 채널의 데이터 프레임 CH₁₀, CH₂₀은 도달할 때 시간 오프셋되더라도 제 1 프레임 메모리 RAM1이 동기화 클록의 발생 T_1 에서 두 채널의 데이터 프레임 CH₁₀, CH₂₀에 완전히 저장되기 때문에, 이제 판독 상태 RD에 있는 제 1 프레임 메모리는 공통 동기화 클록을 통해 동기화되어 판독될 수 있다. 그러므로, 시간-정렬은 두 채널 CH1, CH2의 두 데이터 프레임을 위해 수행된다.

프로세스는 동기화 클록 T_2 의 다음 발생에서 다른 스위칭을 계속한다. 프레임 CH₂₂의 제 1 절반은 시간 간격 t_2-T_2 에서 기록 상태 WR에 있는 제 3 프레임 메모리 RAM3에 기록되고 다음 정렬 모드로의 스위칭이 수행되어, 제 3 프레임 메모리 RAM3은 기록 상태 WR를 유지하고 제 2 프레임 메모리 RAM2는 판독 상태로 가며 제 1 프레임 메모리 RAM1은 기록 상태로 간다. 그러므로, 데이터 프레임 CH₂₂의 제 2 절반은 시간 간격 T_2-t_3 중 시간 T_2 에서 스위칭될 후 제 3 프레임 메모리 RAM3에 기록된다. 데이터 프레임 CH₁₁ 및 CH₂₁을 포함하는 제 2 프레임은 클록 T_2 에 동기화되고 판독된다. 물론 (제 3 프레임 메모리 RAM3에 완전하게 기록된)데이터 프레임 CH₂₂의 종료 시간 t_3 이 발생하면, 새롭게 도달한 데이터 프레임 CH₂₃은 정렬 모드 M2에서 판독 상태 RD에 있는 제 1 프레임 메모리 RAM1에 기록된다. 이미 판독 상태인 프레임 메모리에 다음 데이터 프레임 CH₂₃을 기록하는 것은 도 2-1a, c 및 e에 c₂로 표시된다.

다시, 동기화 클록 T_3 가 발생하면 정렬 모드는 M3→M1으로 스위칭된다. 그러나, 제 1 프레임 메모리 RAM1은 기록 상태 WR을 유지한다. 데이터 프레임 CH₂₂에 완전히 저장된 제 3 프레임 메모리 RAM3은 판독 상태 RD로 스위칭되고 동기화 클록 T_3 이 시작되면 판독된다. 제 2 프레임 메모리 RAM2는 기록 상태 WR로 설정된다. 제 1 프레임 메모리 RAM1이 기록 상태 WR를 유지하기 때문에, 데이터 프레임 CH₂₃의 제 2 절반은 시간 간격 T_3-T_4 에서 제 1 프레임 메모리 RAM1에 기록된다. 다음 데이터 프레임 CH₂₄이 시작 시간 t_4 에 도달될 때, 이러한 데이터 프레임은 도 2-1a, b, e에 화살표 c₄로 도시된 바와 같이 이전에 판독 상태였던 제 2 프레임 메모리 RAM2에 기록된다. 데이터 프레임 CH₁₂ 및 CH₂₂를 완전하게 포함하는 제 3 프레임 메모리 RAM3은 프레임 간격 T_3-T_4 에서 CH₂₃의 제 2 절반 및 CH₂₄의 제 1 절반을 기록하면서 판독된다.

그러므로, 시간-정렬 모드 M1, M2, M3, M1...은 주기적으로 스위칭되고, 각각 스위칭된 후에 새롭게 도달한 데이터 프레임은 스위칭되기 전에 판독 상태였던 프레임 메모리에 기록된다.

도 2-1은 채널 CH2에 관련하여 공통 동기화 클록에 대한 프레임 절반의 시간 오프셋의 한 예를 제공하는 것일 뿐이라는 것이 주의해야 한다. 그러나, 정렬 모드의 스위칭, 및 판독과 기록의 일반적인 절차는 어떤 종류의 시간 오프셋에 적용할 수 있고, 두 채널 CH1, CH2 뿐만 아니라 상당수의 채널(예를 들어, 300개 채널까지)은 공통 동기화 클록에 관해 각각의 시간 오프셋이 정렬되도록 처리될 수 있다. n개의 채널이 있을 경우에, 각각의 프레임 메모리는 n개의 데이터 프레임을 동시에 저장할 수 있어야 한다.

도 2-2는 도 2-1의 절차를 도시하는 상이한 시간도이다. 다시, 채널 CH1의 데이터 프레임은 시간 오프셋이 없고, 채널 CH2 데이터 프레임의 시간 오프셋은 데이터 프레임 주기의 절반이라고 가정할 수 있다. 다른 채널은 임의의 시간 오프셋 (CH3...CHn)을 가진다고 가정한다. 도 2-2의 시간도는 동기화 클록의 발생 T_1 시에 채널 CH3의 데이터 프레임 CH35 일부가 기록 상태에 있는 프레임 메모리에 이미 기록되었고, 타임 T_1 이후에 도달한 나머지 데이터 CH35는 후속되는 주기

T_1 - T_2 동안 동일한 프레임 메모리에 기록된다는 것을 도시한다. 이것은 다른 프레임 오프셋(프레임 오프셋 CH_n)을 가지는 채널 CH_n 에 대해서도 마찬가지다. 데이터 프레임 CH_{20} 의 제 1 절반은 시간 T_1 전에 기록 상태의 프레임 메모리에 기록되고, 제 2 절반은 T_1 이후에 동일한 메모리에 기록된다. T_2 의 클록 발생에서 알 수 있는 바와 같이, T_2 이후에 모든 데이터 프레임 $CH_{10}, CH_{20}, CH_{35}, \dots, CH_{nx}$ 는 판독 상태의 프레임 메모리에서 판독될 수 있는데, 여기서 각각의 채널은 데이터가 판독될 때 10ms 프레임 내에서 전용 타임 슬롯을 가질 수 있다.

판독된 데이터 프레임 $CH_{10}, CH_{20}, CH_{35}, \dots, CH_{nx}$ 의 정렬을 도시하는 도 2-3에서 알 수 있는 바와 같이, 이러한 데이터 프레임은 T_2 이후에 판독되고, 다음 동기화 클록 T_3 가 발생할 때 까지 10ms의 시간 간격 내에서 관련 시간 슬롯을 할당받는다(전술된 도 1-3과 관련하여 참조).

도 3은 다수의 순차적 프레임을 위한 정렬 모드 스위칭을 도시한다. 수 0, 1, 2, 3, 4, 5, 6은 하나의 개별 채널, 예컨대 CH_1 의 순차적 데이터 프레임을 나타낸다. 프레임 메모리의 판독 상태 및 기록 상태와 관련하여, 제 1 내지 제 3 정렬 모드 M_1, M_2, M_3 는 도 2-1에 도시된 것과 동일하다. 물론, 모드 M_1 에서 데이터 프레임 0, 1, 2가 3개의 프레임 메모리 RAM_1, RAM_2, RAM_3 에 동시에 존재하는 것처럼 보이지만, 이것은 0이 아닌 시간 오프셋에 대해서는 실제로 발생될 수 없다. 즉, 데이터 프레임 0이 판독되는 동기화 주기의 끝에서 데이터 프레임 2가 각각 기록 상태 프레임 메모리에 완전히 기록될 수 없지만 프레임 1은 RAM_2 에 완전히 기록된다. 그러므로, 도 3에서 판독 및 기록은 도 2-1 및 도 2-2에 일반적으로 도시된 바와 같이 수행된다고 가정할 수 있다.

그러나, 도 3은 기록 상태 메모리에 새로운 데이터 프레임을 기록하는 절차와 관련하여 중요한 본 발명의 다른 양상을 도시한다(IN 은 새롭게 도달하는 데이터 프레임을 나타내고 OUT 은 판독 프레임 메모리로부터 판독된 데이터 프레임을 나타낸다).

도 3에 도시된 바와 같이, 새롭게 도달하는 데이터 프레임 2, 3, 4, 5, 6은 이전의 정렬 모드가 각각 판독 상태였던 프레임 메모리 RAM_1, RAM_2, RAM_3 에 각각 기록되는 것이 바람직하다. 또한 도 3에 도시된 바와 같이, 데이터 프레임의 판독은 데이터 프레임 0, 1, 2, 3, 4을 순차적으로 제공한다.

그러므로, 전술된 시간-정렬 장치 및 시간-정렬 방법은, 도 1에 도시된 출력 수단 OM 을 이용하여 시간-정렬 방식으로 다수 채널의 데이터 프레임을 디코딩 자원에 제공할 수 있다. 그러므로, 공통 동기화 클록에 대해 개별 시간 오프셋이 있는 데이터 프레임은 시간-정렬될 수 있으므로, 디코더 자원은 다수 채널의 여러 데이터 프레임에 대해 순차적으로 이용될 수 있다. 그러므로, 각 개별 채널의 개별 데이터 프레임은 전용 디코더 장치를 필요로 하지 않는다. 즉, 도 2-3 및 도 1-2, 도 1-3과 관련하여 도시된 바와 같이, 10ms와 같은 각 시간 간격내에서 미리 설정된 수의 채널 $CH_1, CH_2, CH_3, \dots, CH_n$ 의 한 데이터 프레임 $CH_{10}, CH_{20}, CH_{35}, \dots, CH_{nx}$ 수는 하나의 디코딩 장치에 의해 순차적으로 처리되고, 각각 미리 설정된 수의 다른 채널이 제공되는 다수의 디코딩 장치는 동일한 시간 간격 10ms에서 병렬식으로 동작한다.

제 2 실시예(시간 간격/디-인터리빙)

각 프레임 메모리 RAM_1, RAM_2, RAM_3 는 도 4-1, 도 4-2의 매트릭스로 도시된 바와 같이 구성될 수 있다. 즉, 프레임 메모리(매트릭스)는 상기 데이터 프레임을 저장하기 위한 다수의 행 N_{W-1} 및 열 N_{R-1} 을 갖는다. 각각의 프레임 메모리는 모든 채널로부터의 한 데이터 프레임을 포함한다. 데이터 프레임은 행 방향(도 4-1 및 도 4-2에서 "기록 상태")에 기록되고, 동기화 클록이 발생되면 데이터 프레임은 다시 동일한 방향, 즉, 행 방향에서 판독될 수 있다.

그러나, 많은 송신 시스템에서, 비트-인터리빙은 송신기에서 각 데이터 프레임에 대해 수행되어, 상당히 빈번하게 버스트(burst)로 발생되는 등화기에 의한 결정 에러(error)를 줄일 수 있다. 공지된 바와 같이 본래는, 비트-인터리빙은 각 데이터 프레임의 전체 시간 주기에 결정 에러를 분산시킨다. 이렇게 하기 위하여, 송신기에 있는 프레임 메모리는 각 채널에 대해서 도 4-1 및 도 4-2에 따른 하나의 매트릭스를 포함해야 한다. 송신기에서의 인터리빙을 위하여, 각 매트릭스의 수직(또는 열) 방향은 각 데이터 프레임으로 채워지고, 송신 동안에 각 매트릭스는 수평(또는 행) 방향에서 판독된다.

비트-디-인터리빙은 수신기에서 역 순서로 수행된다. (예를 들어, 컨볼루션 디코더에 의해) 디코더가 최종 채널 디코딩을 수행하기 전에, 수신된 데이터 프레임은 각 매트릭스의 수평 방향으로 기록되고 수직 방향으로 판독된다(도 4-1 참조; 열과 행 수의 정렬은 바람직한 인터리빙 깊이를 결정한다).

코드화되고 비트-인터리빙된 데이터가 3개의 프레임 메모리 RAM1, RAM2, RAM3에 존재하면, 시간-정렬 절차는 이하와 같이 비트-디-인터리빙과 용이하게 결합될 수 있다.

각각의 프레임 메모리 RAM1, RAM2, RAM3는 채널당 (도 4-1 및 도 4-2에 따른)하나의 매트릭스를 포함한다고 가정되는데, 여기서 상기 매트릭스의 행 방향은 각 데이터 프레임으로 채워지고, 도 1-1의 제어 장치 CU(즉, 디-인터리빙 장치 DILM)는 공통 동기화 클록이 시작되면 각각 행렬 열 방식으로 판독된다. 즉, 도 1-1의 입력 수단 IM은, 도 2-1을 참조로 기술된 기록 기술 및 시간-정렬 모드에 따라서, 각 채널에 대한 한 데이터 프레임을 프레임 메모리의 각 매트릭스에 행 방향으로(도 4-1 및 도 4-2에서 "기록") 기록한다.

반면, 판독 상태에 있는 프레임 메모리에서 판독이 수행될 때마다, 각 매트릭스는 열 방향에서 판독되어 비트-디-인터리빙이 수행된다. 행 방식 기록 및 열 방식 판독이 수행되면, 시간-정렬은 비트-디-인터리빙과 동시에 수행될 수 있다.

그러므로, 비트-디-인터리빙을 수행하기 위한 추가 회로는 필요하지 않으며, 프레임 메모리의 매트릭스에 대해서 판독 및 기록 방향을 스위칭하기만 하면 된다. 그러므로, 각 데이터 프레임을 처리하기 위한 시간은 감소될 수 있고 하드웨어 복잡도도 감소될 수 있다.

제 3 실시예(기호 방식 저장)

전술된 도 5 및 도 6의 CDMA 시스템의 중계 기지국 BTS국 및 많은 송신 시스템에서, 시간-정렬 및 채널 디코딩이 수행된다. 예를 들어, 송신기에서의 컨볼루션 채널 코더는 (코드화되지 않은 각 입력 비트를 위해) 수신기에 송신되는 한 기호로 출력시킨다.

소프트-출력 등화기가 수신기에 이용되면, 데이터 프레임에 도달하는 데이터는 도 5의 BBRX 장치에서 검출된 소프트-결정 기호이다. 디코더 DEC는, 다수의 순차적인 비트 시간에서 소프트 결정 기호를 근거로 "0"이 송신되었는지 "1"이 송신되었는지를 결정하기 위해 컨볼루션 디코딩을 수행한다.

그러나, 이 목적을 위하여, 디-인터리빙은 비트보다는 소프트 기호로 수행되어야 하는데, 즉, 하드 비트(hard bit)가 인터리빙되어야 하는 것이 아니라 소프트 기호가 인터리빙되어야 한다. 그러므로, 본 발명의 또 다른 양상에 따라서, 다수의 비트를 포함하는 소프트 기호는 도 4-2에 도시된 바와 같이 매트릭스의 각 메모리 위치에 저장된다. 기호-방식 저장은 전술된 시간-정렬과 함께 이용될 수 있다. 게다가, 본 발명은 DEC-장치가 DSP(digital signal processor) 또는 FPGA(field programmable gate array) 또는 ASIC(Application Specific Integrated Circuit)로 수행되었는지와는 무관하다는 점에 주의해야 한다.

산업상 이용 가능성

전술된 시간-정렬 장치 및 시간-정렬 방법은, 3개의 프레임 메모리 및 이러한 메모리의 판독 및 기록 상태의 주기적 스위칭을 주 성분으로 이용한다. 그러므로, 각각이 공통 동기화 클록(디코더에 의해 제공될 수 있음)에 대해서 시간 오프셋을 갖는 다수의 채널로부터의 어떤 종류의 데이터 프레임은 시간-정렬될 수 있다.

전기 통신 시스템이 컨볼루션 채널 인코딩 및 비트-인터리빙을 수행하면, 본 발명에 따른 시간-정렬 방법 및 시간-정렬 장치가 유용하게 적용될 수 있다. 이러한 채널 인코딩 및 디코딩 뿐만 아니라 인터리빙 및 디-인터리빙을 이용하는 전기 통신 시스템은 도 5 및 도 6에 도시된 바와 같은 CDMA 전기 통신 시스템의 중계 기지국이다. 게다가, 인터리빙 프로세스에 대해서 행 및 열 방향은 어떤 손실을 발생시키지 않으면서 변할 수 있다는 것에 주의해야 한다.

게다가, 본 발명은 전술된 실시예로 제한되는 것이 아니며, 본 실시예는 본 발명의 최상 모드로서 기술된 것이다. 그러나, 전술된 지침을 근거로 본 기술 분야의 숙련자는 본 발명의 다른 변형을 유도할 수 있다. 그러나 이러한 모든 변형은 첨부된 청구 범위의 범위내에 있다. 게다가, 본 발명은 전술된 상세한 설명에 개별적으로 기술되고, 그리고/또는 청구 범위에서 개별적으로 청구된 특징을 갖는 실시예를 포함할 수 있다.

게다가, 청구 범위의 참조 번호는 명확하게 하기 위한 것이지 본 발명의 범위를 제한하려는 것은 아니다.

도면의 간단한 설명

도 1-1은 본 발명에 따른 수신기 RX의 시간-정렬 장치의 블록도.

도 1-2는 다수의 채널 CH1, CH2, ..., CH8의 각 데이터 프레임에 속한 각 데이터 패킷이 도 1-1에 도시된 시간-정렬 장치의 입력부에 도달하는 방법을 도시한다.

도 1-3은 도 1-1에 도시된 시간-정렬 장치에 의해 출력되는 다수의 채널 CH1, ..., CH8의 시간-정렬된 데이터 프레임을 도시한다.

도 2-1은 본 발명에 따라서 3개의 프레임 메모리 RAM1, RAM2, RAM3에 순차적인 데이터 프레임을 저장하는 시간도.

도 2-2는 도 2-1과 관련하여 데이터 프레임 기록 및 판독의 상이한 도면을 도시한다.

도 2-3은 시간-정렬 장치로부터의 다수 출력 데이터 프레임을 도시한다.

도 3은 개별 시간-정렬 모드간의 순차적인 스위칭, 및 이전 모드에서 판독 상태에 있었던 프레임 메모리에 새로운 데이터 프레임을 기록하는 것을 도시한다.

도 4-1은 수신기에서 비트-디-인터리빙을 수행하기 위한 메모리 매트릭스(matrix)의 판독 및 기록을 도시하는데, 여기서, 수신기에서는 소프트-출력 등화기가 이용되지 않는다.

도 4-2는 소프트 출력 등화기/복조기가 수신기에 이용되면, 수신기에서 기호-방식(symbol-wise) 디-인터리빙을 수행하기 위한 메모리 매트릭스의 판독 및 기록을 도시한다.

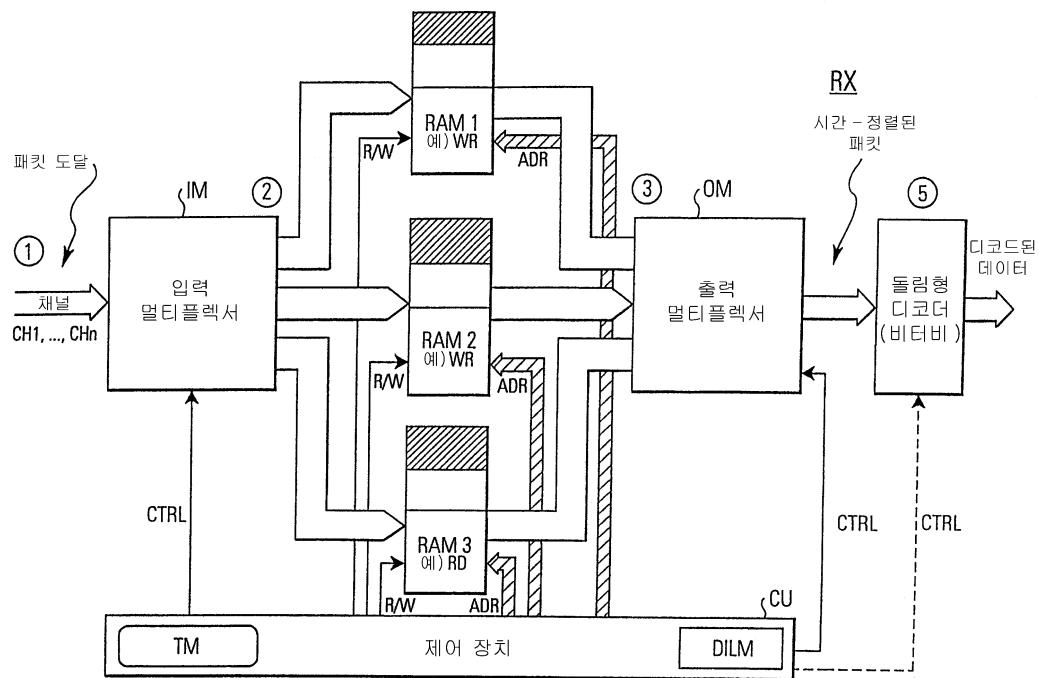
도 5는 본 발명에 따른 시간-정렬 방법이 적용될 수 있는 CDMA 전기 통신 시스템의 중계 기지국의 개요를 도시한다.

도 6은 도 5에 개략적으로 도시된 디코더 장치 DEC의 내부 구조의 개요를 도시한다.

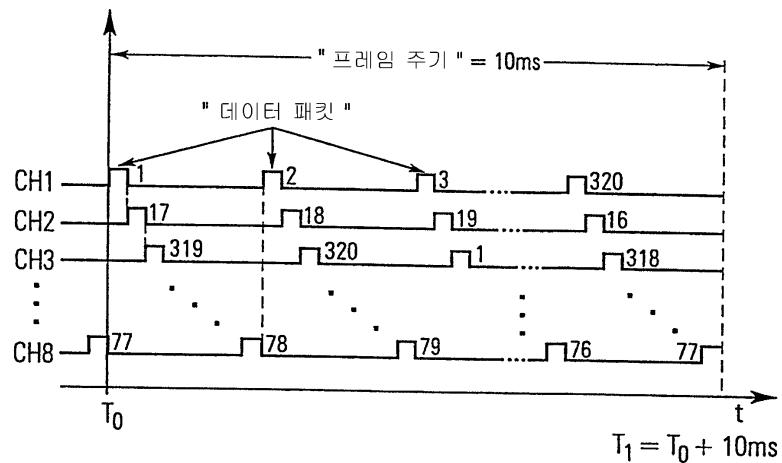
도면에서 동일하거나 유사한 참조 번호는 모든 도면에서 동일하거나 유사한 부품 또는 단계를 나타낸다.

도면

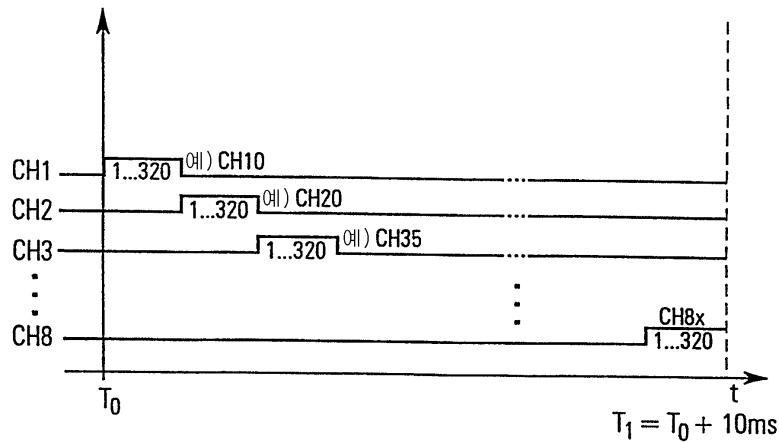
도면1-1



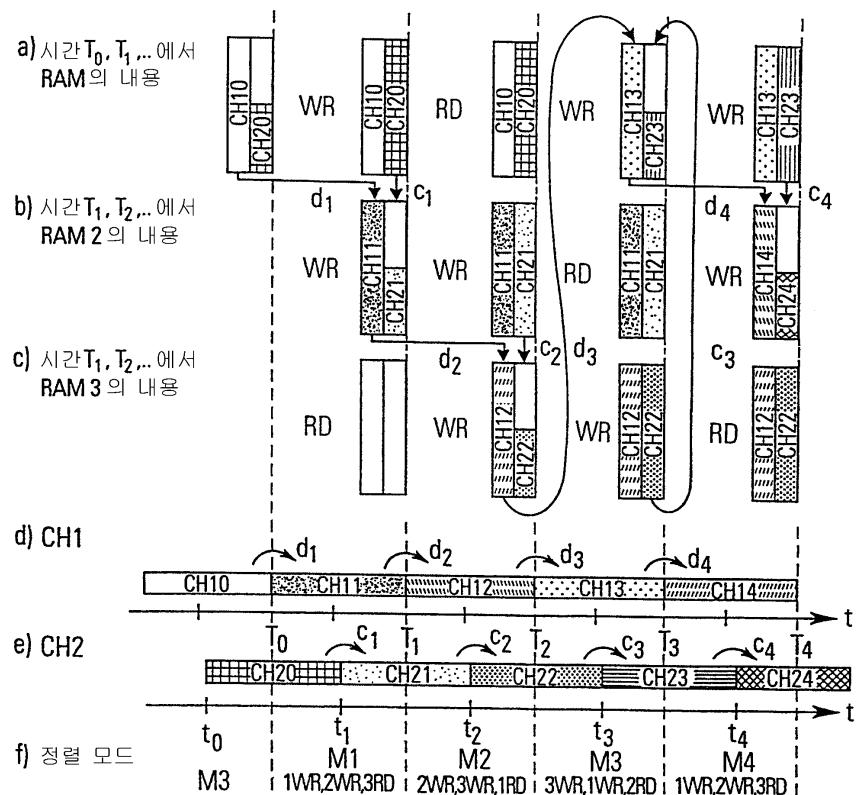
도면1-2



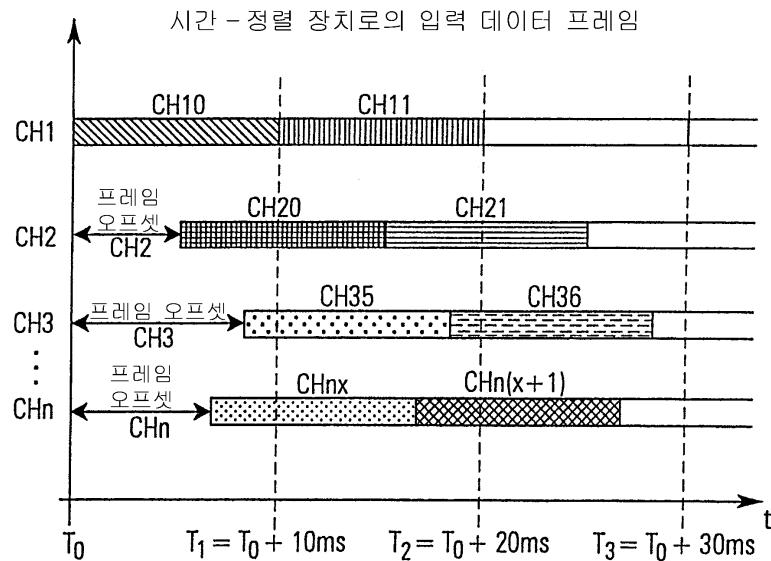
도면 1-3



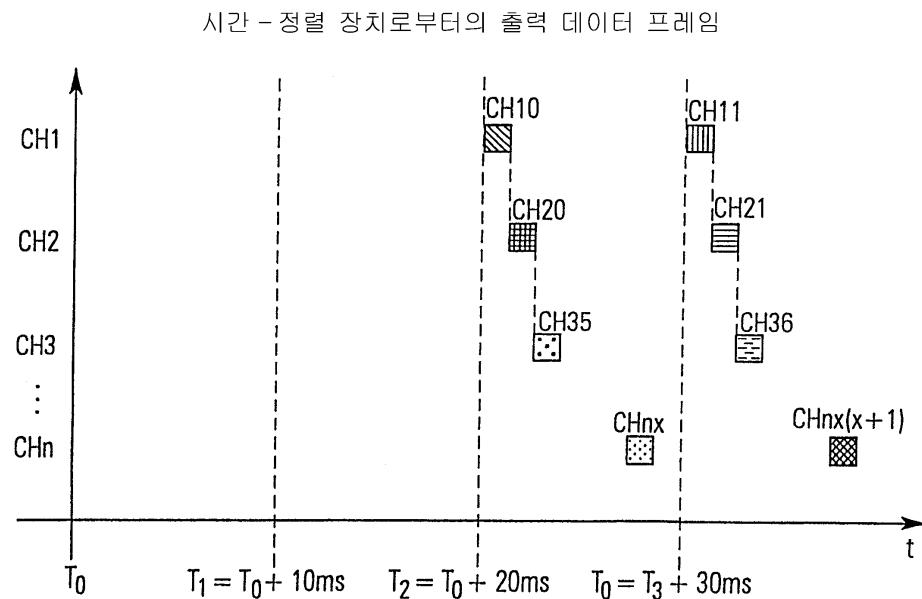
도면2-1



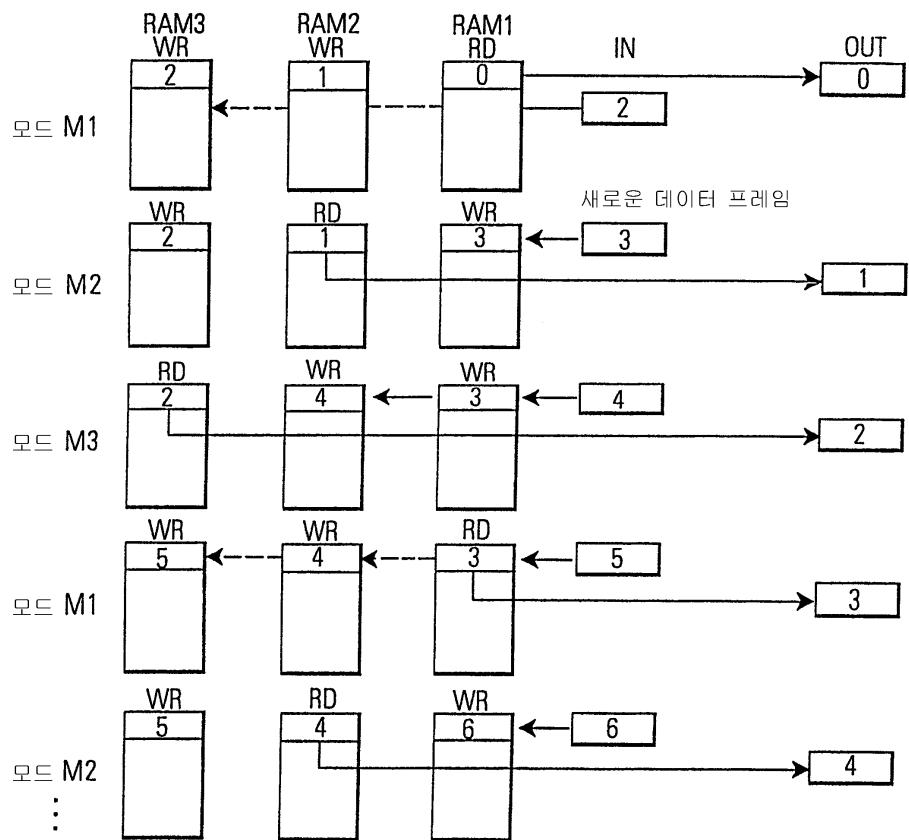
도면2-2



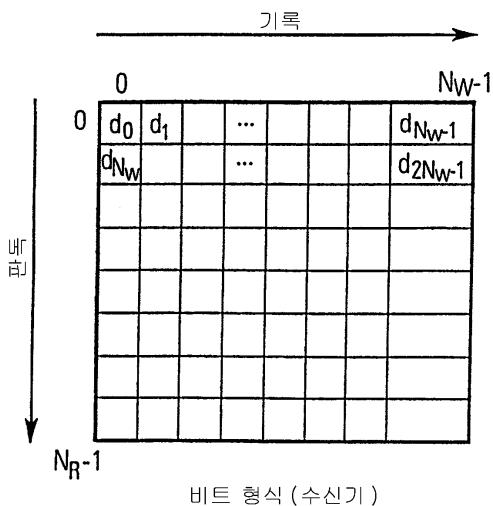
도면2-3



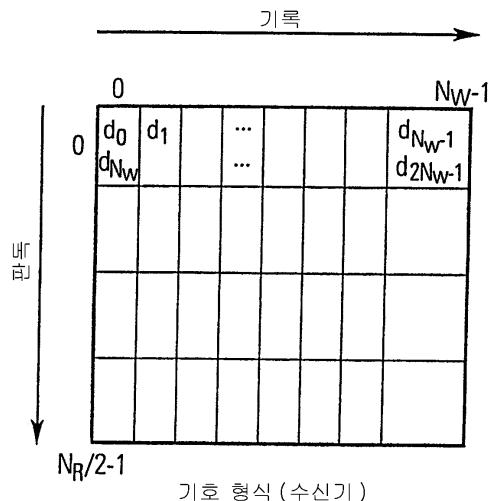
도면3



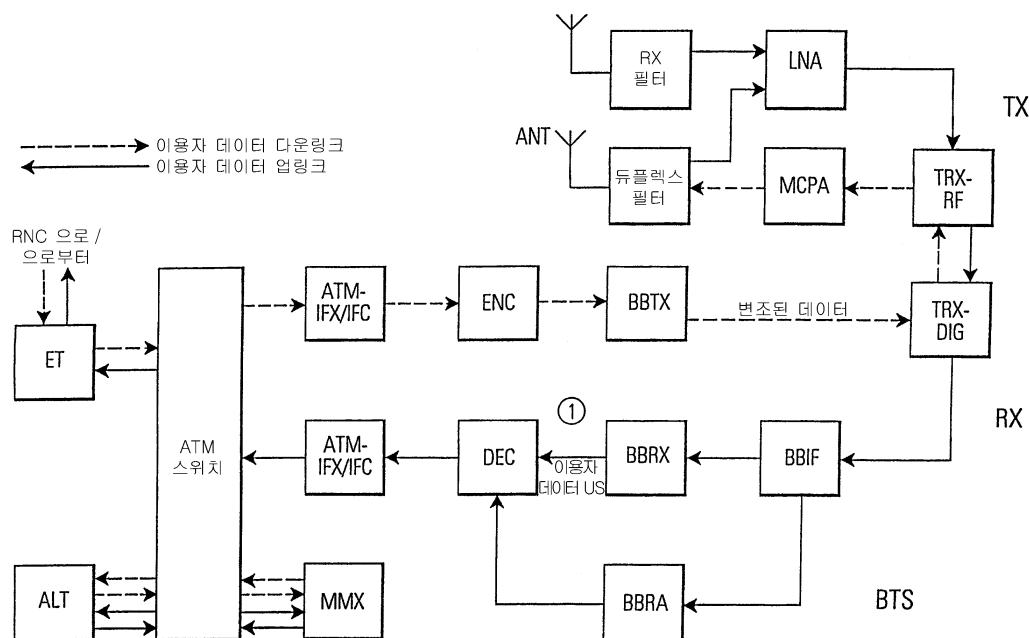
도면4-1



도면4-2



도면5



도면6

