

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 6 日(06.10.2016)



(10) 国際公開番号

WO 2016/158182 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 21/8238 (2006.01)
H01L 21/28 (2006.01) H01L 23/522 (2006.01)
H01L 21/3205 (2006.01) H01L 27/092 (2006.01)
H01L 21/768 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2016/056494
- (22) 国際出願日: 2016 年 3 月 2 日(02.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-070348 2015 年 3 月 30 日(30.03.2015) JP
- (71) 出願人: 日本写真印刷株式会社(NISSHA PRINTING CO., LTD.) [JP/JP]; 〒6048551 京都府京都市中京区壬生花井町 3 番地 Kyoto (JP).
- (72) 発明者: 灘 秀明(NADA, Hideaki); 〒6048551 京都府京都市中京区壬生花井町 3 番地 日本写真印刷株式会社内 Kyoto (JP). 面 了明(OMOTE, Ryomei); 〒6048551 京都府京都市中京区壬生花井町 3 番地 日本写真印刷株式会社内 Kyoto (JP). 滋野 博誉(SHIGENO, Hirotaka); 〒6048551 京都府京都市中京区壬生花井町 3 番地 日本写真印刷株式会社内 Kyoto (JP). 坂田 喜博(SAKATA, Yoshihiro); 〒6048551 京都府京都市中京区壬生花井町 3 番地 日本写真印刷株式会社内 Kyoto (JP). 中村 一登(NAKAMURA, Kazuto); 〒6048551 京都府京都市中京区壬生花井町 3 番地 日本写

真印刷株式会社内 Kyoto (JP). 中家 勇人(NAKAYA, Hayato); 〒6048551 京都府京都市中京区壬生花井町 3 番地 日本写真印刷株式会社内 Kyoto (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

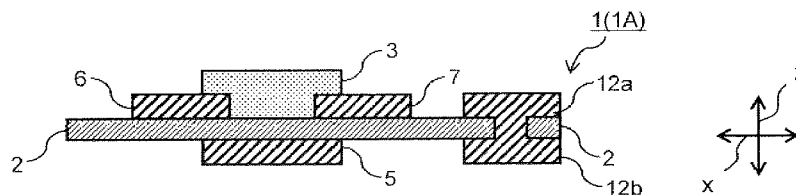
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR PRODUCING THIN FILM TRANSISTOR AND THIN FILM TRANSISTOR

(54) 発明の名称: 薄膜トランジスタの製造方法、および薄膜トランジスタ



(57) Abstract: [Problem] To provide: a method for producing a thin film transistor with which variation and a deterioration in performance can be suppressed; and a thin film transistor. [Solution] This method for producing a thin film transistor 1 (1A) includes: a step in which a first conductive layer is formed on one main surface of a substrate 2 and a second conductive layer is formed on the other main surface of the substrate 2; a step in which a mask layer is collectively formed on the first conductive layer and second conductive layer; a step in which, by collectively bringing the first conductive layer and second conductive layer into contact with an etching liquid and removing a partial region of the first conductive layer and second conductive layer, a source electrode 6 and a drain electrode 7 are formed on the one main surface of the substrate 2 and a gate electrode 5 is formed on the other main surface of the substrate 2; and a step in which an organic semiconductor layer 3 is formed on the one main surface of the substrate 2 from which the first conductive layer has been removed.

(57) 要約: 【課題】性能の低下およびバラツキを抑えることができる薄膜トランジスタの製造方法と、薄膜トランジスタを提供する。【解決手段】本発明の薄膜トランジスタ 1 (1A) の製造方法は、基材 2 の一方の主面上に第 1 導電層を形成して、基材 2 の他方の主面上に第 2 導電層を形成する工程と、第 1 導電層および第 2 導電層の上にマスク層を一括して形成する工程と、第 1 導電層および第 2 導電層を一括してエッチング液に接触させて、第 1 導電層および第 2 導電層の一部領域を除去することにより、基材 2 の一方の主面上にソース電極 6 とドレイン電極 7 を形成し、基材 2 の他方の主面上にゲート電極 5 を形成する工程と、第 1 導電層が除去された基材 2 の一方の主面上に有機物半導体層 3 を形成する工程と、を含む。

WO 2016/158182 A1

明 細 書

発明の名称：

薄膜トランジスタの製造方法、および薄膜トランジスタ

技術分野

[0001] 本発明は、半導体層に有機物半導体を用いた薄膜トランジスタに関するものである。

背景技術

[0002] 近年、トランジスタの薄型化、フレキシブル化、軽量化等の要望が高まるにつれて、基材材料としてはポリエチレンナフタレート（PEN）やポリイミド（PI）等の高分子フィルムが使用されている。これに伴い、半導体層としては、当該フィルムの耐熱温度以下で成膜が可能な有機物半導体がいわれている。また、薄膜トランジスタを構成するソース電極、ドレイン電極、ゲート電極の作製には、フォトリソグラフィ法や印刷法がいわれている。

[0003] 特許文献1には、ゲート絶縁膜を基板（基材）として用い、各電極や半導体層を印刷法によって形成した薄膜トランジスタが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-186294号公報

発明の概要

発明が解決しようとする課題

[0005] トランジスタの製造では成膜や熱処理などの熱プロセスが繰り返し行われる。例えば、スパッタや蒸着などの真空成膜や塗布プロセス後の乾燥などである。このような熱プロセスに伴い、基材が延伸或いは収縮して、基材の寸法が変化することがある。フォトリソグラフィ法でトランジスタを製造するときには、各層の成膜やマスク層を形成するための露光処理等を層ごとに行うため、各層の形成時にそれぞれ熱処理がなされて、基材の寸法が工程毎に

変化することがあった。このため、ゲート電極に対するソース電極およびドレイン電極の形成位置を制御するのが困難であった。その結果、設計通りのトランジスタが作製できず、トランジスタの性能にバラツキが生じて製品の歩留まりが悪化することがあった。

[0006] そこで、本発明は、性能の低下およびバラツキを抑えることができる薄膜トランジスタの製造方法と、薄膜トランジスタを提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成し得た本発明の薄膜トランジスタの製造方法は、基材の一方の主面上に第1導電層を形成して、基材の他方の主面上に第2導電層を形成する工程と、第1導電層および第2導電層の上にマスク層を一括して形成する工程と、第1導電層および第2導電層を一括してエッチング液に接触させて、第1導電層および第2導電層の一部領域を除去することにより、基材の一方の主面上にソース電極とドレイン電極を形成し、基材の他方の主面上にゲート電極を形成する工程と、第1導電層が除去された基材の一方の主面上に有機物半導体層を形成する工程と、を含む点に要旨を有するものである。本発明の薄膜トランジスタの製造方法は、第1導電層および第2導電層の上にマスク層を一括して形成する工程を含んでいるため、基材が熱延伸或いは熱収縮しても、ソース電極、ドレイン電極、ゲート電極の位置関係を維持しやすくなる。その結果、ソース電極およびドレイン電極に対するゲート電極の位置ズレに起因するトランジスタの性能低下を抑えることができる。また、本発明の薄膜トランジスタの製造方法は、基材がゲート絶縁膜を兼ねているため、シリコン酸化膜等のゲート絶縁膜を別途設ける必要がなく、トランジスタ全体の厚みを抑えることができる。これにより、ゲート絶縁膜のピンホールの発生や膜厚などの品質のバラツキに起因するトランジスタの性能のバラツキが発生しない。さらに、本発明の薄膜トランジスタの製造方法ではフォトリソグラフィ法によってソース電極、ドレイン電極、ゲート電極を形成するため、チャンネル長を $10\text{ }\mu\text{m}$ 以下に制御することができ、回路の微

細化が可能である。

[0008] 本発明の薄膜トランジスタの製造方法において、第1導電層および第2導電層が、Cuから構成されていることが好ましい。Cuは高い電気伝導性を有しているとともに、安価であり、耐熱性にも優れているからである。

[0009] 本発明の薄膜トランジスタの製造方法において、マスク層がドライフィルムレジストで形成されていることが好ましい。マスク層が液体レジストで形成されている場合と比較して、マスク層がドライフィルムレジストで形成されている場合にはレジストを塗布した後の溶剤乾燥が不要なため、生産性を高めることができる。

[0010] また、上記目的を達成し得た本発明の薄膜トランジスタは、基材の一方の主面上に形成されている第1ゲート電極と、基材の他方の主面上に形成されている第1ソース電極、第1ドレイン電極、および第1有機物半導体層とを有する第1トランジスタと；基材の他方の主面上に形成されている第2ゲート電極と、基材の一方の主面上に形成されている第2ソース電極、第2ドレイン電極、および第2有機物半導体層とを有する第2トランジスタと；を含む点を要旨とする。本発明の薄膜トランジスタは、基材がゲート絶縁膜を兼ねているため、シリコン酸化膜等のゲート絶縁膜を別途設ける必要がなく、トランジスタ全体の厚みを抑えることができる。また、ゲート絶縁膜のピンホールの発生や膜厚などの品質のバラツキに起因するトランジスタの性能のバラツキが発生しない。本発明の薄膜トランジスタは、基材を挟んで互いに異なる向きに2つのトランジスタが配置されているため、隣り合うトランジスタ同士の配置間隔を狭めることができ、回路の集積度を高められる。

[0011] 第1ゲート電極、第1ソース電極、第1ドレイン電極と、第2ゲート電極、第2ソース電極、第2ドレイン電極が、一括したフォトリソグラフィおよび一括したウェットエッチングにより形成されていることが好ましい。本発明の薄膜トランジスタではフォトリソグラフィ法によって各電極が形成されているため、チャネル長を10 μ m以下に制御することができ、回路の微細化が可能である。また、各電極が一括したフォトリソグラフィおよび一括し

たウェットエッチングにより形成されているため、基材が熱延伸或いは熱収縮しても、ソース電極、ドレイン電極、ゲート電極の位置関係を維持しやすくなる。その結果、ソース電極およびドレイン電極に対するゲート電極の位置ズレに起因するトランジスタの性能低下を抑えることができる。

[0012] 第1ソース電極または第1ドレイン電極と、第2ソース電極または第2ドレイン電極が重なって配置されていることが好ましい。隣り合うトランジスタ同士の配置間隔をさらに狭めることができるため、回路の集積度をより一層高められる。

[0013] 第1有機物半導体層の導電型と第2有機物半導体層の導電型とは反対極性であり、第1トランジスタと第2トランジスタは相補型に構成されていることが好ましい。これにより、第1トランジスタと第2トランジスタを、金属酸化物半導体（MOS）でいうところのCMOS構造に配置することが可能である。

[0014] 第1ドレイン電極と第2ドレイン電極が重なって配置され、第1ドレイン電極と第2ドレイン電極が重なる領域において、基材に貫通孔が形成されており、貫通孔を通じて第1ドレイン電極と第2ドレイン電極が接続されていることが好ましい。第1ドレイン電極と第2ドレイン電極が貫通孔と重なって配置されているため、隣り合うトランジスタ同士の配置間隔をさらに狭めることができ、回路の集積度をより一層高められる。また、貫通孔において、第1ドレイン電極と第2ドレイン電極が接続されているため、第1ドレイン電極と第2ドレイン電極の接続に必要な配線長を短くできるとともに、配線のための空間を別途確保する必要がない。

[0015] 基材が高分子フィルムから形成されており、基材の厚みが0.1 μm 以上10 μm 以下であることが好ましい。基材が膜厚0.1 μm 以上10 μm 以下の高分子フィルムであれば、単位時間あたりにチャネル領域を移動するキャリア数を確保しつつ、製造時に基材を取り扱いやすくなる。

発明の効果

[0016] 本発明の薄膜トランジスタの製造方法では、基材が熱延伸或いは熱収縮し

ても、ソース電極、ドレイン電極、ゲート電極の位置関係を維持しやすくなる。その結果、ソース電極およびドレイン電極に対するゲート電極の位置ズレに起因するトランジスタの性能低下を抑えることができる。また、本発明の薄膜トランジスタの製造方法は、チャンネル長を $10\ \mu\text{m}$ 以下に制御することができ、回路の微細化が可能である。

本発明の薄膜トランジスタの製造方法および薄膜トランジスタは、基材がゲート絶縁膜を兼ねているため、シリコン酸化膜等のゲート絶縁膜を別途設ける必要がなく、トランジスタ全体の厚みを抑えることができる。これにより、ゲート絶縁膜のピンホールの発生や膜厚などの品質のバラツキに起因するトランジスタの性能のバラツキが発生しない。

さらに、第1トランジスタおよび第2トランジスタを含む本発明の薄膜トランジスタは基材を挟んで互いに異なる向きに2つのトランジスタが配置されているため、隣り合うトランジスタ同士の配置間隔を狭めることができ、回路の集積度を高められる。

図面の簡単な説明

[0017] [図1]図1は、本発明の実施の形態にかかる薄膜トランジスタの製造方法の工程断面図である。

[図2]図2は、本発明の実施の形態にかかる薄膜トランジスタの製造方法の工程断面図である。

[図3]図3は、本発明の実施の形態にかかる薄膜トランジスタの製造方法の工程断面図である。

[図4]図4は、本発明の実施の形態にかかる薄膜トランジスタの製造方法の工程断面図である。

[図5]図5は、本発明の実施の形態にかかる薄膜トランジスタの製造方法の工程断面図である。

[図6]図6は、本発明の実施の形態にかかる薄膜トランジスタの製造方法の工程断面図である。

[図7]図7は、本発明の実施の形態にかかる薄膜トランジスタの他の例を示す

断面図である。

[図8]図 8 は、本発明の実施の形態にかかる薄膜トランジスタの他の例を示す断面図である。

[図9]図 9 は、CMOS回路の構成を示す模式図である。

[図10]図 10 は、本発明の実施の形態にかかる薄膜トランジスタの他の例を示す断面図である。

[図11]図 11 は、参考例にかかる薄膜トランジスタの製造方法の工程断面図である。

[図12]図 12 は、参考例にかかる薄膜トランジスタの製造方法の工程断面図である。

[図13]図 13 は、参考例にかかる薄膜トランジスタの製造方法の工程断面図である。

[図14]図 14 は、参考例にかかる薄膜トランジスタの製造方法の工程断面図である。

[図15]図 15 は、参考例にかかる薄膜トランジスタの製造方法の工程断面図である。

[図16]図 16 は、参考例にかかる薄膜トランジスタの製造方法の工程断面図である。

[図17]図 17 は、参考例にかかる薄膜トランジスタの製造方法の工程断面図である。

発明を実施するための形態

[0018] 以下、実施の形態に基づき本発明をより具体的に説明するが、本発明はもとより下記実施の形態によって制限を受けるものではなく、前・後記の趣旨に適合し得る範囲で変更を加えて実施することも勿論可能であり、それらはいずれも本発明の技術的範囲に包含される。また、図面における種々部材の寸法比は、本発明の特徴を理解に資することを優先しているため、実際の寸法比とは異なる場合がある。

[0019] 本発明の薄膜トランジスタの製造方法は、（１）基材の一方の主面上に第

1 導電層を形成して、基材の他方の主面上に第2導電層を形成する工程と、
(2) 第1導電層および第2導電層の上にマスク層を一括して形成する工程と、
(3) 第1導電層および第2導電層を一括してエッチング液に接触させて、第1導電層および第2導電層の一部領域を除去することにより、基材の一方の主面上にソース電極とドレイン電極を形成し、基材の他方の主面上にゲート電極を形成する工程と、
(4) 第1導電層が除去された基材の一方の主面上に有機物半導体層を形成する工程と、を含むものである。本発明の薄膜トランジスタの製造方法は、第1導電層および第2導電層の上にマスク層を一括して形成する工程を含んでいるため、基材が熱延伸或いは熱収縮しても、ソース電極、ドレイン電極、ゲート電極の位置関係を維持しやすくなる。その結果、ソース電極およびドレイン電極に対するゲート電極の位置ズレに起因するトランジスタの性能低下を抑えることができる。また、本発明の薄膜トランジスタの製造方法は、基材がゲート絶縁膜を兼ねているため、シリコン酸化膜等のゲート絶縁膜を別途設ける必要がなく、トランジスタ全体の厚みを抑えることができる。これにより、ゲート絶縁膜のピンホールが発生や膜厚などの品質のバラツキに起因するトランジスタの性能のバラツキが発生しない。さらに、本発明の薄膜トランジスタの製造方法ではフォトリソグラフィ法によってソース電極、ドレイン電極、ゲート電極を形成するため、チャネル長を $10\mu\text{m}$ 以下に制御することができ、回路の微細化が可能である。

[0020] また、本発明の薄膜トランジスタは、基材の一方の主面上に形成されている第1ゲート電極と、基材の他方の主面上に形成されている第1ソース電極、第1ドレイン電極、および第1有機物半導体層とを有する第1トランジスタと；基材の他方の主面上に形成されている第2ゲート電極と、基材の一方の主面上に形成されている第2ソース電極、第2ドレイン電極、および第2有機物半導体層とを有する第2トランジスタと；を含むものである。本発明の薄膜トランジスタは、基材がゲート絶縁膜を兼ねているため、シリコン酸化膜等のゲート絶縁膜を別途設ける必要がなく、トランジスタ全体の厚みを

抑えることができる。また、ゲート絶縁膜のピンホールの発生や膜厚などの品質のバラツキに起因するトランジスタの性能のバラツキが発生しない。さらに、本発明の薄膜トランジスタは、基材を挟んで互いに異なる向きに2つのトランジスタが配置されているため、隣り合うトランジスタ同士の配置間隔を狭めることができ、回路の集積度を高められる。

[0021] 本発明において、薄膜トランジスタは厚み方向と面方向を有する。薄膜トランジスタの厚み方向は、基材上に有機物半導体層や導電層が積層される方向であり、本願の図の上下方向に相当する。薄膜トランジスタの面方向は、厚み方向と直交する方向であり、縦方向と横方向を有している。なお、本願の図の左右方向は、薄膜トランジスタの面方向のうち、横方向に相当する。

[0022] 基材は、ゲート絶縁膜を兼ねている。基材は、ポリエチレンナフタレート（PEN）、ポリエチレンテレフタレート（PET）、ポリイミド（PI）等の高分子フィルムから形成されることが好ましい。有機物半導体の移動度は $1 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ 程度であることから、基材の膜厚が大きすぎると単位時間あたりにソース電極とドレイン電極の間を移動するキャリア数が減少する。他方、基材の膜厚が小さすぎると、トランジスタの製造時に基材が折れたり、壊れたりするなどして、基材が取り扱いにくくなる。このため、基材の厚みは $0.1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下であることが好ましく、 $1 \mu\text{m}$ 以上 $7 \mu\text{m}$ 以下であることがより好ましく、 $3 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下であることがさらに好ましい。

[0023] 有機物半導体層は、トランジスタのチャネル領域として機能する。有機物半導体層の材料としては、例えば、ペンタセン、アントラセン、テトラセン、ルブレン、ポリアセチレン、ポリチオフェン、フラーレン、カーボンナノチューブ等を用いることができる。

[0024] 第1導電層と第2導電層は、トランジスタを構成するゲート電極、ソース電極、ドレイン電極、端子電極、ビア電極等の各電極を形成するためのものである。詳細は製造方法の例を挙げて後述するが、第1導電層および第2導電層の一部の領域をマスク層によって覆い、第1導電層および第2導電層を

エッチング液に接触させることにより、各電極を形成することができる。

[0025] 第1導電層と第2導電層は、例えば、Al、Ag、C、Ni、Au、Cu等の導電性材料を用いることができる。中でも、第1導電層および第2導電層は、Cuから構成されていることが好ましい。Cuは高い電気伝導性を有しているとともに、安価であり、耐熱性にも優れているからである。

[0026] 以下、本実施の形態に係る薄膜トランジスタの製造方法の好ましい例について、図面を用いて詳細に説明する。図1～図6は、本実施の形態に係る薄膜トランジスタの製造方法の一部を示す工程断面図である。

[0027] (1) 基材の一方の主面上に第1導電層を形成して、基材の他方の主面上に第2導電層を形成する工程

膜厚3 μ mのポリイミドフィルムを基材2として準備する。図1に示すように、端子電極やビア電極を形成するために、基材2を厚み方向zに貫通する貫通孔11aを形成してもよい。貫通孔11aの形成には、パンチング、レーザー加工等を用いることができる。

[0028] 図2に示すように、基材2の一方の主面上に第1導電層4aを形成して、基材2の他方の主面上に第2導電層4bを形成する。図2においては、基材2の厚み方向zの上側の面上に第1導電層4aが形成され、基材2の下側の面上に第2導電層4bが形成されている。第1導電層4aおよび第2導電層4bを成膜する方法は特に限定されず、例えば、真空蒸着法やスパッタリング法を用いることができる。また、基材2に厚み方向zに貫通する貫通孔11aが形成されない場合には、箔状に形成された導電性材料を貼り付けることにより第1導電層4aおよび第2導電層4bを成膜することもできる。

[0029] (2) 第1導電層および第2導電層の上にマスク層を一括して形成する工程

図3に示すように、ゲート電極、ソース電極、ドレイン電極の各電極の形成位置を決めるためのマスク層10a、10bをそれぞれ第1導電層4a、第2導電層4bの上に一括して形成する。

[0030] 具体的には、マスク層10a、10bの形成は次のように行う。第1導電層4aおよび第2導電層4bの上に、ドライフィルムレジストや液体レジス

ト等の感光性樹脂を塗布する。感光性樹脂には、露光部分が現像液に対して不溶性となるネガ型と、露光部分が現像液に対して可溶性となるポジ型があるが、以下ではネガ型の感光性樹脂を例にして説明する。第1導電層4aの上には第1レジストが塗布され、第2導電層4bの上には第2レジストが塗布される。第1レジスト、第2レジストの上から電子ビームや光（紫外線）を照射して、第1レジストおよび第2レジストに所定の回路形状を描画する。第1レジストには、少なくともソース電極とドレイン電極の形状が描画され、第2レジストには少なくともゲート電極の形状が描画される。

[0031] トランジスタの性能低下を抑止するために、図3に示すように、マスク層10bが形成するゲート電極の左右方向xにおける中心線Cが、マスク層10aが形成するソース電極とドレイン電極の間の領域（チャンネル長LC）を左右方向xに三等分割した場合の中央領域ACに位置していることが好ましい。

[0032] チャンネル長LCは20μm以下であることが好ましく、15μm以下であることがより好ましく、10μm以下であることがさらに好ましい。チャンネル長LCが短いほど、トランジスタの処理速度を高めることができる。

[0033] 基材2の両面から一括して露光可能な露光装置（図示していない）を用いて、第1レジストと、第2レジストの両方を一括して露光することによって、第1レジストと第2レジストに対して回路形状の転写、焼き付けを行う。

[0034] 第1レジストと第2レジストに現像液を接触させることによって、各レジストの未露光部分は現像液に対して溶解する。その結果、第1レジストと第2レジストの露光部分がマスク層10a、10bとして第1導電層4aおよび第2導電層4b上に残る。

[0035] マスク層10（10a、10b）は、ドライフィルムレジストや液体レジストで形成することができるが、ドライフィルムレジストで形成されていることが好ましい。マスク層10が液体レジストで形成されている場合と比較して、レジストを塗布した後の溶剤乾燥が不要なため、生産性を高めることができる。

[0036] (3) 第1導電層および第2導電層を一括してエッチング液に接触させて、第1導電層および第2導電層の一部領域を除去することにより、基材の一方の主面上にソース電極とドレイン電極を形成し、基材の他方の主面上にゲート電極を形成する工程

次に、マスク層10aが形成された第1導電層4aと、マスク層10bが形成された第2導電層4bを一括してエッチング液に接触させる。この操作によって、図4に示すように、第1導電層4aおよび第2導電層4bの一部領域が除去される。

[0037] マスク層10a、10bを剥離液に接触させて溶解することにより、マスク層10a、10bを除去する。その結果、図5に示すように、基材2の一方の主面上にソース電極6とドレイン電極7が形成され、基材2の他方の主面上にはゲート電極5が形成される。また、マスク層10a、10bを除去することにより、基材2の一方の主面上には端子電極12aが形成され、基材2の他方の主面上には端子電極12bが形成される。なお、端子電極12a、12bは導通している。

[0038] 図5に示すように、本発明の薄膜トランジスタは、ソース電極6と、ドレイン電極7と、ゲート電極5が一括したフォトリソグラフィおよび一括したウェットエッチングにより形成されている。このため、基材2が熱延伸或いは熱収縮しても、ソース電極6、ドレイン電極7、ゲート電極5の位置関係を維持しやすくなる。その結果、ソース電極6およびドレイン電極7に対するゲート電極5の位置ズレに起因する薄膜トランジスタの性能低下を抑えることができる。

[0039] (4) 第1導電層が除去された基材の一方の主面上に有機物半導体層を形成する工程

図6に示すように、第1導電層4aが除去された基材2の一方の主面上に有機物半導体層3を形成する。図6においては、第1導電層4aが除去された基材2の一方の主面上と、ソース電極6の少なくとも一部の主面上と、ドレイン電極7の少なくとも一部の主面上に有機物半導体層3が形成されてい

る。有機物半導体層 3 を形成する方法は、例えば、蒸着、インクジェット、ディスペンサーを用いることができる。以上の操作により、薄膜トランジスタ 1 (1 A) が製造される。

[0040] 次に、図 6 に示した薄膜トランジスタとは異なる態様の薄膜トランジスタについて、図 7 ～図 10 を参照しながら説明する。なお図 7 ～図 10 の説明において、上記の説明と重複する部分は説明を省略する。図 7、図 8、図 10 は、薄膜トランジスタの厚み方向 z の断面図を表す。

[0041] 図 7 に示すように、本発明の薄膜トランジスタ 1 (1 B) は、基材 2 の一方の主面上に形成されている第 1 ゲート電極 5 a と、基材 2 の他方の主面上に形成されている第 1 ソース電極 6 a、第 1 ドレイン電極 7 a、および第 1 有機物半導体層 3 a とを有する第 1 トランジスタ 20 と；基材 2 の他方の主面上に形成されている第 2 ゲート電極 5 b と、基材 2 の一方の主面上に形成されている第 2 ソース電極 6 b、第 2 ドレイン電極 7 b、および第 2 有機物半導体層 3 b とを有する第 2 トランジスタ 21 と；を含むものである。

[0042] 第 1 トランジスタ 20 の第 1 ゲート電極 5 a は、第 1 ソース電極 6 a と第 1 ドレイン電極 7 a の間に形成されており、第 2 トランジスタ 21 の第 2 ゲート電極 5 b は、第 2 ソース電極 6 b と第 2 ドレイン電極 7 b の間に形成されている。

[0043] このように、本発明の薄膜トランジスタ 1 B は、基材 2 を挟んで互いに異なる向きに第 1 トランジスタ 20 と第 2 トランジスタ 21 が配置されているため、隣り合うトランジスタ同士の配置間隔を狭めることができ、回路の集積度を高められるものである。

[0044] 第 1 ゲート電極 5 a、第 1 ソース電極 6 a、第 1 ドレイン電極 7 a と、第 2 ゲート電極 5 b、第 2 ソース電極 6 b、第 2 ドレイン電極 7 b が、一括したフォトリソグラフィおよび一括したウェットエッチングにより形成されていることが好ましい。基材 2 が熱延伸或いは熱収縮しても、第 1 ゲート電極 5 a、第 1 ソース電極 6 a、第 1 ドレイン電極 7 a；第 2 ゲート電極 5 b、第 2 ソース電極 6 b、第 2 ドレイン電極 7 b；の位置関係をそれぞれ維持し

やすくなる。その結果、第1ソース電極6 aおよび第1ドレイン電極7 aに対する第1ゲート電極5 aの位置ズレや、第2ソース電極6 bおよび第2ドレイン電極7 bに対する第2ゲート電極5 bの位置ズレに起因するトランジスタの性能低下を抑えることができる。

[0045] 本発明では、フォトリソグラフィ法でマスク層10に描画される回路形状を変更することによって、1つのトランジスタを作製する場合と同様に複数のトランジスタを作製することができるため、生産性を高めることができる。

[0046] 回路の集積度をより一層高めるために、第1ソース電極6 aまたは第1ドレイン電極7 aと、第2ソース電極6 bまたは第2ドレイン電極7 bが重なって配置されていることが好ましい。このように第1トランジスタ20と第2トランジスタ21を構成することにより、隣り合うトランジスタ同士の配置間隔をさらに狭めることができる。図8に示す薄膜トランジスタ1(1C)では、第1ドレイン電極7 aと第2ソース電極6 bが重なって配置されているが、半導体の導電型や回路の種類に応じて、第1ソース電極6 aと第2ソース電極6 bが重なって配置されていてもよいし、第1ソース電極6 aと第2ドレイン電極7 bが重なって配置されていてもよいし、第1ドレイン電極7 aと第2ドレイン電極7 bが重なって配置されていてもよい。

[0047] 第1有機物半導体層3 aの導電型と第2有機物半導体層3 bの導電型とは反対極性であり、第1トランジスタ20と第2トランジスタ21は相補型に構成されていることが好ましい。これにより、第1トランジスタ20と第2トランジスタ21を、金属酸化物半導体(MOS)でいうところのCMOS構造に配置することが可能である。

[0048] 図9はCMOS回路の構成を示す模式図である。CMOSはPMOSとNMOSを一对とし、PMOSとNMOSの動作特性を相補的に組み合わせた回路構成であり、低電圧で動作が可能であることから消費電力を抑制できるという特徴を有している。図9において、Gはゲート、Sはソース、Dはドレイン、INは入力、OUTは出力を示している。

[0049] 第1有機物半導体層3aの導電型と第2有機物半導体層3bの導電型は反対極性であればよく、第1有機物半導体層3aをp型にして第2有機物半導体層3bをn型にしてもよいし、第1有機物半導体層3aをn型にして第2有機物半導体層3bをp型にしてもよい。

[0050] 第1有機物半導体層3aおよび第2有機物半導体層は、上述した有機物半導体層と同様に、例えば、テトラセン、ペンタセン、アントラセン、ルブレ、ポリアセチレン、ポリチオフェン、フラーレン、カーボンナノチューブ等を用いることができる。

[0051] 第1有機物半導体層3aの導電型と第2有機物半導体層3bの導電型とは反対極性であり、第1トランジスタ20と第2トランジスタ21が相補型に構成されている場合、次のように薄膜トランジスタを構成することもできる。すなわち、図10に示すように、薄膜トランジスタ1(1D)は、第1ドレイン電極7aと第2ドレイン電極7bが重なって配置され、第1ドレイン電極7aと第2ドレイン電極7bが重なる領域において、基材2の厚み方向に貫通孔11bが形成されており、貫通孔11bを通じて第1ドレイン電極7aと第2ドレイン電極7bが接続されていることが好ましい。なお、貫通孔11bは、端子電極12a、12bを導通するための貫通孔11aとは別に設けられる。第1ドレイン電極7aと第2ドレイン電極7bが重なって配置されることによって、図10の左右方向xにおける第1トランジスタ20と第2トランジスタ21の配置間隔を狭めることができる。また、貫通孔11bにおいて、第1ドレイン電極5aと第2ドレイン電極5bが接続されているため、第1ドレイン電極5aと第2ドレイン電極5bを接続するための配線長を短くすることができ、配線のための空間を別途確保する必要もない。なお、端子電極12a、12bやビア電極を形成するための貫通孔11aと同様に、貫通孔11bは、パンチング、レーザー加工等により形成することができる。

[0052] (参考例)

参考として、マスク層を片面ずつ形成する場合の薄膜トランジスタの製造

方法について、図 1 1 ～図 1 7 を用いて説明する。図 1 1 ～図 1 7 は、参考例にかかる薄膜トランジスタの製造方法の工程断面図である。

[0053] 図 1 1 には、基材 2 の一方の主面上に有機物半導体層 3 が形成され、有機物半導体層 3 上に第 1 導電層 4 a が形成され、基材 2 の他方の主面上に第 2 導電層 4 b が形成されている。有機物半導体層 3 の形成は、真空蒸着法によって行われる。また、第 1 導電層 4 a、第 2 導電層 4 b の形成は、真空蒸着法やスパッタリング法によって行われる。第 1 導電層 4 a 上と、第 2 導電層 4 b 上には、マスク層 1 0 (1 0 a、1 0 b) がそれぞれ形成されている。マスク層 1 0 は、電極を形成するためのものであり、例えば、第 1 導電層 4 a 上にフォトリソを塗布・乾燥後に、露光装置を用いてフォトリソに回路形状を転写し、最後に不要なレジストを現像液で溶解して除去することによって形成される。また、第 2 導電層 4 b がエッチングされないようにマスク層 1 0 b は第 2 導電層 4 b 全面を覆うように形成される。

[0054] 第 1 導電層 4 a 上にマスク層 1 0 a が配された状態で、エッチング液を用いて、有機物半導体層 3 と第 1 導電層 4 a のエッチングを行う。これにより、図 1 2 に示すように、ソース・ドレイン電極 8 (すなわち、ソース電極とドレイン電極が繋がった状態の電極) と端子電極 1 2 a が形成される。

[0055] 次に、図 1 3 に示すように、ソース・ドレイン電極 8、端子電極 1 2 a、基材 2 の一方の主面上にマスク層 1 0 c を形成する。露光装置を用いてマスク層 1 0 b (フォトリソ) に回路形状を転写し、最後に不要なレジストを現像液で溶解して除去する (図 1 3 参照) 。

[0056] 第 2 導電層 4 b 上にパターン化されたマスク層 1 0 b が配された状態で、エッチング液を用いて、第 2 導電層 4 b のエッチングを行う。これにより、図 1 4 に示すように、ゲート電極 5 と端子電極 1 2 b が形成される。ソース・ドレイン電極 8、端子電極 1 2 a 上にはマスク層 1 0 c が形成されているため、これらの電極はエッチングされない。

[0057] 図 1 5 に示すように、マスク層 1 0 b、1 0 c を剥離液に接触させて溶解することにより、マスク層 1 0 b、1 0 c を剥離して除去する。

[0058] 図16に示すように、ソース電極とドレイン電極を形成するために、ソース・ドレイン電極8上（第1導電層4a上）にマスク層10dを形成する。このとき、端子電極12aがエッチングされないようにマスク層10dは端子電極12aを覆うように形成する。また、ゲート電極5と端子電極12bがエッチングされないようにマスク層10eはゲート電極5と端子電極12bを覆うように形成される。

[0059] ソース・ドレイン電極8のエッチングを行った結果、図17に示すように、有機物半導体層3上に、ソース電極6とドレイン電極7が形成される。図示はしていないが、マスク層10d、10eを剥離液に接触させて溶解し、マスク層10d、10eを剥離して除去することにより、薄膜トランジスタが形成される。

[0060] 本発明の実施の形態と比べて、参考例にかかる薄膜トランジスタの製造方法は、ゲート電極5を形成するためのマスク層10bと、ソース電極6およびドレイン電極7を形成するためのマスク層10dの形成に際して、露光処理等が片面ずつ行われるため、アライメントマークを基準として露光するが、装置の合わせ精度のずれが蓄積されやすく、また基材2が熱延伸或いは熱収縮した場合に、ゲート電極5に対するソース電極6およびドレイン電極7の形成位置を制御するのが困難である。

符号の説明

[0061] 1、1A、1B、1C、1D：薄膜トランジスタ

2：基材

3：有機物半導体層

3a：第1有機物半導体層

3b：第2有機物半導体層

4a：第1導電層

4b：第2導電層

5：ゲート電極

5a：第1ゲート電極

5 b : 第2 ゲート電極

6 : ソース電極

6 a : 第1 ソース電極

6 b : 第2 ソース電極

7 : ドレイン電極

7 a : 第1 ドレイン電極

7 b : 第2 ドレイン電極

10、10 a、10 b、10 c、10 d、10 e : マスク層

11 a、11 b : 貫通孔

12 a、12 b : 端子電極

20 : 第1 トランジスタ

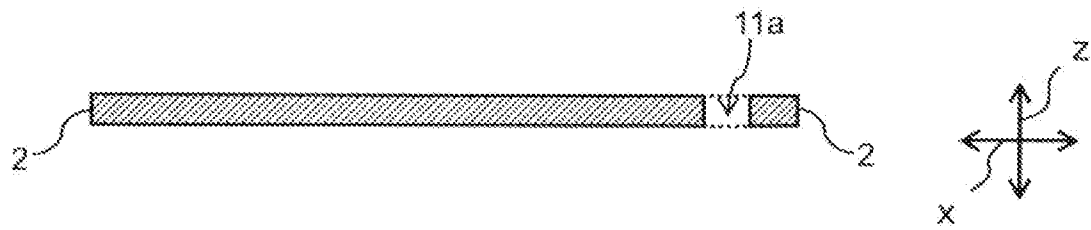
21 : 第2 トランジスタ

請求の範囲

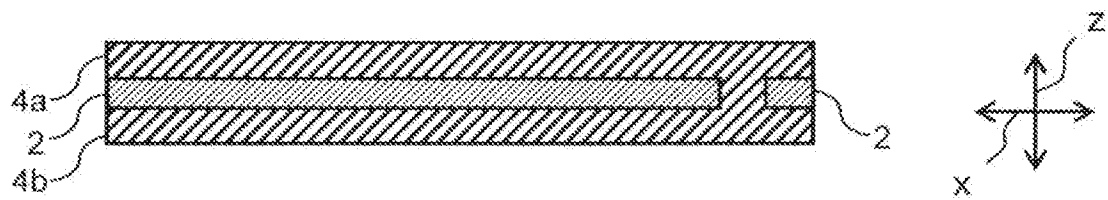
- [請求項1] 基材の一方の主面上に第1導電層を形成して、前記基材の他方の主面上に第2導電層を形成する工程と、
- 前記第1導電層および前記第2導電層の上にマスク層を一括して形成する工程と、
- 前記第1導電層および前記第2導電層を一括してエッチング液に接触させて、前記第1導電層および前記第2導電層の一部領域を除去することにより、前記基材の一方の主面上にソース電極とドレイン電極を形成し、前記基材の他方の主面上にゲート電極を形成する工程と、
- 前記第1導電層が除去された前記基材の一方の主面上に有機物半導体層を形成する工程と、を含むことを特徴とする薄膜トランジスタの製造方法。
- [請求項2] 前記第1導電層および前記第2導電層が、Cuから構成されている請求項1に記載の薄膜トランジスタの製造方法。
- [請求項3] 前記マスク層がドライフィルムレジストで形成されている請求項1または2に記載の薄膜トランジスタの製造方法。
- [請求項4] 基材の一方の主面上に形成されている第1ゲート電極と、
- 前記基材の他方の主面上に形成されている第1ソース電極、第1ドレイン電極、および第1有機物半導体層とを有する第1トランジスタと；
- 前記基材の他方の主面上に形成されている第2ゲート電極と、
- 前記基材の一方の主面上に形成されている第2ソース電極、第2ドレイン電極、および第2有機物半導体層とを有する第2トランジスタと；を含むことを特徴とする薄膜トランジスタ。
- [請求項5] 前記第1ゲート電極、前記第1ソース電極、前記第1ドレイン電極と、前記第2ゲート電極、前記第2ソース電極、前記第2ドレイン電極が、一括したフォトリソグラフィおよび一括したウェットエッチングにより形成されている請求項4に記載の薄膜トランジスタ。

- [請求項6] 前記第1ソース電極または前記第1ドレイン電極と、前記第2ソース電極または前記第2ドレイン電極が重なって配置されている請求項4または5に記載の薄膜トランジスタ。
- [請求項7] 前記第1有機物半導体層の導電型と前記第2有機物半導体層の導電型とは反対極性であり、前記第1トランジスタと前記第2トランジスタは相補型に構成されている請求項4～6のいずれか一項に記載の薄膜トランジスタ。
- [請求項8] 前記第1ドレイン電極と前記第2ドレイン電極が重なって配置され、前記第1ドレイン電極と前記第2ドレイン電極が重なる領域において、前記基材に貫通孔が形成されており、該貫通孔を通じて前記第1ドレイン電極と前記第2ドレイン電極が接続されている請求項7に記載の薄膜トランジスタ。
- [請求項9] 前記基材が高分子フィルムから形成されており、前記基材の厚みが0.1 μm 以上10 μm 以下である請求項4～6のいずれか一項に記載の薄膜トランジスタ。

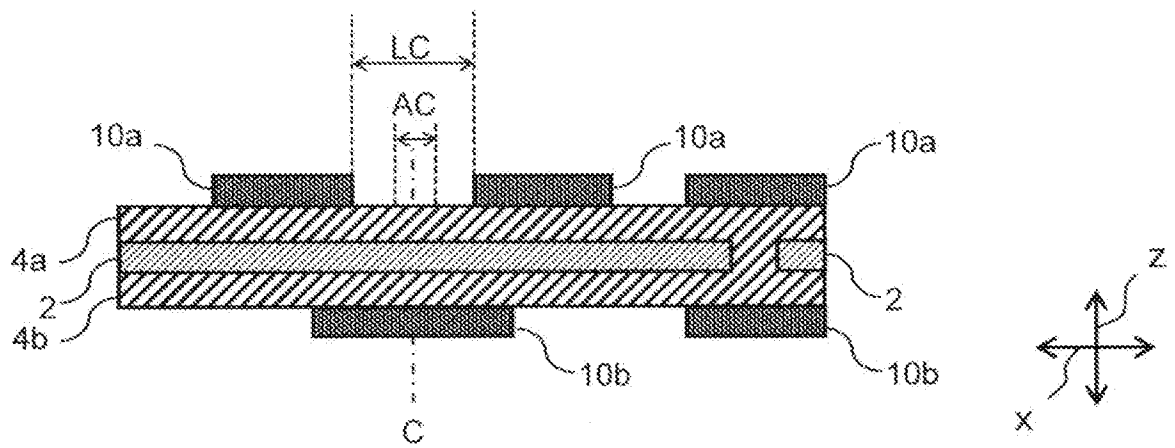
[図1]



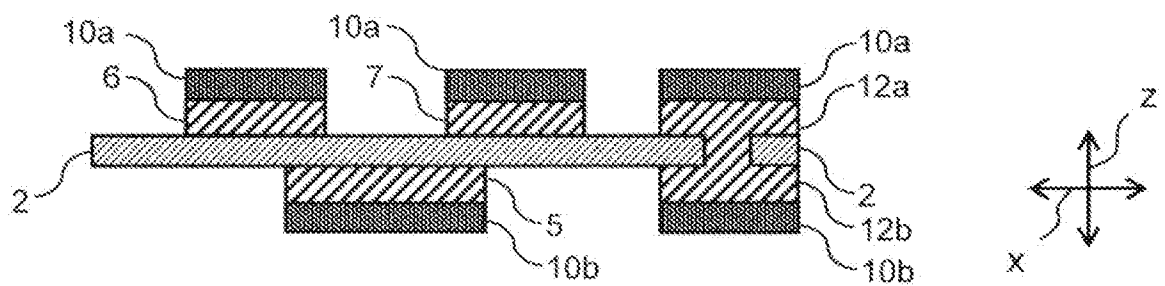
[図2]



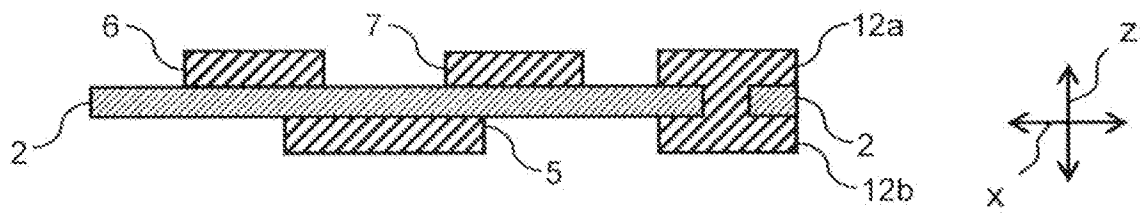
[図3]



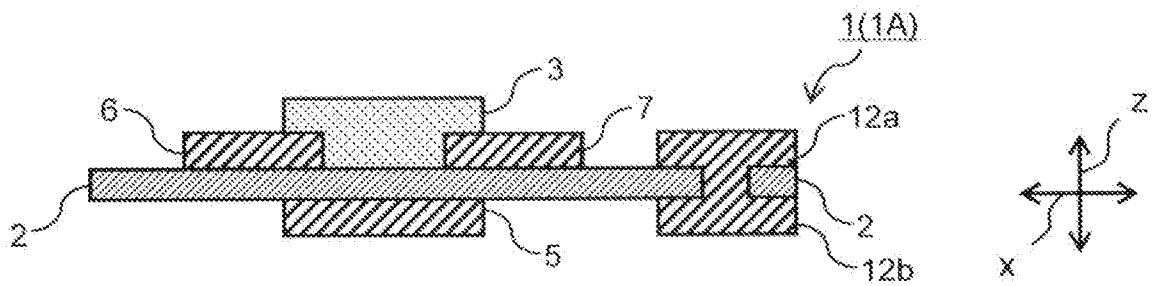
[図4]



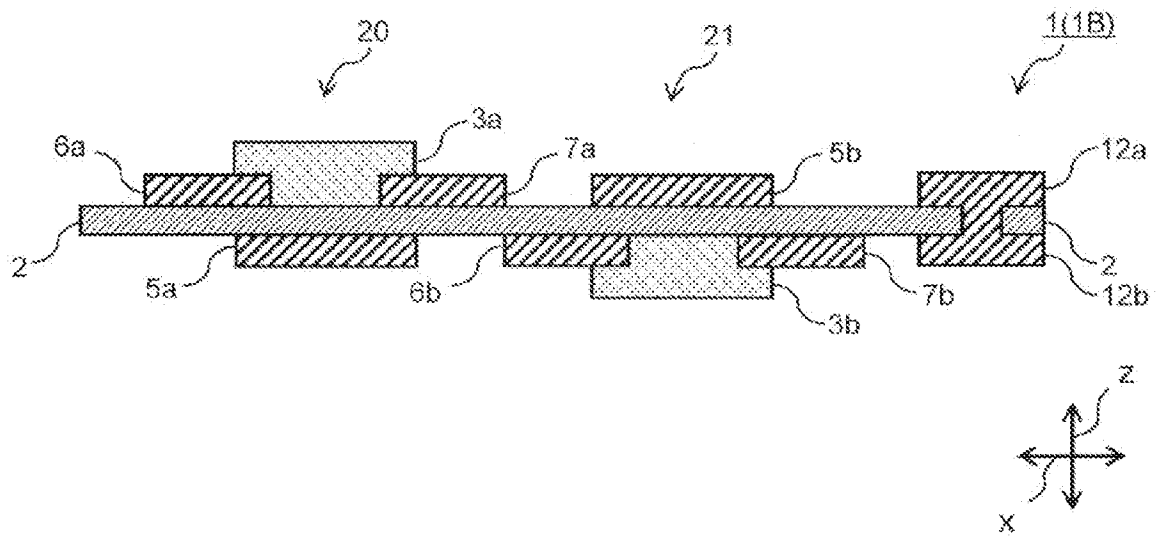
[図5]



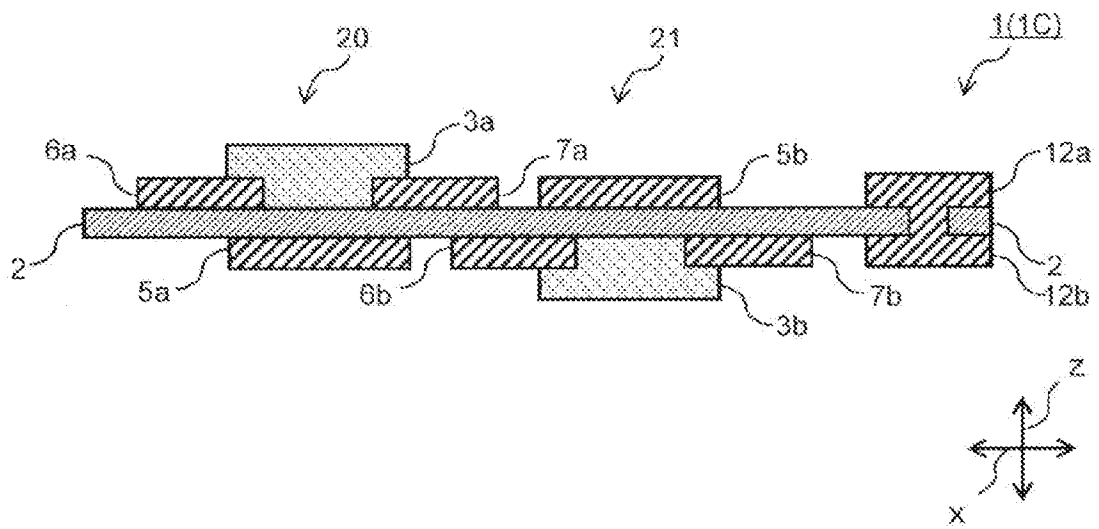
[図6]



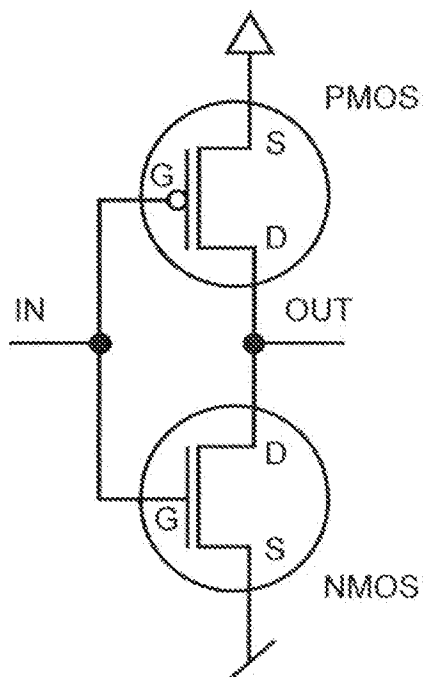
[図7]



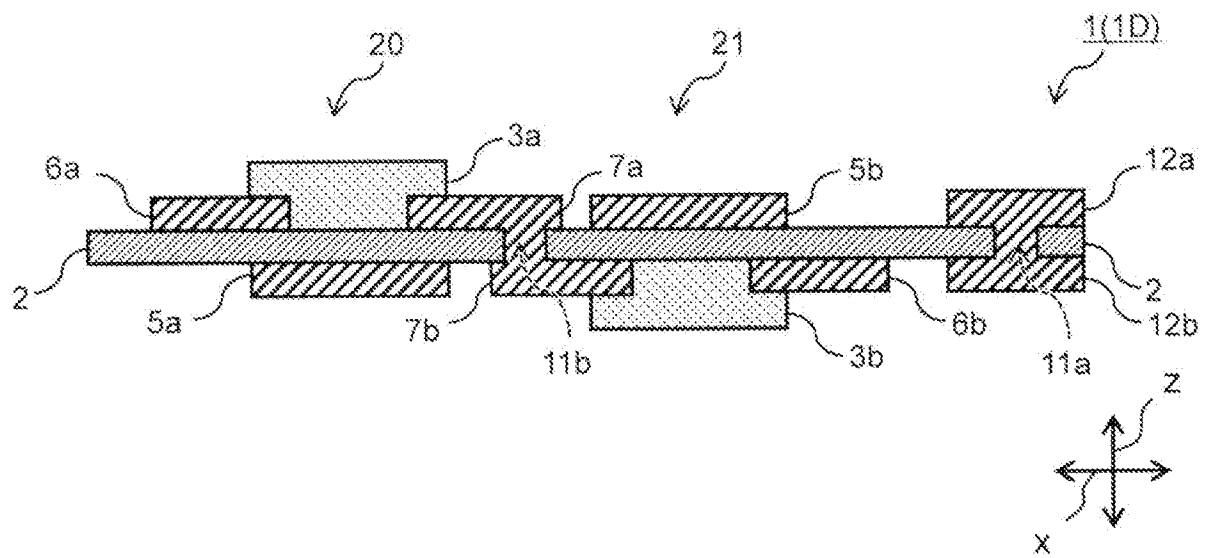
[図8]



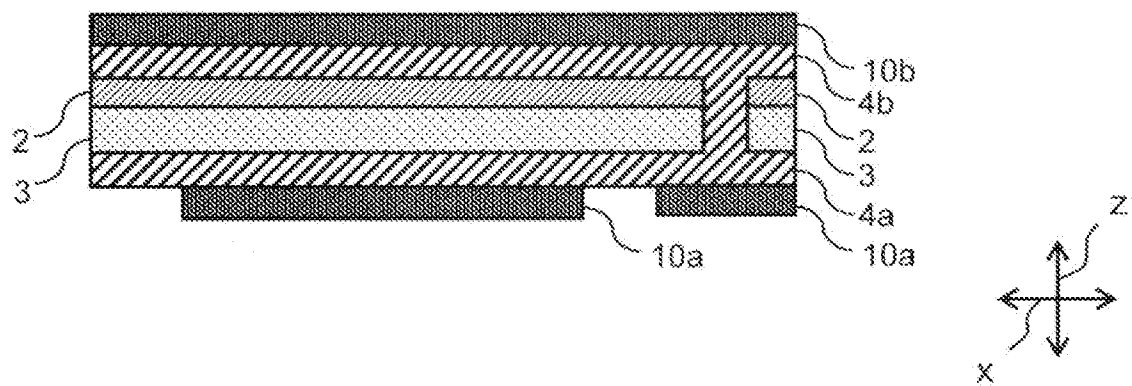
[図9]



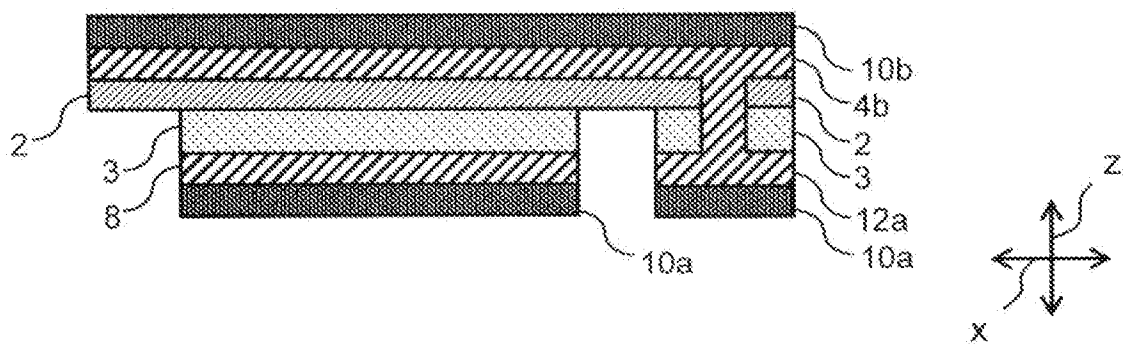
[図10]



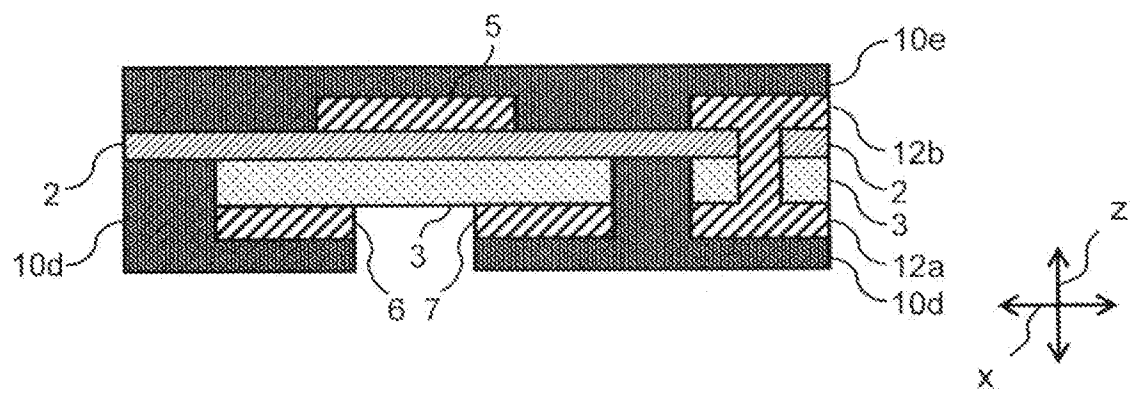
[図11]



[図12]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/056494

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/3205(2006.01)i,
H01L21/768(2006.01)i, H01L21/8238(2006.01)i, H01L23/522(2006.01)i,
H01L27/092(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/28, H01L21/3205, H01L21/768, H01L21/8238, H01L23/522,
H01L27/092, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/016206 A1 (Panasonic Corp.), 11 February 2010 (11.02.2010), & JP 5406189 B & US 2010/0261321 A1 & CN 102742013 A	1-9
A	WO 2009/069248 A1 (Panasonic Corp.), 04 June 2009 (04.06.2009), & JP 4370366 B & US 2010/0012936 A1 & CN 101569001 A & KR 10-2010-0086930 A	1-9
A	WO 2010/134234 A1 (Panasonic Corp.), 25 November 2010 (25.11.2010), & JP 5449172 B & US 2011/0121298 A1 & CN 102067320 A	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
10 May 2016 (10.05.16)

Date of mailing of the international search report
24 May 2016 (24.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L21/8238(2006.01)i, H01L23/522(2006.01)i, H01L27/092(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, H01L21/28, H01L21/3205, H01L21/768, H01L21/8238, H01L23/522, H01L27/092, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/016206 A1 (パナソニック株式会社) 2010.02.11, & JP 5406189 B & US 2010/0261321 A1 & CN 102742013 A	1-9
A	WO 2009/069248 A1 (パナソニック株式会社) 2009.06.04, & JP 4370366 B & US 2010/0012936 A1 & CN 101569001 A & KR 10-2010-0086930 A	1-9
A	WO 2010/134234 A1 (パナソニック株式会社) 2010.11.25, & JP 5449172 B & US 2011/0121298 A1 & CN 102067320 A	1-9

❏ C欄の続きにも文献が列挙されている。

❏ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10.05.2016

国際調査報告の発送日

24.05.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

5382

電話番号 03-3581-1101 内線 3516