

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 10 月 2 日 (02.10.2014)



(10) 国际公布号
WO 2014/153872 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) *G11C 19/28* (2006.01)
- (21) 国际申请号: PCT/CN2013/077594
- (22) 国际申请日: 2013 年 6 月 20 日 (20.06.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310110049.8 2013 年 3 月 29 日 (29.03.2013) CN
- (71) 申请人: 北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 杨明 (YANG, Ming); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。陈希 (CHEN, Xi); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: SHIFT REGISTER UNIT, SHIFT REGISTER, DISPLAY PANEL, AND DISPLAY

(54) 发明名称: 移位寄存器单元、移位寄存器、显示面板以及显示器

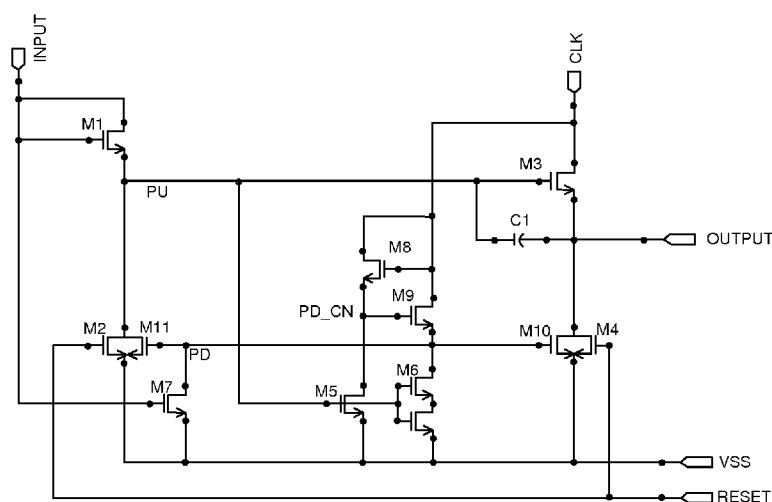


图 1 /Fig.1

(57) Abstract: A shift register unit, a shift register, a display panel, and a display. The shift register unit comprises a maintaining module, for enabling, when a pull up (PU) node is at a high level, the PU node to maintain at the high level. With the present invention, the level of the PU node can be rapidly raised in a charging phase, and a PD node can also be ensured at a higher level in a noise cancellation phase, thereby effectively canceling the noise of the PU node and OUTPUT, and improving the image quality.

(57) 摘要: 一种移位寄存器单元、移位寄存器、显示面板以及显示器。所述移位寄存器单元包括保持模块, 该保持模块使得当上拉节点 PU 为高电平时保持 PU 节点的高电平。采用本发明能在充电阶段使 PU 节点的电平迅速拉升, 也能在噪声消除阶段保证 PD 节点处于更高电位, 有效消除 PU 节点和 OUTPUT 的噪声, 提高画面品质。

WO 2014/153872 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

移位寄存器单元、移位寄存器、显示面板以及显示器

技术领域

5 本发明涉及显示器驱动技术，尤其涉及一种移位寄存器单元、移位寄存器、显示面板以及显示器。

背景技术

阵列基板行驱动（Gate Drive on Array, GOA）技术是一种将液晶显示器栅极驱动电路（Gate Driver IC）集成在阵列（Array）基板上的技术。相比传统的覆晶薄膜（Chip On Flex, or, Chip On Film, COF）技术和芯片被直接绑定在玻璃上（Chip on Glass, COG）技术，GOA 技术有以下优点：（1）将栅极驱动电路集成在阵列基板上，能有效降低生产成本；（2）省去绑定（bonding）良率工艺，能使产品良率和产能得到提升；（3）省去栅极驱动电路绑定（gate IC bonding）区域，使显示面板（panel）具有对称结构，能实现显示面板的窄边框化。

GOA 技术存在诸多优点，但 GOA 技术也存在栅极高电平驱动范围 V_{gh} Margin 不足、高温横线不良 H-line 及异常显示（Abnormal Display）等问题；而造成这些问题的主要原因是充电阶段中 PU（Pull Up）节点电压拉升不高、以及消除噪声阶段中 PD（Pull Down）节点电压不高。

20

发明内容

有鉴于此，本发明的主要目的在于提供一种移位寄存器单元、移位寄存器、显示面板以及显示器，能在充电阶段使 PU 节点的电平迅速拉升，也能在噪声消除阶段保证 PD 节点处于更高电位，有效消除 PU 节点和信号输出端 OUTPUT 的噪声，提高画面品质。

本发明实施例提供了一种移位寄存器单元，包括：缓冲模块、复位模块、信号生成模块第一下拉模块和第二下拉模块，所述缓冲模块连接信号输入端，所述复位模块连接复位端、电源端和所述缓冲模块的输出端，并且用于在所述复位端的复位信号的控制下将所述缓冲模块的输出端复位至电源端的电平；所述第一下拉模块连接复位端、电源端和信号输出端，并且用于在所述复位端的复位信号的控制下将所述信号输出端下拉至电源端的电平；所述信

30

号生成模块连接时钟端、信号输出端和所述缓冲模块的输出端，并且用于在所述缓冲模块的输出端输出的信号的控制下将所述时钟端的时钟信号输出至所述信号输出端；所述第二下拉模块连接下拉节点、所述缓冲模块的输出端、电源端和所述信号输出端，并且用于在所述下拉节点的信号的控制下将所述信号输出端和所述缓冲模块的输出端下拉至所述电源端的电平；其特征在于，所述移位寄存器单元还包括保持模块，所述保持模块连接所述缓冲模块的输出端、所述下拉节点和所述电源端，并且用于在所述缓冲模块的输出端为高电平时将所述下拉节点下拉到所述电源端的电平。

在一个示例中，所述缓冲模块包括第一薄膜晶体管，所述第一薄膜晶体管的栅极和漏极与信号输入端连接；所述复位模块包括第二薄膜晶体管，所述第二薄膜晶体管的栅极与复位端连接，所述第二薄膜晶体管的源极与电源端连接，所述第二薄膜晶体管的漏极与第一薄膜晶体管的源极连接；所述信号生成模块包括第三薄膜晶体管以及与第三薄膜晶体管连接的电容，所述电容的一端与所述第三薄膜晶体管的栅极连接，电容的另一端分别与第三薄膜晶体管的源极和信号输出端连接；所述第一下拉模块包括第四薄膜晶体管，所述第四薄膜晶体管的栅极与复位端连接，所述第四薄膜晶体管的源极与电源端连接，所述第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接；所述第二下拉模块包括第十薄膜晶体管和第十一薄膜晶体管；所述第十薄膜晶体管的栅极和所述第十一薄膜晶体管的栅极与所述下拉节点连接，所述第十薄膜晶体管的源极和所述第十一薄膜晶体管的源极与电源端连接，所述第十薄膜晶体管的漏极与第四薄膜晶体管的漏极连接，所述第十一薄膜晶体管的漏极与第二薄膜晶体管的漏极连接。

在一个示例中，所述第一薄膜晶体管的栅极与信号输入端连接，所述第一薄膜晶体管的源极分别与第二薄膜晶体管的漏极和第三薄膜晶体管的栅极连接，所述第一薄膜晶体管的漏极与信号输入端连接；所述第二薄膜晶体管的栅极分别与复位端和第四薄膜晶体管的栅极连接，所述第二薄膜晶体管的源极分别与第四薄膜晶体管的源极和电源端连接，所述第二薄膜晶体管的漏极与第三薄膜晶体管的栅极连接；所述第三薄膜晶体管的源极分别与第四薄膜晶体管的漏极和信号输出端连接，所述第三薄膜晶体管的漏极与时钟端连接；所述第四薄膜晶体管的栅极与复位端连接，所述第四薄膜晶体管的漏极与信号输出端连接。

在一个示例中，所述移位寄存器单元还包括保持模块，所述保持模块包括第六薄膜晶体管，所述第六薄膜晶体管的栅极与所述第一薄膜晶体管的源极连接，所述第六薄膜晶体管的源极与所述电源端连接，所述第六薄膜晶体管的漏极与所述下拉节点连接。

5 在一个示例中，所述移位寄存器单元还包括保持模块，所述保持模块包括第五薄膜晶体管和第六薄膜晶体管。

在一个示例中，所述第五薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第五薄膜晶体管的源极分别与第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端
10 连接；所述第五薄膜晶体管的漏极与时钟端连接；所述第六薄膜晶体管的栅极与第五薄膜晶体管的栅极连接，所述第六薄膜晶体管的源极分别与第五薄膜晶体管的源极、第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第六薄膜晶体管的漏极与时钟端连接。

在一个示例中，所述移位寄存器单元还包括第七薄膜晶体管，所述第七
15 薄膜晶体管的栅极分别与第一薄膜晶体管的栅极、信号输入端连接；所述第七薄膜晶体管的源极分别与第二薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第七薄膜晶体管的漏极与第六薄膜晶体管的漏极连接。

在一个示例中，所述第六薄膜晶体管采用双栅结构的薄膜晶体管。

20 在一个示例中，所述保持模块还包括第八薄膜晶体管和第九薄膜晶体管；其中，

所述第五薄膜晶体管的漏极与时钟端连接为：所述第五薄膜晶体管的漏极分别与第八薄膜晶体管的源极、第九薄膜晶体管的栅极连接，所述第八薄膜晶体管的栅极和漏极与时钟端连接，所述第九薄膜晶体管的漏极与时钟端
25 连接；

所述第六薄膜晶体管的漏极与时钟端连接为：所述第六薄膜晶体管的漏极与第九薄膜晶体管的源极连接，所述第九薄膜晶体管的漏极分别与所述第八薄膜晶体管的栅极和时钟端连接。

在一个示例中，所述移位寄存器单元还包括第十二薄膜晶体管，其中，
30 所述第五薄膜晶体管的栅极通过所述第十二薄膜晶体管与所述第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶

体管的栅极连接。

所述第五薄膜晶体管的栅极与第十二薄膜晶体管的源极连接，所述第十二薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第十二薄膜晶体管的漏极与第八薄膜晶体管的栅极和漏极、第九薄膜晶体管的漏极连接。

本发明还提供了一种移位寄存器，包括至少一个以上任一所述的移位寄存器单元；其中，当所述移位寄存器单元为多个时，所述多个移位寄存器单元级联。

本发明又提供了一种显示面板，其中，所述显示面板包括以上所述的移位寄存器，所述移位寄存器作为所述显示面板的栅极驱动器。

本发明又提供了一种显示器，其中，所述显示器包括以上所述的显示面板。

本发明所提供的移位寄存器单元、移位寄存器、显示面板以及显示器，具有以下优点和特点：

本发明将第五薄膜晶体管的栅极与 PU 节点连接，且第六薄膜晶体管的栅极通过第五薄膜晶体管的栅极与 PU 节点连接；或者，将第五薄膜晶体管的栅极通过第十二薄膜晶体管与 PU 节点连接，第六薄膜晶体管的栅极通过第五薄膜晶体管的栅极、第十二薄膜晶体管与 PU 节点连接；当 PU 节点处于高电平时，具有上述电路结构的移位寄存器单元均能有效消除 PU 节点和 OUTPUT 的噪声。

此外，本发明移位寄存器单元的电路中，第七薄膜晶体管所在的位置能将 PD 节点的电压迅速拉低，因此有利于 PU 节点充电、PU 节点的电压保持。

本发明第六薄膜晶体管采用双栅结构的薄膜晶体管，能有效减小源极和漏极间的电流，以保证 PD 节点处于更高电位，进而能有效消除 PU 节点和 OUTPUT 的噪声。

附图说明

图 1 为实施例 1 移位寄存器单元的电路图一；

图 2 为实施例 1 的工作时序图；

图 3 为实施例 1 移位寄存器单元的电路图二；

图 4 为实施例 2 移位寄存器单元的电路图。

具体实施方式

下面将结合具体实施例及附图对本发明的实施方式进行详细描述。

根据本发明实施例的一种移位寄存器单元包括：缓冲模块、复位模块、
5 信号生成模块、第一下拉模块和第二下拉模块，所述缓冲模块连接信号输入端，所述复位模块连接复位端、电源端和所述缓冲模块的输出端，并且用于在所述复位端的复位信号的控制下将所述缓冲模块的输出端复位至电源端的电平；所述第一下拉模块连接复位端、电源端和信号输出端，并且用于在所述复位端的复位信号的控制下将所述信号输出端下拉至电源端的电平；所述
10 信号生成模块连接时钟端、信号输出端和所述缓冲模块的输出端，并且用于在所述缓冲模块的输出端输出的信号的控制下将所述时钟端的时钟信号输出至所述信号输出端；所述第二下拉模块连接下拉节点、所述缓冲模块的输出端、电源端和所述信号输出端，并且用于在所述下拉节点的信号的控制下将所述信号输出端和所述缓冲模块的输出端下拉至所述电源端的电平，所述移
15 位寄存器单元还包括保持模块，所述保持模块连接所述缓冲模块的输出端、所述下拉节点和所述电源端，并且用于在所述缓冲模块的输出端为高电平时将所述下拉节点下拉到所述电源端的电平。

其中，所述缓冲模块包括第一薄膜晶体管，所述第一薄膜晶体管的栅极和漏极与信号输入端连接；所述复位模块包括第二薄膜晶体管，所述第二薄
20 膜晶体管的栅极与复位端连接，所述第二薄膜晶体管的源极与电源端连接，所述第二薄膜晶体管的漏极与第一薄膜晶体管的源极连接；所述信号生成模块包括第三薄膜晶体管以及与第三薄膜晶体管连接的电容，所述电容的一端与所述第三薄膜晶体管的栅极连接，电容的另一端分别与第三薄膜晶体管的源极和信号输出端连接；所述第一下拉模块包括第四薄膜晶体管，所述第四
25 薄膜晶体管的栅极与复位端连接，所述第四薄膜晶体管的源极与电源端连接，所述第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接；所述第二下拉模块包括第十薄膜晶体管和第十一薄膜晶体管；所述第十薄膜晶体管的栅极和所述第十一薄膜晶体管的栅极与所述下拉节点连接，所述第十薄膜晶体管的源极和所述第十一薄膜晶体管的源极与电源端连接，所述第十薄膜晶体管的
30 漏极与第四薄膜晶体管的漏极连接，所述第十一薄膜晶体管的漏极与第二薄膜晶体管的漏极连接。

在一个示例中, 所述第一薄膜晶体管的栅极与信号输入端连接, 所述第一薄膜晶体管的源极分别与第二薄膜晶体管的漏极和第三薄膜晶体管的栅极连接, 所述第一薄膜晶体管的漏极与信号输入端连接。

所述第二薄膜晶体管的栅极分别与复位端和第四薄膜晶体管的栅极连接, 所述第二薄膜晶体管的源极分别与第四薄膜晶体管的源极和电源端连接, 所述第二薄膜晶体管的漏极与第三薄膜晶体管的栅极连接。

所述第三薄膜晶体管的源极分别与第四薄膜晶体管的漏极和信号输出端连接; 所述第三薄膜晶体管的漏极与时钟端连接;

所述第四薄膜晶体管的栅极与复位端连接, 所述第四薄膜晶体管的漏极与信号输出端连接。

在一个示例中, 所述移位寄存器单元还包括保持模块, 所述保持模块包括第六薄膜晶体管, 所述第六薄膜晶体管的栅极与所述第一薄膜晶体管的源极连接, 所述第六薄膜晶体管的源极与所述电源端连接, 所述第六薄膜晶体管的漏极与所述下拉节点连接。

在另一个示例中, 所述保持模块包括第五薄膜晶体管和第六薄膜晶体管。

所述第五薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极和第三薄膜晶体管的栅极连接; 所述第五薄膜晶体管的源极分别与第二薄膜晶体管的源极、第四薄膜晶体管的源极和电源端连接; 所述第五薄膜晶体管的漏极与时钟端连接; 所述第六薄膜晶体管的栅极与第五薄膜晶体管的栅极连接, 所述第六薄膜晶体管的源极分别与第五薄膜晶体管的源极、第二薄膜晶体管的源极、第四薄膜晶体管的源极和电源端连接; 所述第六薄膜晶体管的漏极与时钟端连接。在一个示例中, 所述移位寄存器单元还包括第七薄膜晶体管, 所述第七薄膜晶体管的栅极分别与第一薄膜晶体管的栅极和信号输入端连接; 所述第七薄膜晶体管的源极分别与第二薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极和电源端连接; 所述第七薄膜晶体管的漏极与第六薄膜晶体管的漏极连接。

所述第六薄膜晶体管可以采用双栅结构的薄膜晶体管。

在一个示例中, 所述保持模块还包括第八薄膜晶体管和第九薄膜晶体管。

在此情况下, 所述第五薄膜晶体管的漏极与时钟端连接为: 所述第五薄膜晶体管的漏极分别与第八薄膜晶体管的源极和第九薄膜晶体管的栅极连接, 所述第八薄膜晶体管的栅极和漏极与时钟端连接, 所述第九薄膜晶体管

的漏极与时钟端连接；所述第六薄膜晶体管的漏极与时钟端连接为：所述第六薄膜晶体管的漏极与第九薄膜晶体管的源极连接，所述第九薄膜晶体管的漏极与时钟端连接。

5 在一个示例中，所述移位寄存器单元还包括第十二薄膜晶体管，所述第五薄膜晶体管的栅极通过所述第十二薄膜晶体管与所述第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极和第三薄膜晶体管的栅极连接。

10 在此情况下，所述第五薄膜晶体管的栅极与第十二薄膜晶体管的源极连接，所述第十二薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极和第三薄膜晶体管的栅极连接；所述第十二薄膜晶体管的漏极与第八薄膜晶体管的漏极、第九薄膜晶体管的漏极和时钟端连接。

实施例 1

15 图 1 为实施例 1 移位寄存器单元的电路图，如图 1 所示，移位寄存器单元包括：第一薄膜晶体管 M1 至第十一薄膜晶体管 M11；信号输入端 INPUT、信号输出端 OUTPUT、时钟端 CLK、复位端 RESET、电源端 VSS 以及一个电容 C1；其中，

20 所述第一薄膜晶体管 M1 的栅极分别与信号输入端 INPUT、第七薄膜晶体管 M7 的栅极连接，所述第一薄膜晶体管 M1 的源极分别与第三薄膜晶体管 M3 的栅极、第五薄膜晶体管 M5 的栅极、第六薄膜晶体管 M6 的栅极、第二薄膜晶体管 M2 的漏极、第十一薄膜晶体管 M11 的漏极连接，所述第一薄膜晶体管 M1 的漏极与信号输入端 INPUT 连接；

25 所述第二薄膜晶体管 M2 的栅极与第四薄膜晶体管 M4 的栅极连接，第二薄膜晶体管 M2 的源极分别与第十一薄膜晶体管 M11 的源极、第七薄膜晶体管 M7 的源极、第五薄膜晶体管 M5 的源极、第六薄膜晶体管 M6 的源极、第四薄膜晶体管 M4 的源极、第十薄膜晶体管 M10 的源极连接；

30 第三薄膜晶体管 M3 的源极分别与第四薄膜晶体管 M4 的漏极、第十薄膜晶体管 M10 的漏极连接，第三薄膜晶体管 M3 的漏极分别与第八薄膜晶体管 M8 的栅极和漏极、第九薄膜晶体管的漏极连接；

第五薄膜晶体管 M5 的漏极分别与第九薄膜晶体管 M9 的栅极、第八薄

膜晶体管 M8 的源极连接;

第六薄膜晶体管 M6 的漏极分别与第十薄膜晶体管 M10 的栅极、第九薄膜晶体管 M9 的源极、第七薄膜晶体管 M7 的漏极、第十一薄膜晶体管 M11 的栅极连接;

- 5 所述电容 C1 的一端与所述第三薄膜晶体管 M3 的栅极连接, 电容 C1 的另一端分别与第三薄膜晶体管 M3 的源极、信号输出端 OUTPUT 连接;

所述第三薄膜晶体管 M3 的源极、第四薄膜晶体管 M4 的漏极、第十薄膜晶体管 M10 的漏极均与信号输出端 OUTPUT 连接;

- 10 所述第三薄膜晶体管 M3 的漏极、第八薄膜晶体管 M8 的漏极和栅极、第九薄膜晶体管 M9 的漏极均与时钟端 CLK 连接;

所述第二薄膜晶体管 M2 的源极、第十一薄膜晶体管 M11 的源极、第七薄膜晶体管 M7 的源极、第五薄膜晶体管 M5 的源极、第六薄膜晶体管 M6 的源极、第四薄膜晶体管 M4 的源极、第十薄膜晶体管 M10 的源极均与电源端 VSS 连接;

- 15 所述第二薄膜晶体管 M2 的栅极、第四薄膜晶体管 M4 的栅极均与复位端 RESET 连接。

这里, 所述第六薄膜晶体管采用的结构可以为图 1 中 M6 所示的双栅结构, 也可以为如图 3 中 M6 所示的单栅结构; 当第六晶体管采用双栅结构的晶体管时, 由于双栅结构的晶体管能有效减小源极和漏极间的电流, 因此能
20 保证 PD 节点处于更高电位, 进而能有效消除 PU 节点和信号输出端 OUTPUT 的噪声。

图 2 为实施例 1 的工作时序图, 根据图 2 所示的工作时序图, 实施例 1 所提供的移位寄存器单元的工作原理可以分为如下五个阶段描述:

- 25 第一阶段: INPUT 为高电平时, M1 导通, 则 PU 节点为高电平, 且 PU 节点充电; RESET 为低电平, M2 和 M4 截止, 由于 M2 和 M4 截止, 因此能保证 PU 节点充电完全; INPUT 为高电平, M7 导通, 由于 M7 的源极与 VSS 连接, 因此 PD 节点被迅速下拉至低电平, 因此 M10 和 M11 截止; PU 节点为高电平, M5 导通, 由于 M5 的源极与 VSS 连接, 因此 PD_CN 节点为低电平; PD 节点和 PD_CN 节点同时为低电平, 有利于 PU 节点的电压保持; 此
30 时, 又由于 PU 节点为高电平, M3 导通, 由于 CLK 为低电平, 因此 OUTPUT 输出低电平。

此阶段，利用第七薄膜晶体管 M7 将 PD 节点的电压迅速拉低，因此有利于 PU 节点充电、PU 节点的电压保持。

第二阶段：INPUT 变为低电平，M1 截止，RESET 仍为低电平，M2 和 M4 仍截止，由于 C1 的电荷保持作用，PU 节点仍为高电平，M3 导通，；由于 M3 导通，CLK 为高电平，因此 OUTPUT 输出高电平，由于 C1 的自举作用，使得 PU 节点电压进一步提升；由于 PU 节点保持高电平状态，M6 和 M5 导通；又由于 M6 的源极、M5 的源极分别与 VSS 连接，因此，PD 节点和 PD_CN 节点继续保持低电平状态，因此 M10 和 M11 继续保持截止。

在此阶段中，由于 M5 的栅极与 PU 节点连接，而 M6 的栅极通过 M5 的栅极与 PU 节点连接，且此阶段中，PU 节点为高电压，又由于 C1 的自举作用使 PU 节点的电压高于 OUTPUT 的电压，因此，有利用消除 PU 节点和信号输出端 OUTPUT 噪声。

第三阶段：INPUT 仍为低电平，RESET 变为高电平，则 M2 和 M4 导通，由于 M2 的源极与 VSS 连接，所述 PU 节点在此时被下拉至低电平；M4 导通，由于 M4 的源极与 VSS 连接，所以 OUTPUT 输出低电平；由于 PU 节点为低电平，M6 和 M5 截止，又由于 CLK 为低电平，M8 和 M9 截止，因此，PD 节点和 PD_CN 节点继续保持低电平状态，因此 M10 和 M11 继续保持截止。

第四阶段：INPUT 仍为低电平，PU 节点为低电平，M3 截止，OUTPUT 继续输出低电平；由于 PU 节点为低电平，所以 M6 和 M5 继续保持截止状态；由于 CLK 为高电平，M8 导通，则 PD_CN 节点为高电平，M9 导通，PD 节点为高电平；由于 PD 节点为高电平，M11 和 M10 导通，并且由于 M10 和 M11 的源极与 VSS 连接，因此，M11 能消除 PU 节点噪声，M10 能消除 OUTPUT 噪声。

在此阶段中，M6 的栅极和源极同时为低电平，当 M6 采用双栅结构的薄膜晶体管时，由于所述双栅结构可有效减小源极和漏极间的电流，因此能保证 PD 节点处于更高电位，进而能有效消除 PU 节点和 OUTPUT 的噪声。

第五阶段：INPUT 仍为低电平，RESET 仍为低电平，PU 节点仍为低电平，M3 截止，OUTPUT 继续输出低电平；PU 节点为低电平，M6 和 M5 截止，PD_CN 节点保持高电平，M9 导通；由于 M9 导通，且 CLK 为低电平，因此 PD 节点变为低电平。

根据本发明实施例 1，PD 节点占空比 (duty cycle) 略低于 50%，有利于

延长 M11、M10 的使用寿命；这里，所述占空比为在一段连续工作时间内 PD 节点为高电平的时间与总时间的比值。

此后，移位寄存器单元重复第四阶段、第五阶段的状态，直至再次出现如图 2 所示第一阶段、第二阶段、第三阶段的状态，则一帧画面刷新完成。

5 实施例 2

图 4 为实施例 2 移位寄存器单元的电路图，如图 4 所示，移位寄存器单元包括：第一薄膜晶体管 M1 至第十二薄膜晶体管 M12；信号输入端 INPUT、信号输出端 OUTPUT、时钟端 CLK、复位端 RESET、电源端 VSS 以及一个电容 C1；其中，

10 所述第一薄膜晶体管 M1 的栅极分别与信号输入端 INPUT、第七薄膜晶体管 M7 的栅极连接，所述第一薄膜晶体管 M1 的源极分别第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第十二薄膜晶体管的栅极、第三薄膜晶体管的栅极连接，所述第一薄膜晶体管 M1 的漏极与信号输入端 INPUT 连接；

15 所述第二薄膜晶体管 M2 的栅极与第四薄膜晶体管 M4 的栅极连接，第二薄膜晶体管 M2 的源极分别与第十一薄膜晶体管 M11 的源极、第七薄膜晶体管 M7 的源极、第五薄膜晶体管 M5 的源极、第六薄膜晶体管 M6 的源极、第四薄膜晶体管 M4 的源极、第十薄膜晶体管 M10 的源极连接；

20 第三薄膜晶体管 M3 的源极分别与第四薄膜晶体管 M4 的漏极、第十薄膜晶体管 M10 的漏极连接，第三薄膜晶体管 M3 的漏极分别与第八薄膜晶体管 M8 的栅极和漏极、第九薄膜晶体管的漏极、和第十二薄膜晶体管的漏极连接；

所述第五薄膜晶体管 M5 的栅极分别与第十二薄膜晶体管 M12 的源极、第六薄膜晶体管 M6 的栅极连接，第五薄膜晶体管 M5 的漏极分别与第九薄膜晶体管 M9 的栅极、第八薄膜晶体管 M8 的源极连接；

25 第六薄膜晶体管 M6 的漏极分别与第十薄膜晶体管 M10 的栅极、第九薄膜晶体管 M9 的源极、第七薄膜晶体管 M7 的漏极、第十一薄膜晶体管 M11 的栅极连接；

所述电容 C1 的一端与所述第三薄膜晶体管 M3 的栅极连接，电容 C1 的另一端分别与第三薄膜晶体管 M3 的源极、信号输出端 OUTPUT 连接；

30 所述第三薄膜晶体管 M3 的源极、第四薄膜晶体管 M4 的漏极、第十薄膜晶体管 M10 的漏极均与信号输出端 OUTPUT 连接；

所述第三薄膜晶体管 M3 的漏极、第八薄膜晶体管 M8 的漏极和栅极、第九薄膜晶体管 M9 的漏极、第十二薄膜晶体管 M12 的漏极均与时钟 CLK 连接;

5 所述第二薄膜晶体管 M2 的源极、第十一薄膜晶体管 M11 的源极、第七薄膜晶体管 M7 的源极、第五薄膜晶体管 M5 的源极、第六薄膜晶体管 M6 的源极、第四薄膜晶体管 M4 的源极、第十薄膜晶体管 M10 的源极均与电源端 VSS 连接;

所述第二薄膜晶体管 M2 的栅极、第四薄膜晶体管 M4 的栅极均与复位端 RESET 连接。

10 这里, 所述第六薄膜晶体管可以为图 4 中 M6 所示的双栅结构, 也可以为单栅结构。

值得注意的是, VSS 为电源端, 该电源端 VSS 一直为低电压状态; 且本实施例将薄膜晶体管的开关端定义为栅极, 箭头所指向的方向定义为源极, 另一端定义为漏极。另外, 本发明实施例中的薄膜晶体管均为 N 型晶体管。

15 本发明实施例将第五薄膜晶体管 M5 的栅极与 PU 节点连接, 且第六薄膜晶体管 M6 的栅极通过第五薄膜晶体管 M5 的栅极与 PU 节点连接(如实施例 1 提供的移位寄存器单元所示); 或者, 将第五薄膜晶体管 M5 的栅极通过第十二薄膜晶体管 M12 与 PU 节点连接, 第六薄膜晶体管 M6 的栅极通过第五薄膜晶体管 M5 的栅极、第十二薄膜晶体管 M12 与 PU 节点连接(如实施例 20 提供的移位寄存器单元所示); 当 PU 节点处于高电平时, 具有上述电路结构的移位寄存器单元均能有效消除 PU 节点和 OUTPUT 的噪声。

根据本发明实施例, 还提供了一种移位寄存器, 包括至少一个以上任一所述的移位寄存器单元; 其中, 当所述移位寄存器单元为多个时, 所述多个移位寄存器单元级联。

25 根据本发明实施例, 还提供了一种显示面板, 其中, 所述显示面板包括以上所述的移位寄存器, 所述移位寄存器作为所述显示面板的栅极驱动器。

根据本发明实施例, 还提供了一种显示器, 其中, 所述显示器包括以上所述的显示面板。

30 以上所述, 仅为本发明的较佳实施例而已, 并非用于限定本发明的保护范围。

权 利 要 求 书

1、一种移位寄存器单元，包括：缓冲模块、复位模块、信号生成模块、第一下拉模块和第二下拉模块，所述缓冲模块连接信号输入端，所述复位模块连接复位端、电源端和所述缓冲模块的输出端，并且用于在所述复位端的复位信号的控制下将所述缓冲模块的输出端复位至电源端的电平；所述第一下拉模块连接复位端、电源端和信号输出端，并且用于在所述复位端的复位信号的控制下将所述信号输出端下拉至电源端的电平；所述信号生成模块连接时钟端、信号输出端和所述缓冲模块的输出端，并且用于在所述缓冲模块的输出端输出的信号的控制下将所述时钟端的时钟信号输出至所述信号输出端；所述第二下拉模块连接下拉节点、所述缓冲模块的输出端、电源端和所述信号输出端，并且用于在所述下拉节点的信号的控制下将所述信号输出端和所述缓冲模块的输出端下拉至所述电源端的电平；

其特征在于，所述移位寄存器单元还包括保持模块，所述保持模块连接所述缓冲模块的输出端、所述下拉节点和所述电源端，并且用于在所述缓冲模块的输出端为高电平时将所述下拉节点下拉到所述电源端的电平。

2、根据权利要求1所述的移位寄存器单元，其特征在于，

所述缓冲模块包括第一薄膜晶体管，所述第一薄膜晶体管的栅极和漏极与信号输入端连接；

所述复位模块包括第二薄膜晶体管，所述第二薄膜晶体管的栅极与复位端连接，所述第二薄膜晶体管的源极与电源端连接，所述第二薄膜晶体管的漏极与第一薄膜晶体管的源极连接；

所述信号生成模块包括第三薄膜晶体管以及与第三薄膜晶体管连接的电容，所述电容的一端与第三薄膜晶体管的栅极连接，电容的另一端分别与第三薄膜晶体管的源极和信号输出端连接；

所述第一下拉模块包括第四薄膜晶体管，所述第四薄膜晶体管的栅极与复位端连接，所述第四薄膜晶体管的源极与电源端连接，所述第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接；

所述第二下拉模块包括第十薄膜晶体管和第十一薄膜晶体管；所述第十薄膜晶体管的栅极和所述第十一薄膜晶体管的栅极与所述下拉节点连接，所述第十薄膜晶体管的源极和所述第十一薄膜晶体管的源极与电源端连接，所

述第十薄膜晶体管的漏极与第四薄膜晶体管的漏极连接，所述第十一薄膜晶体管的漏极与第二薄膜晶体管的漏极连接。

3、根据权利要求2所述的移位寄存器单元，其特征在于，所述保持模块包括第六薄膜晶体管，所述第六薄膜晶体管的栅极与所述第一薄膜晶体管的源极连接，所述第六薄膜晶体管的源极与所述电源端连接，所述第六薄膜晶体管的漏极与所述下拉节点连接。

4、根据权利要求2所述的移位寄存器单元，其特征在于，所述保持模块包括第五薄膜晶体管和第六薄膜晶体管；所述第五薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第五薄膜晶体管的源极分别与第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第五薄膜晶体管的漏极与第三薄膜晶体管的漏极和时钟端连接；所述第六薄膜晶体管的栅极与第五薄膜晶体管的栅极连接，所述第六薄膜晶体管的源极与电源端连接；所述第六薄膜晶体管的漏极与时钟端连接。

5、根据权利要求4所述的移位寄存器单元，其特征在于，所述移位寄存器单元还包括第七薄膜晶体管，所述第七薄膜晶体管的栅极分别与第一薄膜晶体管的栅极、信号输入端连接；所述第七薄膜晶体管的源极分别与第二薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第七薄膜晶体管的漏极与第六薄膜晶体管的漏极连接。

6、根据权利要求1所述的移位寄存器单元，其特征在于，所述第六薄膜晶体管采用双栅结构的薄膜晶体管。

7、根据权利要求4所述的移位寄存器单元，其特征在于，所述保持模块还包括第八薄膜晶体管和第九薄膜晶体管；其中，

所述第五薄膜晶体管的漏极与时钟端连接为：所述第五薄膜晶体管的漏极分别与第八薄膜晶体管的源极、第九薄膜晶体管的栅极连接，所述第八薄膜晶体管的栅极和漏极与时钟端连接，所述第九薄膜晶体管的漏极与时钟端连接；

所述第六薄膜晶体管的漏极与时钟端连接为：所述第六薄膜晶体管的漏极与第九薄膜晶体管的源极连接，所述第九薄膜晶体管的漏极与时钟端连接。

8、根据权利要求4所述的移位寄存器单元，其特征在于，所述移位寄存

器单元还包括第十二薄膜晶体管，

所述第五薄膜晶体管的栅极与第十二薄膜晶体管的源极连接，所述第十二薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第十二薄膜晶体管的漏极分别与第八薄膜晶体管的漏极、第九薄膜晶体管的漏极和时钟端连接。

9、一种移位寄存器，其特征在于，所述移位寄存器包括至少一个如权利要求 1 至 8 任一项所述的移位寄存器单元；

在所述移位寄存器单元为多个时，所述多个移位寄存器单元级联。

10、一种显示面板，其特征在于，所述显示面板包括权利要求 9 所述的移位寄存器，所述移位寄存器作为所述显示面板的栅极驱动器。

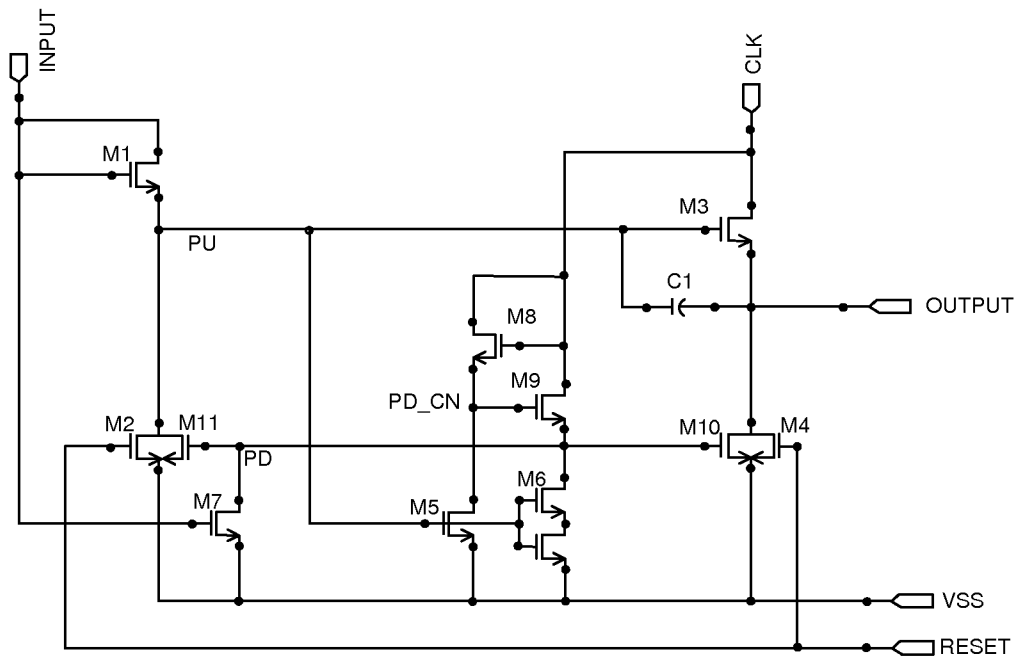


图 1

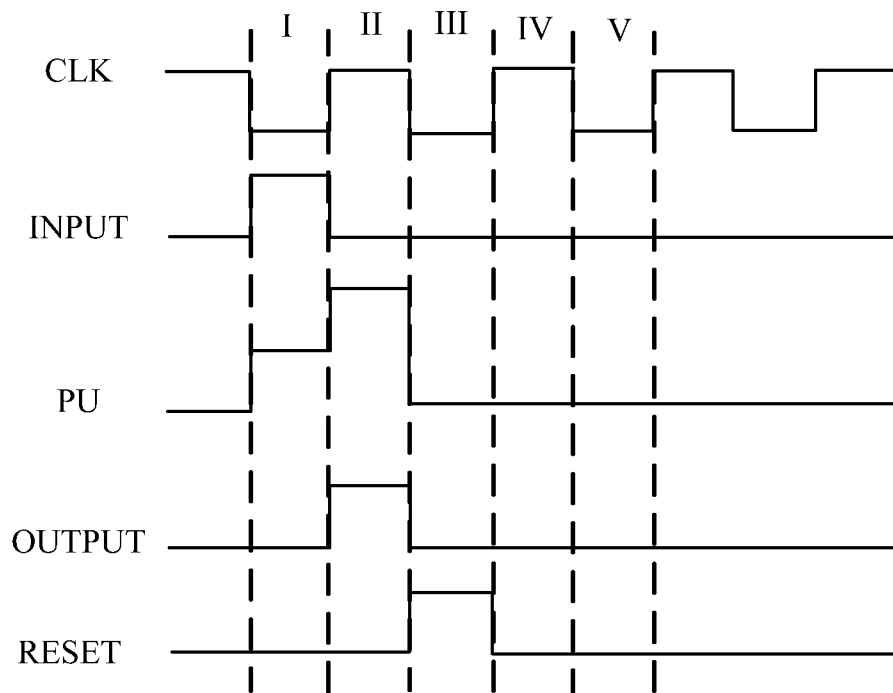


图 2

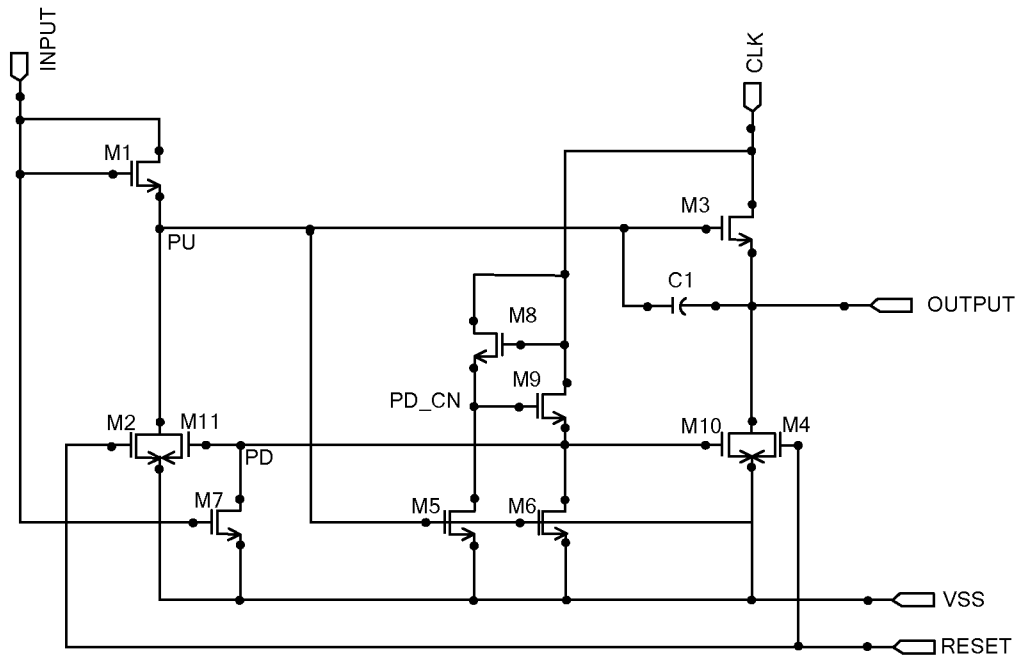


图 3

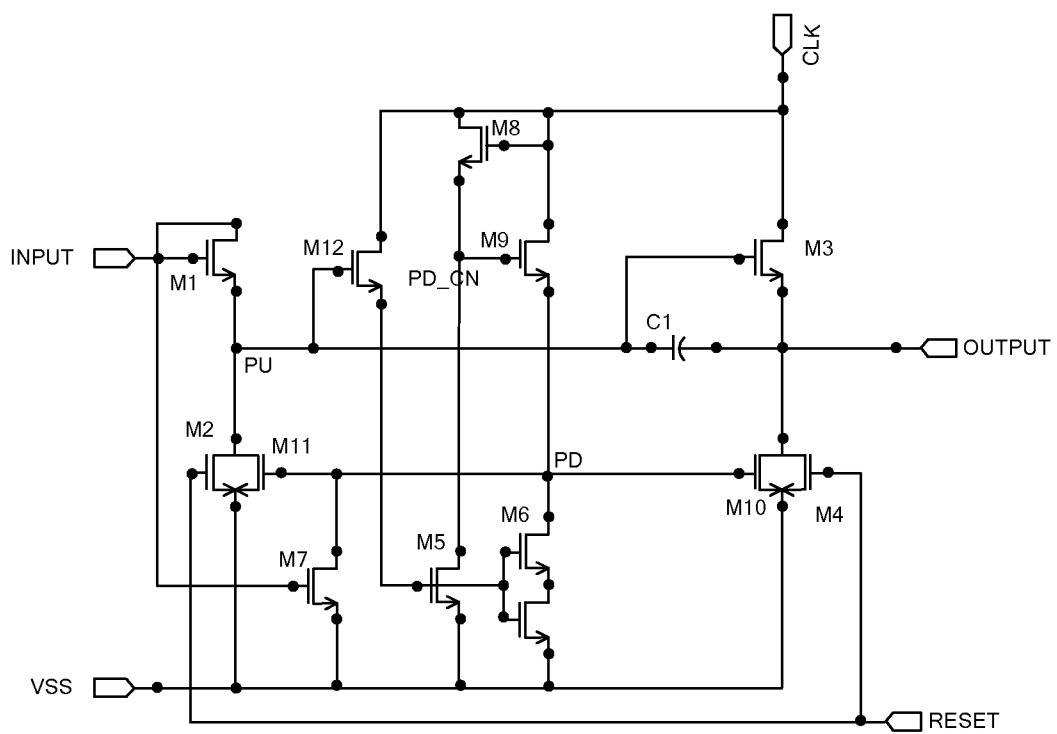


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/077594

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G, G11C, H01L, G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: register, pull down, pull up, shift register, reset, noise

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 202502720 U (HEFEI JINGDONGFANG BOE OPTOELECTRONIC et al.) 24 October 2012 (24.10.2012) description, paragraphs [0005] to [0107], and figures 1 to 7	1-4, 6, 7, 9, 10
X	CN 102650751 A (BEIJING JINGDONGFANG DISPLAY TECHNOLOGY et al.) 29 August 2012 (29.08.2012) description, paragraphs [0029] to [0059], and figures 1 to 6	1-4, 6, 7, 9, 10
X	CN 102682699 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 September 2012 (19.09.2012) description, paragraphs [0049] to [0082], and figures 1 to 9	1-4, 6, 7, 9, 10
A	KR 20070095585 A (SAMSUNG ELECTRONICS CO., LTD.) 01 October 2007 (01.10.2007) the whole document	1-10
A	KR 100940999 B (UNIV HOSEO ACADEMIC COOP FOUND) 11 February 2010 (11.02.2010) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 December 2013 (20.12.2013)	Date of mailing of the international search report 09 January 2014 (09.01.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIN, Bangyong Telephone No. (86-10) 62085805

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2013/077594

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 202502720 U	24.10.2012	None	
CN 102650751 A	29.08.2012	None	
CN 102682699 A	19.09.2012	WO 2013155851 A1	24.10.2013
KR 20070095585 A	01.10.2007	None	
KR 100940999 B	11.02.2010	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/077594

Continuation of second sheet A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

G11C 19/28 (2006.01) i

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G, G11C, H01L, G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, VEN: GOA, 移位寄存器, 下拉, 复位, 上拉, 第一, 第二, 薄膜晶体管; register, pull down, pull up, shift register, reset, noise.

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN202502720U(合肥京东方光电科技有限公司等) 24.10 月 2012(24.10.2012) 说明书第[0005]-[0107]段、图 1-7	1-4,6,7,9,10
X	CN102650751A(北京京东方显示技术有限公司等) 29.8 月 2012(29.08.2012) 说明书第[0029]-[0059]段、图 1-6	1-4,6,7,9,10
X	CN102682699A(京东方科技集团股份有限公司) 19.9 月 2012(19.09.2012) 说明书第[0049]-[0082]段、图 1-9	1-4,6,7,9,10
A	KR20070095585A(SAMSUNG ELECTRONICS CO LTD) 01.10 月 2007(01.10.2007) 全文	1-10
A	KR100940999B(UNIV HOSEO ACADEMIC COOP FOUND) 11.2 月 2010(11.02.2010) 全文	1-10



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

20.12 月 2013(20.12.2013)

国际检索报告邮寄日期

09.1 月 2014 (09.01.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

林邦镛

电话号码: (86-10) 62085805

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/077594

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN202502720U	24.10.2012	无	
CN102650751A	29.08.2012	无	
CN102682699A	19.09.2012	WO2013155851A1	24.10.2013
KR20070095585A	01.10.2007	无	
KR100940999B	11.02.2010	无	

(续第 2 页) **A.** 主题的分类:

G09G 3/36 (2006.01) i

G11C 19/28 (2006.01) i