

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年12月18日(2014.12.18)

【公開番号】特開2013-131278(P2013-131278A)

【公開日】平成25年7月4日(2013.7.4)

【年通号数】公開・登録公報2013-035

【出願番号】特願2011-281929(P2011-281929)

【国際特許分類】

**G 11 C 11/4074 (2006.01)**

【F I】

G 11 C 11/34 354 F

【手続補正書】

【提出日】平成26年10月30日(2014.10.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

信号線の第1の組と、

プリチャージ信号に応じて前記第1の組の信号線のそれぞれを第1電圧にプリチャージする第1制御回路と、を備え、

前記第1制御回路は、ディープパワーダウン信号が入力された場合、前記第1の組の信号線のそれぞれの電圧レベルを第1電圧とは異なる第2電圧に変えることを特徴とする半導体装置。

【請求項2】

信号線の第2の組をさらに備え、

前記第2の組の信号線はそれぞれ前記第1の組の信号線にトランジスタを介して接続されることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第2の組の両信号線の間に設けられた第2制御回路をさらに備え、

前記第2制御回路は前記第2の組の信号線の電圧を、第1電圧、第2電圧のどちらとも異なる第3電圧に設定することを特徴とする請求項2に記載の半導体装置。

【請求項4】

前記第2の組の信号線に接続されたメモリセルをさらに備えることを特徴とする請求項2または3に記載の半導体装置。

【請求項5】

ディープパワーダウン信号は、前記メモリセルに保持されたデータの維持が保証されないディープパワーダウンモードの期間中に前記第1制御回路に入力されることを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記第1の組の信号線とリード/ライトバスとの間に接続されたメインアンプをさらに備えることを特徴とする請求項1から5のいずれかに記載の半導体装置。

【請求項7】

前記第1の組の信号線はメインの10の線の組からなり、前記第2の組の信号線はローカルの10の線の組からなることを特徴とする請求項2に記載の半導体装置。

【請求項8】

第1および第2信号線を含む信号線の第1の組と、  
前記第1信号線と第1電源線との間に設けられた第1導電型の第1トランジスタであつて第1制御信号線に接続された第1制御端子を有する第1トランジスタと、  
前記第2信号線と第1電源線との間に設けられた第1導電型の第2トランジスタであつて第1制御信号線に接続された第2制御端子を有する第2トランジスタと、  
前記第1信号線と第2電源線との間に設けられた第2導電型の第3トランジスタであつて第2制御信号線に接続された第3制御端子を有する第3トランジスタと、  
前記第2信号線と第2電源線との間に設けられた第2導電型の第4トランジスタであつて第2制御信号線に接続された第4制御端子を有する第4トランジスタと、を備えることを特徴とする半導体装置。

【請求項9】

第1制御信号線はプリチャージ制御信号を伝送するための線であり、  
第2制御信号線はディープパワーダウン制御信号を伝送するための線であることを特徴とする請求項8に記載の半導体装置。

【請求項10】

信号線の第2の組をさらに備え、  
前記第2の組の信号線はそれぞれ前記第1の組の信号線に第5トランジスタを介して接続されることを特徴とする請求項8または9に記載の半導体装置。

【請求項11】

前記第2の組の両信号線の間に設けられた第2制御回路をさらに備え、  
前記第2制御回路は前記第2の組の信号線の電圧を、第1電源線に印加される第1電圧、第2電源線に印加される第2電圧のどちらとも異なる第3電圧に設定することを特徴とする請求項10に記載の半導体装置。

【請求項12】

前記第2の組の信号線に接続されたメモリセルをさらに備えることを特徴とする請求項10または11に記載の半導体装置。

【請求項13】

複数のメモリセルを含むメモリセルアレイと、  
前記メモリセルアレイと複数の入出力線によって接続された周辺回路と、  
前記周辺回路に内部クロック信号を与えるクロック生成回路と、  
通常動作時に前記メモリセルアレイおよび前記周辺回路にそれぞれ動作電圧を供給すると共に、前記クロック生成回路によるクロック生成が止まるディープパワーダウンモード中には前記周辺回路への動作電圧の供給を停止することなく前記メモリセルアレイへの動作電圧供給を停止する電源回路と、を備えることを特徴とする半導体記憶装置。

【請求項14】

前記周辺回路は、前記ディープパワーダウンモード中に前記入出力線を第1レベルにする制御回路を備えることを特徴とする請求項13に記載の半導体記憶装置。

【請求項15】

前記メモリセルアレイに設けられ、かつ、前記複数のメモリセルに所定のビット線を介して接続されている複数のローカル入出力線であって、前記入出力線と接続されたローカル入出力線と、

前記ディープパワーダウンモード中に、前記入出力線を第1レベルに制御する制御回路と、を備えることを特徴とする請求項13に記載の半導体記憶装置。

【請求項16】

前記メモリセルアレイに設けられ、かつ、前記複数のメモリセルに所定のビット線を介して接続されている複数のローカル入出力線であって、前記入出力線と接続されたローカル入出力線と、

前記電源回路に接続された第1プリチャージ回路と、を備え、  
前記第1プリチャージ回路には、通常動作モード中は前記ローカル入出力線を中間電位へプリチャージするための電位が前記電源回路から供給され、ディープパワーダウンモ-

ド中は中間電位とは異なる第2電位が供給されることを特徴とする請求項13に記載の半導体記憶装置。

【請求項17】

前記周辺回路は、前記ディープパワーダウンモード中に前記入出力線を前記第2電位と同じ電位に設定する制御回路を備えることを特徴とする請求項16に記載の半導体記憶装置。

【請求項18】

前記制御回路は、前記入出力線を構成する各メイン入出力線とグランドとの間を接続又は非接続状態を確立するよう構成されると共に前記ディープパワーダウンモード中は接続状態となるよう制御されるよう構成されたスイッチング要素の組を含むことを特徴とする請求項14に記載の半導体記憶装置。

【請求項19】

前記電源回路は、前記ディープパワーダウンモード中に、前記ローカル入出力線に対するプリチャージ電圧の供給を停止する内部電源回路を含むことを特徴とする請求項15に記載の半導体記憶装置。

【請求項20】

前記周辺回路は、リードコマンド又はライトコマンドの入力に対応して発生する制御信号が活性状態のときに入出力線のプリチャージを停止し、少なくとも前記リードコマンド及びライトコマンドが入力されていないときには入出力線のプリチャージを行なうプリチャージ回路をさらに備え、

前記プリチャージ回路は、ディープパワーダウンモードを示すディープパワーダウンコマンドを受けると前記プリチャージ動作を停止することを特徴とする請求項13から19のいずれか記載の半導体記憶装置。