

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成26年12月18日 (2014.12.18)

【公開番号】特開2013-131278(P2013-131278A)

【公開日】平成25年7月4日 (2013.7.4)

【年通号数】公開・登録公報2013-035

【出願番号】特願2011-281929(P2011-281929)

【国際特許分類】

G 1 1 C 11/4074 (2006.01)

【F I】

G 1 1 C 11/34 3 5 4 F

【手続補正書】

【提出日】平成26年10月30日 (2014.10.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

信号線の第 1 の組と、

プリチャージ信号に応じて前記第 1 の組の信号線のそれぞれを第 1 電圧にプリチャージする第 1 制御回路と、を備え、

前記第 1 制御回路は、ディープパワーダウン信号が入力された場合、前記第 1 の組の信号線のそれぞれの電圧レベルを第 1 電圧とは異なる第 2 電圧に変えることを特徴とする半導体装置。

【請求項 2】

信号線の第 2 の組をさらに備え、

前記第 2 の組の信号線はそれぞれ前記第 1 の組の信号線にトランジスタを介して接続されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 の組の両信号線の間に設けられた第 2 制御回路をさらに備え、

前記第 2 制御回路は前記第 2 の組の信号線の電圧を、第 1 電圧、第 2 電圧のどちらとも異なる第 3 電圧に設定することを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 の組の信号線に接続されたメモリセルをさらに備えることを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】

ディープパワーダウン信号は、前記メモリセルに保持されたデータの維持が保証されないディープパワーダウンモードの期間中に前記第 1 制御回路に入力されることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 の組の信号線とリード/ライトバスとの間に接続されたメインアンプをさらに備えることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】

前記第 1 の組の信号線はメインの 10 の線の組からなり、前記第 2 の組の信号線はローカルの 10 の線の組からなることを特徴とする請求項 2 に記載の半導体装置。

【請求項 8】

第 1 および第 2 信号線を含む信号線の第 1 の組と、

前記第 1 信号線と第 1 電源線との間に設けられた第 1 導電型の第 1 トランジスタであって第 1 制御信号線に接続された第 1 制御端子を有する第 1 トランジスタと、

前記第 2 信号線と第 1 電源線との間に設けられた第 1 導電型の第 2 トランジスタであって第 1 制御信号線に接続された第 2 制御端子を有する第 2 トランジスタと、

前記第 1 信号線と第 2 電源線との間に設けられた第 2 導電型の第 3 トランジスタであって第 2 制御信号線に接続された第 3 制御端子を有する第 3 トランジスタと、

前記第 2 信号線と第 2 電源線との間に設けられた第 2 導電型の第 4 トランジスタであって第 2 制御信号線に接続された第 4 制御端子を有する第 4 トランジスタと、を備えることを特徴とする半導体装置。

【請求項 9】

第 1 制御信号線はプリチャージ制御信号を伝送するための線であり、

第 2 制御信号線はディープパワーダウン制御信号を伝送するための線であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

信号線の第 2 の組をさらに備え、

前記第 2 の組の信号線はそれぞれ前記第 1 の組の信号線に第 5 トランジスタを介して接続されることを特徴とする請求項 8 または 9 に記載の半導体装置。

【請求項 11】

前記第 2 の組の両信号線の間に設けられた第 2 制御回路をさらに備え、

前記第 2 制御回路は前記第 2 の組の信号線の電圧を、第 1 電源線に印加される第 1 電圧、第 2 電源線に印加される第 2 電圧のどちらとも異なる第 3 電圧に設定することを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記第 2 の組の信号線に接続されたメモリセルをさらに備えることを特徴とする請求項 10 または 11 に記載の半導体装置。

【請求項 13】

複数のメモリセルを含むメモリセルアレイと、

前記メモリセルアレイと複数の入出力線によって接続された周辺回路と、

前記周辺回路に内部クロック信号を与えるクロック生成回路と、

通常動作時に前記メモリセルアレイおよび前記周辺回路にそれぞれ動作電圧を供給すると共に、前記クロック生成回路によるクロック生成が止まるディープパワーダウンモード中には前記周辺回路への動作電圧の供給を停止することなく前記メモリセルアレイへの動作電圧供給を停止する電源回路と、を備えることを特徴とする半導体記憶装置。

【請求項 14】

前記周辺回路は、前記ディープパワーダウンモード中に前記入出力線を第 1 レベルにする制御回路を備えることを特徴とする請求項 13 に記載の半導体記憶装置。

【請求項 15】

前記メモリセルアレイに設けられ、かつ、前記複数のメモリセルに所定のビット線を介して接続されている複数のローカル入出力線であって、前記入出力線と接続されたローカル入出力線と、

前記ディープパワーダウンモード中に、前記入出力線を第 1 レベルに制御する制御回路と、を備えることを特徴とする請求項 13 に記載の半導体記憶装置。

【請求項 16】

前記メモリセルアレイに設けられ、かつ、前記複数のメモリセルに所定のビット線を介して接続されている複数のローカル入出力線であって、前記入出力線と接続されたローカル入出力線と、

前記電源回路に接続された第 1 プリチャージ回路と、を備え、

前記第 1 プリチャージ回路には、通常動作モード中は前記ローカル入出力線を中間電位へプリチャージするための電位が前記電源回路から供給され、ディープパワーダウンモー

ド中は中間電位とは異なる第2電位が供給されることを特徴とする請求項13に記載の半導体記憶装置。

【請求項17】

前記周辺回路は、前記ディープパワーダウンモード中に前記入出力線を前記第2電位と同じ電位に設定する制御回路を備えることを特徴とする請求項16に記載の半導体記憶装置。

【請求項18】

前記制御回路は、前記入出力線を構成する各メイン入出力線とグランドとの間を接続又は非接続状態を確立するように構成されると共に前記ディープパワーダウンモード中は接続状態となるよう制御されるよう構成されたスイッチング要素の組を含むことを特徴とする請求項14に記載の半導体記憶装置。

【請求項19】

前記電源回路は、前記ディープパワーダウンモード中に、前記ローカル入出力線に対するプリチャージ電圧の供給を停止する内部電源回路を含むことを特徴とする請求項15に記載の半導体記憶装置。

【請求項20】

前記周辺回路は、リードコマンド又はライトコマンドの入力に対応して発生する制御信号が活性状態のときに入出力線のプリチャージを停止し、少なくとも前記リードコマンド及びライトコマンドが入力されていないときには入出力線のプリチャージを行なうプリチャージ回路をさらに備え、

前記プリチャージ回路は、ディープパワーダウンモードを示すディープパワーダウンコマンドを受けると前記プリチャージ動作を停止することを特徴とする請求項13から19のいずれかに記載の半導体記憶装置。