



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월08일
(11) 등록번호 10-1143187
(24) 등록일자 2012년04월27일

- (51) 국제특허분류(Int. Cl.)
H04L 1/18 (2006.01)
- (21) 출원번호 10-2004-7007464
- (22) 출원일자(국제) 2002년11월15일
심사청구일자 2007년10월12일
- (85) 번역문제출일자 2004년05월14일
- (65) 공개번호 10-2004-0053323
- (43) 공개일자 2004년06월23일
- (86) 국제출원번호 PCT/EP2002/012837
- (87) 국제공개번호 WO 2003/043261
국제공개일자 2003년05월22일
- (30) 우선권주장
01127245.7 2001년11월16일
유럽특허청(EPO)(EP)
- (56) 선행기술조사문헌
PANASONIC, 3GPP, TSG-RAN Working Group1
Meeting #19: "Enhanced HARQ Method with Signal
Constellation Rearrangement",
HTTP://www.3gpp.org/ftp/tsg_ran/wgl_r11/tsg_r1_19/docs/pdfs/R1-01-0237.pdf, 27 Feb.*
US6126310 A
- *는 심사관에 의하여 인용된 문헌
- (73) 특허권자
파나소닉 주식회사
일본 오오사카후 가도마시 오오아자 가도마 1006
반치
- (72) 발명자
콜리트세크에들러폰엘브바르트알렉산더
독일64285담스타트트빌헬미넨스트라세32
사이엘에이코
독일64283담스타트그루에네르베그1
벤제르테르크리스티안
독일63924클레인헤우바치반호프스트라세10디
- (74) 대리인
제일특허법인

전체 청구항 수 : 총 24 항

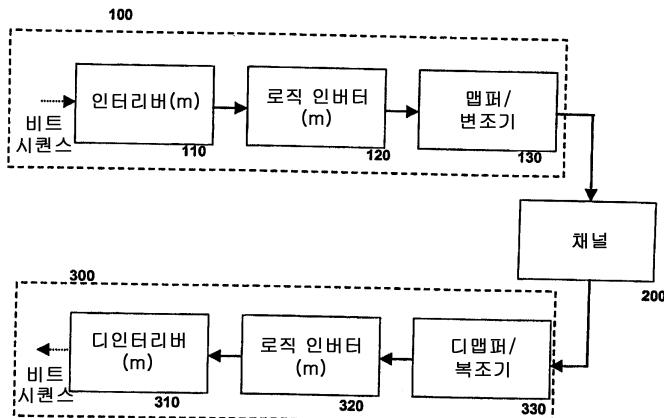
심사관 : 정은선

(54) 발명의 명칭 전송 장치, 전송 방법, 수신 장치, 수신 방법 및 전송 시스템

(57) 요 약

변조 심볼을 포함하는 데이터 패킷이 자동 반복 요청에 기초하여 재전송되고, 후속해서 이전에 수신된 데이터 패킷과 조합되는, 통신 시스템에서의 ARQ 전송 방법이 개시된다. 전송되는 데이터 패킷의 심볼은 적어도 제 1 및 제 2 신호 성상을 사용해서 매핑 장치에서 변조된다. 이 방법은 논리 비트 위치를 바꾸고 논리 비트를 반전시킴으로써 제 1 신호 성상으로부터 제 2 신호 성상을 획득하는 단계를 더 포함한다. 본 발명은 또한 대응하는 전송기 및 수신기에 관한 것이다.

대 표 도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

HARQ 프로세스를 사용하여 데이터를 전송하는 전송 장치로서,

비트 시퀀스($i_1q_1i_2q_2$)에 대해서, i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_1 및 q_1 의 논리값을 반전시켜, 재배열 비트 시퀀스를 생성하는 재배열부와,

상기 재배열 비트 시퀀스를 변조 맵퍼에 의해 16 QAM으로 맵핑하는 맵핑부
를 포함하는 전송 장치.

청구항 61

제 60 항에 있어서,

상기 재배열 비트 시퀀스로서 데이터를 전송하는 전송부를 더 포함하는 전송 장치.

청구항 62

제 60 항에 있어서,

상기 맵핑부는 또한, 상기 비트 시퀀스($i_1q_1i_2q_2$)를 상기 변조 맵퍼에 의해 16 QAM으로 맵핑하고,

상기 전송 장치는, (i) 상기 비트 시퀀스($i_1q_1i_2q_2$)로서 제 1 데이터를 전송하고, (ii) 상기 재배열 비트 시퀀스로서 제 2 데이터를 전송하는 전송부를 더 포함하는

전송 장치.

청구항 63

제 60 항에 있어서,

상기 재배열부는, 또한, 상기 비트 시퀀스($i_1q_1i_2q_2$)에 대해서, (i) i_1 및 q_1 을 i_2 및 q_2 와 교환하는 것과, (ii) i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_2 및 q_2 의 논리값을 반전시키는 것과, (iii) i_2 및 q_2 의 논리값을 반전시키는 것 중 적어도 하나를 행하는 전송 장치.

청구항 64

HARQ 프로세스를 사용하여 데이터를 전송하는 전송 장치로서,

(i) 비트 시퀀스($i_1q_1i_2q_2$)로서 제 1 데이터를 전송하고, (ii) 재배열 비트 시퀀스로서 제 2 데이터를 전송하는 전송부를 포함하고,

상기 재배열 비트 시퀀스는, 변조 맵퍼에 의해 16 QAM으로 맵핑되기 전에, 상기 비트 시퀀스($i_1q_1i_2q_2$)에 대해서, i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_1 및 q_1 의 논리값을 반전시킴으로써 생성되는

전송 장치.

청구항 65

제 64 항에 있어서,

상기 재배열 비트 시퀀스는, 또한, 16 QAM으로 맵핑되기 전에, 상기 비트 시퀀스($i_1q_1i_2q_2$)에 대해서, (i) i_1 및 q_1 을 i_2 및 q_2 와 교환하는 것과, (ii) i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_2 및 q_2 의 논리값을 반전시키는 것과, (iii) i_2 및 q_2 의 논리값을 반전시키는 것 중 적어도 하나를 행하여, 생성되는 전송 장치.

청구항 66

제 60 항에 있어서,

상기 재배열부는, 상기 비트 시퀀스의 각각의 비트에 대한 비트 신뢰도가 HARQ 프로세스를 통해서 평균화되도록, 상기 비트 시퀀스($i_1q_1i_2q_2$)에 대해 동작하는 전송 장치.

청구항 67

HARQ 프로세스를 사용하여 데이터를 전송하는 전송 방법으로서,

비트 시퀀스($i_1q_1i_2q_2$)에 대해서, i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_1 및 q_1 의 논리값을 반전시켜, 재배열 비트 시퀀스를 생성하는 단계와,

상기 재배열 비트 시퀀스를 변조 맵퍼에 의해 16 QAM으로 맵핑하는 단계
를 포함하는 전송 방법.

청구항 68

제 67 항에 있어서,

상기 재배열 비트 시퀀스로서 데이터를 전송하는 단계를 더 포함하는 전송 방법.

청구항 69

제 67 항에 있어서,

상기 비트 시퀀스($i_1q_1i_2q_2$)를 상기 변조 맵퍼에 의해 16 QAM으로 맵핑하는 단계와,

상기 비트 시퀀스로서 제 1 데이터를 전송하는 단계와,

상기 재배열 비트 시퀀스로서 제 2 데이터를 전송하는 단계

를 더 포함하는 전송 방법.

청구항 70

HARQ 프로세스를 사용하여 데이터를 전송하는 전송 방법으로서,

비트 시퀀스($i_1q_1i_2q_2$)로서 제 1 데이터를 전송하는 단계와,

재배열 비트 시퀀스로서 제 2 데이터를 전송하는 단계

를 포함하되,

상기 재배열 비트 시퀀스는, 변조 맵퍼에 의해 16 QAM으로 맵핑되기 전에, 비트 시퀀스($i_1q_1i_2q_2$)에 대해서, i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_1 및 q_1 의 논리값을 반전시킴으로써 생성되는 전송 방법.

청구항 71

청구항 60에 기재된 전송 장치에 의해 전송되는 데이터를 수신하는 수신부를 포함하는 수신 장치.

청구항 72

청구항 67에 기재된 전송 방법에 의해 전송되는 데이터를 수신하는 수신 방법.

청구항 73

HARQ 프로세스를 사용하여 전송된 데이터를 수신하는 수신 장치로서,

재배열 비트 시퀀스로서 전송된 데이터를 수신하는 수신부와,

상기 수신된 데이터를 복조하는 복조부

를 포함하되,

상기 재배열 비트 시퀀스는, 비트 시퀀스($i_1q_1i_2q_2$)에 대해서, i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_1 및 q_1 의 논리값을 반전시킴으로써 생성되는 수신 장치.

청구항 74

제 73 항에 있어서,

상기 수신된 데이터의 재배열 비트 시퀀스를 재배열하는 재배열부를 더 포함하는 수신 장치.

청구항 75

제 73 항에 있어서,

상기 재배열 비트 시퀀스($i_1q_1i_2q_2$)에 대해서, i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_2 및 q_2 의 논리값을 반전시키는 재배열부를 더 포함하는 수신 장치.

청구항 76

제 73 항에 있어서,

상기 수신된 데이터를 이전에 수신된 데이터와 결합하는 결합부를 더 포함하는 수신 장치.

청구항 77

제 73 항에 있어서,

상기 수신부는 또한, 상기 비트 시퀀스($i_1q_1i_2q_2$)로서 전송된 데이터를 수신하도록 동작할 수 있고,

상기 수신 장치는, 상기 재배열 비트 시퀀스로서 전송된 데이터를 상기 비트 시퀀스($i_1q_1i_2q_2$)로서 전송된 데이터와 결합하는 결합부는 더 포함하는

수신 장치.

청구항 78

HARQ 프로세스를 사용하여 전송된 데이터를 수신하는 수신 방법으로서,

재배열 비트 시퀀스로서 전송된 데이터를 수신하는 단계와,

수신된 데이터를 복조하는 단계

를 포함하되,

상기 재배열 비트 시퀀스는, 비트 시퀀스($i_1q_1i_2q_2$)에 대해서, i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_1 및 q_1 의 논리값을 반전시킴으로써 생성되는 수신 방법.

청구항 79

제 78 항에 있어서,

상기 수신된 데이터의 재배열 비트 시퀀스를 재배열하는 단계를 더 포함하는 수신 방법.

청구항 80

제 78 항에 있어서,

상기 재배열 비트 시퀀스($i_1q_1i_2q_2$)에 대해서, i_1 및 q_1 을 i_2 및 q_2 와 교환하고 i_2 및 q_2 의 논리값을 반전시키는 단계를 더 포함하는 수신 방법.

청구항 81

제 78 항에 있어서,

상기 수신된 데이터를 이전에 수신된 데이터와 결합하는 단계를 더 포함하는 수신 방법.

청구항 82

제 78 항에 있어서,

상기 비트 시퀀스($i_1q_1i_2q_2$)로서 전송된 데이터를 수신하는 단계와,

상기 재배열 비트 시퀀스로서 전송된 데이터를 상기 비트 시퀀스($i_1q_1i_2q_2$)로서 전송된 데이터와 결합하는 단계

를 더 포함하는 수신 방법.

청구항 83

전송 시스템으로서,

청구항 60에 기재된 전송 장치와,

상기 전송 장치에 의해 전송된 데이터를 수신하는 수신부를 갖는 수신 장치

를 포함하는 전송 시스템.

명세서

기술분야

[0001]

본 발명은 통신 시스템에서, ARQ(automatic repeat request) 재송신의 비트 시퀀스를 변경하는 방법에 관한 것이다. 또한, 본 발명은 대응하는 수신기 및 송신기에 관한 것이다.

배경기술

[0002]

신뢰할 수 없는 시변 채널 상태를 가진 통신 시스템에서의 공통 기술은 하이브리드 ARQ(HARQ)라 불리는, FEC(forward error correction)기술과 함께 ARQ 방안에 기초해서 에러를 정정하는 것이다. 통상적으로 사용되는 CRC(Cyclic Redundancy Check)에 의해 에러가 검출되면, 통신 시스템의 수신기는 에러를 포함해서 수신된 데이터 패킷의 재전송을 송신기에 요청한다.

[0003]

S.Kallel, Analysis of a type II hybrid ARQ scheme with code combining, IEEE Transactions on Communications, Vol.38, No.8, August 1990 및 S.Kallel, R.Link, S.Bakhtiyari, Throughput performance of Memory ARQ schemes, IEEE Transactions on Vehicular Technology, Vol.48, No.3, May 1999에는 3가지 타입의 ARQ 방안이 개시되어 있다.

[0004]

타입 I. 에러를 포함하고 있는 수신 패킷은 폐기되고, 동일한 패킷의 새로운 카피가 재전송되어서 별도로 디코딩된다. 그 패킷의 이전에 수신된 버전과 이후 수신된 버전의 조합은 없다.

[0005]

타입 II. 에러를 포함하고 있는 수신 패킷은 폐기되지 않고, 추가 재전송된 것에 조합되어서 후속하는 디코딩을 행한다. 재전송된 패킷은 때로는 더 높은 코딩 레이트(코딩 이득)를 가지고 있어서, 수신기에서, 이전에 전송된 것으로부터의 저장된 소프트 정보와 조합된다.

[0006]

타입 III. 각각의 재전송되는 패킷이 현재 자체 디코딩 가능하다는 점을 제외하면, 타입 II와 동일하다. 이는 전송된 패킷이 다양한 패킷과의 조합없이 디코딩 가능하다는 것을 의미한다. 이는 일부 패킷이 정보를 재사용할 수 없을 정도로 손상된 경우에 유용하다. 전송이 동일한 데이터를 읽기는 경우, 이는 하나의 중복을 가진 HARQ 타입 III 버전이라는 특수한 경우로 간주될 수 있다.

[0007]

타입 II 및 타입 III 방안이 이전에 수신된 에러를 포함한 패킷으로부터의 정보를 재사용하는 성능을 제공한다는 점에서 분명히 더 효율적이고(intelligent), 타입 I에 비해서 성능 이득을 보인다. 기본적으로 이전에 전송된 패킷의 중복을 재사용하는 3가지 방안이 존재한다.

[0008]

- 소프트 조합

[0009]

- 코드 조합

[0010]

- 소프트 조합과 코드 조합의 조합.

[0011]

소프트 조합

[0012]

소프트 조합을 사용함으로써, 재전송 패킷은 이전에 수신된 정보와 비교되는 동일한 정보를 전송한다. 이 경우, 예컨대, D.Chase, Code combining: A maximum-likelihood decoding approach for combining an arbitrary number of noisy packets, IEEE Trans. Commun., Vol.COM-33, pp.385-393, May 1985 혹은 B.A.Harvey and S.Wicker, Packet Combining Systems based on the Viterbi Decoder, IEEE Transactions on Communications, Vol.42, No.2/3/4, April 1994에 개시된 바와 같이, 다수의 수신된 패킷이 심볼 대 심볼로 혹은 비트 대 비트 기반에 의해 조합된다. 모든 수신된 패킷으로부터의 이 소프트 결정값을 조합함으로써, 전송된 비트의 신뢰도는 수신되는 패킷의 수 및 제곱에 따라서 선형적으로 증가할 것이다. 디코더의 관점에서, 동일한 FEC 방안(일정한 코드 레이트를 가진)이 전체 전송에 사용될 것이다. 따라서, 디코더가 조합된 소프트 결정 값만을 보기 때문에, 많은 재전송이 어떻게 수행되었는지 알 필요가 없다. 이 방안에서, 모든 재전송된 패킷은 동일한 수의 심볼을 전송해야 한다.

[0013]

코드 조합

[0014]

코드 조합은 수신된 패킷을 연결시켜서 새로운 코드 워드를 생성한다(전송 수가 증가하는 만큼 코드 레이트가

저하한다). 따라서, 디코더는 각각의 재전송 시점에 적용되는 FEC 방안을 알아야 한다. 코드 조합은 재전송되는 패킷의 길이가 채널 상태에 적합하게 변경될 수 있기 때문에, 소프트 코드에 비해서 더 높은 융통성을 제공한다. 그러나, 이는 소프트 조합에 비해서 더 많은 시그널링 데이터가 전송될 것을 요구한다.

[0015] 소프트 조합과 코드 조합의 조합

[0016] 재전송된 패킷은 이전에 전송된 심볼과 동일한 일부 심볼과 상이한 일부 코드 심볼을 전송하는 경우, 동일한 코드 심볼은 위의 "소프트 조합"에 설명된 바와 같은 소프트 조합을 사용해서 조합되고, 나머지 코드 심볼은 코드 조합을 사용해서 조합될 것이다. 여기서 시그널링 요구는 코드 조합과 유사할 것이다.

[0017] M.P.Schmitt, Hybrid ARQ Scheme employing TCM and Packet Combining, Electronics Letters Vol.34, No.18, September 1998에는 재전송용 심볼 성상(constellation)을 재 배열함으로써 TCM(Trellis Coded Modulation)의 HARQ 성능이 개선된다는 것이 개시되어 있다. 여기에서, 재전송이 심볼 기반으로 수행되었기 때문에, 성능 이득은 재전송 중의 매핑된 심볼 사이의 기하학적 거리를 최대화함으로써 획득된다.

[0018] 높은 차수의 변조 방식을 고려하면(2개 이상의 비트를 전송하는 변조 심볼을 사용하는), 소프트 조합을 사용하는 조합은 한가지 큰 결함이 있다. 소프트 조합된 심볼 내에서의 이 비트 신뢰도가 모든 재전송에 대해서 일정 비율로 유지될 것이다. 즉 이전에 수신된 전송으로부터 신뢰할 수 없는 비트는 추가 전송을 수신한 후에도 신뢰할 수 없을 것이며, 유사하게 이전에 수신된 전송으로부터 더 신뢰도가 높은 비트는 추가 전송을 수신한 후에도 신뢰도가 높을 것이다.

[0019] 다양한 비트 신뢰도는 2차원 신호 성상(constellation) 매핑의 제한으로부터 유도된 것으로, 여기서 심볼당 2비트 이상을 전송하는 변조 방식에서, 모든 심볼이 유사하게 전송된다는 가정하에서, 모든 비트에 대해 동일한 평균 신뢰도를 가질 수는 없다. 용어 평균 신뢰도는 결과적으로 신호 성상의 모든 심볼에 대한 특정 비트의 신뢰도를 의미한다.

[0020] 주어진 비트 매핑 순서($i_1q_1i_2q_2$)를 가진 그레이 인코딩된 신호 성상을 도시하는 도 1에 따른 신호 성상을 사용함으로써 16 QAM 변조 방식의 신호 성상을 사용함으로써, 심볼에 대해서 매핑된 비트는 패킷의 제 1 전송의 평균 신뢰도가 서로 다르다. 더 상세하게는 비트 i_1 및 q_1 는 이들 비트가 신호 성상도의 절반의 공간에 매핑되기 때문에 높은 평균 신뢰도를 갖고, 그 결과 이들의 신뢰도는 그 비트가 1을 전송하든 0을 전송하든 상관없다.

[0021] 이에 비해, 비트 i_2 및 q_2 는 0을 전송하는지 1을 전송하는지 여부에 따라 그들의 신뢰도가 달라지기 때문에 낮은 평균 신뢰도를 갖는다. 예컨대, 비트 i_2 에 대해서는 1이 바깥 열에 매핑되고, 반면에 0이 내부 열에 매핑된다. 유사하게 비트 q_2 에 대해서는 1이 바깥 행에 매핑되고, 반면에 0이 내부 행에 매핑된다.

[0022] 두번째 이후의 추가 재전송에 대해서 비트 신뢰도는 서로 일정 비율로 있을 것이며, 이 비율은 첫번째 전송에서 사용된 신호 성상에 의해 결정되며, 즉 비트 i_1 및 q_1 은 임의의 수의 재전송 후에 항상 비트 i_2 및 q_2 보다 더 높은 신뢰도를 갖는다.

[0023] 함께 계류중인 PCT/EP01/01982에는, 디코더 성능을 개선하기 위해서, 패킷의 각각의 수신된 전송 이후에 같은 혹은 거의 유사한 평균 비트 신뢰도를 갖는 것이 매우 유익하다는 것을 제안하고 있다. 따라서, 비트 신뢰도는 평균 비트 신뢰도가 획득되도록 재전송 중에 조정된다. 이는 모든 전송의 각각의 비트의 조합된 평균 신뢰도가 거의 동일하도록, 이미 결정된 전송용 제 1 및 적어도 제 2 신호 성상을 선택함으로써 달성된다.

[0024] 따라서, 신호 성상 배열은 변화된 비트 매핑을 유발하고, 여기서 모듈 심볼간의 유클리드 거리는 성상 포인트의 이동에 의해서 재전송간에 변경될 수 있다. 결과적으로 평균 비트 신뢰도는 원하는 방식으로 조정될 수 있으며, 수신기에서 FEC 디코더의 성능을 증가시키기 위해서 평균화될 수 있다.

[0025] 위에서 제안된 솔루션에서, 성상 재 배열의 이점은 파라미터화된 비트 대 심볼 매핑 장치를 통해서 구현된다. 복잡성 혹은 효율적인 구현이라는 점에서, 통신 시스템이 파라미터화되지 않은 표준 매핑 장치를 갖는 것이 유익할 수 있다.

발명의 상세한 설명

[0026] 결론적으로, 본 발명의 목적은 파라미터화된 비트 대 심볼 매핑 장치없이 개선된 여러 보정 성능을 가진 ARQ 전송 방법, 송신기 및 수신기를 제공하는 것에 있다.

- [0027] 상기 목적은 청구항 67에 기재된 단계를 포함하는 방법에 의해 구현된다. 또한, 상기 목적은 독립항에 개시된 송신 장치 및 수신 장치에 의해 달성된다.
- [0028] 본 발명의 토대가 되는 사상은 입력 비트 시퀀스를 입력전에 매핑 장치로 수정하는 것이다. 신호 성상의 수정은 재전송 넘버 파라미터 m 에 따라서 신호 성상 비트의 위치를 반대로 하거나 교환할 수 있는 인터리버 및 논리 비트 인버터를 사용해서 달성될 수 있다. 따라서, 성상 재배치의 유익한 효과는 파라미터화된 비트 대 심볼 매핑 엔트리를 필요로 하지 않고 달성된다. 결과적으로, 인터리버, 논리 비트 인버터 및 파라미터화 되지 않은 표준 매핑 장치에 의한 처리 후에 출력되는 시퀀스는 다양한 성상 재배치 방안을 사용하는 파라미터화된 비트 대 심볼 매핑 장치의 출력과는 구별될 수 있다.
- [0029] 본 발명을 더 이해하기 위해서, 바람직한 실시예가 첨부된 도면을 참조로 더 설명될 것이다.

실시예

- [0033] 비트 신뢰도의 측정 기준으로서, 이하에서 LLR(Log-Likelihood-Ratio) 개념이 설명될 것이다. 우선 단일 전송을 위한 매핑된 심볼 내에서의 비트 LLR의 직접 계산이 개시된다. 이후에 LLR 계산은 다중 전송의 경우로 확장된다.
- [0034] 단일 전송
- [0035] 부가 화이트 가우스 노이즈(AWGN: additive white gaussian noise)를 가진 채널을 통한 전송을 위해서 심볼(s_n)이 전송되고, 심볼이 유사하다는 제한하에서, i 번째 비트(b_n^i)는 평균 LLR은

수학식 1

$$LLR_{b_n^i|r_n}(r_n) = \log \left[\sum_{m|b_m^i = b_n^i} e^{-\frac{E_s}{N_0} \cdot d_{n,m}^2} \right] - \log \left[\sum_{m|b_m^i \neq b_n^i} e^{-\frac{E_s}{N_0} \cdot d_{n,m}^2} \right]$$

- [0036] [0037]이고, 여기서 $r_n = s_n$ 으로, 심볼(s_n)이 전송되는 제한하에서(AWGN의 경우) 평균 수신된 심볼을 나타내고, $d_{n,m}^2$ 는 수신된 심볼(r_n)과 심볼(s_m) 사이의 유클리드 거리의 제곱을 나타내고, E_s/N_0 는 관찰된 신호 대 잡음비를 나타낸다.
- [0038] 수학식 1로부터 LLR이 신호 대 잡음 비(E_s/N_0) 및 신호 성상 포인트 사이의 유클리드 거리($d_{n,m}$)에 따라 달라진다는 것을 알 수 있다.

- [0039] 다중 전송

- [0040] 다중 전송에 대해서, 심볼($s_n^{(j)}$)이 독립 AWGN 채널상으로 전송되고 심볼이 유사하다는 제한하에서, j 번째 비트($b_n^{(j)}$)의 k 번째 전송 이후에 평균 LLR은

수학식 2

$$LLR_{b_n^j | \bigcap_{j=1}^k r_n^{(j)}}(r_n^{(1)}, r_n^{(2)}, \dots, r_n^{(k)}) = \log \left[\sum_{m|b_m^j = b_n^j} e^{-\sum_{j=1}^k \left(\frac{E_s}{N_0} \right)^{(j)} \cdot (d_{n,m}^{(j)})^2} \right] - \log \left[\sum_{m|b_m^j \neq b_n^j} e^{-\sum_{j=1}^k \left(\frac{E_s}{N_0} \right)^{(j)} \cdot (d_{n,m}^{(j)})^2} \right]$$

- [0041] [0042]이고, 여기서 j 는 j 번째 전송($(j-1)$ 번째 재전송)을 나타낸다. 단일 전송의 경우와 유사하게 평균 LLR은 매 전송시의 신호 대 잡음 비 및 유클리드 거리에 따라 달라진다.
- [0043] 성상 재배치가 수행되지 않으면, 유클리드 거리($d_{n,m}^{(j)} = d_{n,m}^{(1)}$)는 모든 전송에 대해서 일정하고, 따라서 k 전송 이후의 비트 신뢰도(LLR)는 전송시마다의 관찰된 신호 대 잡음 비 및 제 1 전송으로부터의 신호 성상 포인트에

의해 결정될 것이다. 더 높은 레벨 변조 방식(심볼당 2개 이상)에서, 이는 비트의 평균 LLR을 변화시켜서 서로 다른 평균 비트 신뢰도를 유발한다. 평균 신뢰도의 차이는 전체 재전송에서 나타나며 이는 디코더 성능의 저하를 유발한다.

[0044] 다음으로, 2개의 높은 신뢰가능 비트 및 2개의 낮은 신뢰 가능 비트를 생성하는 16 QAM 시스템의 경우가 예시적으로 상정될 것이며, 낮은 신뢰 가능 비트에 대해서, 신뢰도는 0을 전송하는지 1을 전송하는지에 따라 달라진다 (도 1 참조). 따라서, 전체적으로 2레벨의 평균 신뢰도가 존재하고, 제 2 레벨은 더 세분된다.

[0045] 레벨 1(높은 신뢰도, 2비트) : 1들(0들)에 대한 비트 매핑은 절반인 i 비트의 포지티브(네거티브) 실수 공간 및 절반인 q 비트의 허수 공간으로 나누어진다. 여기서 1들이 절반인 포지티브 공간으로 매핑되든, 절반인 네거티브 공간으로 매핑되든, 차이는 없다.

[0046] 레벨 2(낮은 신뢰도, 2비트) : 1들(0들)이 i 비트에 대해서 내부(외부) 열로 매핑되거나, q 비트에 대해서 내부(외부) 행으로 매핑된다. 내부(외부)열 및 행으로 매핑되는지에 따라서 LLR에 차이가 있다. 레벨 2는 더 나누어진다.

[0047] 레벨 2a : i_n 을 내부 열로 매핑하고, q_n 을 내부 행으로 각각 매핑한다.

[0048] 레벨 2b : 레벨 2a와는 반대로 매핑한다. i_n 을 외부 열로 매핑하고, q_n 을 외부 행으로 각각 매핑한다.

[0049] 모든 비트에 대해 전송에서 최적의 평균화 공정을 보장하기 위해서, 신뢰도의 레벨이 변경되어야 한다.

[0050] 비트 매핑 순서는 초기 전송 전에는 확정되어 있지 않지만 재전송에서 일관되어야 한다. 예컨대 초기 전송의 매핑: $i_1q_1i_2q_2 \Rightarrow$ 모든 재전송의 비트 매핑: $i_1q_1i_2q_2$

[0051] 가능한 성상의 일부 실시예가 도 2에 도시된다. 도 2에 따른 최종 비트 신뢰도가 표 1에 제공된다.

표 1

성상	비트 i_1	비트 q_1	비트 i_2	비트 q_2
1	높은 신뢰도 (레벨 1)	높은 신뢰도 (레벨 1)	낮은 신뢰도 (레벨 2b)	낮은 신뢰도 (레벨 2b)
2	낮은 신뢰도 (레벨 2a)	낮은 신뢰도 (레벨 2a)	높은 신뢰도 (레벨 1)	높은 신뢰도 (레벨 1)
3	낮은 신뢰도 (레벨 2b)	낮은 신뢰도 (레벨 2b)	높은 신뢰도 (레벨 1)	높은 신뢰도 (레벨 1)
4	높은 신뢰도 (레벨 1)	높은 신뢰도 (레벨 1)	낮은 신뢰도 (레벨 2a)	낮은 신뢰도 (레벨 2a)

[0052]

[0053] 다음으로, m 은 재전송 번호 파라미터를 나타내며, $m=0$ 은 ARQ 상황에서 패킷의 최초 전송을 나타낸다. 또한 b 는 매핑 장치의 심볼을 형성하는 비트의 수를 나타낸다. 전형적으로 b 는 임의의 정수가 될 수 있고, 통신 시스템에서 가장 자주 사용되는 값은 2의 정수 제곱이다.

[0054] 일반성을 유지하면서, 인터리빙의 입력으로서 사용되는 비트의 수(n)는 b 로 나누어질 수 있다고, 즉, n 은 b 의 배수라고 또한 가정할 수 있다. 당업자는 만약 이러한 경우가 아니라면, 입력 비트의 시퀀스에는 위의 조건이 만족될 때까지 더미 비트가 용이하게 추가될 수 있을 것이라는 것을 이해할 것이다.

[0055] 위에 설명된 바와 같이, 주어진 변조에 대해서 몇 가지 신뢰가능한 레벨을 식별할 수 있다. 따라서 인터리빙은 모든 b 비트가 평균적으로 동일하게 신뢰가능하도록 재전송 동안의 b 비트의 신뢰도를 평균화해야 한다. 이는 인터리빙 원래의 비트 각각이 모든 다른 b 비트의 모든 신뢰가능 레벨과 같은 매핑되도록, 심볼 내의 b 비트의 위치를 바꿔야 한다는 것을 의미한다("스와핑(swapping)"이라고 알려져 있음). 이는 인터리빙이 인트라 심볼 비트 인터리빙 공정이라는 것을 의미한다.

[0056] 또한, 신뢰도가 논리 비트 값(로우 또는 하이)에 따라 달라지는 비트 위치가 다수 존재할 수 있다. 비트가 이러한 위치 상에 처음으로 매핑되는 것이 아니라면, 이 비트는 논리적으로 반전되어야 한다.

- [0057] 이러한 규칙으로, 재전송 회수 m 에 대해서 인터리버 및 인버터 공정을 결정하는 패턴이 구성될 수 있다.
- [0058] 이론적으로, 신뢰도의 완전한 평균화는 무한의 혹은 매우 수의 재전송 이후에만 가능할 것이다. 이러한 경우, 인터리버 혹은 인버터의 시퀀스 패턴이 상이한 다양한 다른 방안이 존재할 수 있을 것이다. 이러한 다른 방안 중 어느 것이 선택되는가는 그 성능에 차이가 없을 것이기 때문에, 시스템 설계자의 선택에 달려 있다.
- [0059] 도 2의 성상(1)으로부터 성상(2)을 획득하기 위해서, 도 1에 도시된 바와 같은 신호 성상이 유지되면, 다음 공정이 수행되어야 하고, 여기서 순서는 무관하다.
- [0060] ?원래 비트 i_1 및 i_2 의 위치 변환
- [0061] ?원래 비트 q_1 및 q_2 의 위치 변환
- [0062] ?원래 비트 i_1 및 q_1 의 논리 비트 반전
- [0063] 다른 방안으로, 위치 1 및 위치 2에서 끝나는 비트는 반전될 수 있다.
- [0064] 전송 회수에 의존하는 예가 다음 표에 제공되고, 여기서 비트는 항상 제 1 전송을 의미하고, 문자 위의 줄은 비트의 논리 비트 반전을 의미한다.

표 2

성상 번호	인터리버 및 인버터 기능
1	$i_1 q_1 i_2 q_2$
2	$i_1 q_2 \bar{i}_1 \bar{q}_1$ 혹은 $\bar{i}_2 \bar{q}_2 \bar{i}_1 \bar{q}_1$
3	$\bar{i}_1 \bar{q}_2 i_1 q_1$ 혹은 $i_2 q_2 i_1 q_1$
4	$i_1 q_1 \bar{i}_2 \bar{q}_2$ 혹은 $\bar{i}_1 \bar{q}_1 \bar{i}_2 \bar{q}_2$

- [0065] 표 2의 각각의 행의 첫번째 예는 도 2에 주어진 성상에 해당한다. 표 2로부터 쉽게 알 수 있는 바와 같이, 신호 성상(2)은 비트 q_1 및 q_2 의 위치는 물론 비트 i_1 및 i_2 의 위치를 바꾸고(스와핑), 비트 쌍 i_1, q_1 혹은 모든 비트를 반전시킴으로써 성상(1)으로부터 획득된다. 유사하게, 한가지 방안으로 신호 성상(3)은 비트 q_1 및 q_2 의 위치는 물론 비트 i_1 및 i_2 의 위치를 서로 바꾸고, 비트 쌍 i_2, q_2 을 반전시킴으로써 성상(1)으로부터 획득된다. 다른 방안에서, 비트 위치만 바뀌고 반전은 필요없다. 마지막으로, 신호 성상(4)은 신호 성상(1)로부터 어떤 비트 위치도 바꾸지 않고 심볼의 8개의 비트 쌍 i_2, q_2 혹은 모든 비트를 반전시킴으로써 획득된다.

- [0067] 이로써, 서로 다른 전송 수의 방식이 선택될 수 있다(모든 것을 망라한 것은 아니다).

표 3

전송 수	성상 번호					
1	1	1	1	1	1	1
2	2	2	3	4	4	3
3	3	4	2	2	3	4
4	4	3	4	3	2	2

- [0068] 도 3은 본 발명의 방법이 사용되는 통신 시스템의 실시예를 도시한다.
- [0069] 송신기(100)에서, 비트 시퀀스는 FEC(forward error correction) 인코더(도시 생략)로부터 획득되고, 후속해서 인터리버(110) 및 논리 비트 인버터(120)에 입력된다. 인터리버(110) 및 논리 비트 인버터는 각각 재전송 수 파라미터 m 에 따라 달라지며, 입력 비트 시퀀스를 변경한다.
- [0070] 후속해서, 비트 시퀀스는 파라미터화 되지 않은 표준 매핑 장치인 맵퍼/변조기(130)에 입력된다. 맵퍼는 전형적으로 도 2에 도시된 신호 성상 중 하나를 사용해서 통신 채널(200)을 통해 전송되는 심볼 상에 b비트를 매핑 한다. 통신 채널은 전형적으로 신뢰할 수 없는 시변 채널 상태에 있는 무선 통신 채널이다.
- [0071] 인터리빙/반전 패턴은 송신기 및 수신기 모두에 저장되거나, 송신기에는 저장되고 수신기에는 시그널링된다.
- [0072] 수신기(300)에서, 복합 심볼은 우선 수신된 심볼을 대응하는 비트 영역 시퀀스(예컨대 LLR의 시퀀스)로 복조하

는 디맵퍼(demapper)/복조기(330)에 입력된다. 이 시퀀스는 논리 인버터(320)에 입력되고, 후속해서 디인터리버(310)에 입력되며, 이로부터 획득된 비트 도메인 시퀀스가 출력된다.

인터리버 및 디인터리버는 입력 비트 혹은 심볼 시퀀스의 결정된 의사 랜덤 혹은 랜덤 치환을 적용함으로써 알려진 인터리빙/디인터리빙 기술에 따라서 동작하는, 즉 시퀀스 내의 비트 혹은 심볼의 위치를 교환한다(스와핑). 위에서 설명된 실시예에서, 인터리버는 매핑 장치 내의 심볼을 형성하는 비트의 위치를 바꾸는 심볼내 비트 인터리버이다.

논리 비트 인버터는 비트의 논리값을 반전시키는, 즉 논리 로우를 논리 하이값으로 그리고 그 반대로 만드는 알려진 기술에 따라서 동작한다. LLR을 가지고 동작하는 수신기의 실제 구현예에서, 이 반전 동작은 LLR의 신호 반전과 등가이다.

재전송이 에러 검출기(도시 생략)에 의해 발행되는 자동 반복 요청에 의해 개시되고, 그 결과 디맵퍼/복조기(330)에서 동일한 데이터 패킷이 송신기(100)로부터 전송되는 경우, 이전에 수신된 에러를 포함하는 데이터 패킷은 재전송된 데이터 패킷과 소프트 조합된다. 인터리버 및 논리 비트 인버터에 의한 비트 시퀀스의 수정으로 인해서, 평균 비트 신뢰도는 평균화되고, 수신기의 성능은 증가된다.

위에 설명된 방법이 그레이 인코딩된 신호 및 QAM 변조 방식을 사용해서 설명되었지만, 본 발명의 이점을 획득하기 위해 다른 적절한 인코딩 및 변조 방식이 사용될 수 있다는 것이 당업자에게는 자명할 것이다.

도면의 간단한 설명

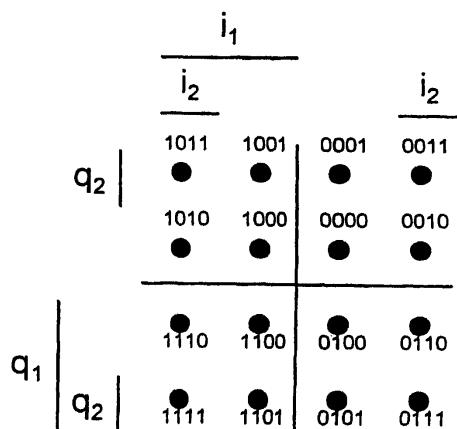
도 1은 그레이 인코딩된 비트 심볼을 사용하는 16 QAM 변조 방식을 나타낸 예시적인 신호 성상을 도시하는 도면,

도 2는 그레이인 인코딩된 비트 심볼을 사용하는 16 QAM 변조 방식의 신호 성상의 4가지 예를 도시하는 도면,

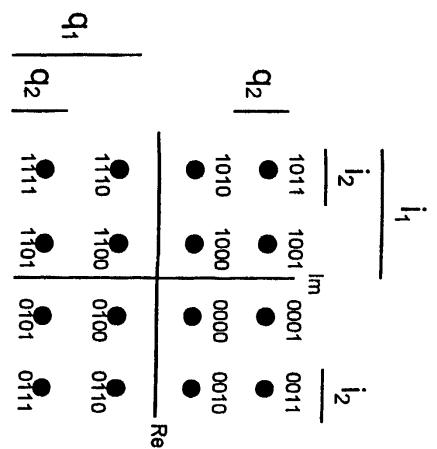
도 3은 본 발명의 방법이 사용되는 통신 시스템의 실시예를 도시하는 도면.

도면

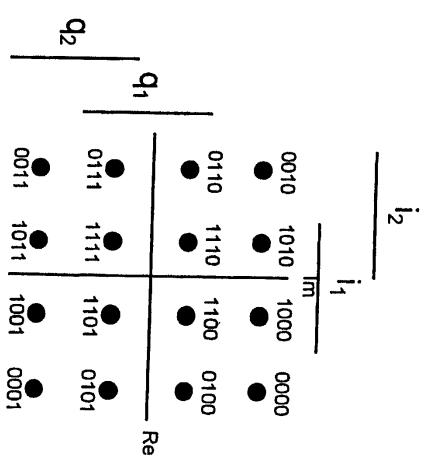
도면1



도면2a

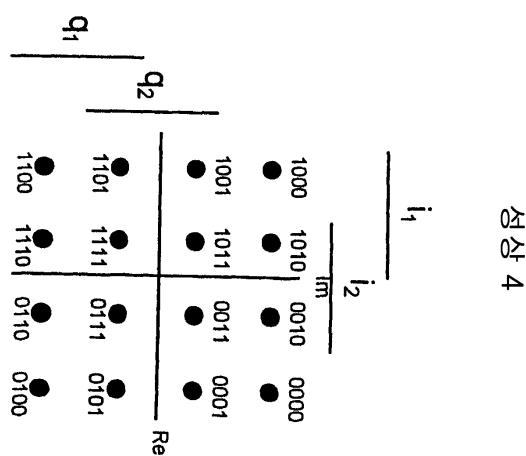
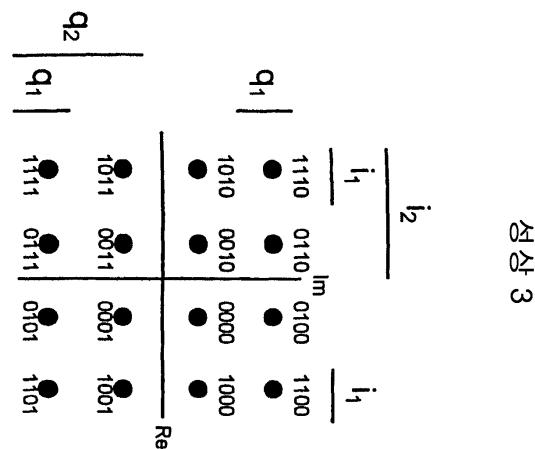


성상 1



성상 2

도면2b



도면3

