



(12) 发明专利

(10) 授权公告号 CN 107275354 B

(45) 授权公告日 2020. 11. 17

(21) 申请号 201710447901.9

(22) 申请日 2013.09.18

(65) 同一申请的已公布的文献号
申请公布号 CN 107275354 A

(43) 申请公布日 2017.10.20

(30) 优先权数据
2012-218000 2012.09.28 JP

(62) 分案原申请数据
201310429001.3 2013.09.18

(73) 专利权人 索尼公司
地址 日本东京

(72) 发明人 横山孝司

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290

代理人 陈皖 曹正建

(51) Int.Cl.
H01L 27/146 (2006.01)

(56) 对比文件
CN 102386194 A, 2012.03.21
US 4939568 A, 1990.07.03
JP 2012064657 A, 2012.03.29
US 2012018729 A1, 2012.01.26

审查员 叶常茂

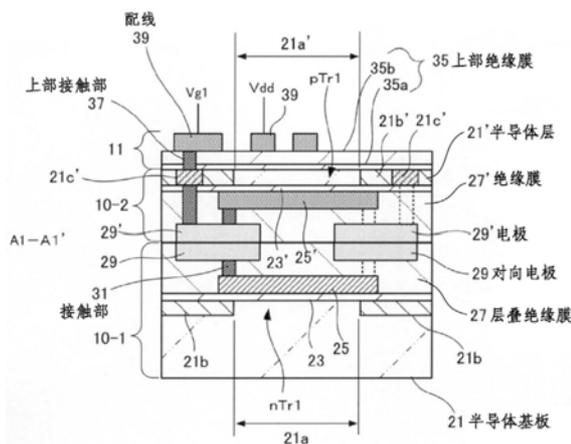
权利要求书2页 说明书29页 附图65页

(54) 发明名称

半导体器件

(57) 摘要

本发明公开了半导体器件。该半导体器件包括：包括有源区域的半导体层；由有源区域构成的半导体元件；连接区域，是半导体层的岛状形状金属化部分；绝缘膜，覆盖半导体层的一个主表面侧；电极，面对着半导体元件和连接区域；第一接触部，在将半导体元件或连接区域连接至电极的第一部分中贯穿绝缘膜；对向电极，面对着电极并与电极连接；层叠绝缘膜，位于绝缘膜的一个主表面侧上以覆盖对向电极；其它半导体元件，位于层叠绝缘膜的对向电极侧的相反侧上；第二接触部，在将其它半导体元件连接至对向电极的第二部分中贯穿层叠绝缘膜；和具有导电性的氧化钽层，位于电极中的至少一者与对向电极之间且其中扩散有电极和/或对向电极的材料。



1. 一种半导体器件,其包括:
 - 半导体层,所述半导体层包括有源区域;
 - 半导体元件,所述半导体元件是由所述有源区域构成的;
 - 连接区域,所述连接区域是所述半导体层的相对于所述有源区域孤立的岛状形状金属化部分;
 - 绝缘膜,所述绝缘膜覆盖所述半导体层的一个主表面侧;
 - 电极,所述电极面对着所述半导体元件和所述连接区域,且所述电极与所述半导体元件和所述连接区域之间夹着所述绝缘膜;
 - 第一接触部,所述第一接触部在用于将所述半导体元件或所述连接区域连接至所述电极的第一部分中贯穿所述绝缘膜;
 - 对向电极,所述对向电极位于面对着所述电极的位置处并且与所述电极连接;
 - 层叠绝缘膜,所述层叠绝缘膜位于所述绝缘膜的一个主表面侧上以覆盖所述对向电极;
 - 其它半导体元件,所述其它半导体元件位于所述层叠绝缘膜的所述对向电极侧的相反侧上,并且所述层叠绝缘膜位于所述对向电极与所述其它半导体元件之间;
 - 第二接触部,所述第二接触部在将所述其它半导体元件连接至所述对向电极的第二部分中贯穿所述层叠绝缘膜;以及
 - 具有导电性的氧化钽层,所述氧化钽层位于所述电极中的至少一者与所述对向电极之间,并且在所述氧化钽层中扩散有所述电极的材料和/或所述对向电极的材料。
2. 根据权利要求1所述的半导体器件,其中,通过选择所述第一接触部的形成位置来选择所述半导体元件与所述连接区域之间的经由所述电极的连接状态。
3. 根据权利要求1所述的半导体器件,其中,所述其它半导体元件是利用半导体基板的前表面层形成的。
4. 根据权利要求1所述的半导体器件,其中,所述电极以固定的间隔布置于所述绝缘膜的表面内。
5. 根据权利要求1所述的半导体器件,还包括:
 - 上部绝缘膜,所述上部绝缘膜位于所述绝缘膜侧的相反侧上,并且所述半导体层位于所述绝缘膜与所述上部绝缘膜之间;
 - 上部接触部,所述上部接触部在连接至所述连接区域或所述有源区域的部分中贯穿所述上部绝缘膜;以及
 - 配线,所述配线位于所述上部绝缘膜上,且所述配线连接至所述上部接触部。
6. 根据权利要求1所述的半导体器件,其中,在所述半导体层的两个表面上均形成有所述绝缘膜、所述电极和所述接触部。
7. 根据权利要求6所述的半导体器件,其中,支撑基板与布置于所述半导体层的一个表面上的所述电极接触。
8. 根据权利要求1所述的半导体器件,其中,
 - 所述半导体层在所述有源区域和所述连接区域中被图形化,并且
 - 所述半导体元件分别包括跨越被图形化的所述有源区域的栅极电极。
9. 根据权利要求1所述的半导体器件,其中,所述半导体元件和所述其它半导体元件由

不同的半导体材料构成。

10. 根据权利要求1所述的半导体器件,包括:

数字电路,所述数字电路通过经由所述对向电极和所述连接区域将所述半导体元件连接至所述其它半导体元件而形成。

11. 根据权利要求1所述的半导体器件,其中,所述半导体层包括硅(Si)、锗(Ge)、硅锗(SiGe)、碳化硅(SiC)、碳(C)、砷化镓(GaAs)或铟镓砷化物(InGaAs)。

12. 根据权利要求11所述的半导体器件,其中,所述半导体层包括碳纳米管或石墨烯。

13. 一种半导体器件,其包括:

半导体层,所述半导体层包括有源区域;

半导体元件,所述半导体元件是由所述有源区域构成的;

连接区域,所述连接区域是所述半导体层的相对于所述有源区域孤立的岛状形状金属化部分;

绝缘膜,所述绝缘膜覆盖所述半导体层的一个主表面侧;

电极,所述电极面对着所述半导体元件和所述连接区域,且所述电极与所述半导体元件和所述连接区域之间夹着所述绝缘膜;

第一接触部,所述第一接触部在用于将所述半导体元件或所述连接区域连接至所述电极的第一部分中贯穿所述绝缘膜;

对向电极,所述对向电极位于面对着所述电极的位置处并且与所述电极连接;

层叠绝缘膜,所述层叠绝缘膜位于所述绝缘膜的一个主表面侧上以覆盖所述对向电极;

其它半导体元件,所述其它半导体元件形成于所述层叠绝缘膜的所述对向电极侧的相反侧上,并且所述层叠绝缘膜位于所述对向电极与所述其它半导体元件之间;

第二接触部,所述第二接触部在将所述其它半导体元件连接至所述对向电极的第二部分中贯穿所述层叠绝缘膜;以及

氧化钽层,所述氧化钽层位于所述电极中的至少一者与所述对向电极之间,并且所述电极中的至少一者的材料和/或所述对向电极的材料扩散至所述氧化钽层。

半导体器件

[0001] 本申请是申请日为2013年9月18日、发明名称为“半导体器件、半导体器件制造方法以及固体摄像装置”的申请号为201310429001.3的专利申请的分案申请。

技术领域

[0002] 本发明涉及半导体器件和半导体器件制造方法,并且更加具体地,涉及通过层叠多个半导体层三维地布置有元件的半导体器件、用于制造这种半导体器件的方法以及使用这种半导体器件的固体摄像装置。

背景技术

[0003] 作为被构造用来实现半导体器件的更高集成化的结构之一,已经提出了在多个层中层叠有不同特性的元件的3维结构。在具有这样的3维结构的半导体器件中,例如,存在下列两种构造。

[0004] 第一种构造是这样的构造:其中,制备了多个其中形成有元件的基板并且这些基板被彼此接合起来。在此情况下,例如,与所述元件连接的连接电极被构造成朝着这些基板的接合表面侧被引出。通过将被引出的连接电极与连接电极接合,两个基板就被接合起来从而使得这两个基板能够彼此电连接(关于这些内容,例如参见日本专利申请第2005-268662号公报)。

[0005] 第二种构造是这样的构造:其中,在形成有包含第一半导体层的元件的基板上形成层间绝缘膜且在该层间绝缘膜上形成有包含第二半导体层的元件,并且这两层的元件在上层中被连接起来(关于这些内容,例如参见日本专利申请第2009-94495号公报)。

[0006] 然而,在第一构造中,需要在各基板的前表面上使连接电极迂回。为此原因,其中布线有连接电极的占用面积会根据所形成的电路的种类而增大,并且因此阻碍了半导体器件的小型化。在第二构造中,在最上层中将上层元件和下层元件连接起来。因此,用来将各元件相互连接的配线的迂回面积可能进一步增大,因而可能进一步阻碍半导体器件的小型化。

发明内容

[0007] 本发明期望提供一种半导体器件,在该半导体器件中,即使当层叠有多个元件层时,也能够在不让配线进行迂回的情况下就把上层元件和下层元件连接起来,并因此能够实现小型化。本发明还期望提供使用该半导体器件的固体摄像装置以及用于制造该半导体器件的方法。

[0008] 根据本发明的第一实施例,提供了一种半导体器件,其包括:半导体层,其包括有源区域;半导体元件,它们是利用所述有源区域形成的;连接区域,它们是通过将所述半导体层的一些部分以相对于所述有源区域孤立的岛状形状金属化而获得的;绝缘膜,其被形成为覆盖所述半导体层的一个主表面侧;电极,它们被设置成面对着所述半导体元件和所述连接区域,且所述电极与所述半导体元件和所述连接区域之间夹着所述绝缘膜;以及接

触部,其贯穿所述绝缘膜从而选择性地形成在用于将所述半导体元件或所述连接区域连接至所述电极的各部分之中的所需部分中。

[0009] 在具有这样结构的半导体器件中,在与所述半导体层中所包含的所述有源区域所处的同一层中形成有所述连接区域作为电极焊盘,所述连接区域是通过将所述半导体层的一些部分以独立于所述有源区域的岛状形状金属化而获得的。因此,通过在所述连接区域与所述电极之间以及所述半导体元件与所述电极之间选择性地布置所述接触部,能够将所述半导体元件的各部分的电势引出至布置于与所述电极侧相反的侧的所述连接区域(所述连接区域与所述电极之间布置有所述绝缘膜)。因此,能够通过选择所述接触部的布置方式而不是依赖于仅仅使所述配线迂回的方式来形成所期望的电路。

[0010] 本发明实施例的固体摄像装置是这样的装置:其使用本发明的实施例的半导体器件,并且包括上述半导体器件和含有光电转换单元的摄像基板。

[0011] 此外,根据本发明的第一实施例,提供了一种半导体器件制造方法,其包括:在半导体层中形成有源区域,并且形成通过将所述半导体层的一些部分以相对于所述有源区域孤立的岛状形状金属化而获得的连接区域;利用所述有源区域形成半导体元件;形成覆盖所述半导体层的一个主表面侧的绝缘膜;在到达所述半导体元件或所述连接区域的各部分之中的所需部分中选择性地形成贯穿所述绝缘膜的接触部;以及在面对着所述半导体元件和所述连接区域的位置处形成电极,所述电极与所述半导体元件和所述连接区域之间夹着所述绝缘膜,并且一部分所述电极连接至所述接触部。

[0012] 根据本发明的上述各实施例,能够通过选择所述接触部的布置方式而不依赖于仅仅让所述配线迂回的方式形成所期望的电路。因此,能够实现半导体器件的小型化。

附图说明

[0013] 图1是图示了第一实施例的半导体器件的平面图;

[0014] 图2是图示了第一实施例的半导体器件的第一元件层的平面图;

[0015] 图3是图示了第一实施例的半导体器件的第二元件层的平面图;

[0016] 图4是沿图1的线A1-A1'截取的截面图;

[0017] 图5是沿图1的线A2-A2'截取的截面图;

[0018] 图6是沿图1的线B1-B1'截取的截面图;

[0019] 图7是沿图1的线B2-B2'截取的截面图;

[0020] 图8是沿图1的线B3-B3'截取的截面图;

[0021] 图9是图示了第一实施例的半导体器件中包含的NAND(逻辑)电路的等效电路图;

[0022] 图10是沿线A-A'截取的截面图,并且图示了第一实施例的半导体器件中栅极电极部分的连接构造示例;

[0023] 图11是沿线B-B'截取的截面图,并且图示了第一实施例的半导体器件中源极和漏极部分的连接构造示例-1;

[0024] 图12是沿线B-B'截取的截面图,并且图示了第一实施例的半导体器件中源极和漏极部分的连接构造示例-2;

[0025] 图13图示了第一实施例的半导体器件的第一元件层的制造工艺(第1部分);

[0026] 图14图示了第一实施例的半导体器件的第一元件层的制造工艺(第2部分);

- [0027] 图15图示了第一实施例的半导体器件的第一元件层的制造工艺(第3部分);
- [0028] 图16图示了第一实施例的半导体器件的第二元件层的制造工艺(第1部分);
- [0029] 图17图示了第一实施例的半导体器件的第二元件层的制造工艺(第2部分);
- [0030] 图18图示了第一实施例的半导体器件的第二元件层的制造工艺(第3部分);
- [0031] 图19图示了第一实施例的半导体器件的层叠工艺(第1部分);
- [0032] 图20图示了第一实施例的半导体器件的层叠工艺(第2部分);
- [0033] 图21图示了第一实施例的半导体器件的层叠工艺(第3部分);
- [0034] 图22是图示了第二实施例的半导体器件的平面图;
- [0035] 图23是沿图22中的线A1-A1'截取的截面图;
- [0036] 图24图示了第二实施例的半导体器件的层叠工艺(第1部分);
- [0037] 图25图示了第二实施例的半导体器件的层叠工艺(第2部分);
- [0038] 图26图示了第二实施例的半导体器件的层叠工艺(第3部分);
- [0039] 图27图示了第二实施例的半导体器件的层叠工艺(第4部分);
- [0040] 图28图示了第二实施例的半导体器件的层叠工艺(第5部分);
- [0041] 图29图示了第二实施例的半导体器件的层叠工艺(第6部分);
- [0042] 图30图示了第二实施例的半导体器件的层叠工艺(第7部分);
- [0043] 图31图示了第二实施例的半导体器件的层叠工艺(第8部分);
- [0044] 图32是图示了第三实施例的半导体器件的平面图;
- [0045] 图33是沿图32中的线A1-A1'截取的截面图;
- [0046] 图34是沿图32中的线B1-B1'截取的截面图;
- [0047] 图35是沿图32中的线B2-B2'截取的截面图;
- [0048] 图36是图示了第三实施例的半导体器件中包含的NAND电路的等效电路图;
- [0049] 图37图示了第三实施例的半导体器件的层叠工艺(第1部分);
- [0050] 图38图示了第三实施例的半导体器件的层叠工艺(第2部分);
- [0051] 图39图示了第三实施例的半导体器件的层叠工艺(第3部分);
- [0052] 图40图示了第三实施例的半导体器件的层叠工艺(第4部分);
- [0053] 图41是图示了第四实施例的固体摄像装置的截面图;
- [0054] 图42是图示了第五实施例的半导体器件(应用于FIN结构的示例)的平面图;
- [0055] 图43是图示了第五实施例的半导体器件的第一元件层的平面图;
- [0056] 图44是图示了第五实施例的半导体器件的第二元件层的平面图;
- [0057] 图45是沿图42中的线A-A'截取的截面图;
- [0058] 图46是沿图42中的线B-B'截取的截面图;
- [0059] 图47是沿图42中的线C1-C1'截取的截面图;
- [0060] 图48是沿图42中的线C2-C2'截取的截面图;
- [0061] 图49图示了第五实施例的半导体器件的第一元件层的制造工艺(第1部分);
- [0062] 图50图示了第五实施例的半导体器件的第一元件层的制造工艺(第2部分);
- [0063] 图51图示了第五实施例的半导体器件的第一元件层的制造工艺(第3部分);
- [0064] 图52图示了第五实施例的半导体器件的第一元件层的制造工艺(第4部分);
- [0065] 图53图示了第五实施例的半导体器件的第二元件层的制造工艺(第1部分);

- [0066] 图54图示了第五实施例的半导体器件的第二元件层的制造工艺(第2部分)；
- [0067] 图55图示了第五实施例的半导体器件的第二元件层的制造工艺(第3部分)；
- [0068] 图56图示了第五实施例的半导体器件的第二元件层的制造工艺(第4部分)；
- [0069] 图57图示了第五实施例的半导体器件的层叠工艺(第1部分)；
- [0070] 图58图示了第五实施例的半导体器件的层叠工艺(第2部分)；
- [0071] 图59是第五实施例的变型例1的截面图；
- [0072] 图60图示了第五实施例的变型例1的层叠工艺(第1部分)；
- [0073] 图61图示了第五实施例的变型例1的层叠工艺(第2部分)；
- [0074] 图62是第五实施例的变型例2的截面图(对应于沿图42中的线A-A'截取的图)；
- [0075] 图63是第五实施例的变型例2的截面图(对应于沿图42中的线B-B'截取的图)；
- [0076] 图64是第五实施例的变型例2的截面图(对应于沿图42中的线C1-C1'截取的图)；
- [0077] 图65是第五实施例的变型例2的截面图(对应于沿图42中的线C2-C2'截取的图)；
- [0078] 图66是图示了第六实施例的半导体器件的特征部分的截面图；
- [0079] 图67是图示了第六实施例的半导体器件的制造方法的截面图；
- [0080] 图68是图示了第六实施例的变型例的特征部分的截面图；
- [0081] 图69是图示了第六实施例的变型例的制造方法的截面图(第1部分)；
- [0082] 图70是图示了第六实施例的变型例的制造方法的截面图(第2部分)；
- [0083] 图71是图示了第六实施例的变型例的制造方法的截面图(第3部分)；
- [0084] 图72是图示了第六实施例的变型例的制造方法的截面图(第4部分)；
- [0085] 图73图示了第七实施例的电子设备的构造。

具体实施方式

[0086] 下文中,将参照附图详细地说明本发明的优选实施例。需要注意的是,在本说明书和附图中,用相同的附图标记表示具有大体相同功能和结构的构成元件,并且省略了这些构成元件的重复说明。

[0087] 下文中,将参照附图按照如下顺序说明本发明的实施例。

[0088] 1. 第一实施例(2层结构:基本结构(包含NAND电路))

[0089] 1-1结构

[0090] 1-2制造方法

[0091] 2. 第二实施例(3层或更多层的层叠结构的示例)

[0092] 2-1结构

[0093] 2-2制造方法

[0094] 3. 第三实施例(使用支撑基板的层叠结构的示例(包含NAND电路))

[0095] 3-1结构

[0096] 3-2制造方法

[0097] 4. 第四实施例(应用于固体摄像装置的层叠结构的示例)

[0098] 5. 第五实施例(应用于FIN结构的层叠结构的示例)

[0099] 5-1结构

[0100] 5-2制造方法

- [0101] 5-3变型例1 (3层或更多层的层叠结构的示例)
- [0102] 5-4变型例1的制造方法
- [0103] 5-5变型例2 (接触部之间直接连接的示例)
- [0104] 6. 第六实施例 (使用氧化钽层的层叠结构的示例)
- [0105] 6-1结构
- [0106] 6-2制造方法
- [0107] 6-3变型例
- [0108] 6-4变型例的制造方法
- [0109] 7. 第七实施例 (使用固体摄像装置的电子设备)
- [0110] 1. 第一实施例 (2层结构:基本结构 (包含NAND电路))
- [0111] 1-1结构

[0112] 图1是图示了第一实施例的半导体器件的示意性构造的平面图。该图所图示的第一实施例的半导体器件1是具有3维结构的半导体器件,且在该3维结构中层叠着第一元件层10-1和第二元件层10-2。图2是图示了第一元件层10-1的平面图。图3是图示了第二元件层10-2的平面图。这些图中所示的第一元件层10-1和第二元件层10-2彼此接合,使得它们的上面形成有半导体元件的表面彼此面对,因此它们的特征在于第一元件层10-1和第二元件层10-2之间的半导体元件的连接状态。

[0113] 下文中,将举例说明这样的情况:半导体器件1的详细构造被应用于包含NAND电路的半导体器件,所述NAND电路是数字电路的示例。这里,将参照图1至图3的平面图和沿这些平面图的线A1-A1'、线A2-A2'、线B1-B1'等所截取的其它部分的截面图(图4至图8),按照第一元件层10-1、第二元件层10-2、形成于第一元件层10-1和第二元件层10-2的层叠体的外侧的配线层11的顺序来说明所述详细构造。图9是图示了形成于半导体器件1中的NAND电路的等效电路图。

[0114] 第一元件层10-1

[0115] 图1和图2的平面图以及图4至图8的截面图中所示的第一元件层10-1包括位于半导体基板21的一个主表面上的n型晶体管nTr1、nTr2及nTr3。覆盖这些n型晶体管nTr1、nTr2及nTr3的层叠绝缘膜27 (仅在截面图中图示) 和对向电极29依此次序形成于半导体基板21的所述一个主表面侧,并且还形成有贯穿层叠绝缘膜27的接触部31。这些组成元件的细节如下所述。

[0116] [半导体基板21]

[0117] 半导体基板21包括在所述一个主表面侧的前表面层上的有源区域21a。有源区域21a是周围被浅沟槽型的元件分隔区域21b包围的区域。利用有源区域21a形成稍后所述的n型晶体管nTr1、nTr2及nTr3。

[0118] 这样的半导体基板21例如可以由硅(Si)形成,但是本发明的实施例并不限于此。该半导体基板可以是由适合于n型晶体管nTr1、nTr2及nTr3的其它半导体材料形成的。其它材料的示例包括锗(Ge)、硅锗(SiGe)、碳化硅(SiC)、碳(C)、碳纳米管、石墨烯、砷化镓(GaAs)以及铟镓砷化物(InGaAs)。特别地,使用由上述这些材料中的铟镓砷化物(InGaAs)形成的第一元件层10-1和半导体基板21,能够实现n型晶体管nTr1、nTr2及nTr3的高性能。

[0119] 半导体基板21可以是这样的基板(所谓的SOI基板):其中在绝缘基板上形成有薄

膜半导体层。在此情况下,假定有源区域21a和元件分隔区域21b形成于该半导体层中。

[0120] [n型晶体管nTr1、nTr2及nTr3]

[0121] n型晶体管nTr1、nTr2及nTr3是利用有源区域21a形成的元件。n型晶体管nTr1、nTr2及nTr3每一者分别包括栅极绝缘膜23(仅在截面图中图示)和栅极电极25(见图2、图4和图5),栅极绝缘膜23覆盖着半导体基板21的所述一个主表面侧,栅极电极25被设置成跨越有源区域21a且栅极电极25与该有源区域21a之间隔着所述栅极绝缘膜。

[0122] 这里,例如使用高介电膜形成栅极绝缘膜23。高介电膜的示例不仅包括氮化硅膜(SiN),还包括氧化铪膜(HfO₂)、氧化钽膜(TaO₂)、氧化铝膜(AlO₂)以及这些氧化物的相应的氮化物膜。

[0123] 考虑到例如功函数,栅极电极25可以选择适合于所述n型晶体管的材料以供使用。

[0124] 在n型晶体管nTr1、nTr2及nTr3的各者中,与栅极电极25交替布置着并且位于栅极电极25两侧的有源区域21a被构造为源极和漏极S/D(见图6至图8),并且该源极和漏极S/D被构造为被相邻的晶体管共用。该源极和漏极S/D是n型区域并且可以金属化。与栅极电极25重叠的有源区域21a是这样的部分:其充当沟道区域,并且仍然是未变成n型区域、未被金属化的区域,因此仍然是保持了半导体特性的区域。

[0125] 图4是沿n型晶体管nTr1中的栅极电极25的延伸方向截取的截面图。图5是沿n型晶体管nTr2中的栅极电极25的延伸方向截取的截面图。如这些图中所示,以从有源区域21a到与元件分隔区域21b重叠的区域的足够长度引出各栅极电极25,使得各栅极电极25与该栅极电极的接触部在与元件分隔区域21b重叠的位置处相接触。

[0126] [层叠绝缘膜27]

[0127] 层叠绝缘膜27被形成为把位于半导体基板21的所述一个主表面侧的n型晶体管nTr1、nTr2及nTr3埋住,并且被形成为具有平坦表面的平坦化绝缘膜。层叠绝缘膜27被形成为与稍后所述的第二元件层10-2的绝缘膜27'接合。

[0128] [对向电极29]

[0129] 多个对向电极29是面对着形成于稍后所述的第二元件层10-2中的电极29'的电极29,并且以与电极29'一对一接合的状态形成于层叠绝缘膜27的一个主表面侧。对向电极29每一者均沿栅极电极25的延伸方向铺设并且每一者均被布置于有源区域21a两侧,使得该对向电极的一个端侧被布置成与有源区域21a重叠并且另一个端侧被布置成与元件分隔区域21b重叠。

[0130] 在n型晶体管nTr1、nTr2及nTr3的各者中都布置有六个上述对向电极29。即,在n型晶体管nTr1、nTr2及nTr3的各者中,分别形成有两个对向电极29使得它们的一端在各栅极电极25的延伸方向上与该栅极电极25的两端重叠。此外,在n型晶体管nTr1、nTr2及nTr3的各者中,分别布置有两个对向电极29使得它们的一端与位于栅极电极25两个侧边处的有源区域21a的部分(即,源极和漏极S/D)重叠,换句话说,总共布置有四个对向电极29。因此,在n型晶体管nTr1、nTr2及nTr3每一者中分别布置了共六个对向电极29。然而,被设置在中间的n型晶体管nTr2与n型晶体管nTr1且与n型晶体管nTr3共用所述源极和漏极S/D。因此,共有十四个对向电极29被布置于这三个n型晶体管nTr1、nTr2及nTr3中。

[0131] 这样的对向电极29具有固定的平面形状并且在栅极电极25的布置方向上以固定的间隔规则地布置着。

[0132] 上述这些对向电极29被形成成为嵌入在层叠绝缘膜27中的嵌入电极,且被布置成具有与层叠绝缘膜27的上述一个主表面的高度相同的高度,并且例如由铜(Cu)形成。

[0133] [接触部31]

[0134] 接触部31被形成成为贯穿层叠绝缘膜27。在n型晶体管nTr1、nTr2及nTr3中的将栅极电极25以及源极和漏极S/D连接至对向电极29的部分之中,选择性地所需部分中形成接触部31。在形成接触部31的部分中,将栅极电极25连接至对向电极29的部分是指如下六个部分:在这六个部分中,栅极电极25和对向电极29被布置成在有源区域21a外侧的元件分隔区域21b中彼此重叠。此外,将源极和漏极S/D连接至对向电极29的部分是指如下八个部分:在这八个部分中,有源区域21a和对向电极29被布置成在没有栅极电极25介入的情况下彼此重叠。

[0135] 在上述这些部分中,根据使用n型晶体管nTr1、nTr2及nTr3形成的电路而在所需部分中选择性地形成贯穿层叠绝缘膜27的接触部31。即,通过在上述部分中选择形成接触部31的部分的位置来选择n型晶体管nTr1、nTr2及nTr3与对向电极29之间的连接状态。

[0136] 例如,在该半导体器件1中,使用两个n型晶体管nTr1和nTr2形成NAND电路,并且因此按如下方式来选择接触部31的形成位置。

[0137] 首先,参照图2、图4和图5,接触部31被形成成为将n型晶体管nTr1和nTr2的栅极电极25连接至被布置成与这些栅极电极重叠的对向电极29。虽然在此情况下布置有两个对向电极29与每个栅极电极25重叠,但是每个栅极电极25可以被连接到至少一个对向电极29。

[0138] 此外,参照图2以及图6至图8,接触部31被形成成为将未被两个n型晶体管nTr1和nTr2共用的源极和漏极S/D连接至被布置成与源极和漏极S/D重叠的对向电极29。虽然在此情况下布置有两个对向电极29与每个源极和漏极S/D重叠,但是所述源极和漏极S/D可以被连接至至少一个对向电极29。

[0139] 第二元件层10-2

[0140] 图1和图3的平面图以及图4至图8的截面图中所示的第二元件层10-2包括在薄化的半导体层21'的一个主表面(在第一元件层10-1侧)上的p型晶体管pTr1、pTr2及pTr3。覆盖这些p型晶体管pTr1、pTr2及pTr3的层叠绝缘膜27'(仅在截面图中图示)和电极29'依此顺序形成于半导体层21'的所述一个主表面侧,并且还形成有贯穿绝缘膜27'的接触部31'。

[0141] 特别地,半导体层21'的特征在于除了包括有源区域21a'之外还包括连接区域21c'。这些连接区域是不同于第一元件层10-1的区域。下文中,将详细说明这些组成元件。

[0142] [半导体层21']

[0143] 半导体层21'由薄膜半导体形成并且包括连接区域21c'和有源区域21a'。有源区域21a'和连接区域21c'是周围被具有绝缘性的元件分隔区域21b'包围的区域。这些区域之中的有源区域21a'形成稍后所述的p型晶体管pTr1、pTr2及pTr3部分。

[0144] 另一方面,连接区域21c'是这样的区域:它们被形成成为使得半导体层21'的一些部分以相对于有源区域21a'孤立的岛状形状被金属化,并且可以具有与形成于有源区域21a'中的源极和漏极S/D'的构造相同的构造。各连接区域21c'以独立的岛状形状形成于与稍后所述的各电极29'的被引出至有源区域21a'外侧的一个端侧重叠的位置处。

[0145] 因此,在第二元件层10-2中形成有十四电极29'的示例性构造的情况下,连接区域21c'分别形成在所述十四独立位置处。

[0146] 可以使用硅(Si)形成这样的半导体层21',但是本发明的实施例并不限于此。可以使用适合于p型晶体管pTr1、pTr2及pTr3的其他不同半导体材料。例如,作为除了硅以外的材料,使用与形成第一元件层10-1的半导体基板21的材料相同的材料。特别地,使用由锗(Ge)形成的半导体层21'能实现p型晶体管pTr1、pTr2及pTr3的高性能。

[0147] [p型晶体管pTr1、pTr2及pTr3]

[0148] p型晶体管pTr1、pTr2及pTr3是利用有源区域21a'形成的元件。p型晶体管pTr1、pTr2及pTr3每一者分别包括栅极绝缘膜23'(仅在截面图中图示)和栅极电极25',栅极绝缘膜23'覆盖第二元件层10-2的一个主表面侧,栅极电极25'被布置为跨越有源区域21a'且栅极电极25'与该有源区域21a'之间隔着所述栅极绝缘膜。

[0149] 这里,使用与n型晶体管nTr1、nTr2及nTr3的栅极绝缘膜23一样的高介电膜形成栅极绝缘膜23'。

[0150] 另一方面,考虑到例如功函数,栅极电极25'可以选择适合于p型晶体管的材料以供使用。

[0151] 在各p型晶体管pTr1、pTr2及pTr3中,与栅极电极25'交替布置着并且位于栅极电极25'两侧的有源区域21a'被构造为源极和漏极S/D',并且源极和漏极S/D'被构造成为被相邻的晶体管共用。该源极和漏极S/D'是p型区域并且可以被金属化。与栅极电极25'重叠的有源区域21a'是这样的部分:其充当沟道区域,并且仍然是未变成n型区域且未被金属化的区域,因此它仍然是保持了半导体特性的区域。

[0152] 图4是沿p型晶体管pTr1中栅极电极25'的延伸方向截取的截面图。图5是沿p型晶体管pTr2中栅极电极25'的延伸方向截取的截面图。如这些图所示,以从有源区域21a'到与元件分隔区域21b'重叠的位置的足够长度引出各栅极电极25',从而各栅极电极25'与该栅极电极的接触部在与元件分隔区域21b'重叠的位置处相接触。

[0153] [绝缘膜27']

[0154] 绝缘膜27'被形成为把位于第二元件层10-2的所述一个主表面侧上的p型晶体管pTr1、pTr2及pTr3埋住,并且被形成为具有平坦表面的平坦化绝缘膜。绝缘膜27'被形成为与第一元件层10-1的层叠绝缘膜27'接合。

[0155] [电极29']

[0156] 多个电极29'是面对着形成于上述第一元件层10-1侧的对向电极29的电极29',并且以与对向电极29一对一接合的状态形成于绝缘膜27'的所述一个主表面侧。电极29'每一者均在栅极电极25'的延伸方向上铺设,并且每一者均布置于有源区域21a'两侧从而使得该电极的一个端侧被布置为与有源区域21a'重叠且另一端侧被设置为与连接区域21c'重叠。

[0157] 在p型晶体管pTr1、pTr2及pTr3每一者中分别布置有六个上述电极29'。即,在p型晶体管pTr1、pTr2及pTr3每一者中,分别形成有两个对向电极29'使得它们的一端在各栅极电极25'的延伸方向上与该栅极电极25'的两端重叠。此外,在p型晶体管pTr1、pTr2及pTr3每一者中,分别布置有两个电极29'使得它们的一端与位于栅极电极25'两个侧边处的有源区域21a'的部分(即源极和漏极S/D')重叠,换句话说,共布置有四个电极29'。因此,在p型晶体管pTr1、pTr2及pTr3每一者中分别布置有共六个电极29'。然而,被设置在中间的p型晶体管pTr2与两侧的p型晶体管pTr1和pTr3都共用源极和漏极S/D'。因此,共有十四个电极

29'被布置于这三个p型晶体管pTr1、pTr2及pTr3中。

[0158] 这些电极29'具有固定的平面形状,并且在栅极电极25'的布置方向上以固定的间隔规则地布置着。

[0159] 各上述电极29'被构造为嵌入在绝缘膜27'中的嵌入电极,且被布置成具有与绝缘膜27'的所述一个主表面的高度相同的高度,并且例如由铜(Cu)形成。

[0160] [接触部31']

[0161] 接触部31'被形成为贯穿绝缘膜27'。在p型晶体管pTr1、pTr2及pTr3中的将栅极电极25'和源极和漏极S/D'连接至电极29'的部分之中的所需部分中选择性地形成接触部31'。此外,使用这些连接区域21'c作为电极焊盘,接触部31'被选择性地连接至连接区域21'c。即,在将连接区域21c'连接至电极29'的部分之中的所需部分中也选择性地形成有接触部31'。

[0162] 上述部分之中的将栅极电极25'连接到电极29'的部分是指如下的六个部分:在所述六个部分中,栅极电极25'和电极29'被设置成在有源区域21a'外侧的元件分隔区域21b'中彼此重叠。此外,将源极和漏极S/D'连接至电极29'的部分是指如下的八个部分:在所述八个部分中,有源区域21a'和电极29'被布置为在没有栅极电极25'介入的情况下彼此重叠。此外,将连接区域21c'连接至电极29'的部分是指如下的十四个部分:在所述十四个部分中,连接区域21c'和电极29'被布置为彼此重叠。

[0163] 在上述这些部分之中,根据使用这些p型晶体管pTr1、pTr2及pTr3形成的电路在所需部分中选择性地形成贯穿绝缘膜27'的接触部31'。即,通过在上述部分中选择形成有接触部31'的部分的位置,来选择p型晶体管pTr1、pTr2及pTr3与电极29'以及连接区域21c'与电极29'之间的连接状态。此外,通过选择接触部31'的形成位置来选择p型晶体管pTr1、pTr2及pTr3经由电极29'与连接区域21c'的连接状态。

[0164] 例如,在本半导体器件1中,使用两个p型晶体管pTr1和pTr2形成NAND电路,并且因此按如下方式来选择接触部31'的形成位置。

[0165] 首先,参照图3、图4和图5,接触部31'形成于所选择的部分中从而使得p型晶体管pTr1和pTr2的栅极电极25'被连接至n型晶体管nTr1和nTr2的栅极电极25,p型晶体管pTr1和pTr2的栅极电极25'与n型晶体管nTr1和nTr2的栅极电极25是被布置为彼此面对的。

[0166] 此外,参照图3以及图6至图8,接触部31'形成于所选择的部分中从而使得第一元件层10-1的n型晶体管nTr1和nTr2中的源极和漏极S/D单独连接至连接区域21c'。

[0167] 配线层11

[0168] 配线层11形成于第二元件层10-2的顶部上。该配线层11具有这样的构造:其中,从第二元件层10-2侧起依次布置有上部绝缘膜35(仅在截面图中图示)、上部接触部37和配线39。各组成元件的细节如下。

[0169] [上部绝缘膜35]

[0170] 上部绝缘膜35是这样的层:其被形成为与第二元件层10-2接触并且被形成于绝缘膜27'侧的相反侧上,第二元件层10-2的半导体层21'夹于上部绝缘膜35与绝缘膜27'之间。上部绝缘膜35被构造成具有这样的层叠结构:其中,从半导体层21'侧依次层叠有第一层35a和第二层35b,第一层35a是使用与栅极绝缘膜23'中所使用的高介电膜相同的高介电膜形成的,第二层35b具有上层的保护膜特性。

[0171] [上部接触部37]

[0172] 上部接触部37被形成为贯穿上部绝缘膜35。在连接至第二元件层10-2中的连接区域21c'或有源区域21a'的源极和漏极S/D'的部分之中在所需部分中选择性地形成上部接触部37。这里,例如,上部接触部37被选择性地形成于充当NAND电路的端子的位置处和充当将NAND电路中所包含的元件连接起来的端子的位置处。

[0173] [配线39]

[0174] 配线39形成于上部绝缘膜35的一个主表面侧从而使得这些配线与上部接触部37连接。这些配线39被形成为NAND电路中的Vdd端子、Vss端子、Vg1端子和Vg2端子,并且被形成为p型晶体管pTr1和pTr2的源极和漏极S/D之间的连接配线,由此形成了NAND电路。

[0175] 第一实施例的结构优点

[0176] 在具有上述构造的半导体器件1中,使用连接区域21c'作为电极焊盘,这些连接区域21c'是通过将与有源区域21a'相同的同一半导体层21'的一些部分金属化而获得的。因此,通过在连接区域21c'与电极29'之间以及在p型晶体管pTr1、pTr2及pTr3与电极29'之间选择性地布置接触部31',能够将p型晶体管pTr1、pTr2及pTr3各部分的电势引出至连接区域21c'。此外,由于连接至n型晶体管nTr1、nTr2及nTr3各部分的对向电极29与电极29'接合,所以能够将n型晶体管nTr1、nTr2及nTr3各部分的电势通过这些对向电极29和这些电极29'引出至这些连接区域21c'。

[0177] 如上所述,能够通过选择接触部31'的布置而不是依赖于仅仅使对向电极29、电极29'及配线39迂回来形成所期望的电路。因此,能够实现半导体器件的小型化。

[0178] 这里,图10至图12图示了在半导体器件1中接触部31和31'的可选布置示例。

[0179] 图10是沿线A-A'截取的截面图并且是图示了第一实施例的半导体器件1中的栅极电极25和25'部分的连接构造示例的截面图。在第一实施例的半导体器件1中,如该图所示,通过选择接触部31和31'的布置,能够将第一元件层10-1的栅极电极25和第二元件层10-2的栅极电极25'单独地向上引出至配线39。

[0180] 此外,图11是沿线B-B'截取的截面图并且是图示了第一实施例的半导体器件1中源极和漏极S/D及S/D'部分的连接构造示例-1的截面图。在第一实施例的半导体器件1中,如该图所示,通过选择接触部31和31'的布置,能够将第一元件层10-1的源极和漏极S/D单独地引出至两个配线39。

[0181] 此外,图12是沿线B-B'截取的截面图并且是图示了第一实施例的半导体器件1中源极和漏极S/D及S/D'部分的连接构造示例-2的截面图。在第一实施例的半导体器件1中,如该图所示,通过选择接触部31、31'及37的布置,能够将第一元件层10-1的源极和漏极S/D以及第二元件层10-2的源极和漏极S/D'单独地向上引出至配线39。这里虽然未图示,但是通过选择接触部31、31'及37的布置,也能够将第二元件层10-2的源极和漏极S/D'引出至三个配线39。

[0182] 因此,在本第一实施例中,已经举例说明了这样的情况:其中,通过选择接触部31、31'及37的布置来形成NAND电路。然而,本第一实施例的应用并不限于此。当然,可以利用基本的二维和三维结构来形成诸如以NOR和INVERTER为首的以及触发器(flip-flop)等被称为标准单元的数字电路。本发明的实施例不限于所述数字电路,而是同样可以应用于模拟电路。稍后所述实施例也是如此。

[0183] 1-2制造方法

[0184] 下面,将参照附图详细说明第一实施例的半导体器件的制造方法。这里,将按照第一元件层10-1的制造工艺、第二元件层10-2的制造工艺及层叠工艺的顺序进行说明。

[0185] 第一元件层10-1的制造工艺

[0186] 图13至图15图示了制造工艺以说明第一元件层10-1的制造工艺,并且均图示了半导体基板21的一个主表面侧的平面图以及沿该平面图中的线B1-B1'和线A1-A1'截取的截面图。如这些图所示,按照如下方式制造第一元件层10-1。

[0187] 首先,如图13(该图图示了所述制造工艺(第1部分))所示,在半导体基板21的所述一个主表面侧上形成沟槽状的元件分隔区域21b从而包围有源区域21a。在有源区域21a中形成n型的源极和漏极S/D,形成栅极绝缘膜23以覆盖半导体基板21,并且随后在该栅极绝缘膜的顶部上形成栅极电极25。当所述基板变为半导体基板21并且使用SOI基板时,是在薄膜半导体层中形成有源区域21a和元件分隔区域21b的。

[0188] 其次,如图14(该图图示了所述制造工艺(第2部分))所示,在半导体基板21的所述一个主表面侧上形成层叠绝缘膜27(仅在截面图中图示)从而覆盖栅极电极25。随后,在根据需要而选择的部分中形成贯穿层叠绝缘膜27并且到达栅极电极25以及到达源极和漏极S/D的接触部31。

[0189] 此后,如图15(该图图示了所述制造工艺(第3部分))所示,进一步累积层叠绝缘膜27,并且随后通过对累积的层叠绝缘膜27应用嵌入电极工艺(所谓的镶嵌工艺(damascene process))来形成对向电极29,一部分对向电极29与接触部31连接。此时,在层叠绝缘膜27中形成凹槽,形成电极材料膜以嵌入到所述凹槽中,并且去除处于层叠绝缘膜27上的所述电极材料膜以使所述电极材料薄膜仅保留在所述凹槽中,并且使剩余的电极材料薄膜形成对向电极29。

[0190] 如上所述,能够获得上述的第一元件层10-1。除了仅仅在从预设部分中选择的部分中形成接触部31并且在保持固定间隔的同时以固定的形状形成对向电极29之外,上述工艺处理顺序并没有特别地限制,并且以常规顺序进行上述第一元件层10-1的制造。例如,当形成接触部31和对向电极29时,可以应用双镶嵌工艺(dual damascene process)。

[0191] 第二元件层10-2的制造工艺

[0192] 图16至图18图示了制造工艺以说明第二元件层10-2的制造工艺,并且图示了半导体层21'的一个主表面侧的平面图以及沿所述平面图中的线B1'-B1和线A1'-A1截取的截面图。如这些图中所示,按照如下方式制造第二元件层10-2。

[0193] 首先,如图16(该图图示了所述制造工艺(第1部分))所示,在半导体基板20的所述一个主表面侧上形成沟槽状的元件分隔区域21b'从而包围有源区域21a'和连接区域21c'。这时,通过元件分隔区域21b',形成了独立于有源区域21a'的岛状的连接区域21c'。在有源区域21a'中形成n型的源极和漏极S/D'。这时,在用于形成源极和漏极S/D'的处理的同一处理中,使独立于有源区域21a'的岛状的连接区域21c'金属化。此外,在形成覆盖半导体基板20的栅极绝缘膜23'(仅在截面图中图示)之后,在该栅极绝缘膜的顶部上形成栅极电极25'。

[0194] 所述基板可以变为半导体基板20并且可以使用SOI基板。在此情况下,在薄膜半导体层中形成有源区域21a'、元件分隔区域21b'、连接区域21c'以及源极和漏极S/D',并且在

所述有源区域、所述元件分隔区域和所述连接区域的顶部上形成栅极绝缘膜23'和栅极电极25'。

[0195] 接下来,如图17(该图图示了所述制造工艺(第2部分))所示,在半导体基板20的所述一个主表面侧上形成覆盖栅极电极25'的绝缘膜27'(仅在截面图中图示)。随后,在根据需要而选择的部分中形成贯穿绝缘膜27'并且到达栅极电极25'以及到达源极和漏极S/D'的接触部31'。

[0196] 此后,如图18(该图图示了所述制造工艺(第3部分))所示,进一步累积绝缘膜27',并且之后通过将嵌入电极工艺(所谓的镶嵌工艺)应用于该绝缘膜27'来形成电极29'。这时,在绝缘膜27'中形成凹槽,形成电极材料膜以使其嵌入到所述凹槽中,并且去除位于绝缘膜27'上的所述电极材料膜使得所述电极材料膜仅留在所述凹槽中,并且使剩余的所述电极材料膜形成成为电极29'。特别地,这里重要的是:在保持固定间隔的同时以与上述第一元件层的对向电极相对应的固定形状形成电极29'。

[0197] 如上所述,能够获得上述的第二元件层10-2。除了形成连接区域21c'、仅在从预设部分中选择的部分中形成接触部31'、并且在保持固定间隔的同时以固定形状形成电极29'之外,以常规顺序进行上述第二元件层10-2的制造。例如,当形成接触部31'和电极29'时,可以应用双镶嵌工艺。

[0198] 层叠工艺

[0199] 图19至图21图示了层叠工艺以说明第一元件层10-1和第二元件层10-2的层叠工艺,并且对应于沿上述平面图中的线A1-A1'截取的截面图。如这些图所示,按照如下方式进行第一元件层10-1和第二元件层10-2的层叠工艺。

[0200] 首先,如图19(该图图示了所述层叠工艺(第1部分))所示,将第一元件层10-1和第二元件层10-2布置为让它们彼此面对从而使第一元件层10-1的对向电极29面对着第二元件层10-2的电极29'。这时,调整第一元件层10-1和第二元件层10-2从而使对向电极29和电极29'一一对应。在这种状态下,将第一元件层10-1的对向电极29和第二元件层10-2的电极29'接合起来。此外,通过将第一元件层10-1的层叠绝缘膜27与第二元件层10-2的绝缘膜27'接合,第一元件层10-1被接合至第二元件层10-2。

[0201] 在所述接合过程中,施加约400°C的加热并且在対向电极29与电极29'之间进行金属间接合(例如Cu与Cu间的接合)。此外,在层叠绝缘膜27和绝缘膜27'之间的接合过程中,利用脱水和缩合来施加等离子体接合等。

[0202] 在接合表面上,对向电极29和电极29'以相同的尺寸和相同的形状一一彼此对应。然而,根据在形成各电极时的加工差异精度和在接合时对准的对准精度,当然可以将对向电极29与电极29'之间的接合部的尺寸设定为大或小。稍后所述实施例也是如此。

[0203] 接着,如图20(该图图示了所述层叠工艺(第2部分))中所示,削切第二元件层10-2的半导体基板20直到连接区域21c'从暴露的表面侧露出,从而形成了通过薄化第二元件层10-2侧的半导体基板20而获得的半导体层21'。这时,当所述基板变为半导体基板20并且使用SOI基板时,可以通过剥离SOI基板中的绝缘基板部仅保留薄膜半导体层。

[0204] 之后,如图21(该图图示了所述层叠工艺(第3部分))中所示,在第二元件层10-2的半导体层21'上形成配线层11。在此情况下,通过依次形成由与栅极绝缘膜23'相同的高介电膜形成的第一层35a和具有上层的保护膜特性的第二层35b,形成具有层叠结构的上部绝

缘膜35。然后,在根据需要而选择的部分中形成贯穿上部绝缘膜35且到达连接区域21c'以及到达源极和漏极S/D'(这里未图示)的上部接触部37。

[0205] 此外,通过在上部绝缘膜35上形成连接至上部接触部37的配线39,完成了半导体器件1。

[0206] 第一实施例的制造方法的优点

[0207] 根据上述制造方法,能够制造具有上述构造的半导体器件1。由于在保持固定间隔的同时以固定形状形成第一元件层10-1的对向电极29和第二元件层10-2的电极29',所以能够形成高度保持固定不变的对向电极29和电极29'。例如,当应用所述嵌入电极工艺形成这些对向电极29和这些电极29'时,能够阻止所述电极材料膜的去膜厚度发生变化,并因此形成了高度保持固定不变的对向电极29和电极29'。因此,当层叠第一元件层10-1和第二元件层10-2以使两者接合时,能够提高粘附性,并因此能够确保第一元件层10-1与第二元件层10-2的接合强度。

[0208] 2. 第二实施例(3层或更多层的层叠结构的示例)

[0209] 2-1结构

[0210] 图22是图示了第二实施例的半导体器件的示意性构造的平面图。图23是沿图22中的线A1-A1'截取的截面图。这些图中所示的第二实施例的半导体器件2是具有3维结构的半导体器件,在该半导体器件中,层叠有四个元件层即第一元件层10-1至第四元件层10-4。

[0211] 半导体器件2与第一实施例的半导体器件的不同之处在于:在第二元件层10-2上方形成有第三元件层10-3且二者之间夹着中间层13-1,并且在第三元件层10-3上方形成有第四元件层10-4且二者之间夹着中间层13-2(仅在截面图中图示了中间层)。因此,所述层叠体被构造为:在第一元件层10-1的顶部上依次层叠有第二元件层10-2、中间层13-1、第三元件层10-3、中间层13-2、第四元件层10-4和配线层11。

[0212] 下文中,将从第一元件层10-1侧开始按顺序详细地说明所述组成元件。相同的附图标记用来表示与第一实施例的组成元件相同的组成元件,并且省略了重复的说明。

[0213] 第一元件层10-1和第二元件层10-2

[0214] 第一元件层10-1和第二元件层10-2具有与第一实施例中说明的构造相同的构造,并且以与第一实施例中说明的方式相同的方式层叠。

[0215] 中间层13-1

[0216] 中间层13-1布置于第二元件层10-2和第三元件层10-3之间。中间层13-1具有这样的构造:其中,从第二元件层10-2侧开始布置有中间绝缘膜41、中间接触部43和中间电极45。各组成元件的细节如下。

[0217] [中间绝缘膜41]

[0218] 中间绝缘膜41是这样的层:第二元件层10-2被形成为与第三元件层10-3在该层中接触,并且中间绝缘膜41被形成为覆盖第二元件层10-2中的半导体层21'。中间绝缘膜41被构造成具有这样的层叠结构:在该层叠结构中,从第二元件层10-2的半导体层21'侧起按顺序层叠有由与栅极绝缘膜23'相同的高介电膜形成的第一层41a和具有上层的层间绝缘性的第二层41b。

[0219] [中间接触部43]

[0220] 中间接触部43被形成为贯穿中间绝缘膜41。在第二元件层10-2中的被连接至连接

区域21c'以及有源区域21a'的源极和漏极S/D'(这里未图示)的部分之中的所需部分中选择性地形成中间接触部43。

[0221] [中间电极45]

[0222] 中间电极45是这样的电极:其被布置为面对着下文所述的形成于第三元件层10-3中的电极29'并且以与电极29'一对一接合的状态形成于中间绝缘膜41的一个主表面侧。中间电极45的形状和布置状态可以与第一元件层10-1的对向电极29的形状和布置状态相同。即,中间电极45具有固定的平面形状并且在栅极电极25的布置方向上以固定间隔规则地布置着。

[0223] 上述中间电极45被形成成为嵌入在中间绝缘膜41中的嵌入电极,且被布置成具有与中间绝缘膜41的所述一个主表面的高度相同的高度,并且例如由铜(Cu)形成。

[0224] 第三元件层10-3

[0225] 第三元件层10-3是这样的层:其具有与第二元件层10-2相同的构造并且包括半导体层21'、晶体管Tr1、Tr2及Tr3、绝缘膜27'、电极29'和接触部31'。本实施例的特征在于:连接区域21c'形成于半导体层21'中并且接触部31'被形成在根据需要而选择的部分中。然而,第三元件层10-3中所包含的晶体管Tr1、Tr2及Tr3可以不必与第二元件层10-2的晶体管pTr1、pTr2、pTr3的导电类型相同,并且可以是n型或p型晶体管。在此情况下,假定适当地选择第三元件层10-3中所包含的各组成元件的材料。

[0226] 在第三元件层10-3中,电极29'以与中间层13-1的中间电极45一一接合的状态被布置在中间层13-1的一个主表面侧。

[0227] 中间层13-2

[0228] 中间层13-2布置于第三元件层10-3和第四元件层10-4之间。中间层13-2具有与上述中间层13-1相同的构造,并且具有从第三元件层10-3侧起布置有中间绝缘膜41、中间接触部43和中间电极45的构造。

[0229] 第四元件层10-4

[0230] 第四元件层10-4具有与第二元件层10-2相同的构造并且包括半导体层21'、晶体管Tr1、Tr2及Tr3、绝缘膜27'、电极29'和接触部31'。该实施例的特征在于:连接区域21c'形成于半导体层21'中并且接触部31'形成于根据需要而选择的部分中。然而,第四元件层10-4中包含的晶体管Tr1、Tr2及Tr3可以不必与第二元件层10-2的晶体管pTr1、pTr2、pTr3的导电类型相同,并且可以是n型或p型晶体管。在此情况下,假定适当地选择第四元件层10-4中包含的各组成元件的材料。

[0231] 在第四元件层10-4中,电极29'以与中间层13-2的中间电极45一一接合的状态布置于中间层13-2的一个主表面侧。

[0232] 配线层11

[0233] 配线层11具有与第一实施例中所所述的构造相同的结构并且以与第一实施例中所所述的方式相同的方式层叠。然而,这里,所述配线层布置在第四元件层10-4的顶部上。

[0234] 在具有上述构造的半导体器件2中,在第二元件层10-2和第三元件层10-3中包含的半导体层21'各者的两个表面上形成有绝缘膜27'和41、电极29'和45以及接触部31'和43。

[0235] 第二实施例的结构的特点

[0236] 在具有上述构造的半导体器件2中,在元件层10-1至元件层10-4的各者中也使用连接区域21c'作为电极焊盘,这些连接区域21c'是通过将与有源区域21a'相同的同一半导体层21'的一些部分金属化而获得的。因此,在例如3个以上元件层的多个元件层的层叠结构中,与第一实施例中一样,各层的晶体管的各部分的电势也能够被向上引出至最上层(第四元件层10-4)的连接区域21c'。因此,能够通过选择接触部31'的布置而不是依赖于仅仅使元件层10-1至10-4的对向电极29、电极29'及配线39迂回来形成所期望的电路。因此,能够实现半导体器件的小型化。

[0237] 2-2制造方法

[0238] 接下来,将参照图24至图31详细地说明第二实施例的半导体器件的制造方法,图24至图31图示了层叠工艺。

[0239] 首先,如图24(其图示了所述层叠工艺(第1部分))所示,以对齐的状态层叠第一元件层10-1和第二元件层10-2。然后,如图25(其图示了所述层叠工艺(第2部分))所示,形成通过薄化第二元件层10-2的半导体基板20而获得的半导体层21'。如在第一实施例的半导体器件的制造中那样进行上述处理。

[0240] 接着,如图26(其图示了所述层叠工艺(第3部分))所示,在第二元件层10-2的半导体层21'上依次形成由与栅极绝缘膜23'相同的高介电膜形成的第一层41a以及具有上层的层间绝缘性且形成于该第一层41a的顶部上的第二层41b,从而形成具有层叠结构的中间绝缘膜41。然后,在根据需要而选择的部分中形成贯穿中间绝缘膜41并且到达连接区域21c'以及到达源极和漏极S/D'(这里未图示)的中间接触部43。

[0241] 然后,进行累积以形成第二层41b,并且随后通过对该第二层41b应用嵌入电极工艺(所谓的镶嵌工艺)来形成中间电极45。特别地,这里,重要的是在保持固定间隔的同时以固定的形状形成中间电极45。

[0242] 如上所述,能够获得上述中间层13-1。除了仅在从预设部分选择出的部分中形成中间接触部43,并且在保持固定间隔的同时以固定的形状形成中间电极45之外,处理顺序并没有特别地限制,并且以常规的顺序进行上述中间层13-1的形成。例如,当形成中间接触部43和中间电极45时,可以应用双镶嵌工艺。

[0243] 之后,如图27(其图示了所述层叠工艺(第4部分))所示,将第三元件层10-3层叠于中间层13-1中的形成有中间电极45的表面上。如在第一实施例中所述的第二元件层10-2的制造工艺那样进行第三元件层10-3的制造工艺。如在第一实施例中所述的第一元件层10-1上的第二元件层10-2的层叠那样进行中间层13-1上的第三元件层10-3的层叠,从而使得中间层13-1的中间电极45和第三元件层10-3的电极29'以一对一的方式接合。

[0244] 然后,如图28(其图示了所述层叠工艺(第5部分))所示,削切第三元件层10-3的半导体基板20直到连接区域21c'从暴露的表面侧露出,从而形成半导体层21',半导体层21'是通过薄化第三元件层10-3侧的半导体基板20而获得的。

[0245] 此外,如图29(其图示了所述层叠工艺(第6部分))所示,在第三元件层10-3的半导体层21'上形成中间层13-2。如在参照图26的上述中间层13-1的形成中那样进行中间层13-2的形成。

[0246] 之后,如图30(其图示了所述层叠工艺(第7部分))所示,如在第三元件层10-3中那样,在中间层13-2中的形成有中间电极45的表面上层叠第四元件层10-4。

[0247] 随后,如图31(其图示了所述层叠工艺(第8部分))所示,削切第四元件层10-4的半导体基板20直到连接区域21c'从暴露的表面侧露出,从而形成半导体层21',半导体层21'是通过薄化第四元件层10-4侧的半导体基板20而获得的。

[0248] 当层叠4个以上的元件层时,通过与附加的元件层的数目一样多的次数反复地进行从图29至图31的处理,能够层叠任意层叠数量的元件层。

[0249] 之后,如图23所示,通过在第四元件层10-4上形成配线层11,完成了半导体器件2。

[0250] 第二实施例的制造方法的优点

[0251] 根据上述的制造方法,能够制造具有上述构造的半导体器件2。由于在保持固定间隔的同时以固定的形状形成第一元件层10-1的对向电极29、第二元件层10-2至第四元件层10-4的电极29'以及中间层13-1和13-2的中间电极45,所以能够形成高度保持固定不变的对向电极29、电极29'和中间电极45。因此,当层叠第一元件层10-1、第二元件层10-2、第三元件层10-3、第四元件层10-4以及中间层13-1和13-2以使它们接合时,能够提高粘附性,并且因此能够确保这些层的接合强度。

[0252] 3. 第三实施例(使用支撑基板的层叠结构的示例(包括NAND电路))

[0253] 3-1结构

[0254] 图32是图示了第三实施例的半导体器件的示意性构造的平面图。该图所示的第三实施例的半导体器件3具有半导体器件的另一种构造:该构造具有其中层叠有四层(第一元件层10-1'至第四元件层10-4)的三维结构。

[0255] 半导体器件3与第二实施例的半导体器件的不同之处在于:第一元件层10-1'至第四元件层10-4层叠于支撑基板15的顶部上;以及第一元件层10-1'。其余构造与第二实施例的半导体器件的构造相同。

[0256] 下文中,将举例说明这样的情况:在该情况中,半导体器件3的具体构造被应用于包括NAND电路(其是数字电路的示例)的半导体器件。这里,将参照上述图32的平面图和沿该平面图的线A1-A1'、线B1-B1'和线B2-B2'截取的各部分的截面图(图33至图35),说明与第二实施例的半导体器件的构造不同的支撑基板15的构造和第一元件层10-1'的构造。图36是图示了形成于半导体器件3中的NAND电路的等效电路图。

[0257] 支撑基板15

[0258] 支撑基板15是其上安装有第一元件层10-1'至第四元件层10-4的基板。在支撑基板15中,可以确保其上安装有第一元件层10-1'至第四元件层10-4的表面侧的绝缘性,并且可以不限材料。例如,可以使用这样的基板:在所述基板中,半导体基板或金属基板的前表面被绝缘膜覆盖着。

[0259] 第一元件层10-1'

[0260] 第一元件层10-1'与上述第一实施例和第二实施例的第一元件层的不同之处在于:基板被换成半导体基板并且使用了半导体层21',并且所述第一元件层与第二元件层10-2至第四元件层10-4相同。即,第一元件层10-1'包括半导体层21'、n型晶体管nTr1、nTr2及nTr3、绝缘膜27'、电极29'以及接触部31'。

[0261] 本实施例的特征在于:连接区域21c'形成于半导体层21'中,并且接触部31'形成于根据需要而选择的部分中。

[0262] 第一元件层10-1'被布置为面对着支撑基板15从而使得电极29'朝向支撑基板15

侧。

[0263] 中间层13-1布置于第一元件层10-1'和第二元件层10-2之间。因此,在支撑基板15的顶部上依次层叠有第一元件层10-1'、中间层13-1、第二元件层10-2、中间层13-2、第三元件层10-3、中间层13-3、第四元件层10-4以及配线层11。

[0264] 在具有上述构造的半导体器件3中,如图33至图35的截面图所示,通过设置根据需要选择性地形成于各层中的接触部31'、中接触部43和上部接触部37,形成了图36中的NAND电路。这里,n型晶体管nTr形成于第一元件层10-1'和第三元件层10-3中,并且p型晶体管pTr形成于第二元件层10-2和第四元件层10-4中。

[0265] 第三实施例的构造的优点

[0266] 在具有上述构造的半导体器件3中,在各元件层10-1'至10-4中也使用连接区域21c'作为电极焊盘,这些连接区域21c'是通过将与有源区域21a'相同的同一半导体层21'的一些部分金属化而获得的。因此,在诸如三个以上元件层等多个元件层的层叠结构中,如在第一实施例中那样,也能够将各层的晶体管的各部分的电势向上引出至最上层(第四元件层10-4)的连接区域21c'。因此,能够通过选择接触部31'和37的布置而不是依赖于仅仅使元件层10-1'至10-4的电极29'和配线39迂回来形成所期望的电路。因此,能够实现半导体器件的小型化。

[0267] 3-2制造方法

[0268] 接下来,将参照图37至图40详细地说明第三实施例的半导体器件的制造方法,图37至图40图示了层叠工艺。

[0269] 首先,如图37(其图示了所述层叠工艺(第1部分))所示,将第一元件层10-1'层叠在支撑基板15的一个主表面侧上。这里,支撑基板15接合在第一元件层10-1'的电极29'侧。如在第一实施例的第二元件层的形成工艺中那样进行第一元件层10-1'的制造工艺。

[0270] 然后,如图38(其图示了所述层叠工艺(第2部分))所示,通过薄化第一元件层10-1'的半导体基板20露出连接区域21c',并且形成通过薄化第二元件层10-2的半导体基板20而获得的半导体层21'。

[0271] 然后,如图39(其图示了所述层叠工艺(第3部分))所示,在露出第一元件层10-1'的连接区域21c'的半导体层21'上形成中间层13-1。以与第二实施例中参照图26说明的方式进行中间层13-1的形成。

[0272] 之后,如图40(其图示了所述层叠工艺(第4部分))所示,通过重复相同的顺序,将第二元件层10-2、中间层13-2、第三元件层10-3、中间层13-3和第四元件层10-4层叠在中间层13-1上。然后,形成通过薄化第四元件层10-4的半导体基板20而使连接区域21c'露出的半导体层21'。

[0273] 在上述处理之后,如图33所示,通过在第四元件层10-4上形成配线层11,完成了半导体器件3。

[0274] 第三实施例的制造方法的优点

[0275] 根据上述制造方法,能够制造具有上述构造的半导体器件3。因为在保持固定间隔的同时以固定的形状形成第一元件层10-1'至第四元件层10-4的电极29'以及中间层13-1、13-2和13-3的中间电极45,所以能够形成高度保持固定不变的电极29'和中间电极45。因此,当层叠元件层10-2至10-4和中间层13-1至13-3以将它们接合时,能够提高粘附性,并且

因此能够确保这些层的结合强度。

[0276] 4. 第四实施例 (适用于固体摄像装置的层叠结构的示例)

[0277] 图41是图示了应用了本发明的第四实施例的固体摄像装置的截面图。该图所示的固体摄像装置4具有在摄像基板50上层叠了多个元件层10-1'至10-3的构造。作为元件层10-1'至10-3的层叠结构,图示了应用第三实施例的层叠结构作为示例的情况。因此,省略了元件层10-1'至10-3的层叠结构的说明并且将说明摄像基板50的构造。

[0278] 摄像基板50

[0279] 例如,摄像基板50包括半导体基板51,半导体基板51的内部包括被构造成杂质区域的光电转换单元53且包括浮动扩散部55。在作为半导体基板51的光接收表面相反侧的一个主表面上形成有传输晶体管57、其它晶体管(这里未图示)和配线(这里未图示),并且所述传输晶体管、所述其它晶体管和所述配线被绝缘膜59覆盖。另一方面,在半导体基板51的光接收表面侧形成有被构造用来将光会聚至光电转换单元53的微透镜61。

[0280] 构造有层叠体,使得在具有上述构造的摄像基板50的绝缘膜59侧依次层叠有上述的第一元件层10-1'、中间层13-1、……、配线层11。例如,通过这样的层叠体构造了用于成像的驱动电路。所述层叠结构并不限于第三实施例的层叠结构,而是可以应用第一实施例的层叠结构或第二实施例的层叠结构。

[0281] 虽然这里未图示,但是假设驱动电路通过贯穿摄像基板50的绝缘膜59而形成的接触部而被连接至第一元件层10-1'的电极29'。

[0282] 第四实施例的结构优点

[0283] 固体摄像装置4具有这样的层叠构造:在该层叠构造中,使用摄像基板50作为支撑基板并且在所述摄像基板的顶部上层叠有具有上述构造的第一元件层10-1'、中间层13-1、……、配线层11。因此,由于能够实现其中形成有驱动电路等的这种层叠体的小型化,所以实现了具有所述层叠体(半导体器件)的固体摄像装置4的小型化。

[0284] 5. 第五实施例 (应用于FIN结构的层叠结构的示例)

[0285] 5-1结构

[0286] 图42是图示了第五实施例的半导体器件的示意性构造的平面图。该图所示的第五实施例的半导体器件5是这样的示例:在该示例中,本发明被应用于包括FIN结构的半导体器件的构造并且是具有3维结构的半导体元件,在该3维结构中层叠有包含FIN结构的半导体元件的第一元件层50-1和第二元件层50-2。图43是图示了第一元件层50-1的元件形成表面侧的平面图。图44是图示了第二元件层50-2的元件形成表面侧的平面图。这些图所示的第一元件层50-1和第二元件层50-2彼此接合从而使得上面形成有半导体元件的表面彼此面对,并且第一元件层50-1和第二元件层50-2的特征在于第一元件层50-1和第二元件层50-2之间的半导体元件的连接状态。

[0287] 下文中,将参照图42至图44的上述平面图和沿这些平面图的线A-A'、线B-B'、线C1-C1'和线C2-C2'截取的部分的截面图(图45至图48),说明半导体器件5的详细构造。按照形成于所述元件层的层叠体的外侧的第一元件层50-1、第二元件层50-2和配线层11的顺序进行说明。相同的附图标记用来表示与上述实施例的组成元件相同的组成元件,并且将省略重复的说明。

[0288] 第一元件层50-1

[0289] 图42和图43的平面图以及图45至图48的截面图所示的第一元件层50-1包括位于支撑基板15的一个主表面上的n型晶体管nTr1和nTr2。在支撑基板15的所述一个主表面侧依次形成有覆盖这样的n型晶体管nTr1和nTr2的层叠绝缘膜27(仅在截面图中图示)和对向电极29,并且也形成有贯穿层叠绝缘膜27的接触部31。这些组成元件的细节如下。

[0290] [支撑基板15]

[0291] 支撑基板15是在其上安装有n型晶体管nTr1和nTr2的基板。在支撑基板15中,可以确保其上安装有n型晶体管nTr1和nTr2的表面侧的绝缘性,并且可以不必限定材料。例如,可以使用这样的基板:其中用绝缘膜覆盖着半导体基板或金属基板的前表面。

[0292] [n型晶体管nTr1和nTr2]

[0293] n型晶体管nTr1和nTr2是利用通过使半导体层图形化而获得的多个有源区域71而被形成的元件。这些n型晶体管nTr1和nTr2分别包括覆盖着有源区域71a的栅极绝缘膜23(仅在截面图中图示)和被布置为隔着该栅极绝缘膜跨越有源区域71a的栅极电极25。因此,这些n型晶体管nTr1和nTr2被构造成为其中在面对着栅极电极25布置的有源区域71a的三个表面上形成有沟道的三栅极型晶体管。

[0294] 这里,如在其它实施例中那样,使用适合于n型晶体管的材料形成栅极绝缘膜23、栅极电极25和用于形成有源区域71a的半导体层。

[0295] 在各n型晶体管nTr1和nTr2中,与栅极电极25交替形成并且位于栅极电极25两侧的有源区域71a被构造成为源极和漏极S/D(见图43至图47),并且源极和漏极S/D被构造成为被相邻的晶体管共用。该源极和漏极S/D是n型区域并且可以被金属化。与栅极电极25重叠的有源区域71a是这样的部分:它充当沟道区域,并且仍然保持为未变成n型区域且未被金属化的区域,并且因此仍然是保持着半导体特性的区域。

[0296] 被设置成平行于栅极电极25的源极和漏极电极69与各源极和漏极S/D连接。这些源极和漏极电极69是由金属材料形成并且是具有良好导电性的电极。

[0297] 图45是在n型晶体管nTr1中的栅极电极25的延伸方向上截取的截面图。如该图所示,假定以向上抵达偏离于有源区域71a的位置的足够长度引出各栅极电极25,从而使得在不与有源区域71a重叠的位置处实现与该栅极电极25的接触。

[0298] 当支撑基板15被构造成为半导体基板时,用于形成上述有源区域71a的半导体层可以是被形成成为该半导体基板的前表面层的层。在此情况下,半导体基板的前表面层(半导体层)可以被形成成为被图形化成凸的有源区域71a并且有源区域71a底部的半导体基板的前表面可以被形成成为由绝缘膜覆盖。

[0299] [层叠绝缘膜27]

[0300] 层叠绝缘膜27被形成成为把在支撑基板15的所述一个主表面侧上的n型晶体管nTr1和nTr2埋住,并且被形成成为具有平坦表面的平坦化绝缘膜。层叠绝缘膜27被形成成为与下面将要说明的第二元件层50-2的绝缘膜27'接合。

[0301] [对向电极29]

[0302] 对向电极29与第一实施例的对向电极相同。这些对向电极以固定的间隔被规则地布置,并且被构造成为嵌入在层叠绝缘膜27中的嵌入电极。

[0303] [接触部31]

[0304] 接触部31与第一实施例的接触部相同。根据使用n型晶体管nTr1和nTr2形成的电

路而在所需部分中选择性地以贯穿层叠绝缘膜27的方式形成接触部。然而,接触部31通过源极和漏极电极69与源极和漏极S/D接触。

[0305] 第二元件层50-2

[0306] 图42和图44的平面图以及图45至图48的截面图所示的第二元件层50-2包括配线层11的一个主表面上的p型晶体管pTr1和pTr2。在配线层11的所述一个主表面侧上依次形成有覆盖这些p型晶体管pTr1和pTr2的层叠绝缘膜27'(仅在截面图中图示)和电极29',并且还形成有接触部31'以贯穿绝缘膜27'。

[0307] 特别地,本实施例的特征在于:在p型晶体管pTr1和pTr2外侧包含有连接区域71c',这不同于第一元件层50-1。下文中,将详细地说明这些组成元件。

[0308] [p型晶体管pTr1和pTr2]

[0309] p型晶体管pTr1和pTr2是使用通过使半导体层图形化而获得的多个有源区域71a'形成的元件。这些p型晶体管pTr1和pTr2分别包括覆盖有源区域71a'的栅极绝缘膜23'(仅在截面图中图示)和被设置成隔着该栅极绝缘膜跨越有源区域71a'的栅极电极25'。因此,这些p型晶体管pTr1和pTr2被形成为其中在面对着栅极电极25'布置的有源区域71a'的三个表面上形成有沟道的三栅极型晶体管。

[0310] 这里,如在其它实施例中一样,使用适合于p型晶体管的材料形成栅极绝缘膜23'、栅极电极25'和用于形成有源区域71a'的半导体层。

[0311] 在各p型晶体管pTr1和pTr2中,与栅极电极25'交替形成并且位于栅极电极25'两侧的有源区域71a'被构造成源极和漏极S/D',并且源极和漏极S/D'被构造成被相邻的晶体管共用。该源极和漏极S/D'是p型区域并且可以被金属化。与栅极电极25'重叠的有源区域71a'是这样的部分:其充当沟道区域,且仍然保持为未变成p型区域且未被金属化的区域,并且因此仍然是保持着半导体特性的区域。

[0312] 被设置成平行于栅极电极25'的源极和漏极电极69'与各源极和漏极S/D'连接。这些源极和漏极电极69'是由金属材料形成的并且是具有良好导电性的电极。

[0313] 图45是在p型晶体管pTr1中的栅极电极25'的延伸方向上截取的截面图。如该图所示,假定以向上抵达偏离于有源区域71a'的位置的足够长度引出各栅极电极25',从而在不与有源区域71a'重叠的位置处实现与该栅极电极25'的接触。

[0314] [连接区域71c']

[0315] 连接区域71c'是第二元件层50-2中特有的部分并且是通过将与有源区域71a'的半导体层相同的同一半导体层图形化而获得的。这些连接区域71c'是这样形成的区域:它们被形成为使得以独立于有源区域71a'的岛状形状图形化的半导体层被金属化,并且可以具有与形成于有源区域71a'中的源极和漏极S/D'相同的构造。各连接区域71c'在有源区域71a'外侧以独立的岛状形状形成于与下面将要说明的各电极29'的一端侧重叠的位置处。

[0316] 因此,在第二元件层50-2中形成有10个电极29'的该构造的示例性情况下,在十个独立的位置处分别形成有连接区域71c'。

[0317] 如图48的截面图所示,在该连接区域71c'上可以形成由与源极和漏极电极69'相同的层形成的连接电极69c'。

[0318] [绝缘膜27']

[0319] 绝缘膜27'被形成为把在配线层11的所述一个主表面侧上的p型晶体管pTr1和

pTr2埋住,并且被形成为具有平坦表面的平坦化绝缘膜。绝缘膜27'被形成为与第一元件层50-1的层叠绝缘膜27接合。

[0320] [电极29']

[0321] 电极29'与第一实施例的电极相同。这些电极以固定的间隔被规则地布置并且被构造成嵌入在绝缘膜27'中的嵌入电极。

[0322] [接触部31']

[0323] 接触部31'与第一实施例的接触部相同。根据使用这些p型晶体管pTr1和pTr2形成的电路在所需部分中选择性地以贯穿绝缘膜27'的方式形成这些接触部。

[0324] 配线层11

[0325] 配线层11与其它实施例的配线层相同。该配线层具有其中从第二元件层50-2侧开始布置有上部绝缘膜35(仅在截面图中图示)、上部接触部37和配线39的构造。

[0326] 第五实施例的结构优点

[0327] 在具有上述构造的半导体器件5中,也使用连接区域71c'作为电极焊盘,这些连接区域71c'是通过将与有源区域71a'相同的同一半导体层的一些部分金属化获得的。因此,通过在连接区域71c'与电极29'之间以及p型晶体管pTr1及pTr2与电极29'之间选择性地布置接触部31',能够将p型晶体管pTr1和pTr2的各部分的电势引出至连接区域71c'。此外,由于连接至n型晶体管nTr1和nTr2的各部分的对向电极29与电极29'结合,所以n型晶体管nTr1和nTr2的各部分的电势能够通过这些对向电极29和这些电极29'被引出至这些连接区域71c'。

[0328] 因此,如在第一实施例中一样,通过选择接触部31、31'和37的布置而不是依赖于仅仅使对向电极29、电极29'及配线39迂回,能够形成所期望的电路。因此,能够实现半导体器件的小型化。

[0329] 5-2制造方法

[0330] 接下来,将参照所述附图详细地说明第五实施例的半导体器件的制造方法。这里,将按照第一元件层50-1的制造工艺、第二元件层50-2的制造工艺和层叠工艺的顺序进行说明。

[0331] 第一元件层50-1的制造工艺

[0332] 图49至图52图示了制造工艺以说明第一元件层50-1的制造工艺,并且是图示了支撑基板15的一个主表面侧的平面图。如这些图所示,按照如下方式制造第一元件层50-1。

[0333] 首先,如图49(其图示了所述制造工艺(第1部分))所示,在支撑基板15的所述一个主表面侧上图形化地形成通过使半导体层图形化而获得的多个有源区域71a。当半导体基板被用作支撑基板15时,所述半导体基板的前表面层被处理为凸的有源区域71a,并且在有源区域71a的底部上以绝缘膜覆盖所述半导体基板的前表面。

[0334] 之后,使用伪栅极(这里未图示)作为掩模在有源区域71a中形成n型的源极和漏极S/D。然后,在各源极和漏极S/D的顶部上形成跨越有源区域71a的源极和漏极电极69。

[0335] 然后,如图50(其图示了所述制造工艺(第2部分))所示,去除上述伪栅极,并且在源极和漏极S/D之间形成跨越有源区域71a的栅极电极25,有源区域71a与该栅极电极25之间夹着所述栅极绝缘膜(这里未图示)。

[0336] 之后,如图51(其图示了所述制造工艺(第3部分))所示,在支撑基板15的所述一个

主表面侧上形成层叠绝缘膜27(这里未图示)以覆盖栅极电极25。随后,在根据需要而选择的部分中形成贯穿该层叠绝缘膜27并且到达栅极电极25以及到达源极和漏极电极69的接触部31。此后,进一步累积层叠绝缘膜27。

[0337] 在上述工序之后,如图52(其图示了所述制造工艺(第4部分))所示,通过将嵌入电极工艺(所谓的镶嵌工艺)应用于累积起来的层叠绝缘膜27,形成对向电极29,一部分对向电极29连接至接触部31。特别地,这里重要的是在保持固定间隔的同时以固定的形状形成对向电极29。

[0338] 如上所述,能够获得上述第一元件层50-1。除了仅在从预设部分选择出的部分中形成接触部31,并且在保持固定间隔的同时形成对向电极29之外,处理顺序并没有特别地限制,并且以常规顺序进行上述第一元件层50-1的制造。例如,当形成接触部31和对向电极29时,可以应用双镶嵌工艺。

[0339] 第二元件层50-2的制造工艺

[0340] 图53至图56图示了制造工艺以说明第二元件层50-2的制造工艺,并且是图示了制造基板73的一个主表面侧的平面图。如这些图所示,按照如下方式制造第二元件层50-2。

[0341] 首先,如图53(其图示了所述制造工艺(第1部分))所示,在具有绝缘性的制造基板73的所述一个主表面侧上图形化地形成通过使半导体层图形化而获得的多个有源区域71a'和具有独立于所述有源区域的岛状形状的连接区域71c'。当半导体基板被用作制造基板73时,将所述半导体基板的前表面层处理为凸的有源区域71a'和岛状连接区域71c',并且在有源区域71a'和连接区域71c'的底部上用绝缘膜覆盖所述半导体基板的前表面。

[0342] 之后,使用伪栅极(这里未图示)作为掩模在有源区域71a'中形成n型的源极和漏极S/D'。此外,在与形成源极和漏极S/D'的处理相同的同一处理中,将连接区域71c'金属化。然后,在各源极和漏极S/D'的顶部上形成跨越有源区域71a'的源极和漏极电极69'。在与该处理相同的同一处理中,在连接区域71c'的顶部上形成连接电极69c'。

[0343] 然后,如图54(其图示了所述制造工艺(第2部分))所示,去除上述伪栅极,并且随后在源极和漏极S/D'之间形成跨越有源区域71a'的栅极电极25',有源区域71a'与栅极电极25'之间夹着所述栅极绝缘膜(这里未图示)。

[0344] 之后,如图55(其图示了所述制造工艺(第3部分))所示,在制造基板73的所述一个主表面侧上形成层叠绝缘膜27'(这里未图示)以覆盖栅极电极25'。随后,在根据需要而选择的部分中形成贯穿该层叠绝缘膜27'并且到达栅极电极25'、源极和漏极电极69'以及连接电极69c'的接触部31'。之后,进一步累积层叠绝缘膜27'。

[0345] 在上述工序之后,如图56(其图示了所示制造工艺(第4部分))所示,通过将嵌入电极工艺(所谓的镶嵌工艺)应用于累积起来的层叠绝缘膜27',形成电极29',一部分电极29'连接至接触部31'。特别地,这里重要的是在保持固定间隔的同时以固定的形状形成电极29'。

[0346] 如上所述,能够获得上述第二元件层50-2。除了仅在从预设部分选择出的部分中形成接触部31',并且在保持固定间隔的同时形成电极29'以外,处理顺序并没有特别地限制,并且以常规顺序进行上述第二元件层50-2的制造。例如,当形成接触部31'和电极29'时,可以应用双镶嵌工艺。

[0347] 层叠工艺

[0348] 图57和图58图示了层叠工艺以说明第一元件层50-1和第二元件层50-2的层叠工艺,并且对应于沿上述平面图的线A-A'截取的截面图。如这些图所示,按照如下方式进行第一元件层50-1和第二元件层50-2的层叠工艺。

[0349] 首先,如图57(其图示了所述层叠工艺(第1部分))所示,将第一元件层50-1和第二元件层50-2布置为彼此面对从而使得第一元件层50-1的对向电极29面对着第二元件层50-2的电极29'。这时,对齐第一元件层50-1和第二元件层50-2从而使得对向电极29和电极29'彼此一一对应。在此状态下,第一元件层50-1的对向电极29与第二元件层50-2的电极29'接合。此外,通过使第一元件层50-1的层叠绝缘膜27与第二元件层50-2的绝缘膜27'接合,将第一元件层50-1接合至第二元件层50-2。

[0350] 然后,如图58(其图示了所述层叠工艺(第2部分))所示,从第二元件层50-2侧剥离制造基板73。当半导体基板被用作制造基板73时,削切所述半导体基板直到露出有源区域71a'和连接区域71c'的底部上的绝缘膜,并且必要时也去除该绝缘膜。

[0351] 之后,如图45和图46所示,在第二元件层50-2侧形成配线层11。以与参照图21在第一实施例中说明的方式进行配线层11的形成。如上所述,完成了半导体器件5。

[0352] 第五实施例的制造方法的优点

[0353] 根据上述制造方法,能够制造出具有上述构造的半导体器件5。由于在保持固定间隔的同时以固定的形状形成第一元件层50-1的对向电极29和第二元件层50-2的电极29',因此能够形成高度保持固定不变的对向电极29和电极29'。因此,当层叠第一元件层50-1和第二元件层50-2以将它们接合时,能够提高粘附性,并且因此能够确保第一元件层50-1与第二元件层50-2的接合强度。

[0354] 5-3变型例1(3层或更多层的层叠结构的示例)

[0355] 图59是图示了第五实施例的变型例1的半导体器件5'的示意性构造的截面图。该图所示的变型例1的半导体器件5'具有其中层叠有三层以上的半导体层的构造。这里,图示了其中在第二元件层50-2侧进一步层叠有第三元件层50-3的3层层叠结构的示例。

[0356] 在此情况下,假定第三元件层50-3及更上部的元件层的构造与第二元件层50-2的构造相同。在第二元件层50-2、第三元件层50-3以及更上部的元件层之间可以以相同的构造布置有与第二实施例中说明的中间层相同的中间层13。

[0357] 5-4变型例1的制造方法

[0358] 按照如下方式进行这样的变型例1的半导体器件5'的制造。

[0359] 首先,如图60(其图示了所述层叠工艺(第1部分))所示,层叠第一元件层50-1和第二元件层50-2,并且剥离第二元件层50-2侧的制造基板。至此,以与第五实施例中说明的方式进行制造。之后,在第二元件层50-2侧形成中间层13。如参照图26在第二实施例中说明的中间层13-1的形成中那样进行中间层13的形成。

[0360] 然后,如图61(其图示了所述层叠工艺(第2部分))所示,在中间层13中的形成有中间电极45的表面上层叠第三元件层50-3。如参照图53至图56在第五实施例中说明的第二元件层50-2的制造工艺中那样进行第三元件层50-3的制造工艺。如同在以一对一的方式接合中间层13的中间电极45与第三元件层50-3的电极29'时那样进行中间层13上的第三元件层50-3的层叠。此后,将制造基板73从第三元件层50-3剥离。

[0361] 随后,如图59所示,通过在第三元件层50-3上形成配线层11,完成了变型例1的半

导体器件5'。

[0362] 在本发明被应用于包括具有FIN结构的半导体元件的构造时三层以上的结构的层叠示例并不限于本变型例1。例如,如第二实施例所述,还能够以这样的构造作为示例:在该构造中,除了第一元件层之外所有具有相同构造的元件层也都隔着中间层被层叠起来。

[0363] 在上述变型例1的半导体器件5'中,也能够将各层的晶体管的各部分的电势向上引出至最上层的连接区域71c'。因此,能够实现其中层叠有具有FIN结构的诸如三个以上元件层等多个元件层的半导体器件5'的小型化。

[0364] 5-5变型例2(接触部之间直接连接的示例)

[0365] 图62至图65的截面图是图示了第五实施例的变型例2的半导体器件5''的示意性构造的截面图。这些截面图对应于沿图42至图45的平面图(它们图示了第五实施例的半导体器件的构造)的线A-A'、线B-B'、线C1-C1'、和线C2-C2'截取的部分。这些图所示的变型例2的半导体器件5''与第五实施例的半导体器件的不同之处在于:第二元件层50-2''不包括通过使半导体层金属化而获得的连接区域。其余的构造相同。

[0366] 也即是,在变型例2的半导体器件5''中所包含的第二元件层50-2''中,在由半导体层形成的有源区域71a'外侧仅形成有连接电极69c',这些连接电极69c'是通过以独立的岛状形状对与源极和漏极电极69'相同的同一层进行图形化而获得的。电极29'被形成为在根据需要而选择的部分中连接至连接电极69c'。

[0367] 在具有变型例2的构造的半导体器件5''中,各层的晶体管的各部分的电势能够被向上引出至最上层的连接电极69c'。因此,能够实现其中层叠有具有FIN结构的诸如三个以上元件层等多个元件层的半导体器件5''的小型化。

[0368] 包括第五实施例的变型例1和变型例2在内的上述第五实施例能够被应用于用来形成第四实施例中所说明的固体摄像装置的驱动电路的层叠体。

[0369] 6. 第六实施例(使用氧化钽层的层叠结构的示例)

[0370] 6-1结构

[0371] 图66是图示了第六实施例的半导体器件的特征部分的截面图。该图所示的第六实施例的半导体器件6的特征在于:在参照图1至图12说明的第一实施例的半导体器件中形成有氧化钽层81。第六实施例与第一实施例的不同之处在于:接触部31和31'被形成于第一元件层10-1和第二元件层10-2的所有部分中。下文中,将仅选择不同于第一实施例的部分说明第六实施例的半导体器件的细节。相同的附图标记表示与第一实施例的组成元件相同的组成元件,并且省略了重复说明。

[0372] [第一元件层10-1的接触部31]

[0373] 第一元件层10-1的接触部31形成于将n型晶体管nTr的栅极电极25以及源极和漏极S/D(这里未图示)连接至对向电极29的所有部分中。

[0374] [第二元件层10-2的接触部31']

[0375] 第二元件层10-2的接触部31'形成于将p型晶体管pTr的栅极电极25'、源极和漏极S/D'(这里未图示)以及连接区域21c'连接至电极29'的所有部分中。

[0376] [氧化钽层81]

[0377] 氧化钽层81被形成为夹在第一元件层10-1和第二元件层10-2之间。因此,在被布置成以一对一的方式彼此面对的第一元件层10-1的所有对向电极29与第二元件层10-2的

所有电极29'之间都形成有氧化钽层81。

[0378] 仅在需要被连接起来的对向电极29与电极29'之间的氧化钽层81中形成扩散部81a,对向电极29的材料和电极29'的材料中的至少一者扩散至扩散部81a。通过所述电极的材料扩散,扩散部81a变成导电部。

[0379] 6-2制造方法

[0380] 按照如下方式制造上述半导体器件6。

[0381] 首先,如图67所示,将第一元件层10-1(其中,在所有的上述部分中均形成有接触部31)和第二元件层10-2(其中,在所有的上述部分中均形成有接触部31')在它们中间夹有氧化钽层81的状态下层叠。可以在层叠第一元件层10-1和第二元件层10-2之前将氧化钽层81形成于第一元件层10-1侧、或者形成于第二元件层10-2侧或者形成于所述第一元件层侧和所述第二元件层侧。这时,第一元件层10-1的对向电极29和第二元件层10-2的电极29'彼此一一对应。之后,在第二元件层10-2侧形成配线层11。这时,甚至在配线层11中,在所有的上述部分中均形成有上部接触部37,并且形成了连接至上部接触部37的配线39。

[0382] 在这种状态下,将选择的配线39用作端子,向需要连接起来的对向电极29和电极29'施加电压。因此,对向电极29的电极材料和电极29'的电极材料中的至少一者扩散至被施加有电压的部分的对向电极29与电极29'之间的氧化钽层81。因此,通过在所选择的对向电极29和所选择的电极29'之间施加电压,仅在所需部分中形成图66中所示的具有导电性的扩散部81a。

[0383] 这时,当对向电极29和电极29'由铜(Cu)形成时,铜(Cu)从对向电极29和电极29'二者扩散至氧化钽层81,并且形成了具有导电性的扩散部81a。

[0384] 如上所述,完成了第六实施例的半导体器件6。

[0385] 根据本第六实施例,在通过所述半导体工艺制造了半导体器件之后,通过借助所选择的配线39来施加电压,能够形成所期望的电路。

[0386] 6-3变型例

[0387] 图68是图示了第六实施例的变型例的特征部分的截面图。该图中图示的变型例的半导体器件6'与第六实施例的半导体器件6的不同之处在于局部地形成氧化钽层81。此外,假定接触部31和31'形成于第一元件层10-1和第二元件层10-2中的所选择的部分中。下文中,将仅选择特征部分来说明第六实施例的变型例的半导体器件6'的细节。相同的附图标记表示与第一实施例和第六实施例的组成元件相同的组成元件,并且省略了重复说明。

[0388] [第一元件层10-1的接触部31]

[0389] 在从将n型晶体管nTr的栅极电极25、源极和漏极S/D(这里未图示)连接至对向电极29的部分之中选择出的部分中,形成有第一元件层10-1的接触部31。

[0390] [第二元件层10-2的接触部31']

[0391] 在从将p型晶体管pTr的栅极电极25'、源极和漏极S/D'(这里未图示)、连接区域21c'连接至电极29'的部分之中选择出的部分中,形成有第二元件层10-2的接触部31'。

[0392] [氧化钽层81]

[0393] 在从第一元件层10-1的对向电极29和第二元件层10-2的电极29'之中选择出的电极之间形成有氧化钽层81。这里,在该图中图示了这样的部分:在该部分中,氧化钽层81被夹在两对对向电极29和电极29'中的每一对之间。

[0394] 仅在需要被连接起来的对向电极29与电极29'之间的氧化钽层81中形成扩散部18a,对向电极29的材料和电极29'的材料中的至少一者扩散至扩散部81a。通过所述电极的材料扩散,扩散部81a变成导电部。

[0395] 6-4变型例的制造方法

[0396] 按照如下方式制造这样的变型例的半导体器件6'。

[0397] 首先,如图69的截面图(第1部分)所示,制备第一元件层10-1。以与第一实施例中说明的方式相同的方式进行第一元件层10-1的制造工艺。之后,将第一元件层10-1中所选择的对向电极29薄化,并且在层叠绝缘膜27中对向电极29的顶部上形成了凹槽h。

[0398] 然后,如图70的截面图(第2部分)所示,在形成于第一元件层10-1中的凹槽h中形成氧化钽层81。这时,氧化钽层81的表面、层叠绝缘膜27的表面和未变薄的对向电极29的表面被设定为具有相同的高度。

[0399] 然后,如图71的截面图(第3部分)所示,在第一元件层10-1上层叠以与第一实施例中说明的制造工艺相同的制造工艺制备的第二元件层10-2。这时,如在第一实施例中那样,将第一元件层10-1和第二元件层10-2层叠从而使得第一元件层10-1的对向电极29和第二元件层10-2的电极29'彼此一一对应。之后,通过削切第二元件层10-2侧的半导体基板20直到露出连接区域21c',形成了通过薄化第二元件层10-2侧的半导体基板20而获得的半导体层21'。

[0400] 如在第一元件层10-1中那样,在第二元件层10-2中也可以形成氧化钽层81。在此情况下,可以不在第一元件层10-1中形成氧化钽层81。

[0401] 然后,如图72的截面图(第4部分)所示,在第二元件层10-2侧上形成配线层11。这时,在配线层11中,在所选择的部分中形成上部接触部37,并且形成了连接至上部接触部37的配线39。

[0402] 在上述工序之后,使用所选择的配线39作为端子,在需要被连接起来的对向电极29和电极29'之间施加电压。因此,对向电极29的电极材料和电极29'的电极材料中的至少一者扩散至被施加了电压的部分的对向电极29与电极29'之间的氧化钽层81。

[0403] 因此,仅在所选择的部分中形成了图68中图示的具有导电性的扩散部81a。这时,当对向电极29和电极29'由铜(Cu)形成时,铜(Cu)从对向电极29和电极29'二者扩散至氧化钽层81,并且形成了具有导电性的扩散部81a。

[0404] 如上所述,完成了第六实施例的变型例的半导体器件6'。

[0405] 根据第六实施例的变型例,在通过所述半导体工艺制造半导体器件之后,能够通过借助所选择的配线39施加电压而形成所期望的电路。在此情况下,通过对对向电极29和电极29'之间的形成有氧化钽层81的间隙的选择、对因向氧化钽层81施加电压而形成的扩散部81a的选择以及对布置有接触部31和31'的部分的选择,能够实现具有更高自由度的电路设计。

[0406] 在上述第六实施例中,已经说明了在第一实施例的构造中形成有氧化钽层81的构造。然而,该第六实施例适用于包括变型例在内的全部第二实施例至第五实施例,并且能够获得相同的优点。

[0407] 7. 第七实施例(使用固体摄像装置的电子设备)

[0408] 能够将上述第四实施例中说明的关于本发明的固体摄像装置设置为用于电子设

备的固体摄像装置,所述电子设备例如是诸如数码相机或摄像机等相机系统、具有摄像功能的手机、或者包括摄像功能的其它设备。

[0409] 图73图示了作为本发明实施例的相机的示例和电子设备的示例,使用了固体摄像装置的相机和使用了该相机的电子设备的构造。本实施例的电子设备90包括能够拍摄静止图像和运动图像的摄像机91。摄像机91包括固体摄像装置4、将入射光引导至固体摄像装置4的光接收传感器单元的光学系统93、快门装置94、用于驱动固体摄像装置4的驱动电路95以及用于处理固体摄像装置4的输出信号的信号处理电路96。

[0410] 固体摄像装置4是具有上述第四实施例中所述构造的固体摄像装置。光学系统(光学透镜)93把来自拍摄对象的图像光(入射光)形成为固体摄像装置4的成像面上的图像。在所述成像面中排列有多个像素,并且来自光学系统93的入射光被引导至成像区域,在所述成像区域中排列着像素中包含的光电转换单元。因此,信号电荷在固体摄像装置4的光电转换单元中积累一定的时间。光学系统93还可以是包括多个光学透镜的光学透镜系统。快门装置94控制固体摄像装置4的光照期间和遮光期间。驱动电路95向固体摄像装置4和快门装置94提供驱动信号,并且基于所提供的驱动信号(时序信号)控制用于将信号输出至固体摄像装置4的信号处理电路96的操作和由快门装置94执行的快门操作。也即是,通过提供驱动信号(时序信号),驱动电路95进行将信号从固体摄像装置4传输至信号处理电路96的操作。信号处理电路96对从固体摄像装置4传输来的信号进行各种信号处理。经过上述信号处理的视频信号被存储在例如存储器等存储介质中或被输出至显示器。

[0411] 本领域技术人员应当理解,依据设计要求和其它因素,可以在本发明随附的权利要求或其等同物的范围内进行各种修改、组合、次组合以及改变。

[0412] 此外,本发明还可以被构造如下。

[0413] (1) 一种半导体器件,其包括:

[0414] 半导体层,所述半导体层包括有源区域;

[0415] 半导体元件,所述半导体元件是利用所述有源区域形成的;

[0416] 连接区域,所述连接区域是通过将所述半导体层的一些部分以相对于所述有源区域孤立的岛状形状金属化而获得的;

[0417] 绝缘膜,所述绝缘膜被形成为覆盖所述半导体层的一个主表面侧;

[0418] 电极,所述电极被布置为面对着所述半导体元件和所述连接区域,且所述电极与所述半导体元件和所述连接区域之间夹着所述绝缘膜;以及

[0419] 接触部,所述接触部贯穿所述绝缘膜从而选择性地形成在用于将所述半导体元件或所述连接区域连接至所述电极的各部分之中的所需部分中。

[0420] (2) 根据(1)所述的半导体器件,其中,通过选择所述接触部的形成位置来选择所述半导体元件与所述连接区域之间的经由所述电极的连接状态。

[0421] (3) 根据(1)或(2)所述的半导体器件,还包括:

[0422] 对向电极,所述对向电极布置于面对着所述电极的位置处并且与所述电极连接;

[0423] 层叠绝缘膜,所述层叠绝缘膜形成于所述绝缘膜的一个主表面侧上以覆盖所述对向电极;

[0424] 其它半导体元件,所述其它半导体元件形成于所述层叠绝缘膜的所述对向电极侧的相反侧上,并且所述层叠绝缘膜位于所述对向电极与所述其它半导体元件之间;以及

[0425] 其它接触部,所述其它接触部贯穿所述层叠绝缘膜从而选择性地形成在用于将所述其它半导体元件连接至所述对向电极的各部分之中的所需部分中。

[0426] (4) 根据(3)所述的半导体器件,其中,利用半导体基板的前表面层形成所述其它半导体元件。

[0427] (5) 根据(1)至(4)中任一项所述的半导体器件,其中,多个所述电极以固定的间隔布置于所述绝缘膜的表面内。

[0428] (6) 根据(1)至(5)中任一项所述的半导体器件,还包括:

[0429] 上部绝缘膜,所述上部绝缘膜形成于所述绝缘膜侧的相反侧上,并且所述半导体层位于所述绝缘膜与所述上部绝缘膜之间;

[0430] 上部接触部,所述上部接触部贯穿所述上部绝缘膜从而选择性地形成在连接至所述连接区域或所述有源区域的各部分之中的所需部分中;以及

[0431] 配线,所述配线形成于所述上部绝缘膜上,所述配线连接至所述上部接触部。

[0432] (7) 根据(1)至(6)中任一项所述的半导体器件,其中,在所述半导体层的两个表面上均形成有所述绝缘膜、所述电极和所述接触部。

[0433] (8) 根据(1)至(7)中任一项所述的半导体器件,其中,形成有与布置于所述半导体层的一个表面上的所述电极接触的支撑基板。

[0434] (9) 根据(1)至(8)中任一项所述的半导体器件,

[0435] 其中所述半导体层在所述有源区域和所述连接区域中被图形化,并且

[0436] 其中所述半导体元件分别包括跨越图形化的所述有源区域的栅极电极。

[0437] (10) 根据(3)所述的半导体器件,其中,在多个所述电极之中的所需电极与面对该电极布置的所述对向电极之间,通过使该电极的材料和该对向电极的材料中的至少一者扩散,形成有具有导电性的氧化钽层。

[0438] (11) 根据(3)所述的半导体器件,其中,

[0439] 在所有的多个所述电极与面对着这些电极布置的所有的多个所述对向电极之间都形成有氧化钽层,并且

[0440] 所述多个电极之中的所需电极的材料和面对着该电极布置的所述对向电极的材料中的至少一者扩散至位于该电极与该对向电极之间的所述氧化钽层。

[0441] (12) 根据(3)所述的半导体器件,其中使用不同的半导体材料形成所述半导体元件和所述其它半导体元件。

[0442] (13) 根据(3)所述的半导体器件,其中通过经由所述对向电极和所述连接区域将所述半导体元件连接至所述其它半导体元件,来形成数字电路。

[0443] (14) 根据(1)至(13)中任一项所述的半导体器件,其中所述半导体层由硅(Si)、锗(Ge)、硅锗(SiGe)、碳化硅(SiC)、碳(C)、碳纳米管、石墨烯、砷化镓(GaAs)或铟镓砷化物(InGaAs)形成。

[0444] (15) 一种固体摄像装置,其包括:

[0445] 摄像基板,所述摄像基板包括光电转换单元;

[0446] 半导体层,所述半导体层包括有源区域并且形成于所述摄像基板的一个主表面侧上方;

[0447] 半导体元件,所述半导体元件是利用所述有源区域形成的;

- [0448] 连接区域,所述连接区域是通过将所述半导体层的一些部分以相对于所述有源区域孤立的岛状形状金属化而获得的;
- [0449] 绝缘膜,所述绝缘膜被形成为覆盖所述半导体层的一个主表面侧;
- [0450] 电极,所述电极被布置为面对着所述半导体元件和所述连接区域,且所述电极与所述半导体元件和所述连接区域之间夹着所述绝缘膜;以及
- [0451] 接触部,所述接触部贯穿所述绝缘膜从而选择性地形成在用于将所述半导体元件或所述连接区域连接至所述电极的各部分之中的所需部分中。
- [0452] (16)一种半导体器件制造方法,所述方法包括如下步骤:
- [0453] 在半导体层中形成有源区域,并且形成通过将所述半导体层的一些部分以相对于所述有源区域孤立的岛状形状金属化而获得的连接区域;
- [0454] 利用所述有源区域形成半导体元件;
- [0455] 形成覆盖所述半导体层的一个主表面侧的绝缘膜;
- [0456] 在到达所述半导体元件或所述连接区域的各部分之中的所需部分中选择性地形成贯穿所述绝缘膜的接触部;以及
- [0457] 在面对着所述半导体元件和所述连接区域的位置处形成电极,所述电极与所述半导体元件和所述连接区域之间夹着所述绝缘膜,并且一部分所述电极连接至所述接触部。
- [0458] (17)根据(16)所述的半导体器件制造方法,还包括如下步骤:
- [0459] 将包括面对着所述电极布置的对向电极的元件基板接合至形成有所述半导体元件和所述电极的基板,使得所述电极与所述对向电极接合。
- [0460] (18)根据(16)或(17)所述的半导体器件制造方法,其中,在所述绝缘膜的表面内以固定的间隔形成多个所述电极。
- [0461] (19)根据(16)至(18)中任一项所述的半导体器件制造方法,其在形成所述电极之后还包括如下步骤:
- [0462] 将一基板接合至所述电极侧;
- [0463] 使所述连接区域从所述绝缘膜侧的相反侧露出;
- [0464] 在露出所述连接区域的所述半导体层上形成上部绝缘膜;以及
- [0465] 在到达所述连接区域或所述有源区域的各部分之中的所需部分中选择性地形成贯穿所述上部绝缘膜的上部接触部。
- [0466] (20)根据(16)至(19)中任一项所述的半导体器件制造方法,其中,在形成所述电极的步骤中,在所述绝缘膜中形成凹槽,将电极材料膜形成为嵌入在所述凹槽中,并且去除所述绝缘膜上的所述电极材料膜,使得所述电极材料膜只留在所述凹槽中。
- [0467] 本申请包含与2012年9月28日向日本专利局提交的日本优先权专利申请JP 2012-218000所公开的内容相关的主题,因此将该日本优先权申请的全部内容以引用的方式并入本文。

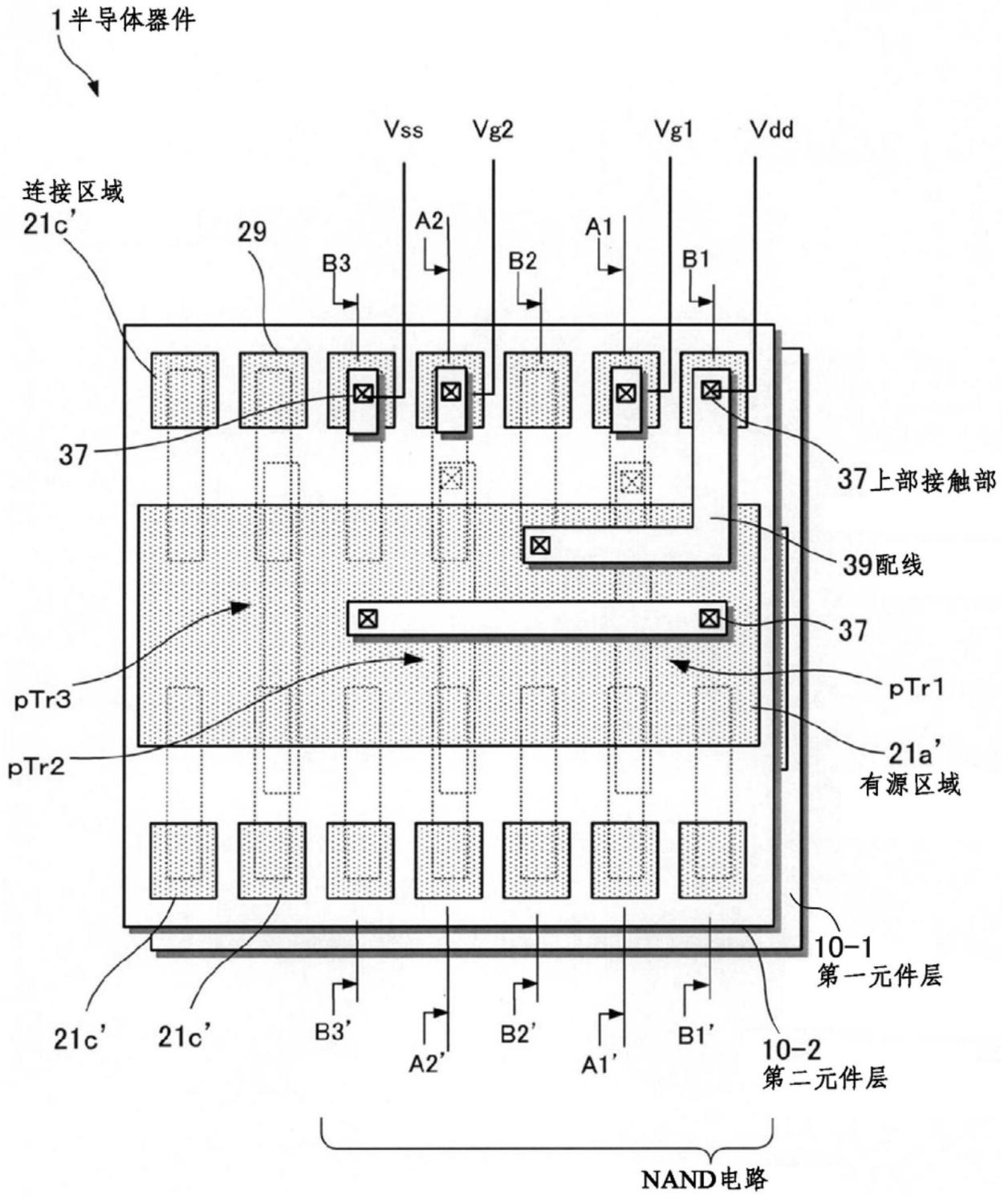


图1

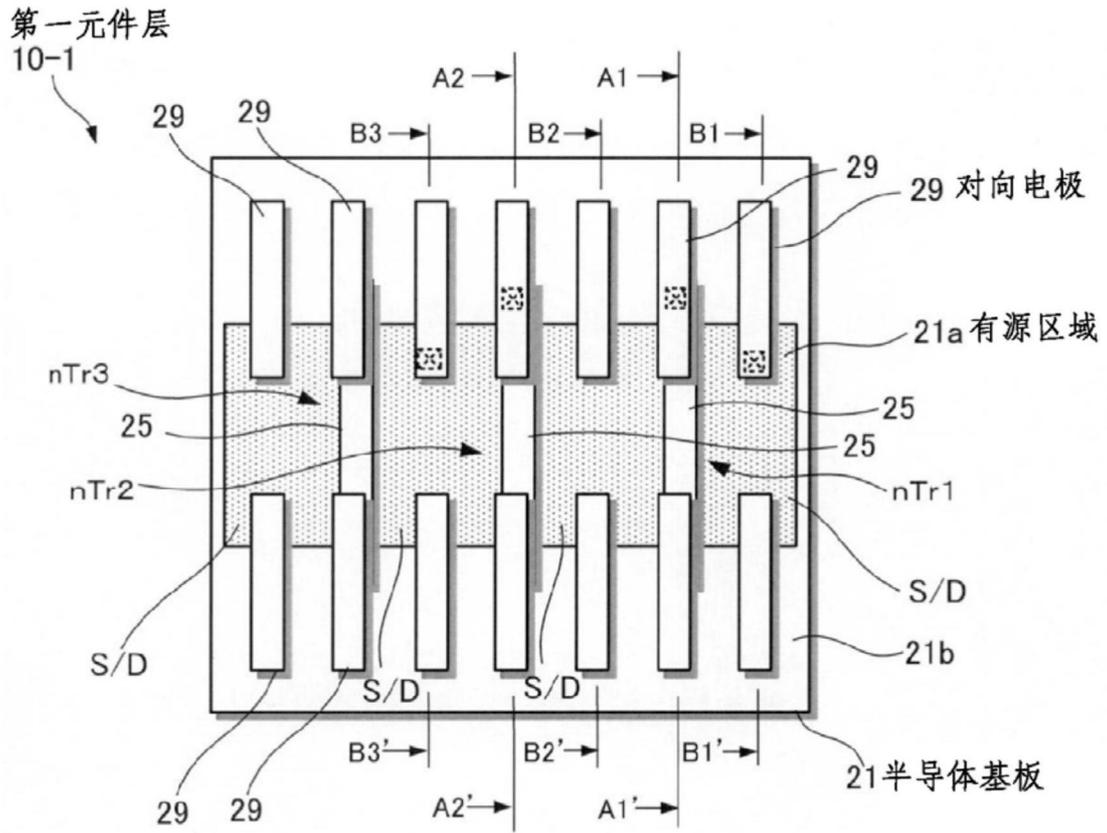


图2

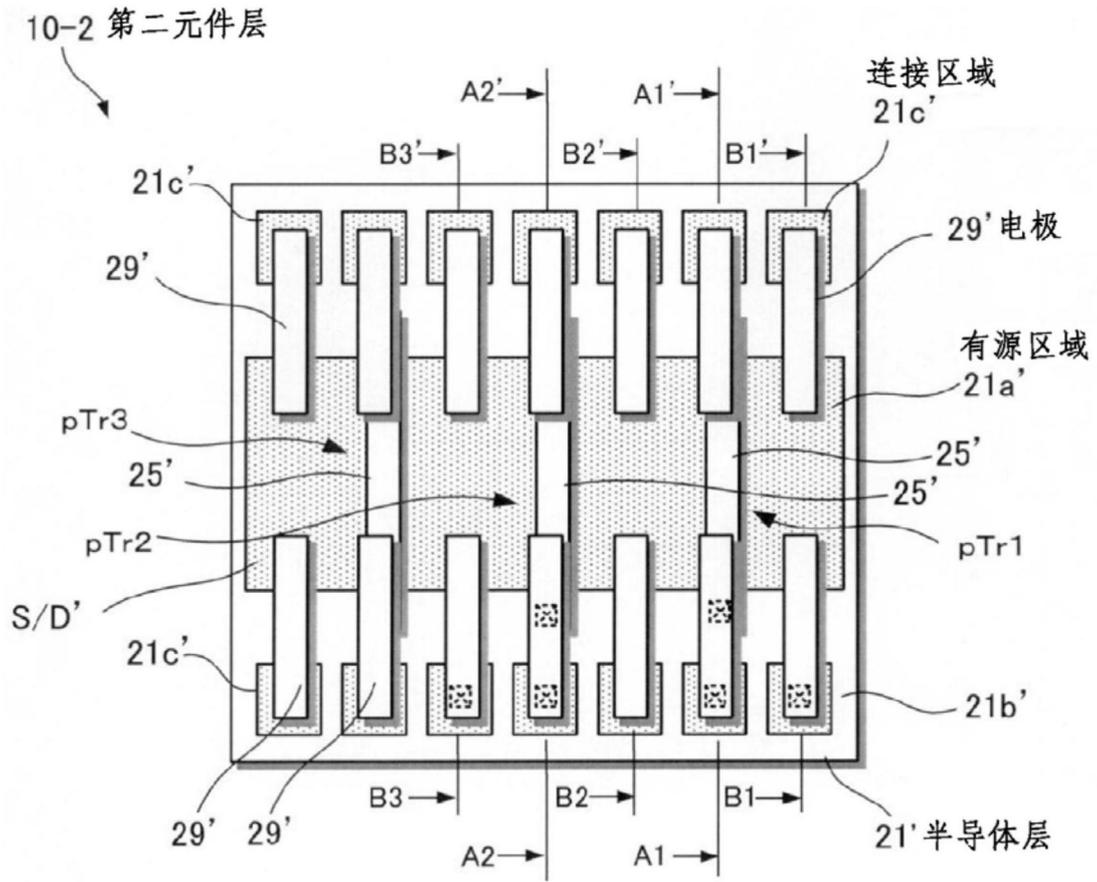


图3

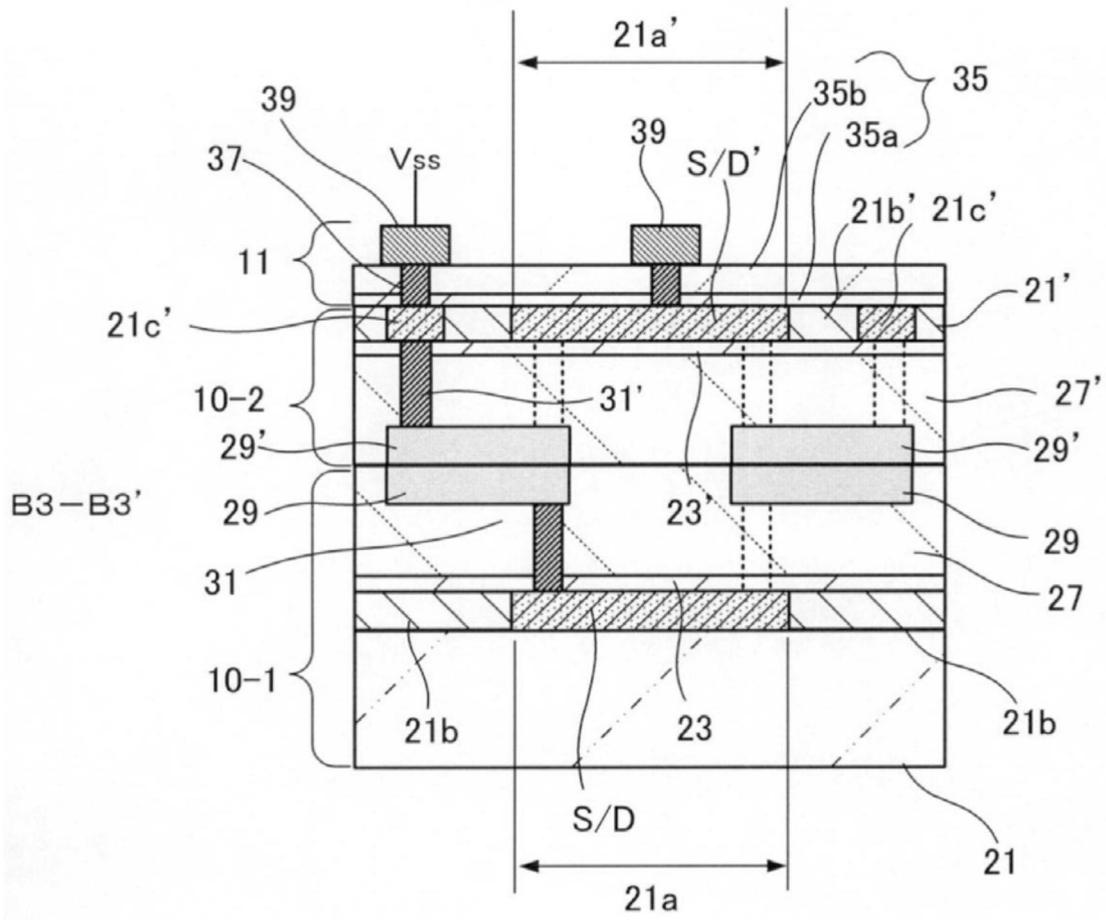


图8

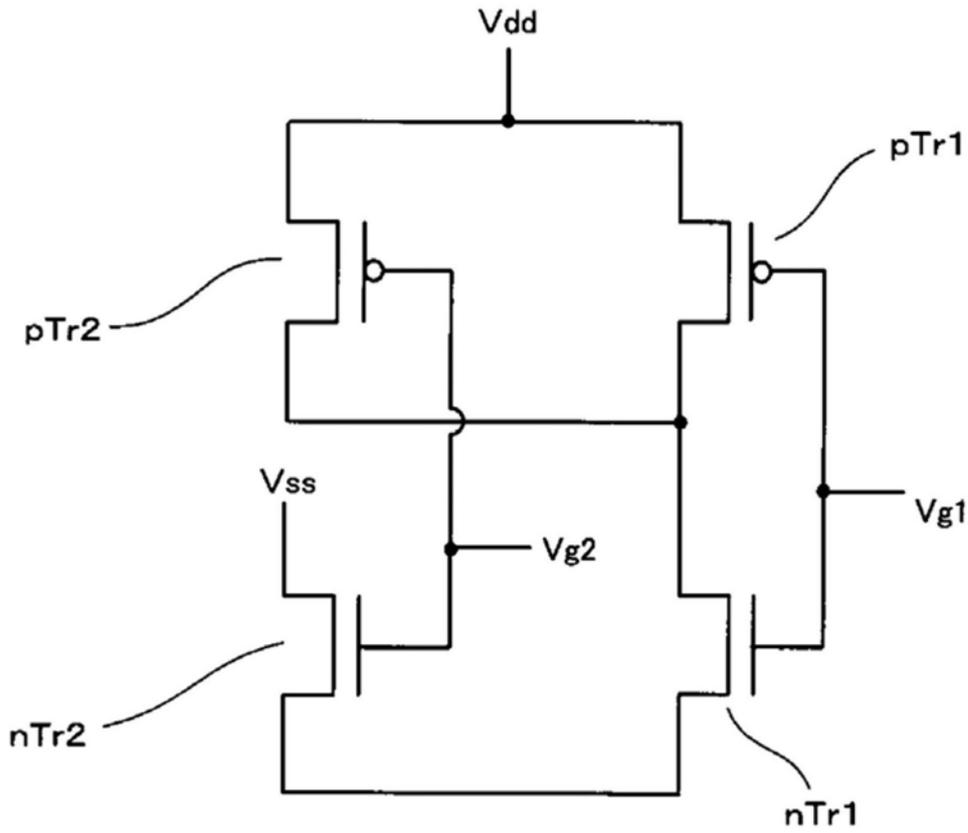


图9

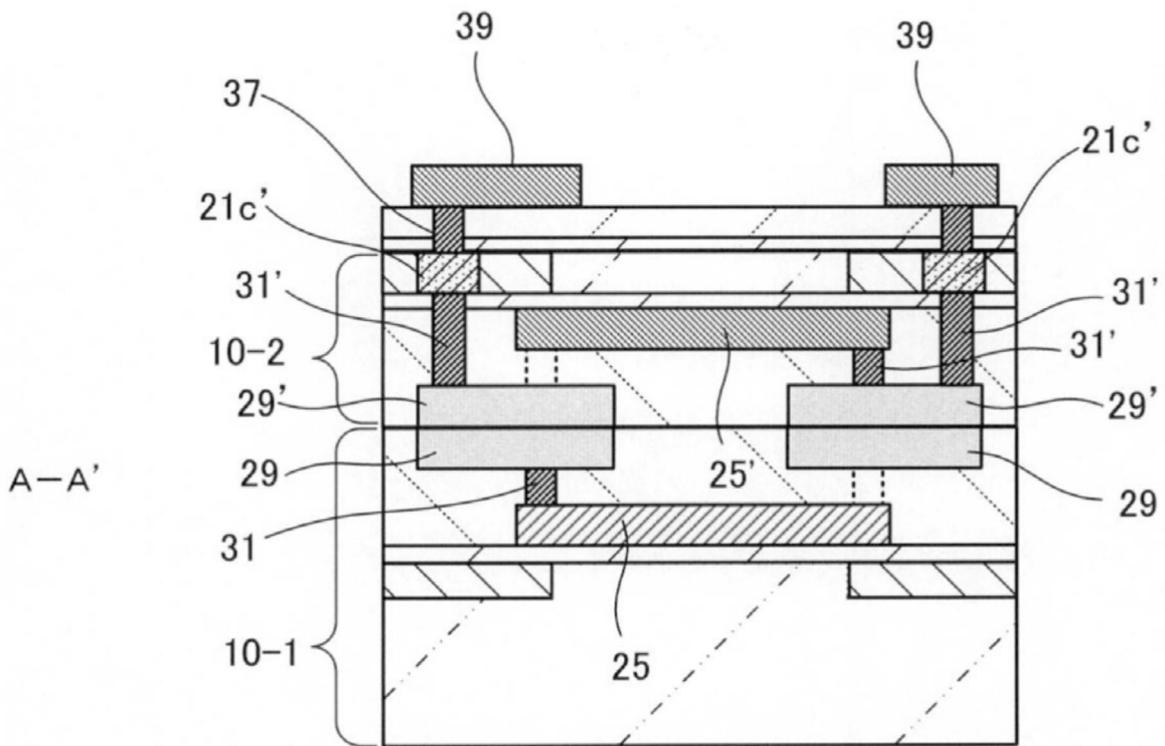


图10

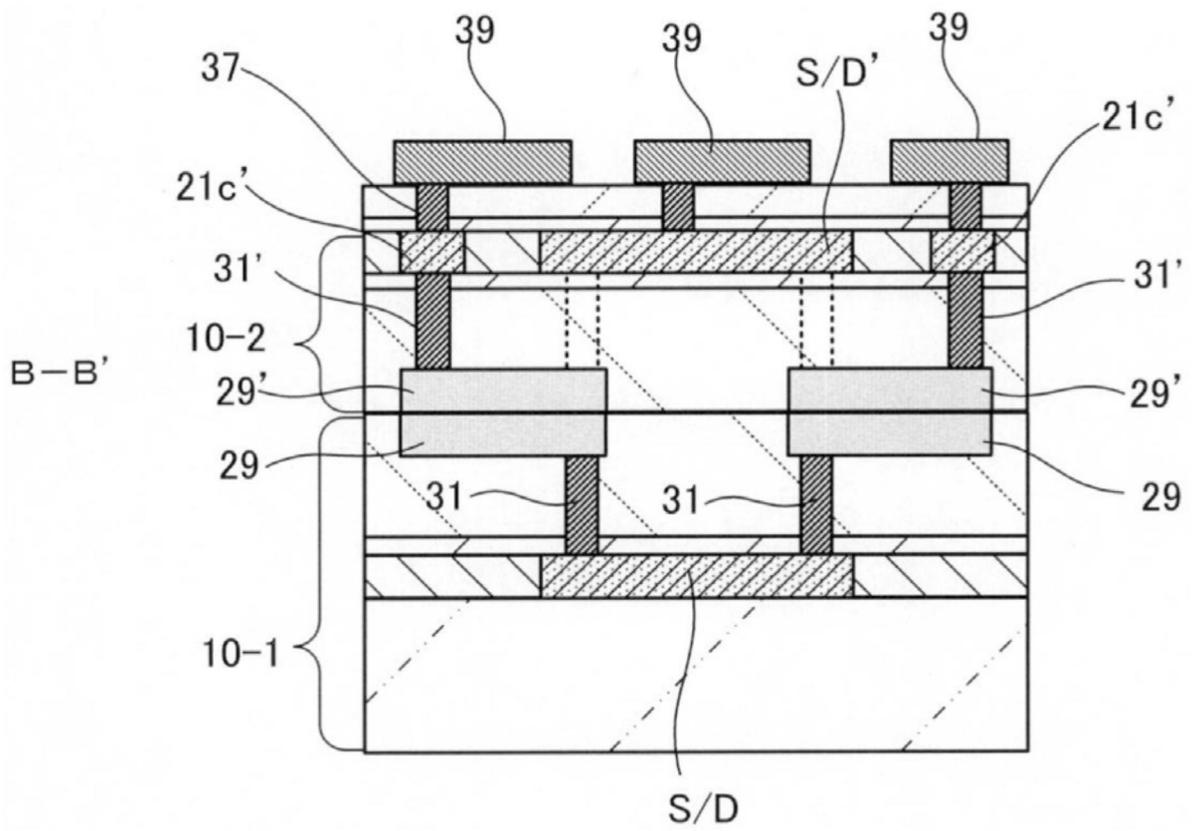


图11

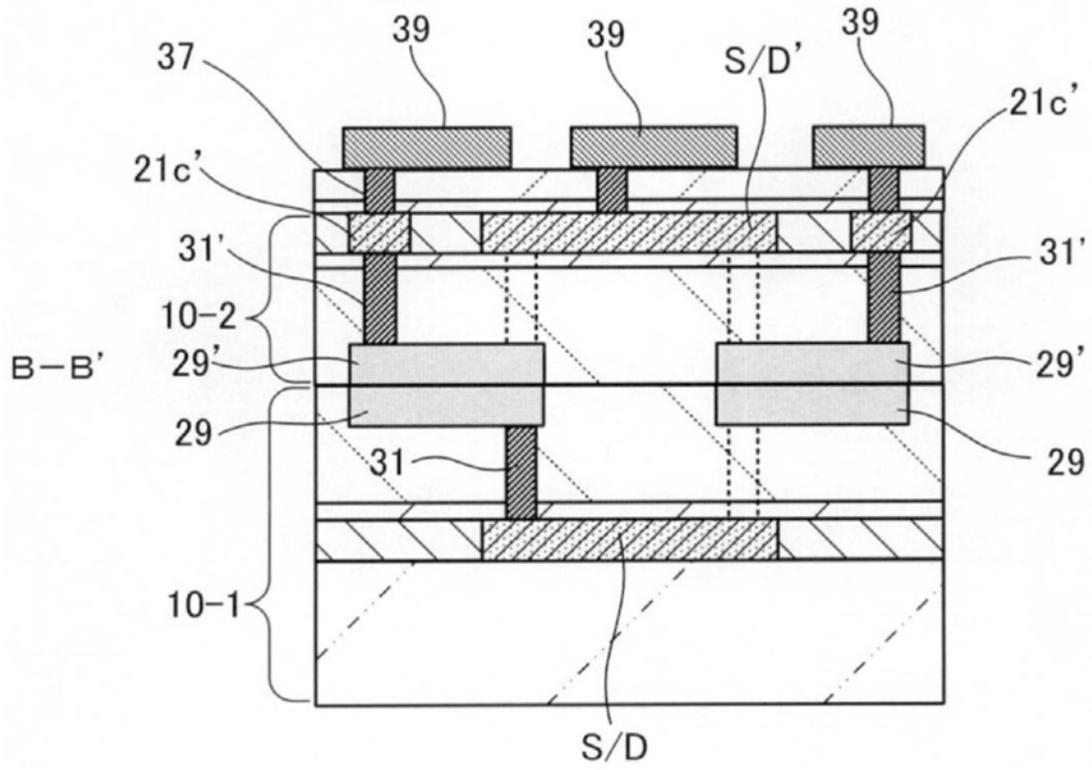


图12

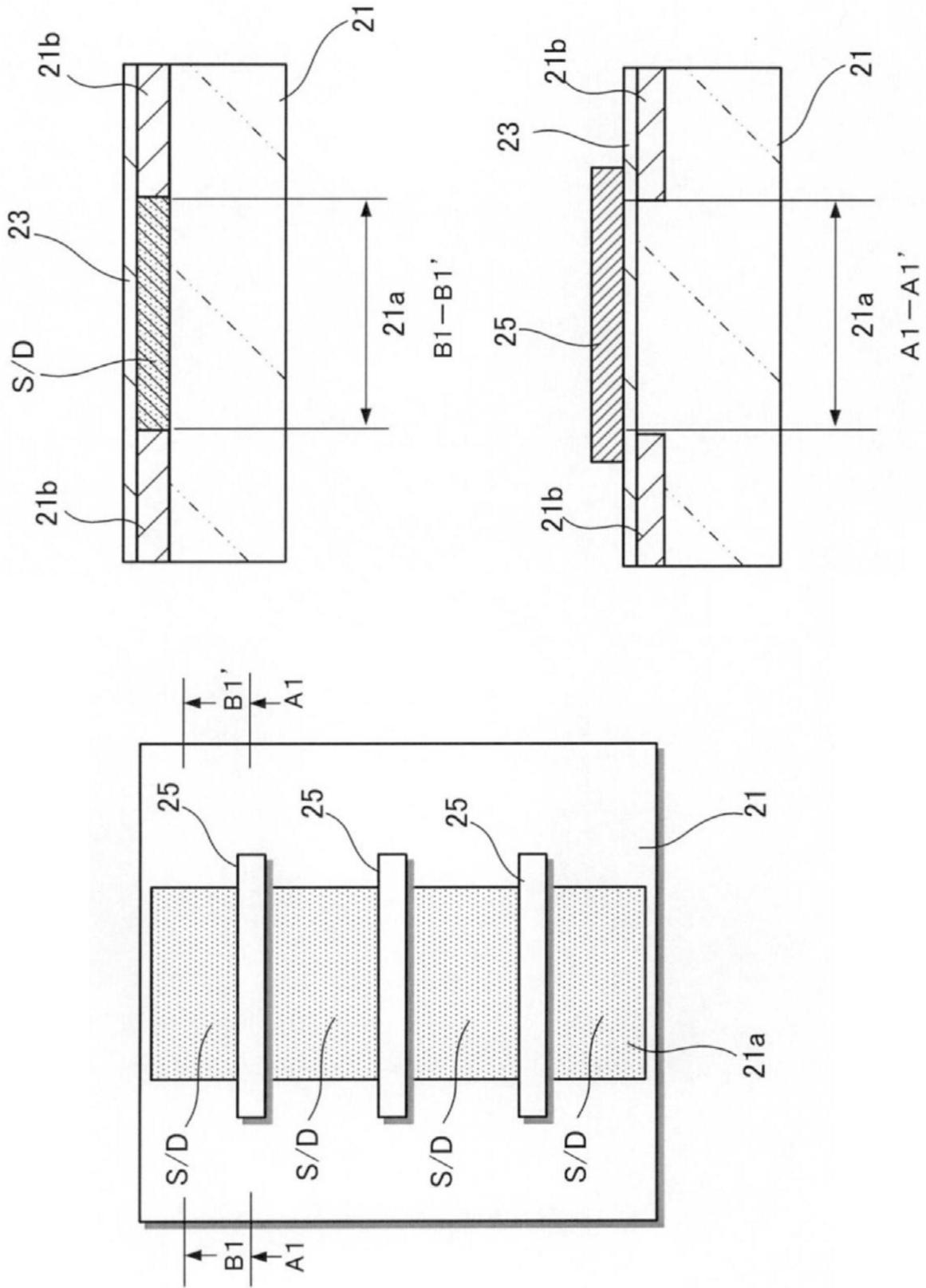


图13

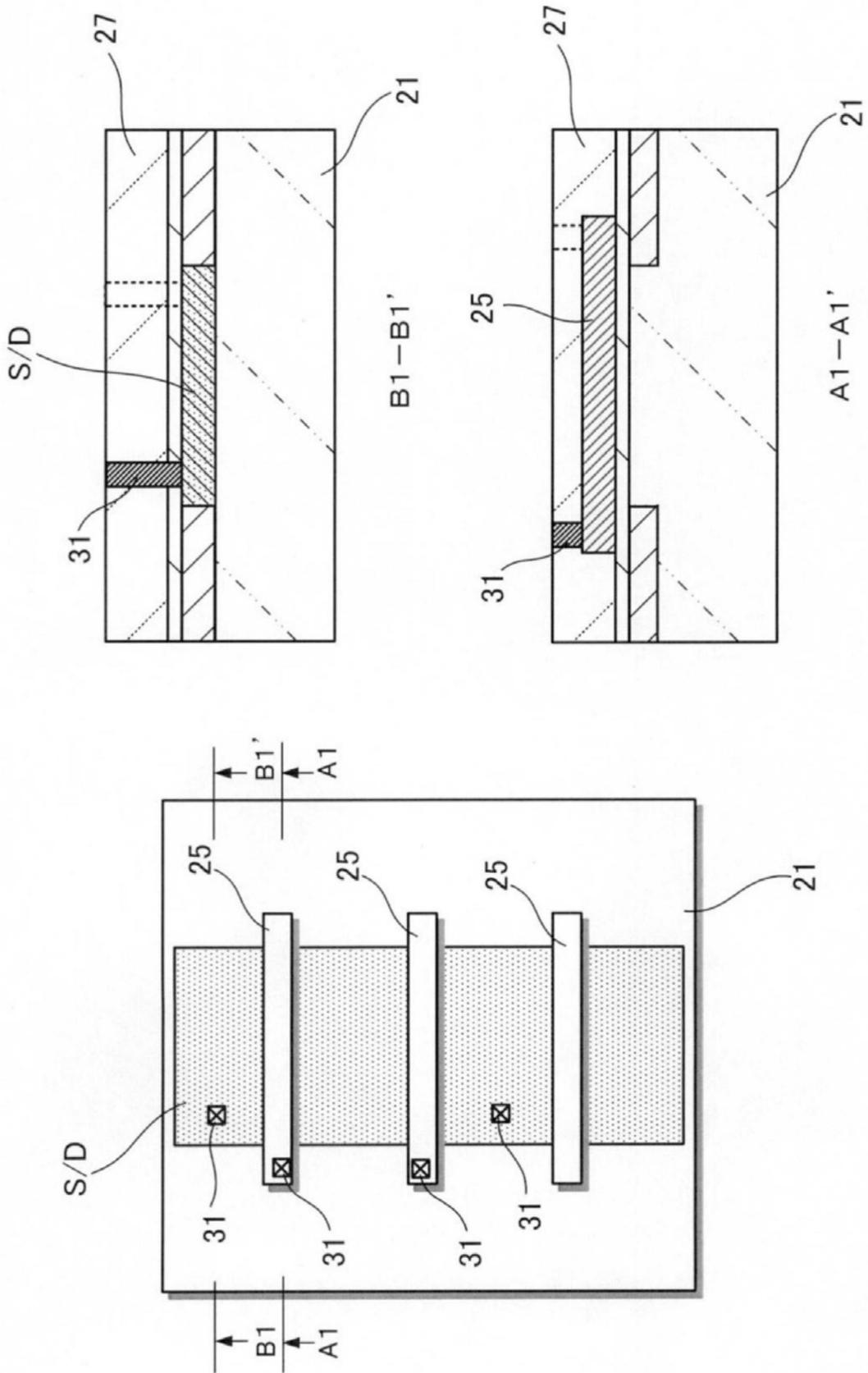


图14

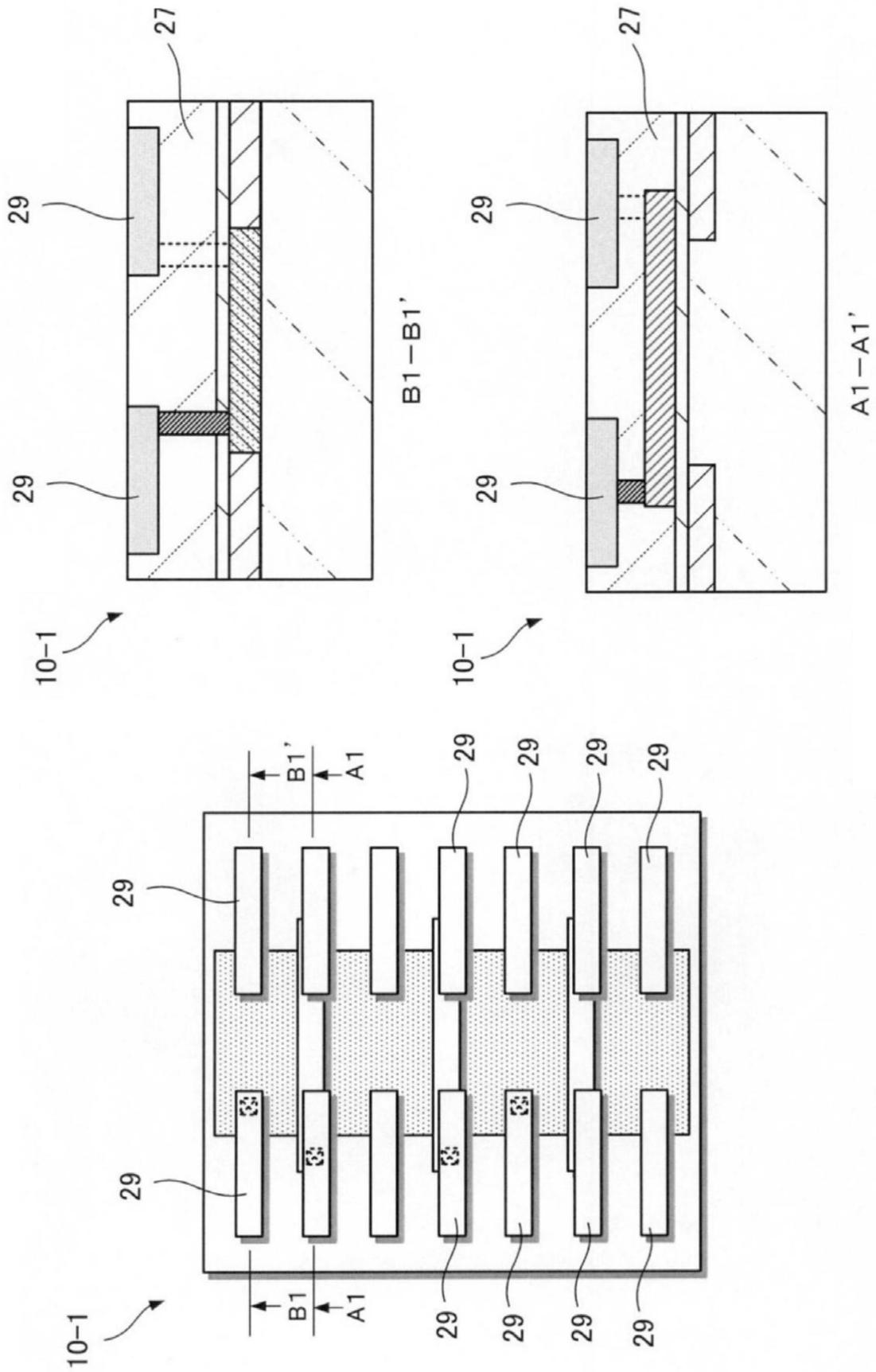


图15

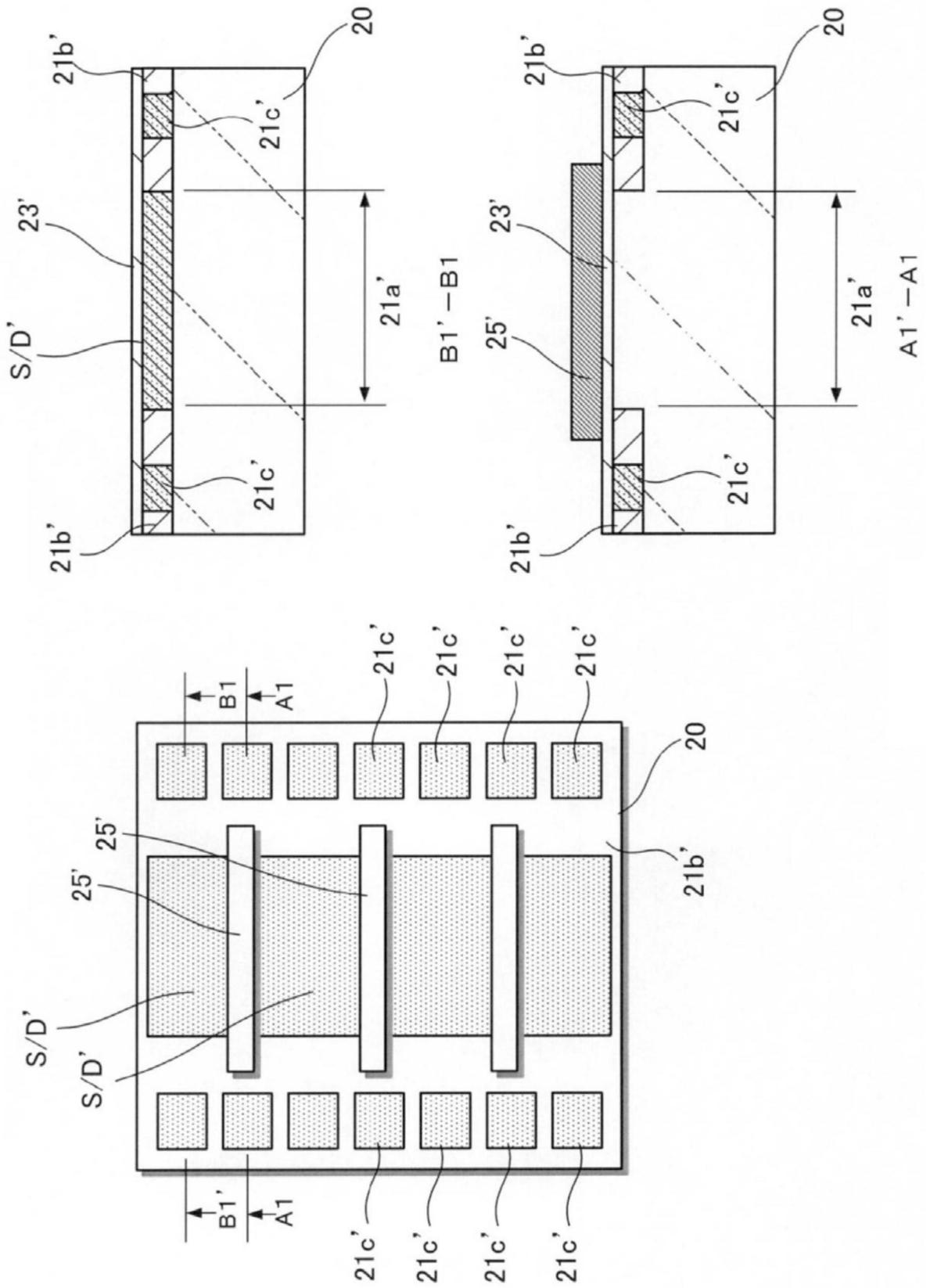


图16

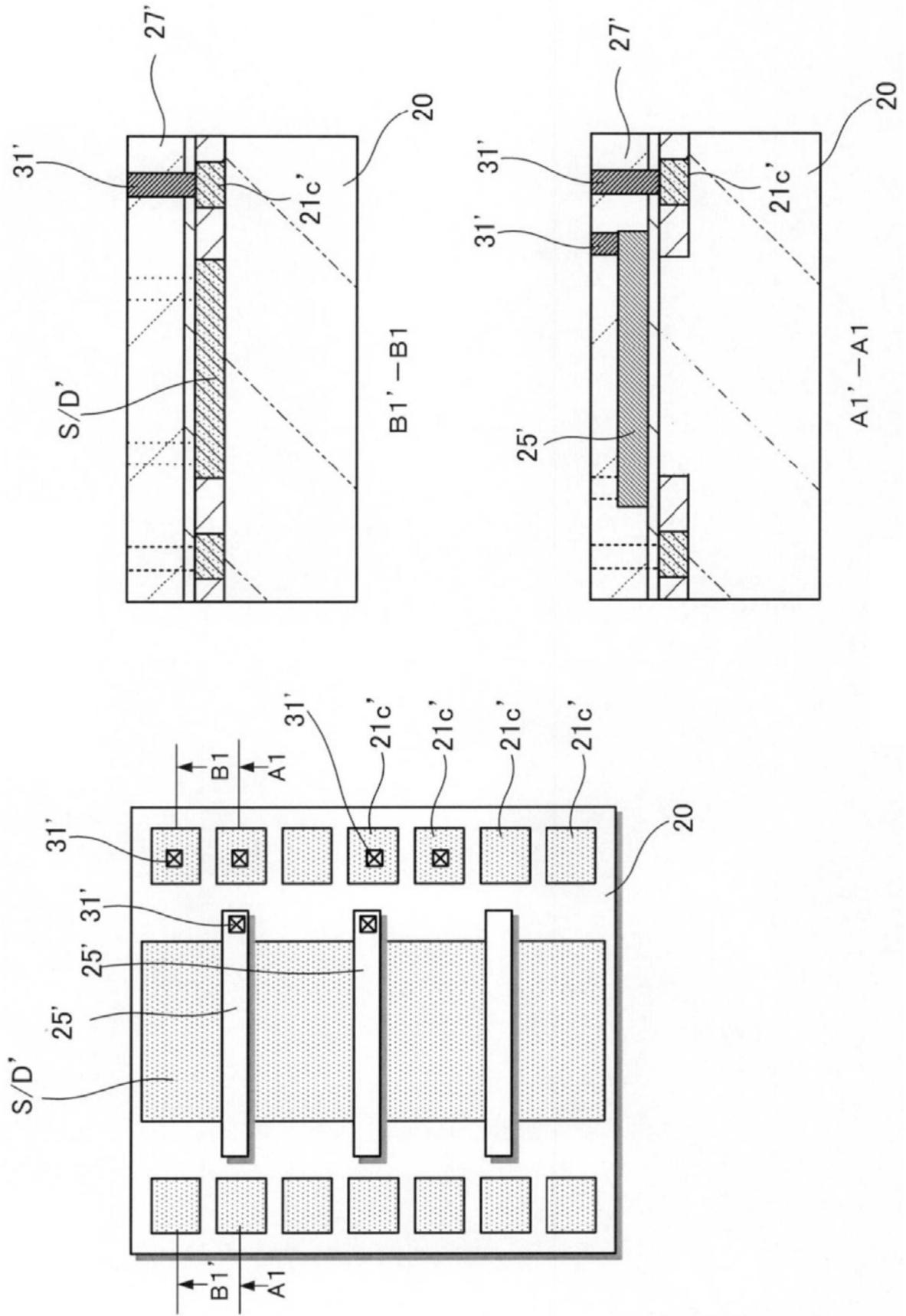


图17

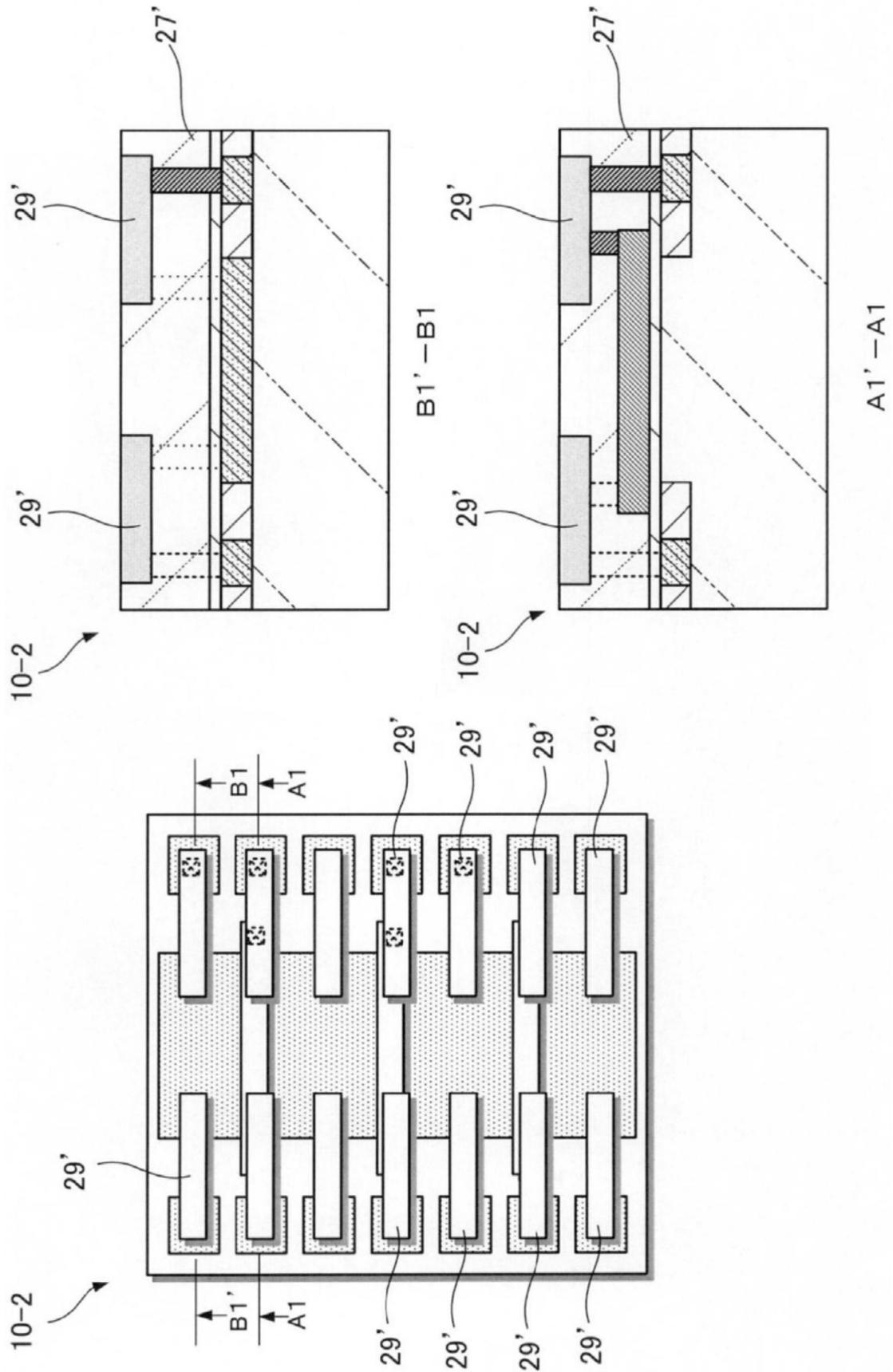


图18

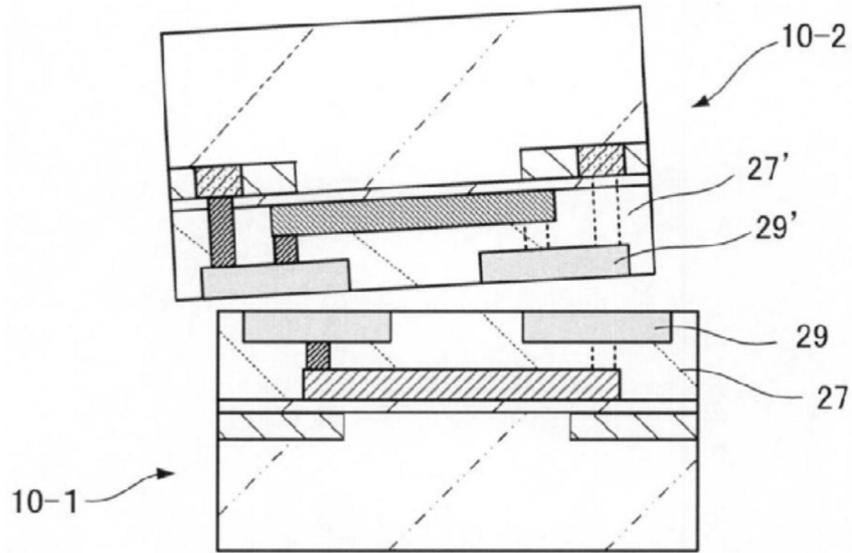


图19

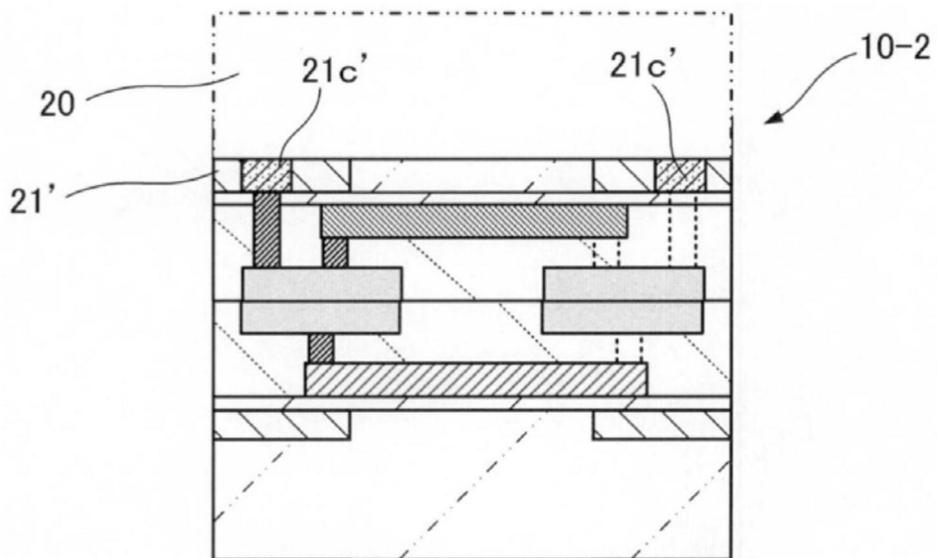


图20

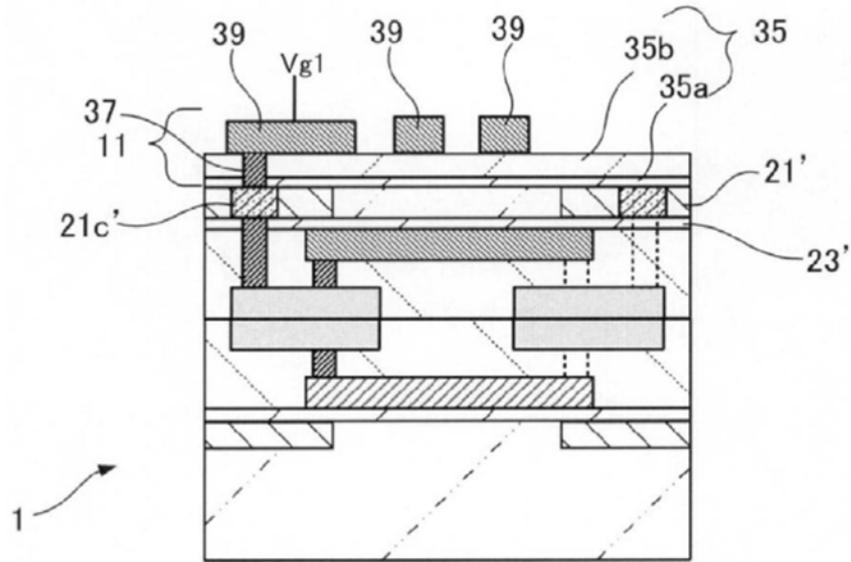


图21

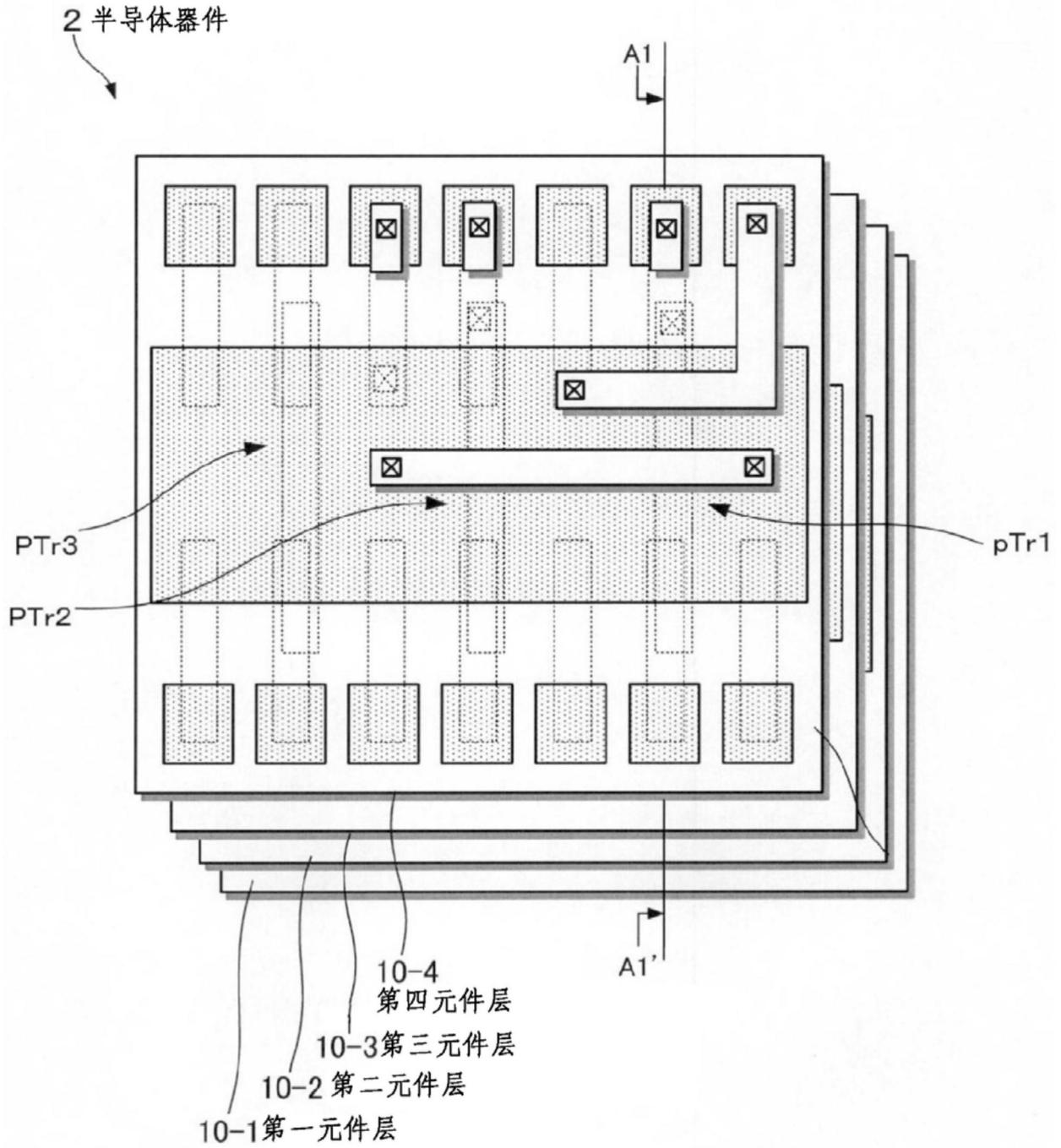


图22

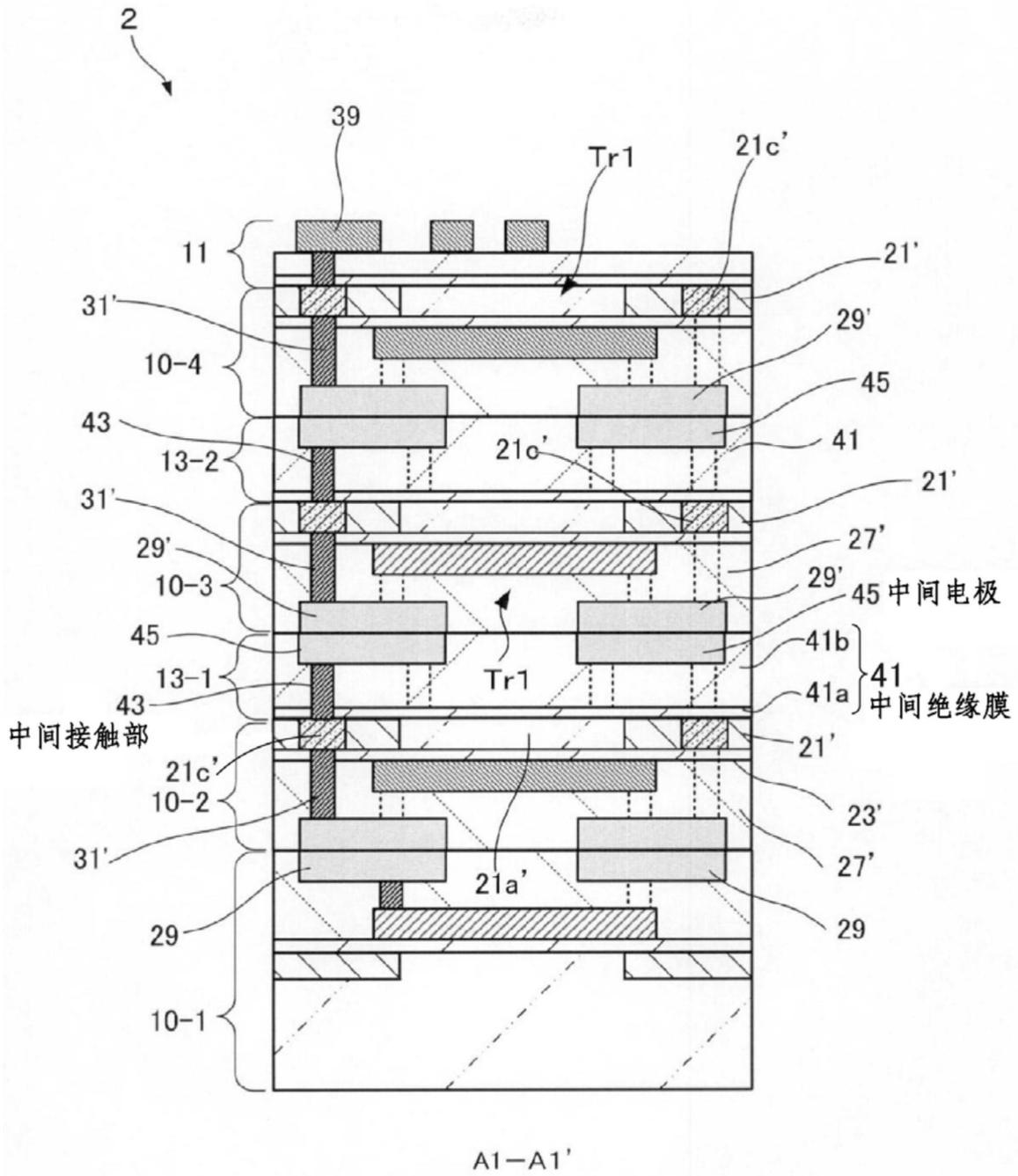


图23

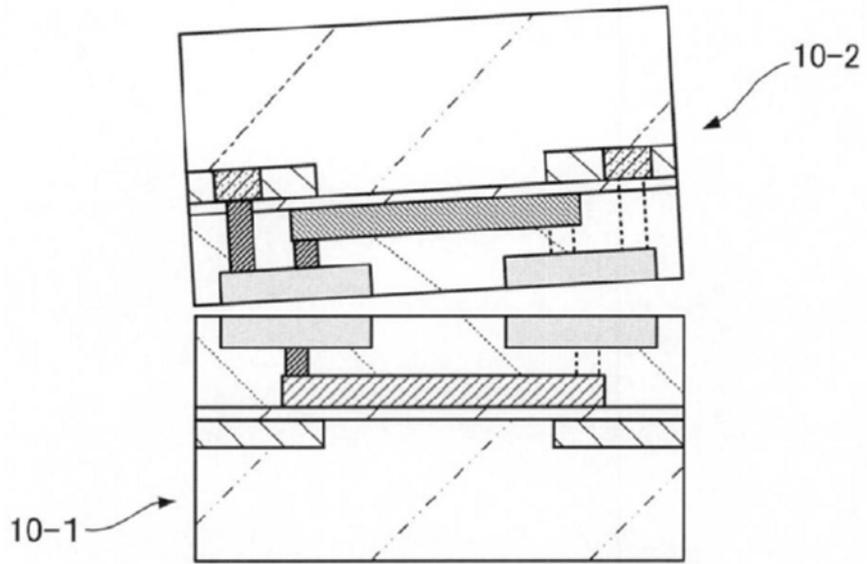


图24

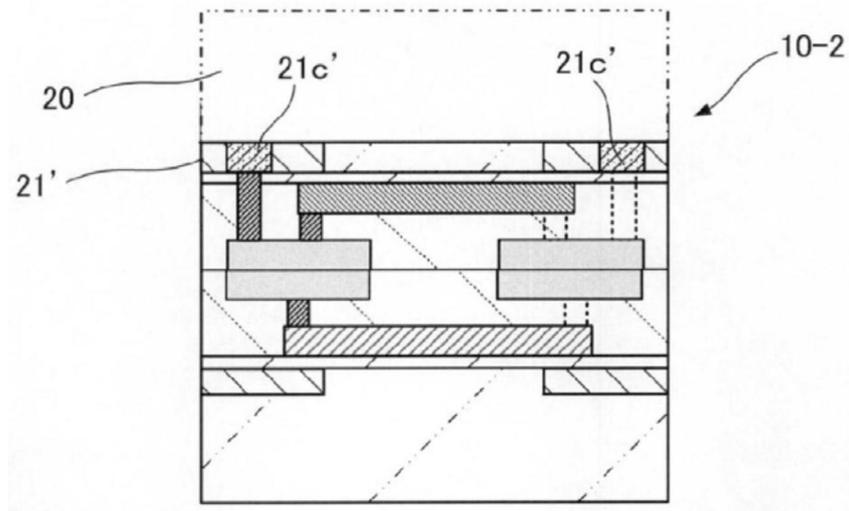


图25

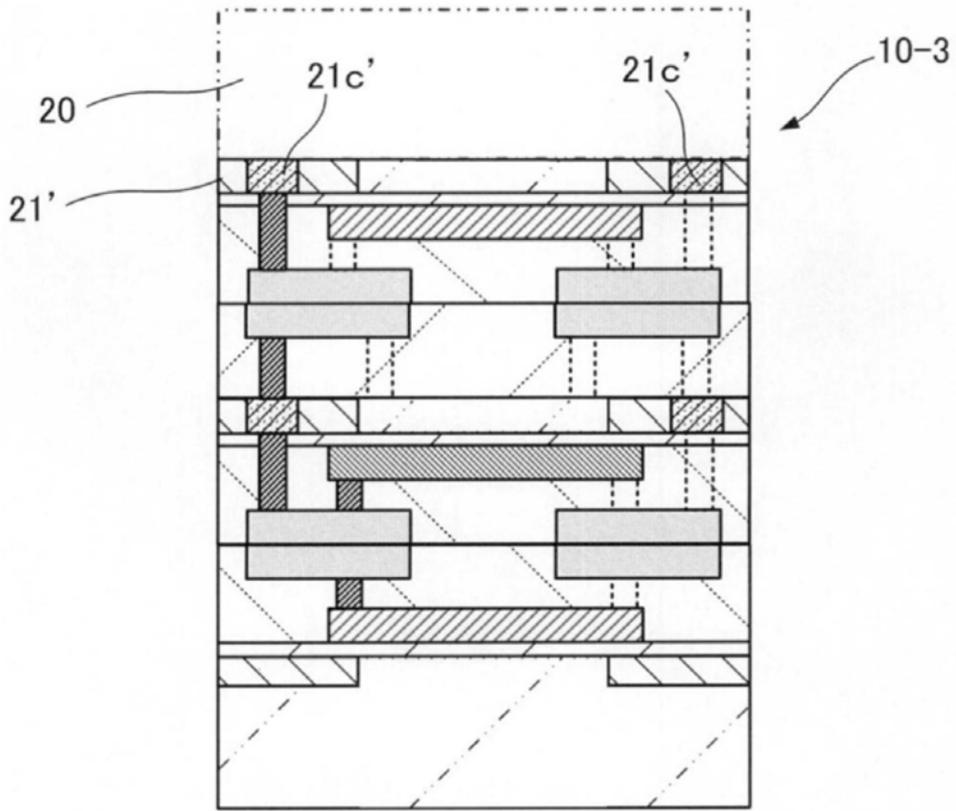


图28

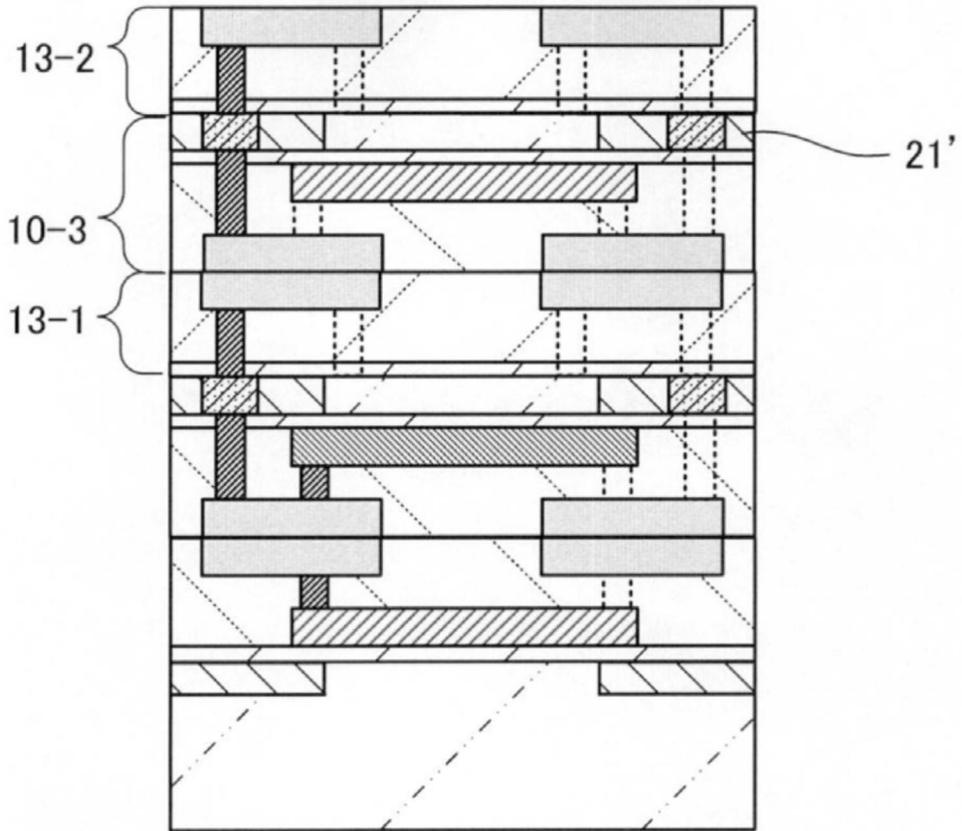


图29

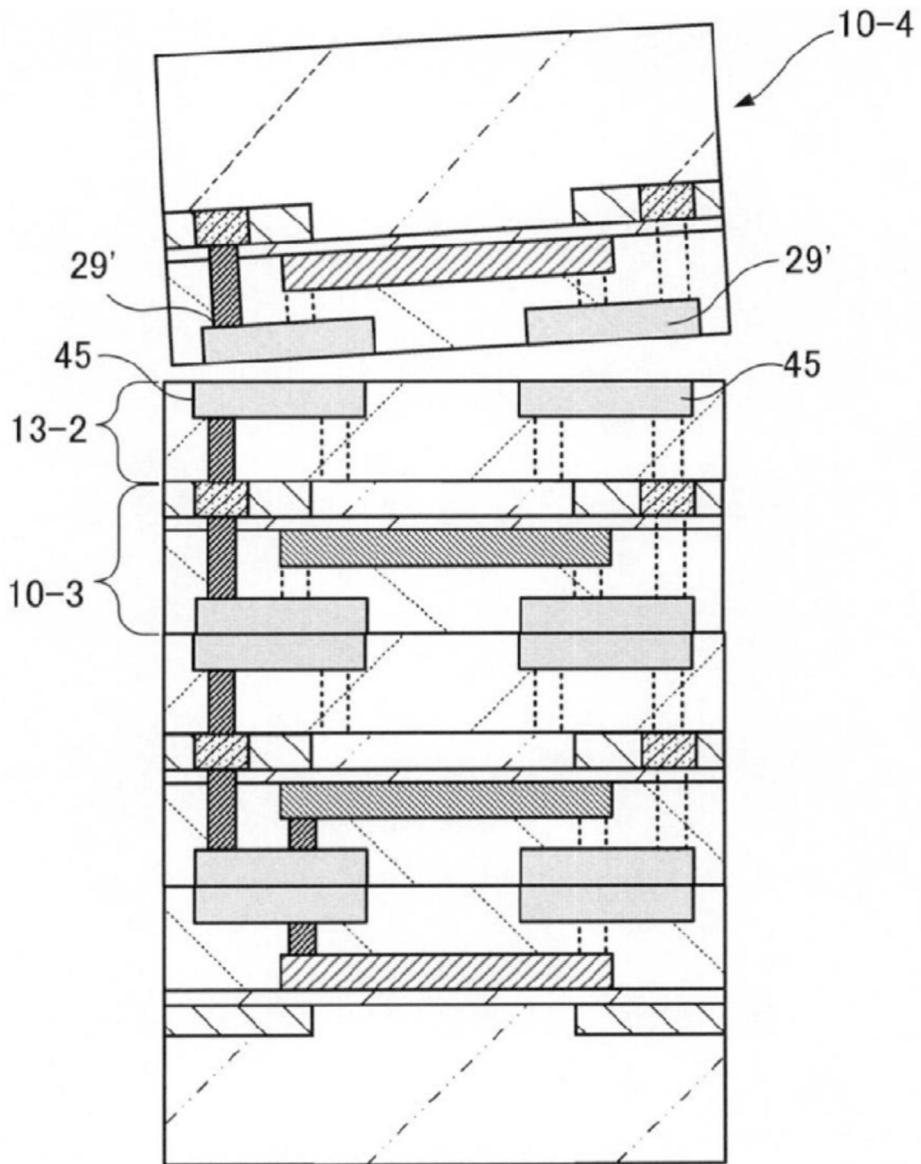


图30

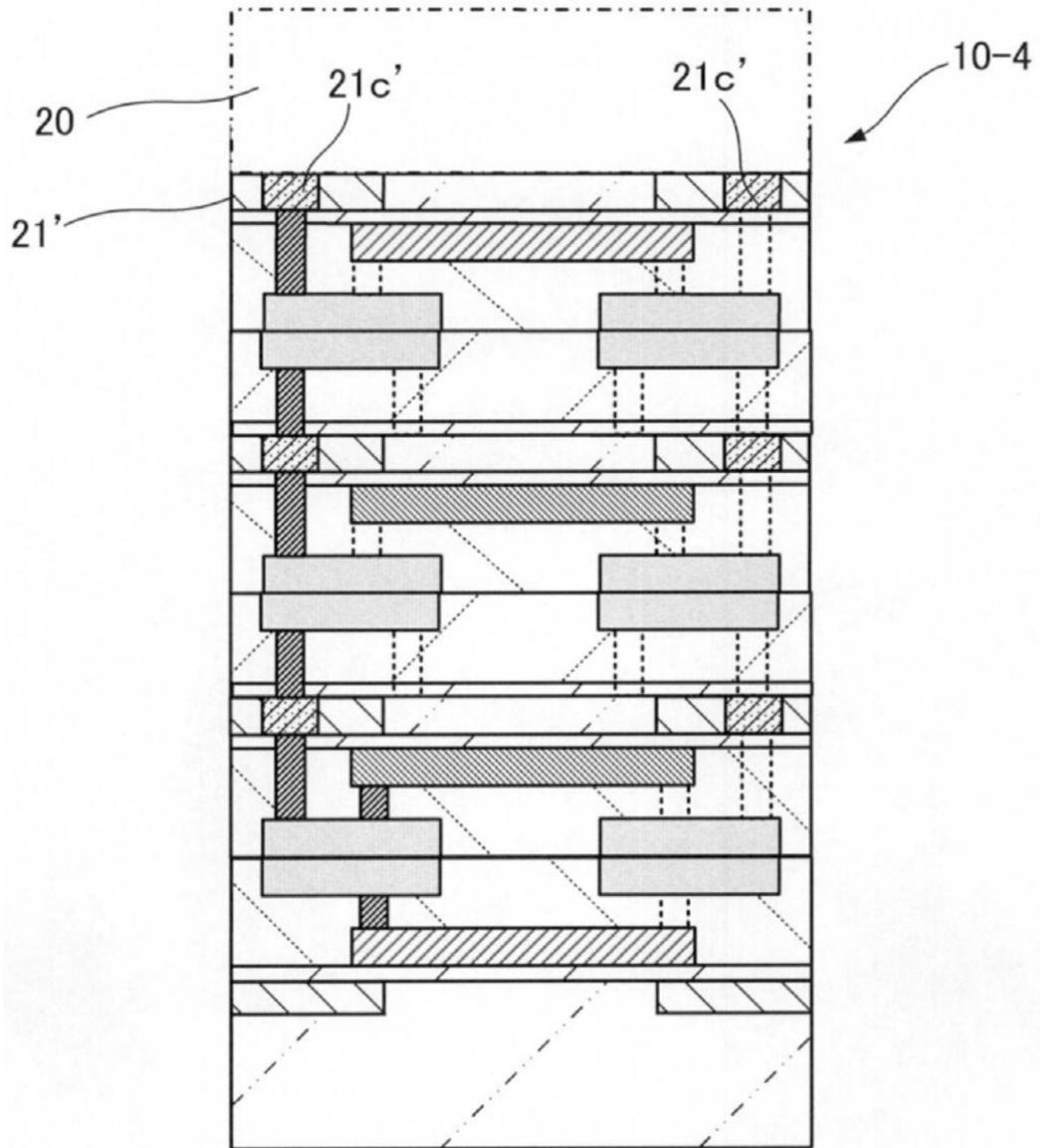


图31

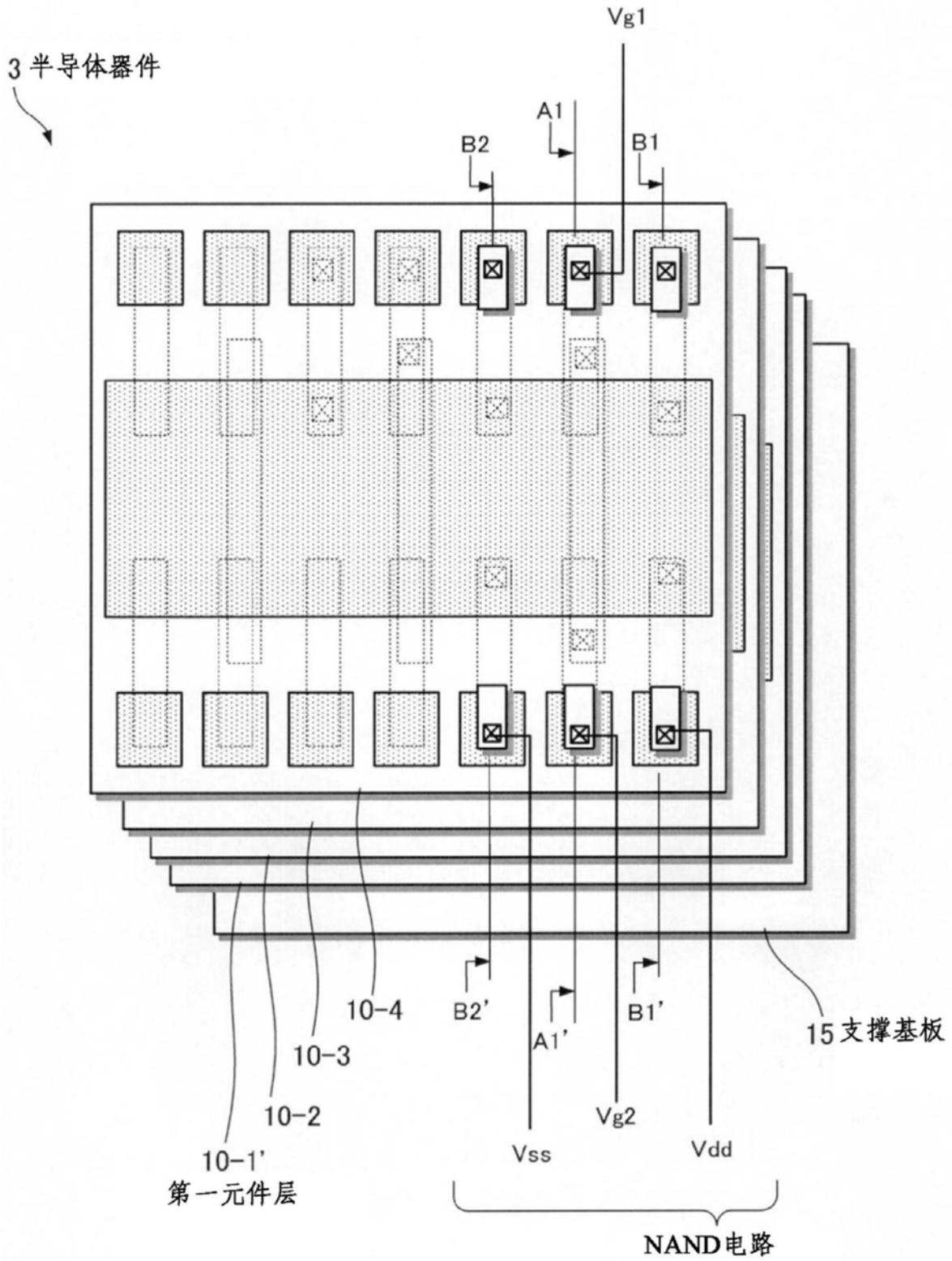
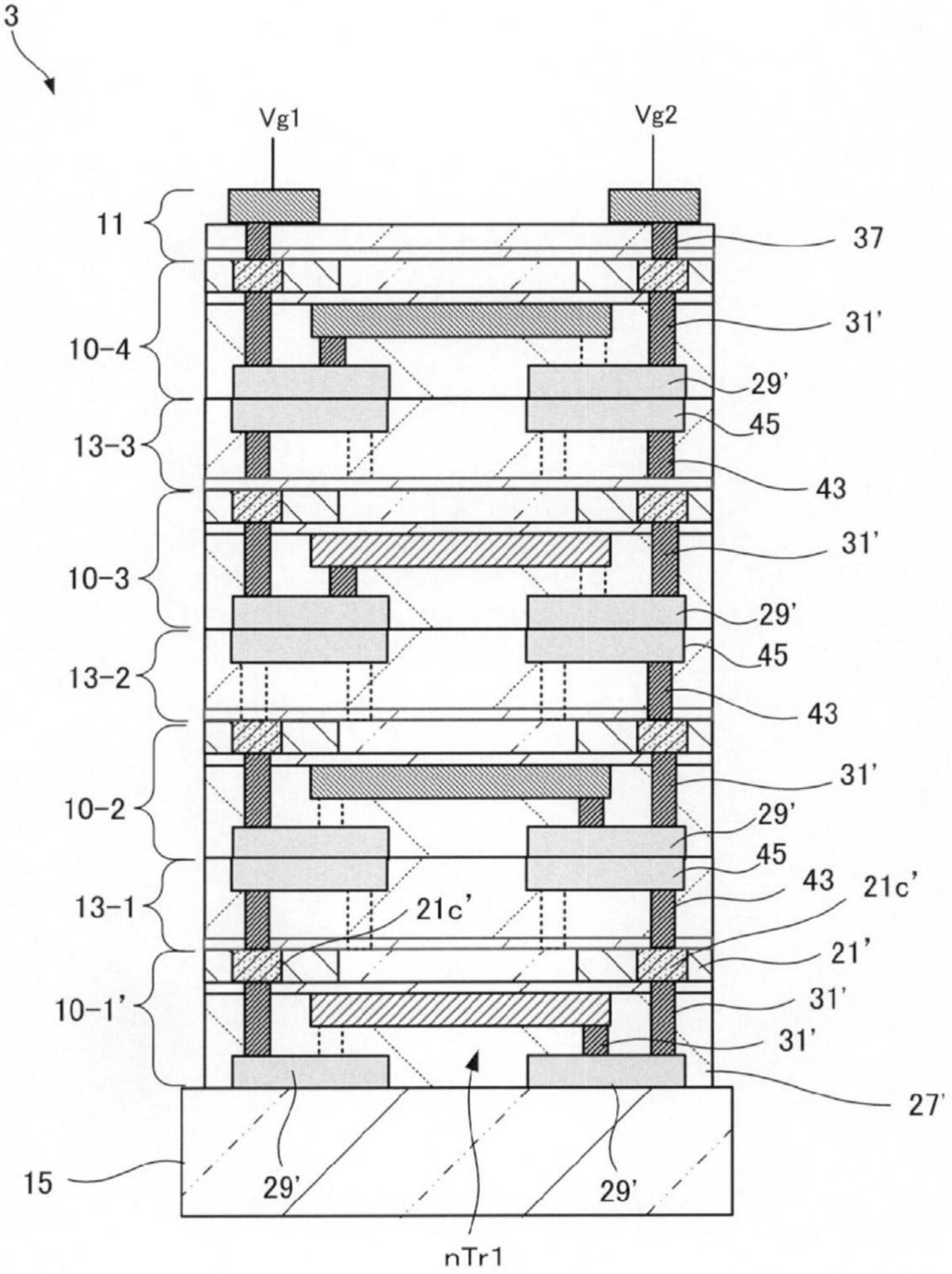


图32



A1-A1'

图33

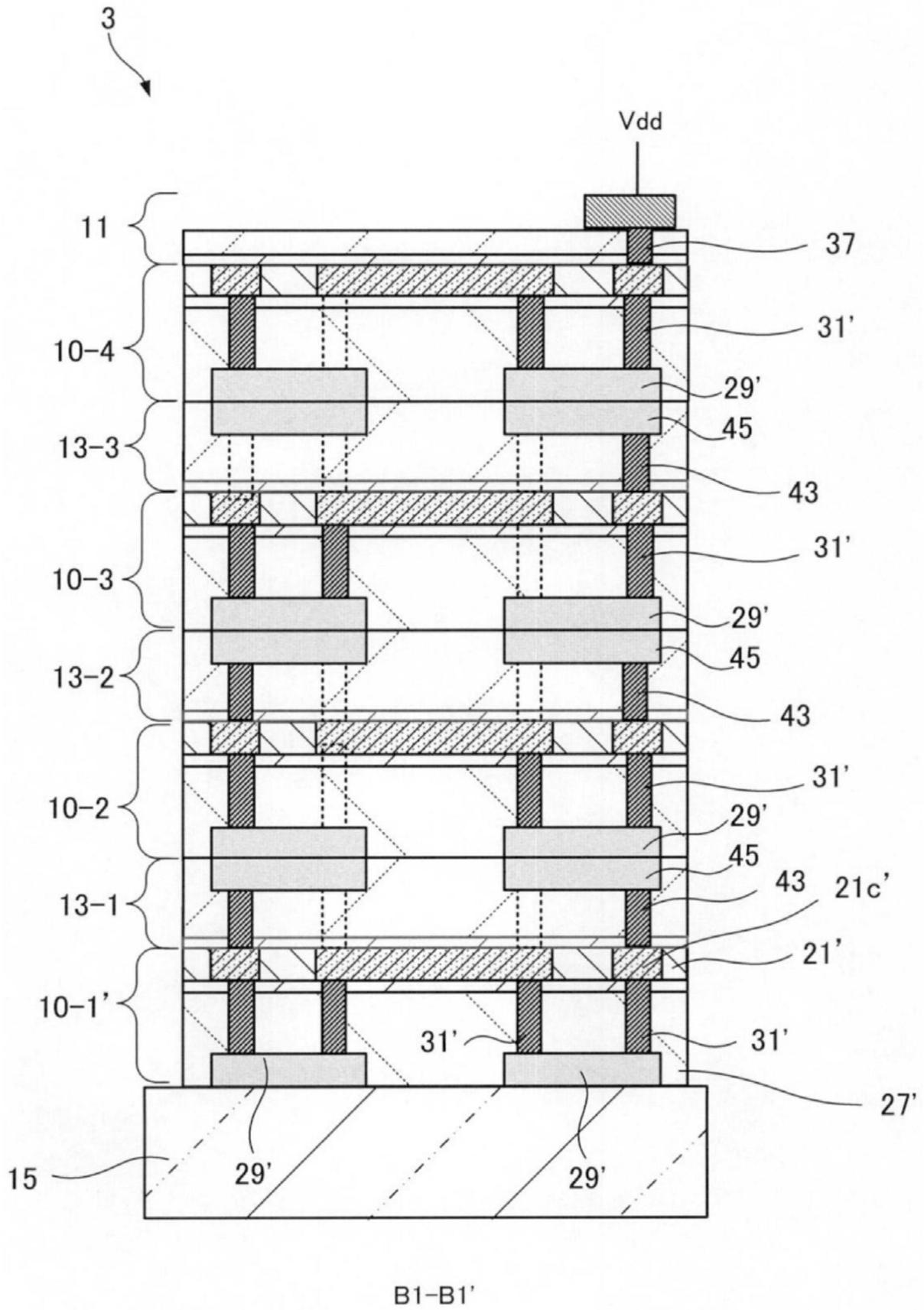
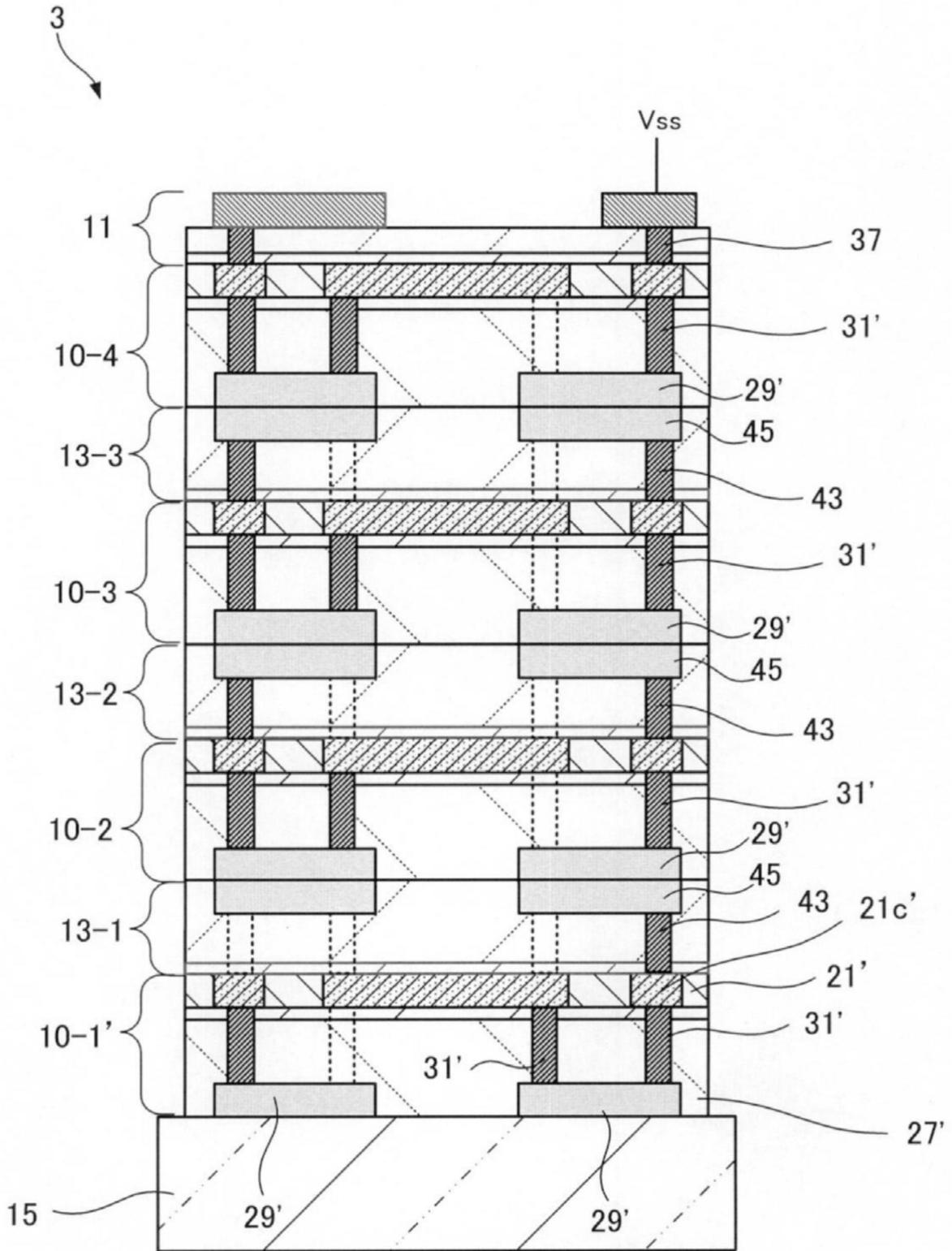


图34



B2-B2'

图35

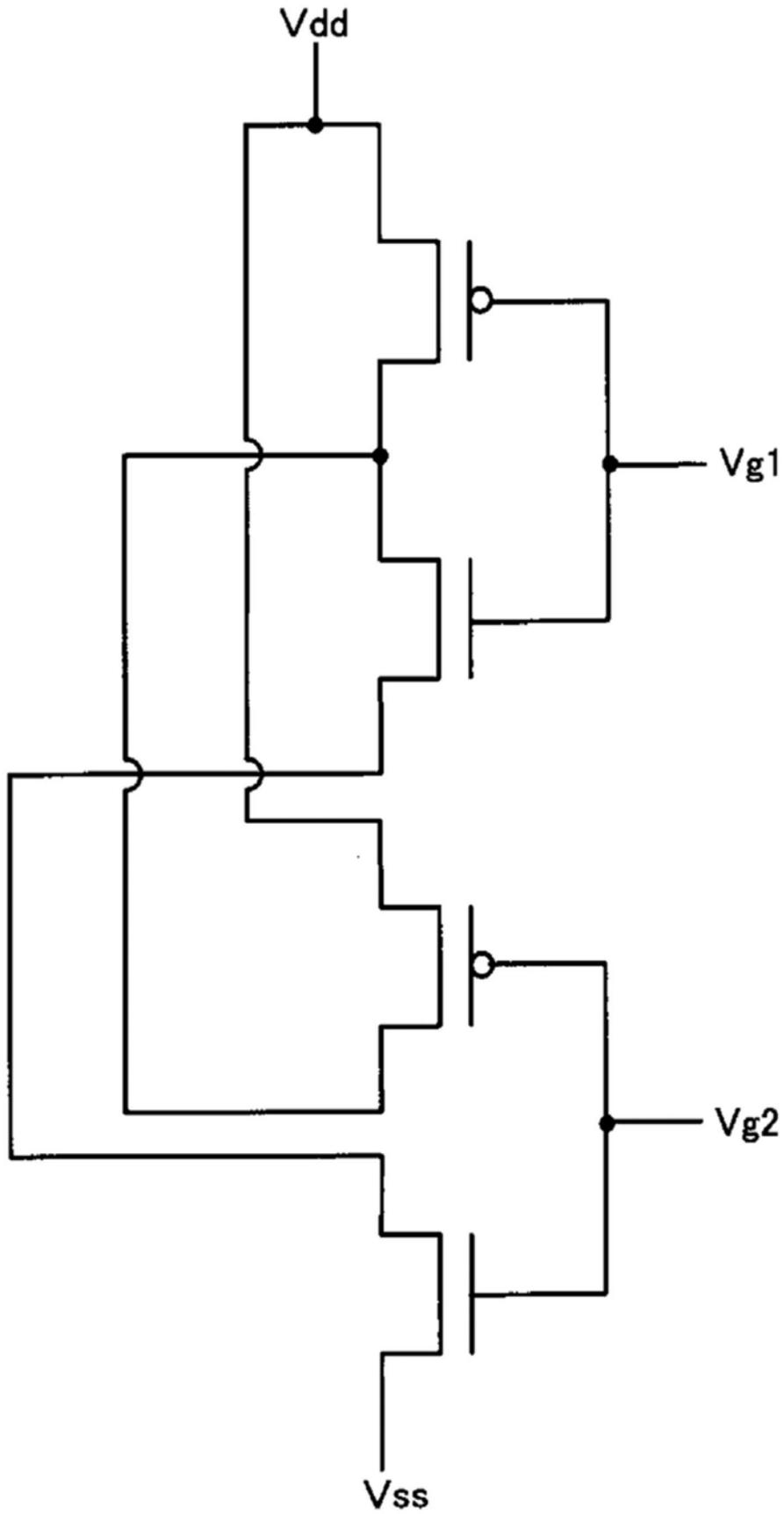


图36

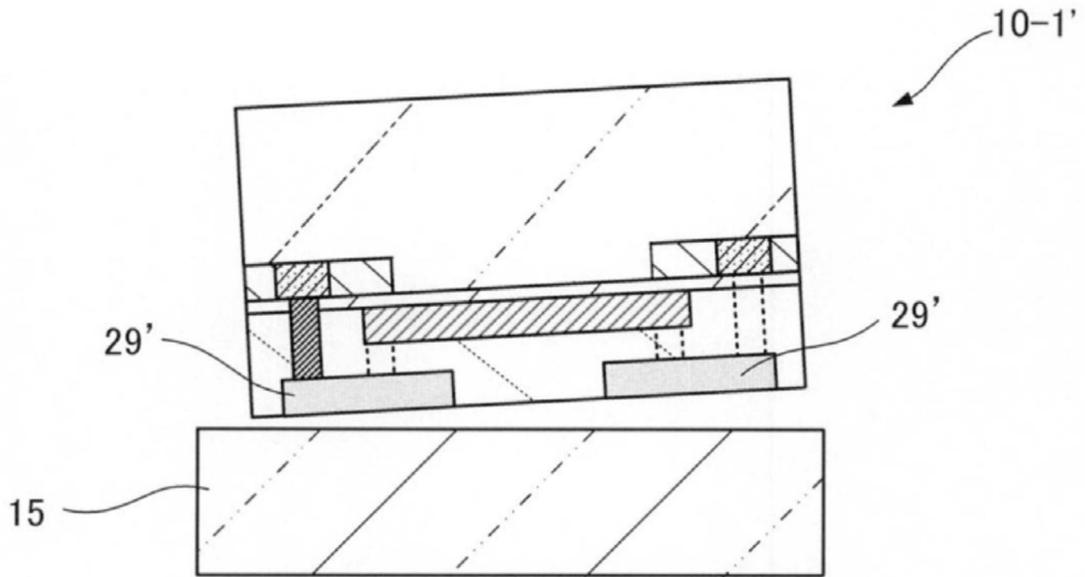


图37

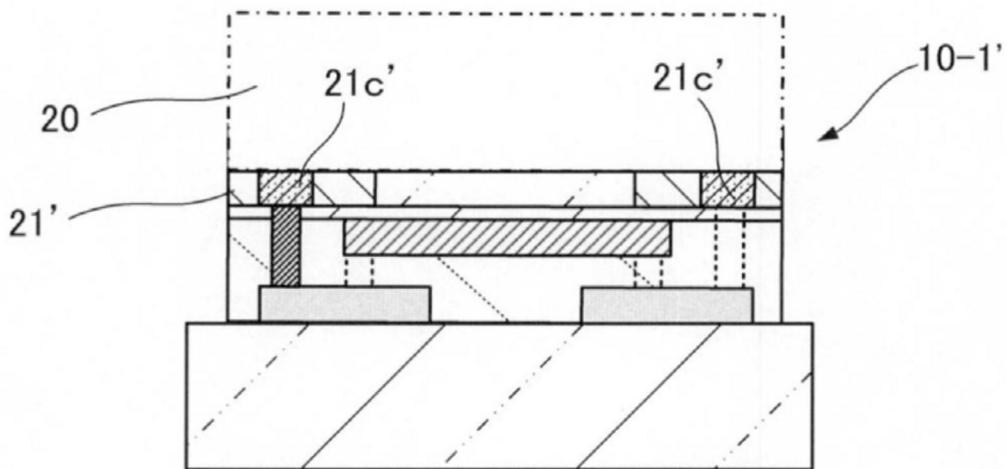


图38

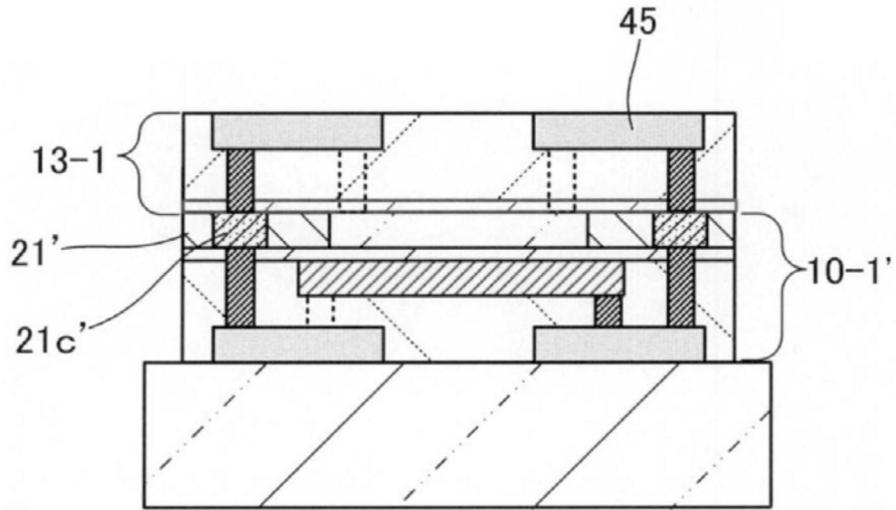


图39

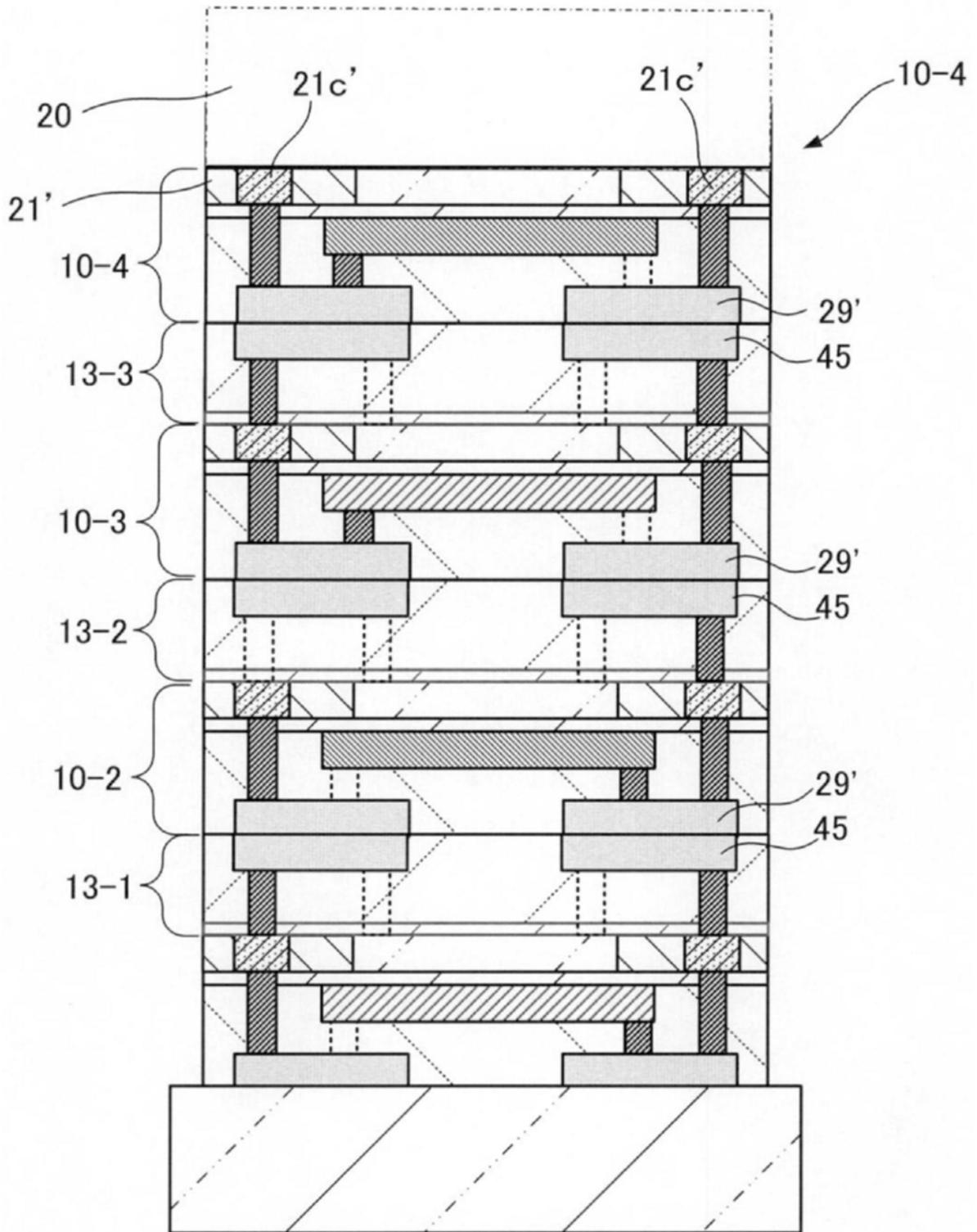


图40

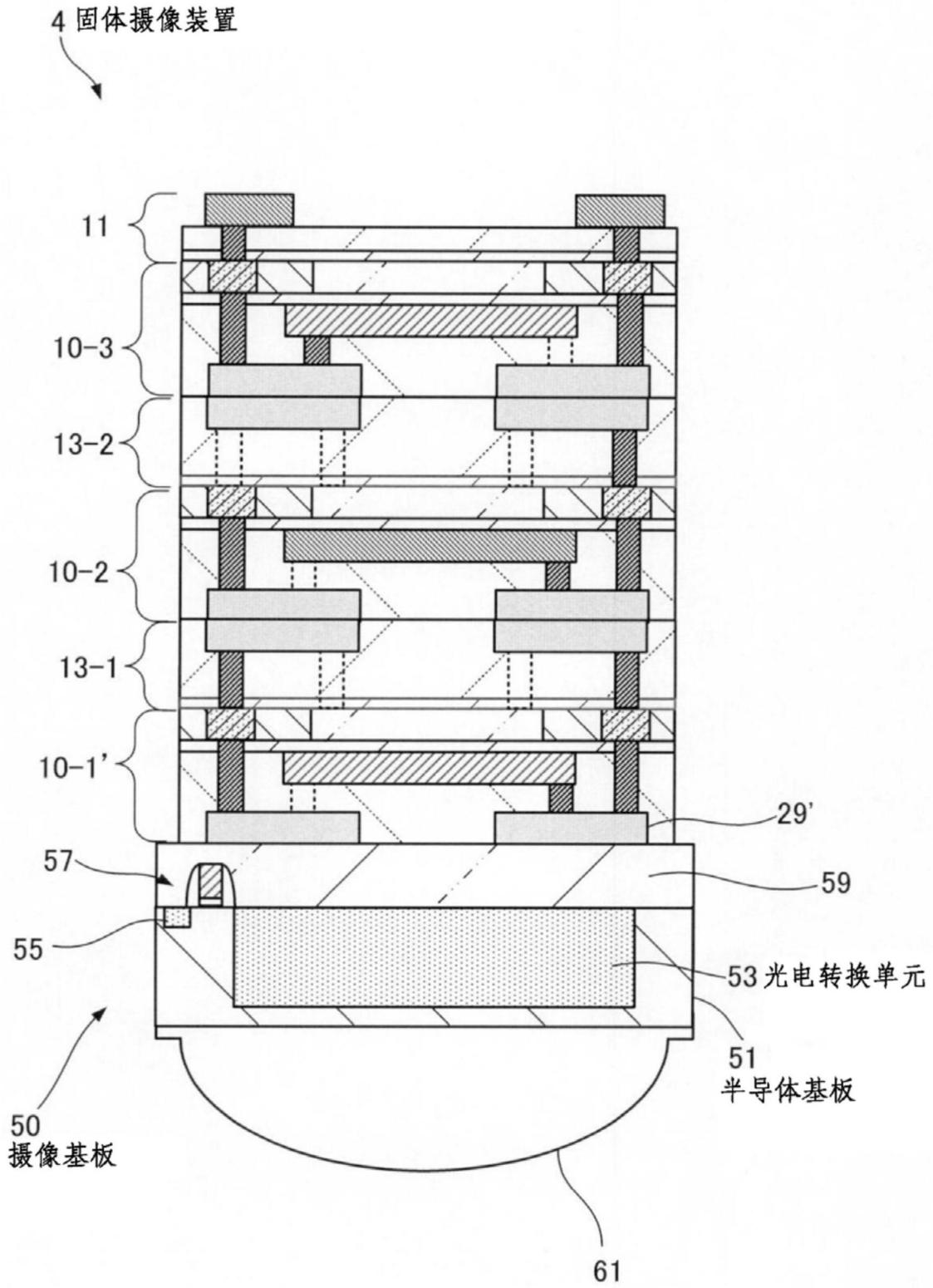


图41

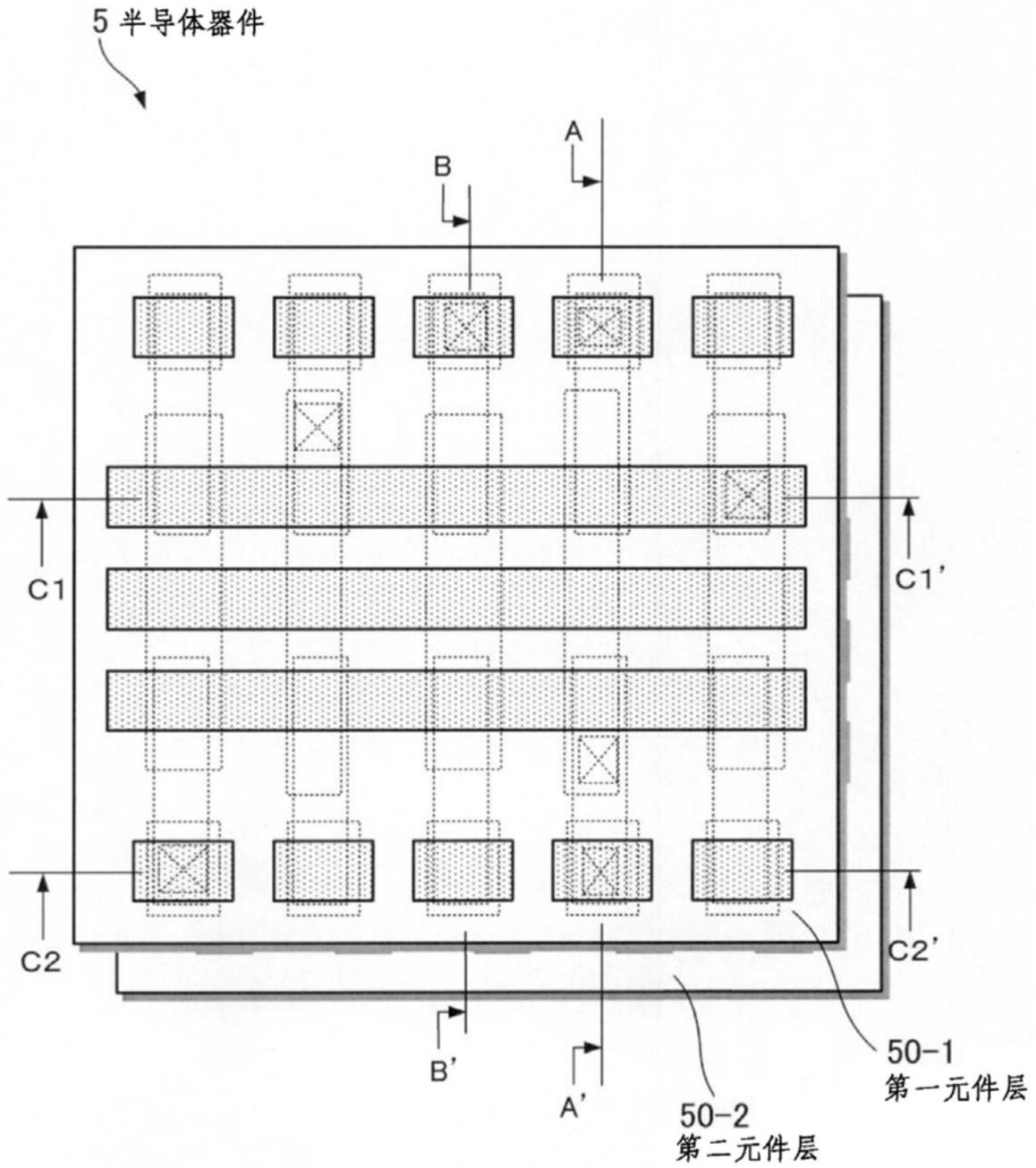


图42

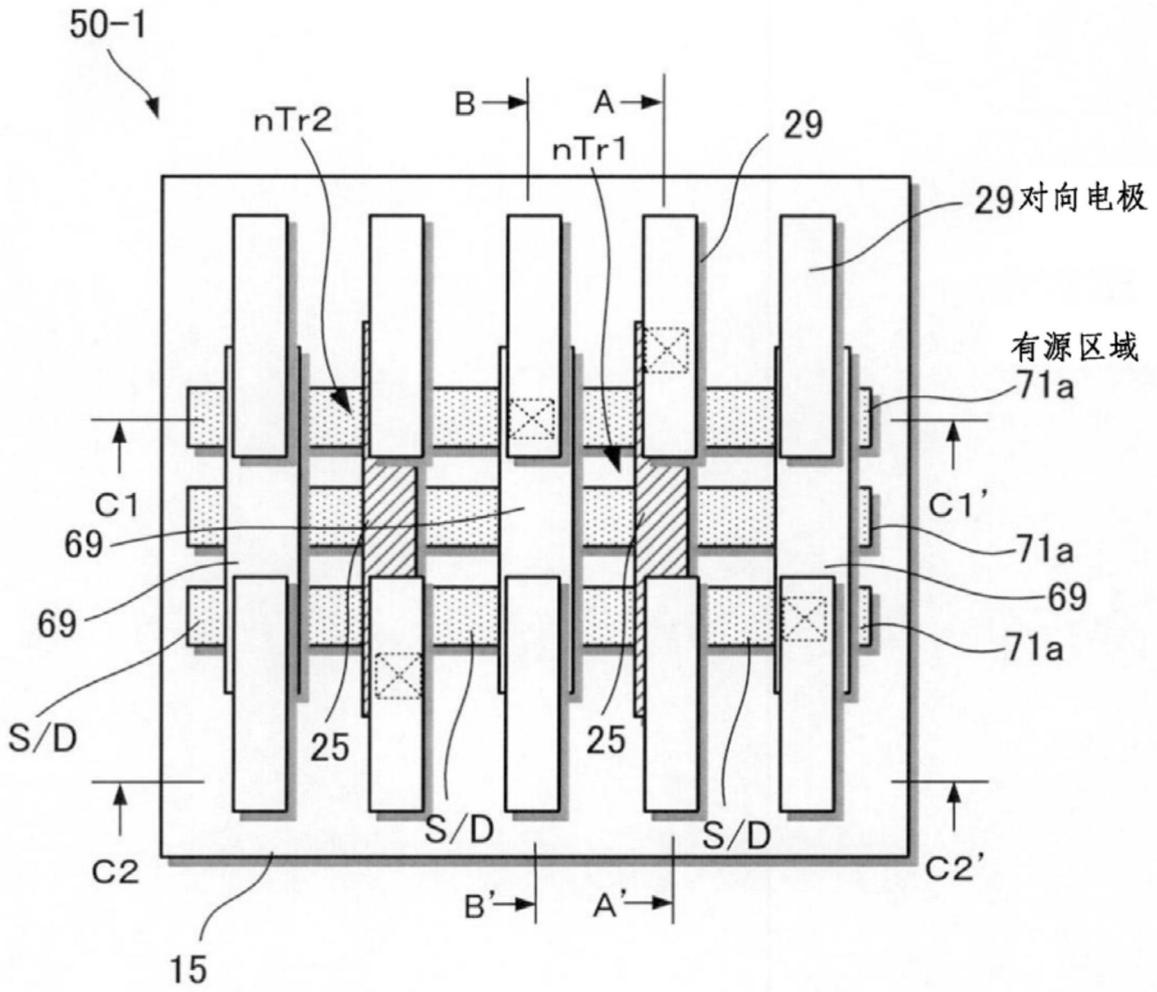


图43

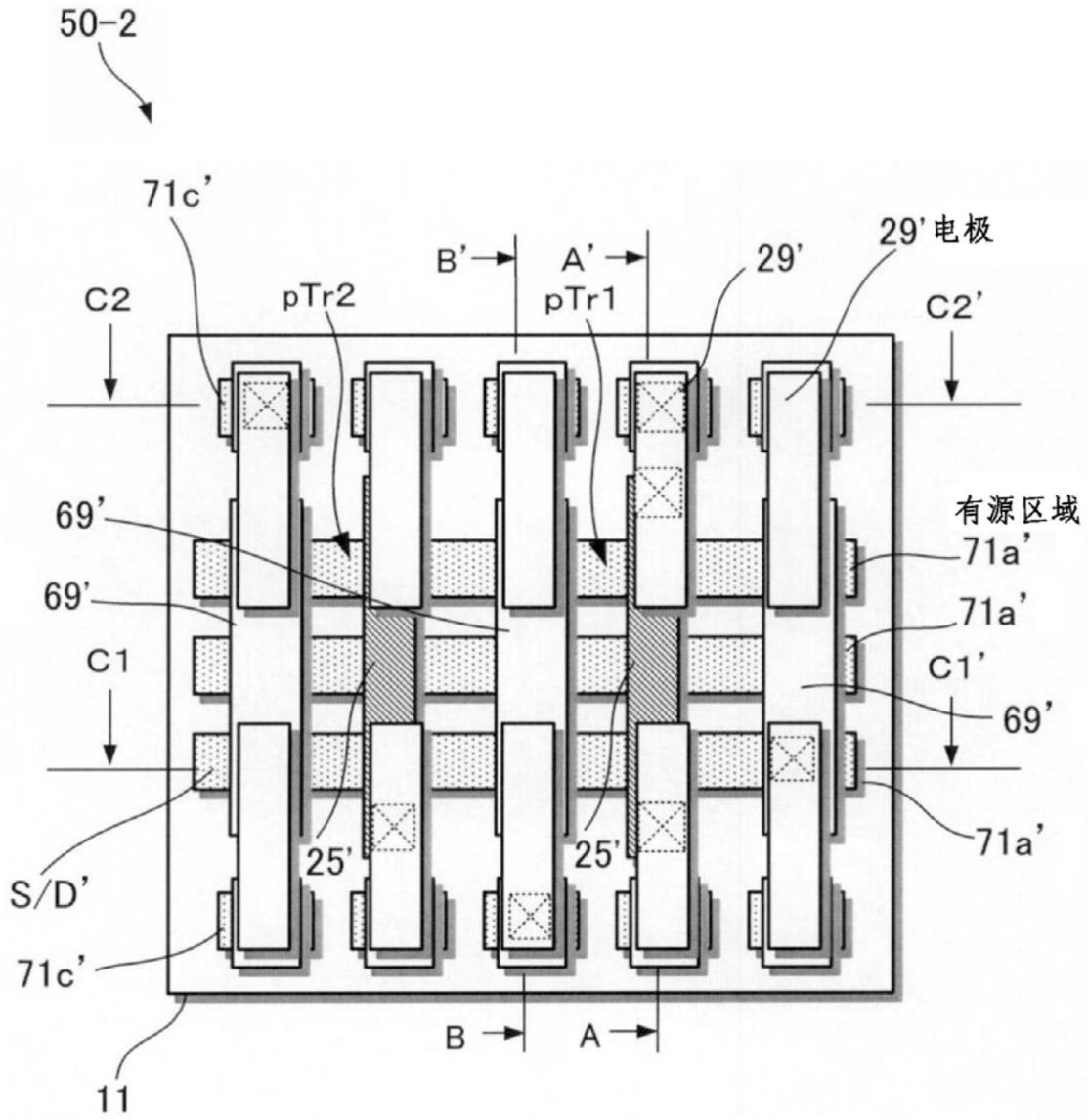


图44

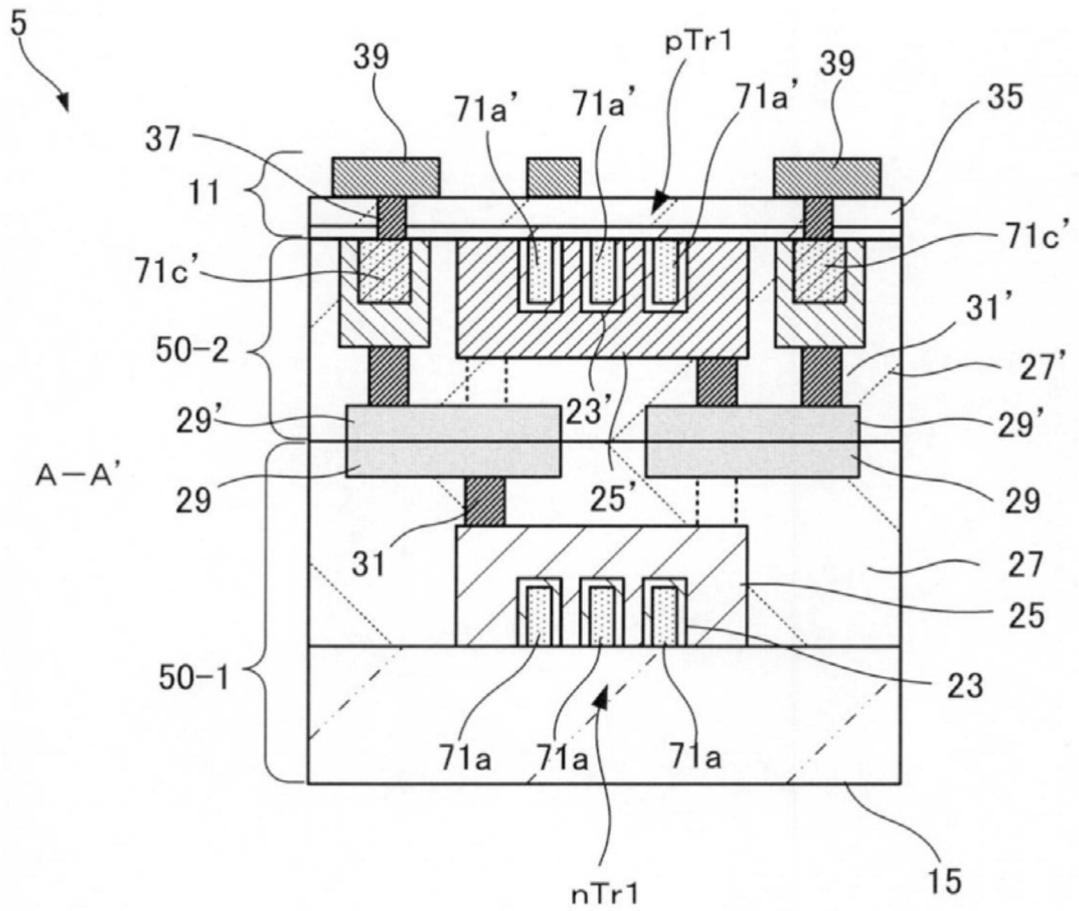


图45

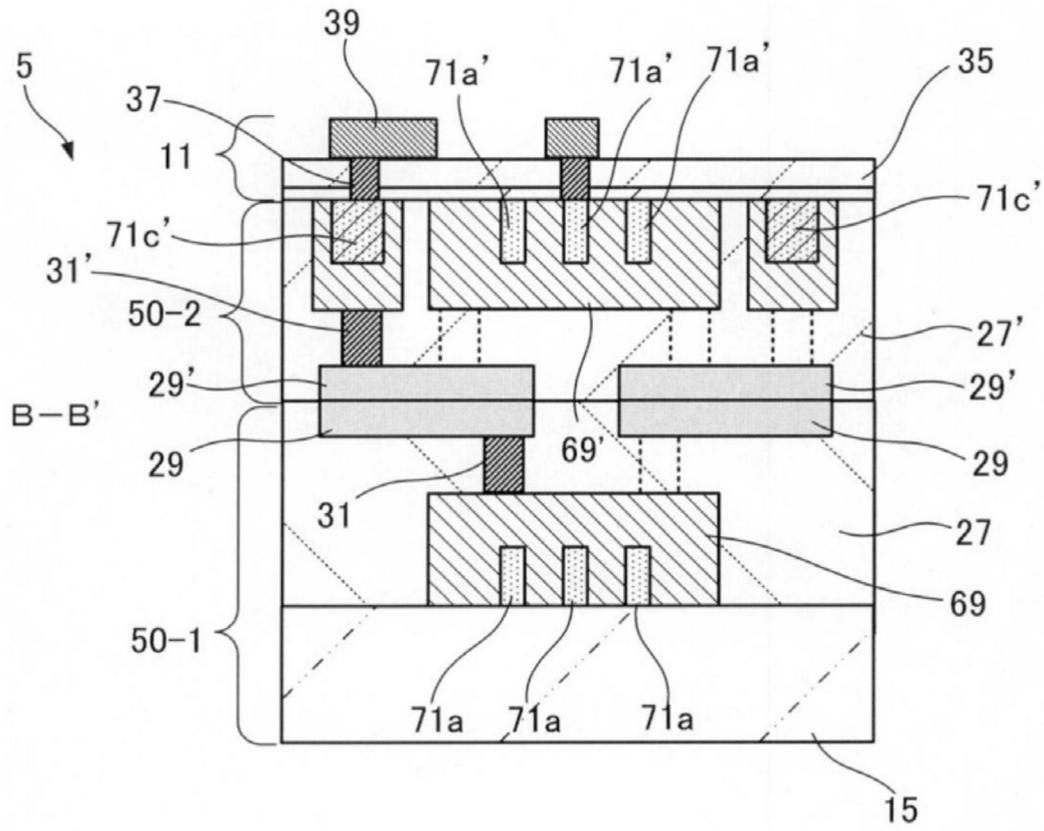


图46

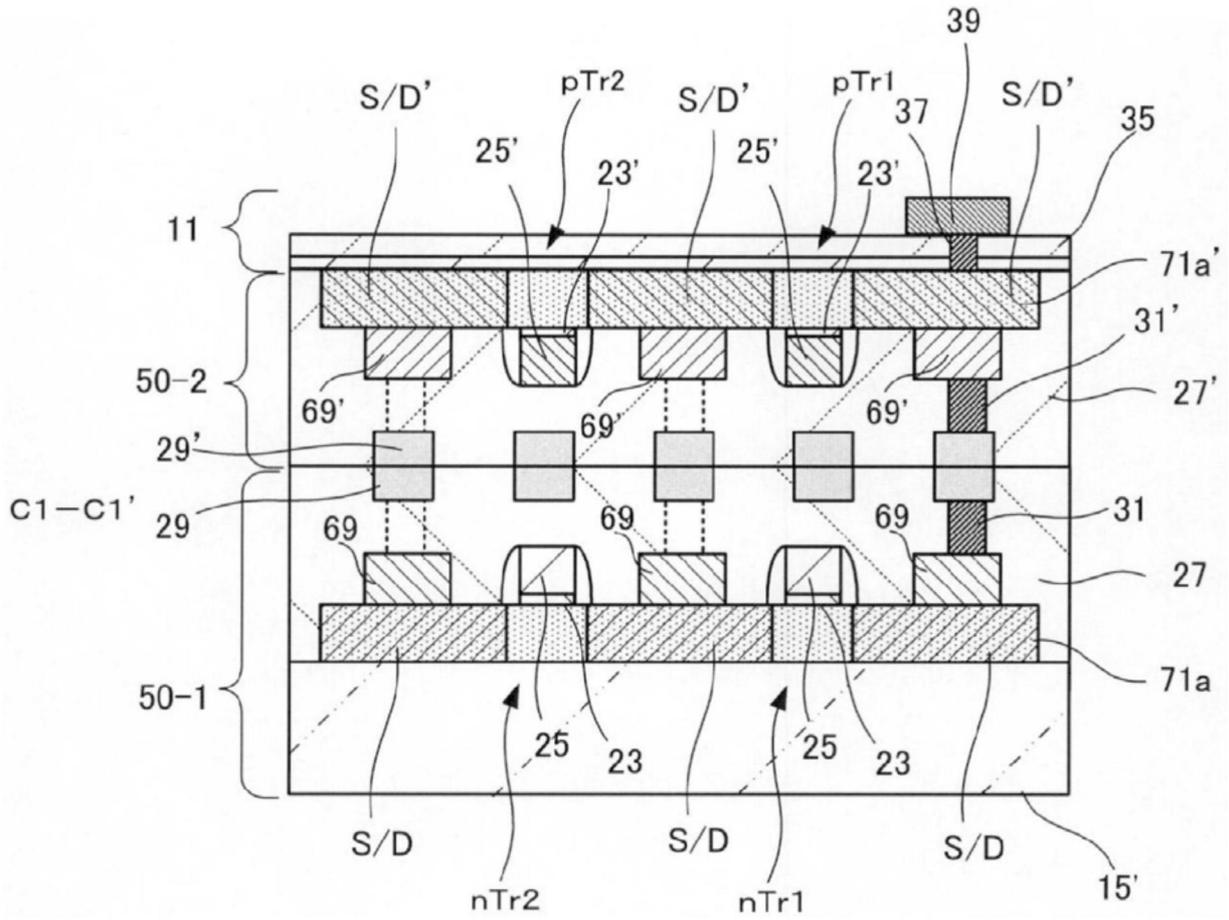


图47

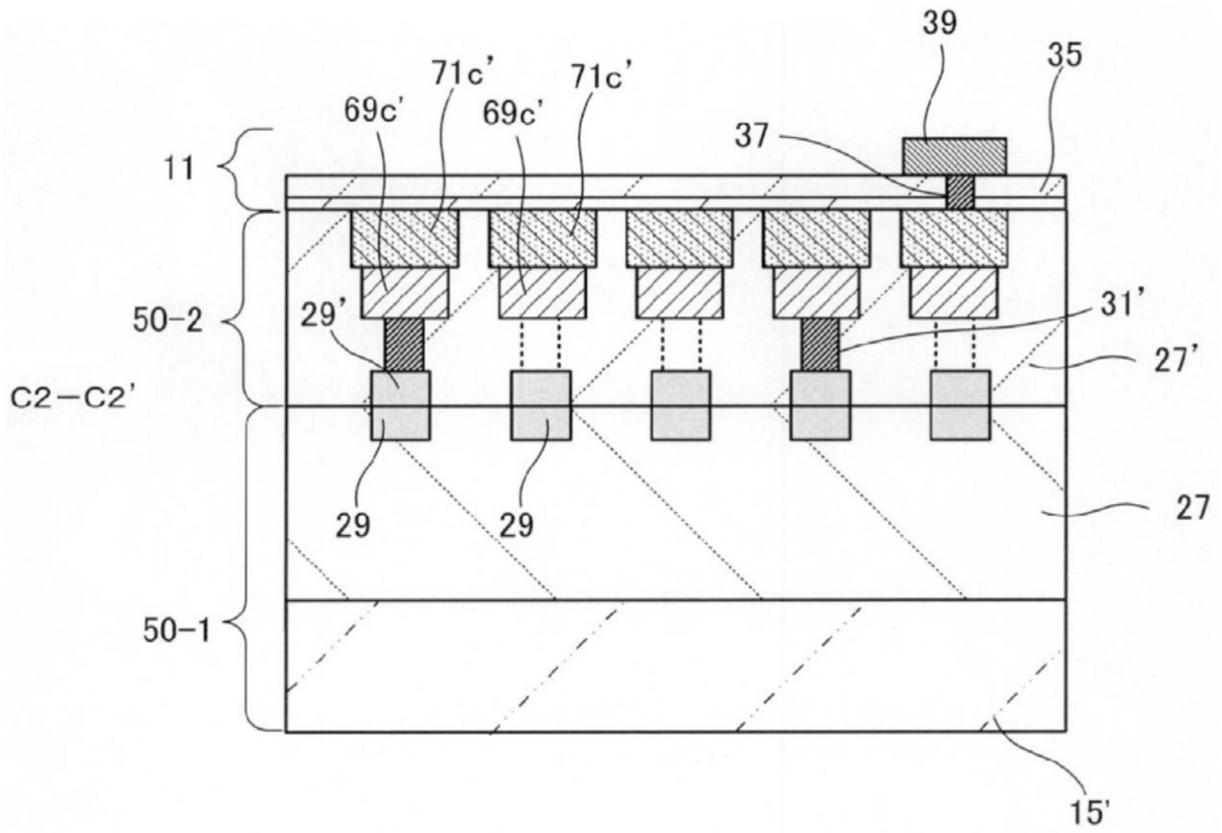


图48

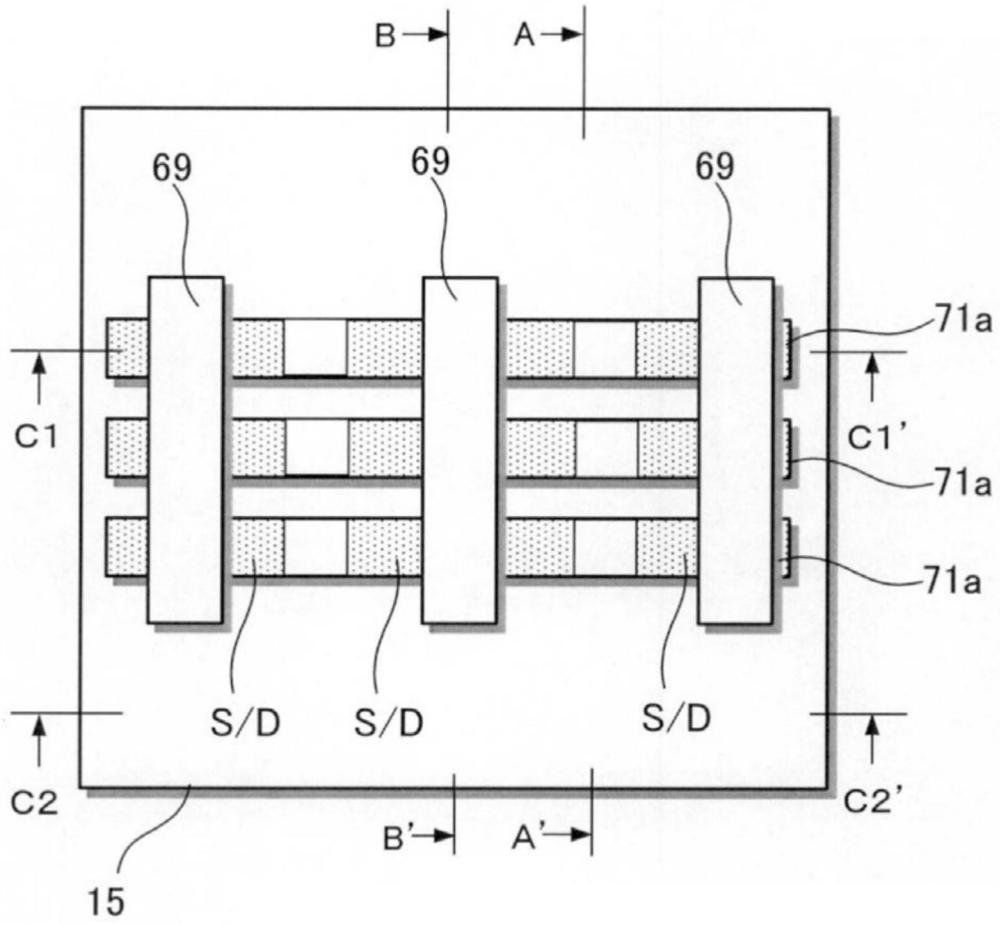


图49

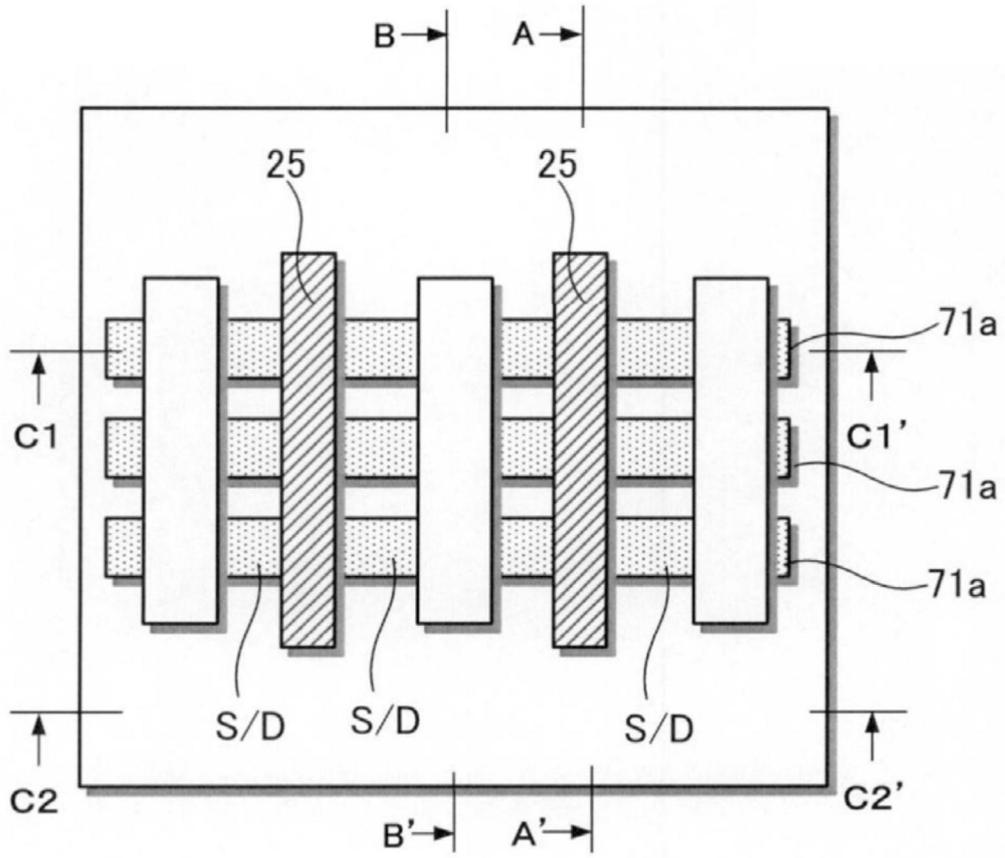


图50

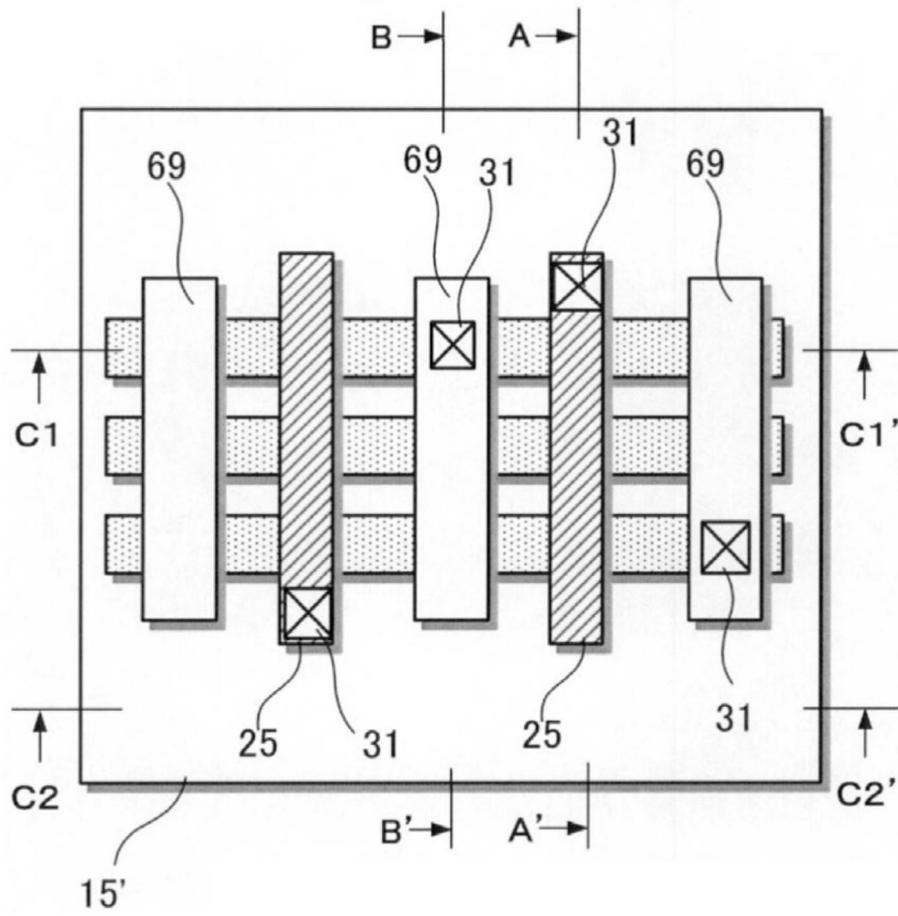


图51

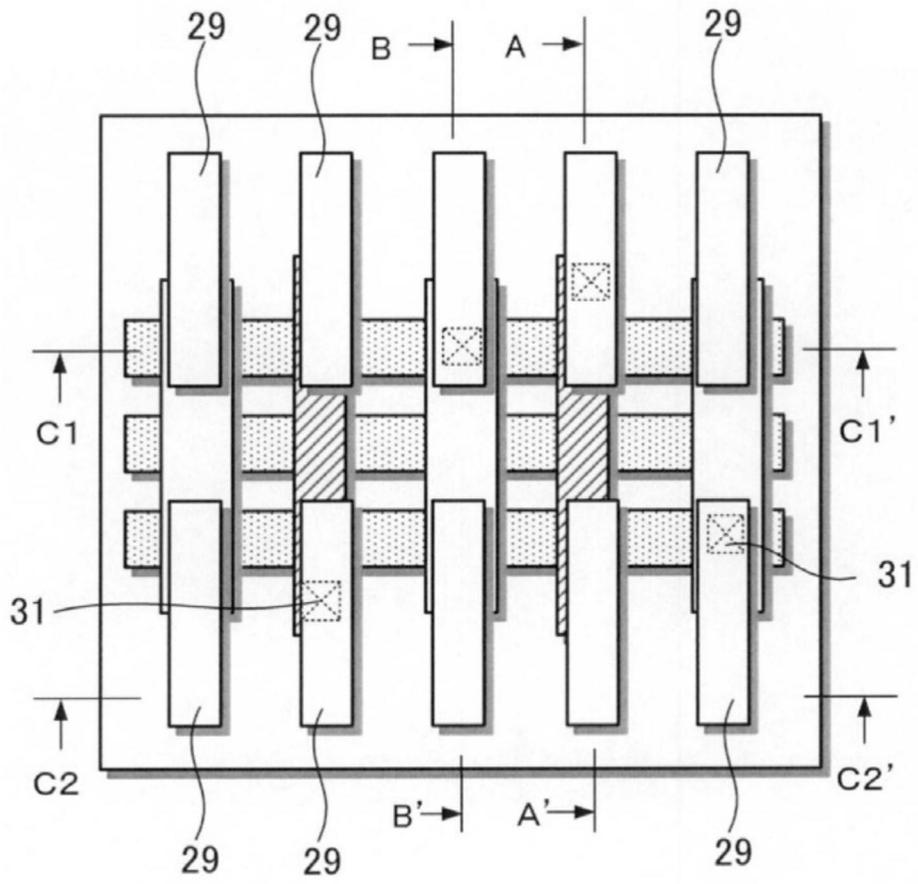


图52

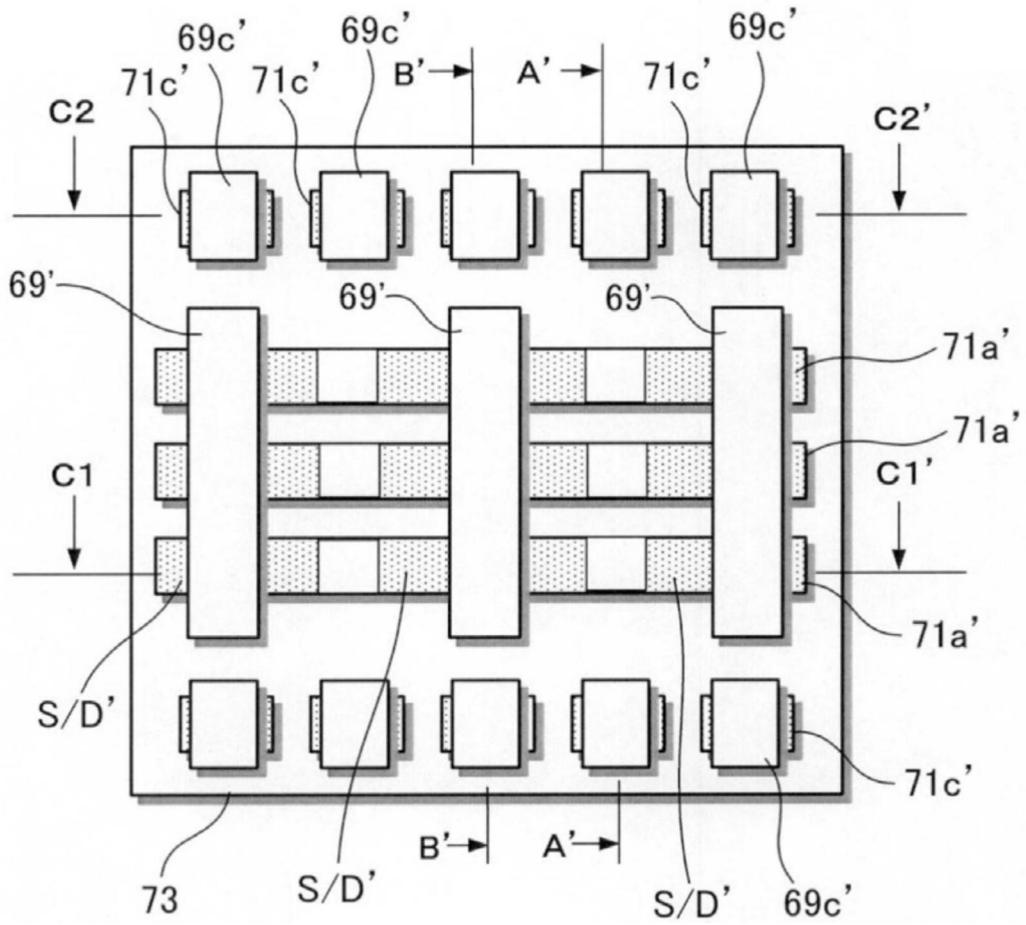


图53

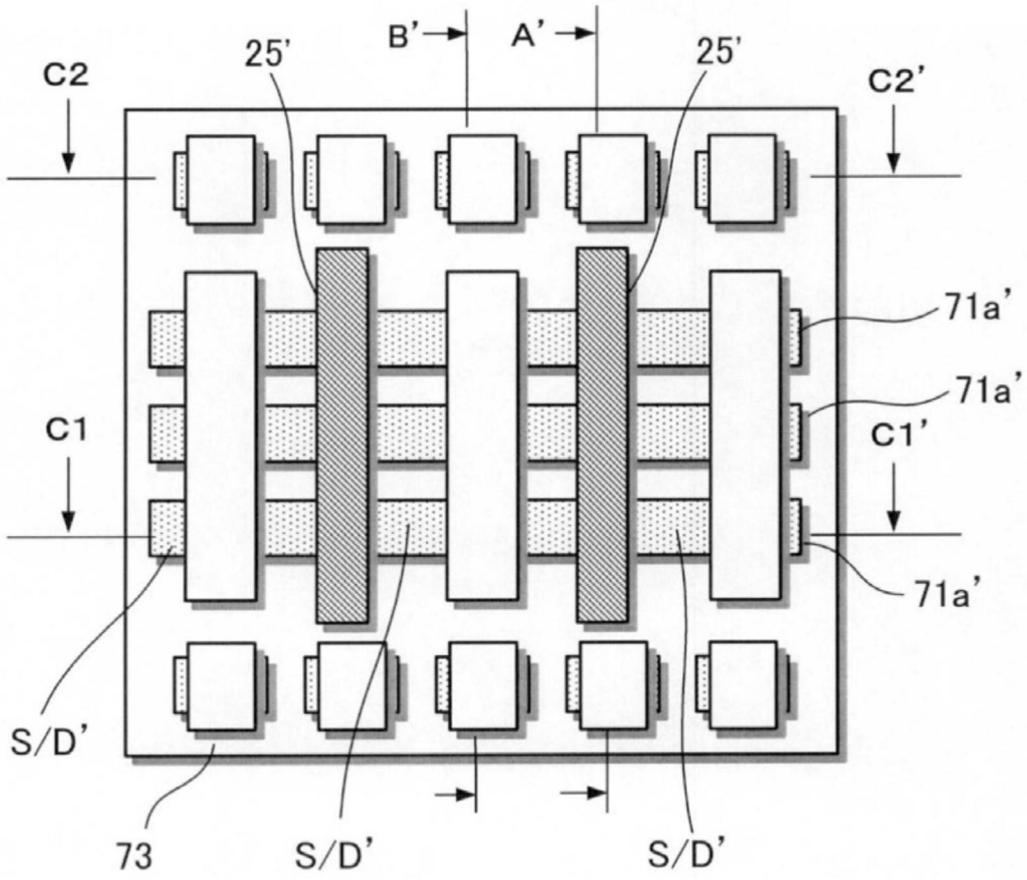


图54

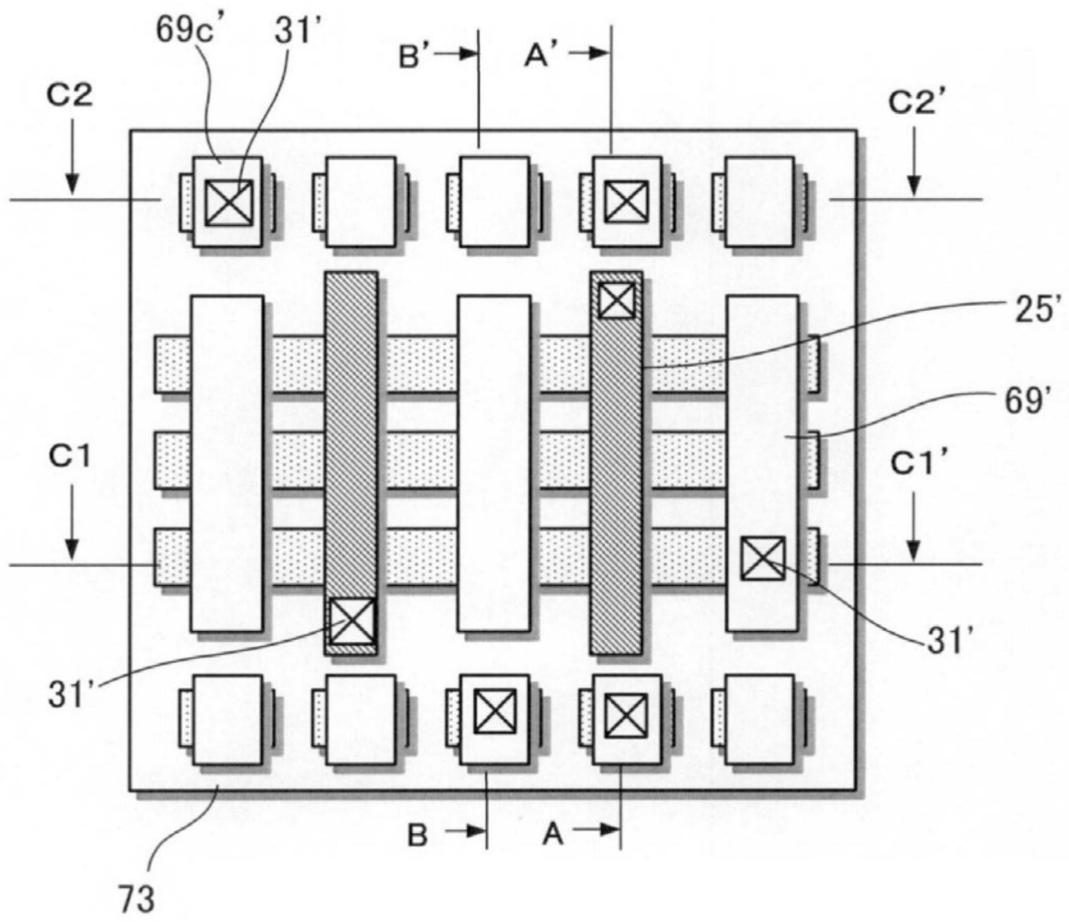


图55

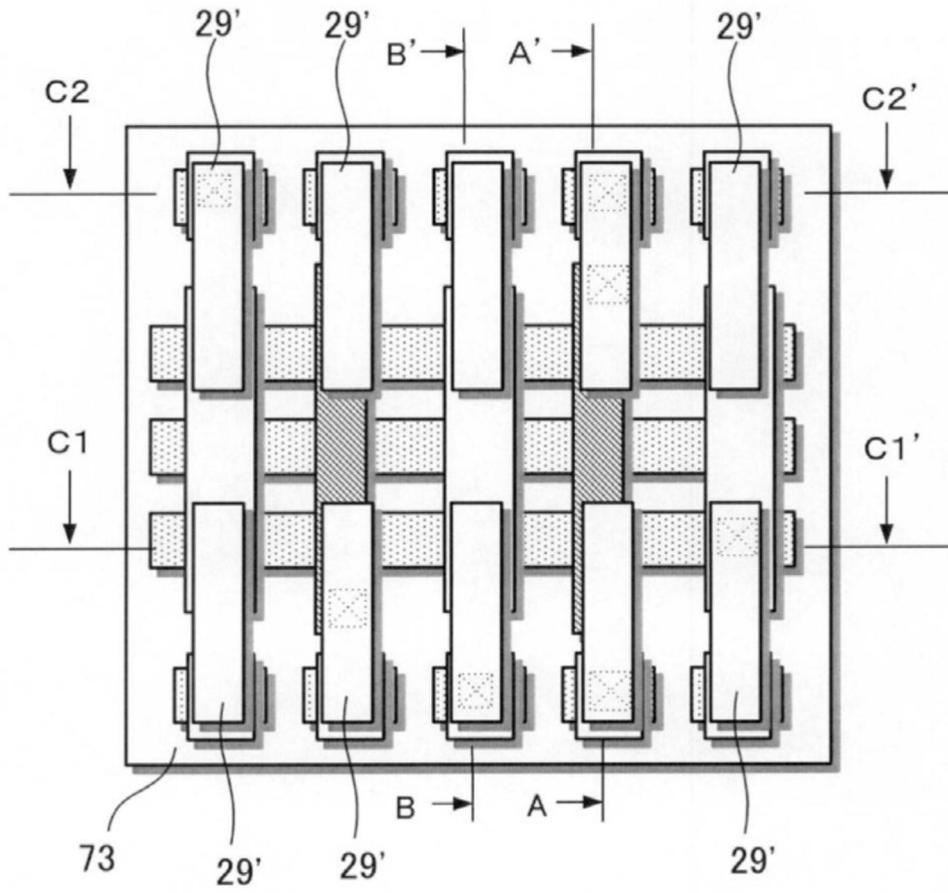


图56

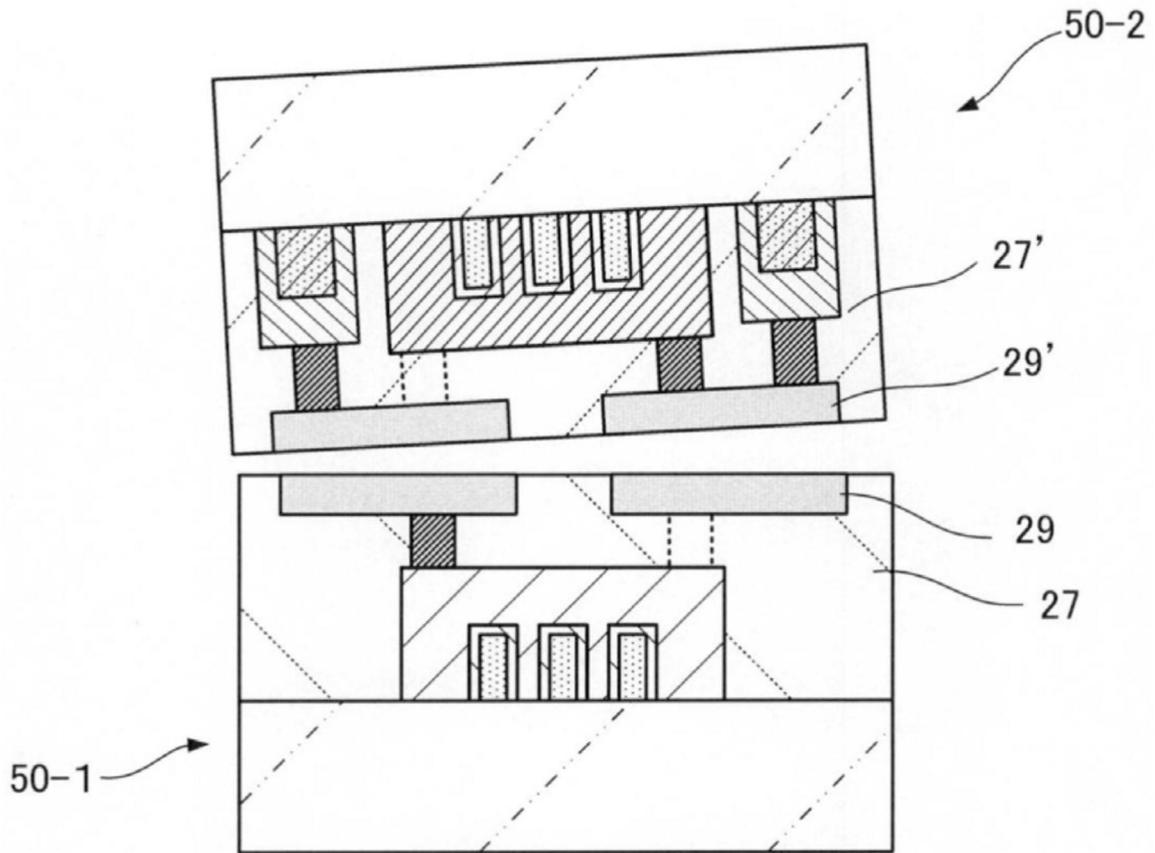


图57

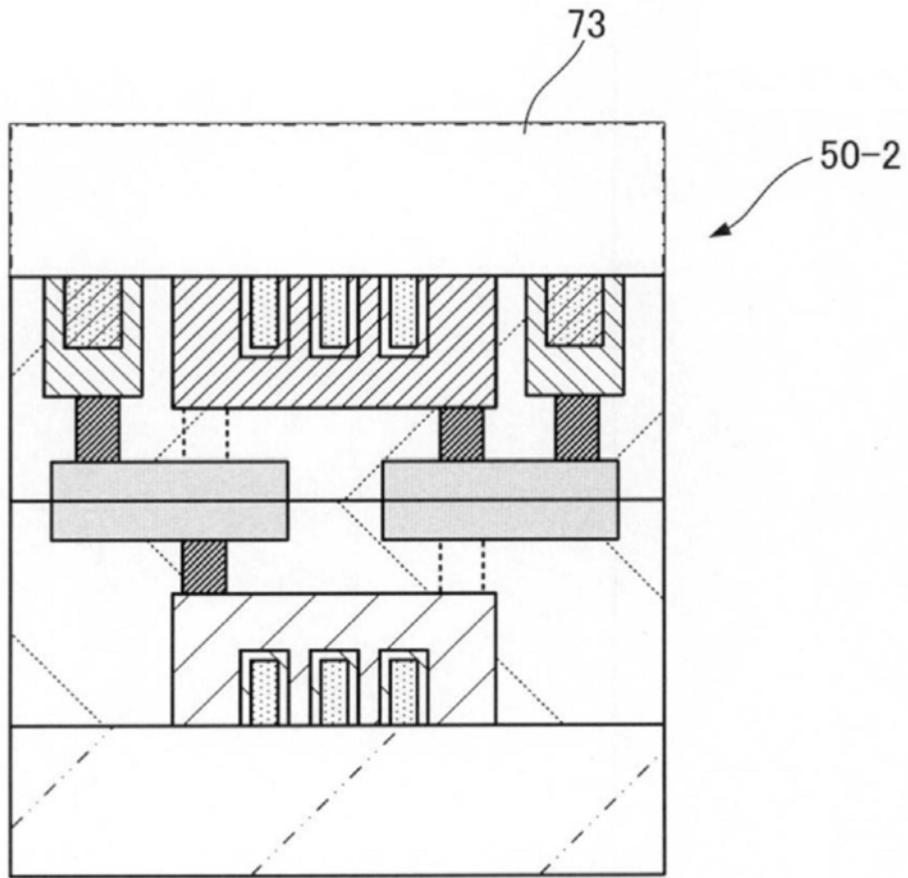


图58

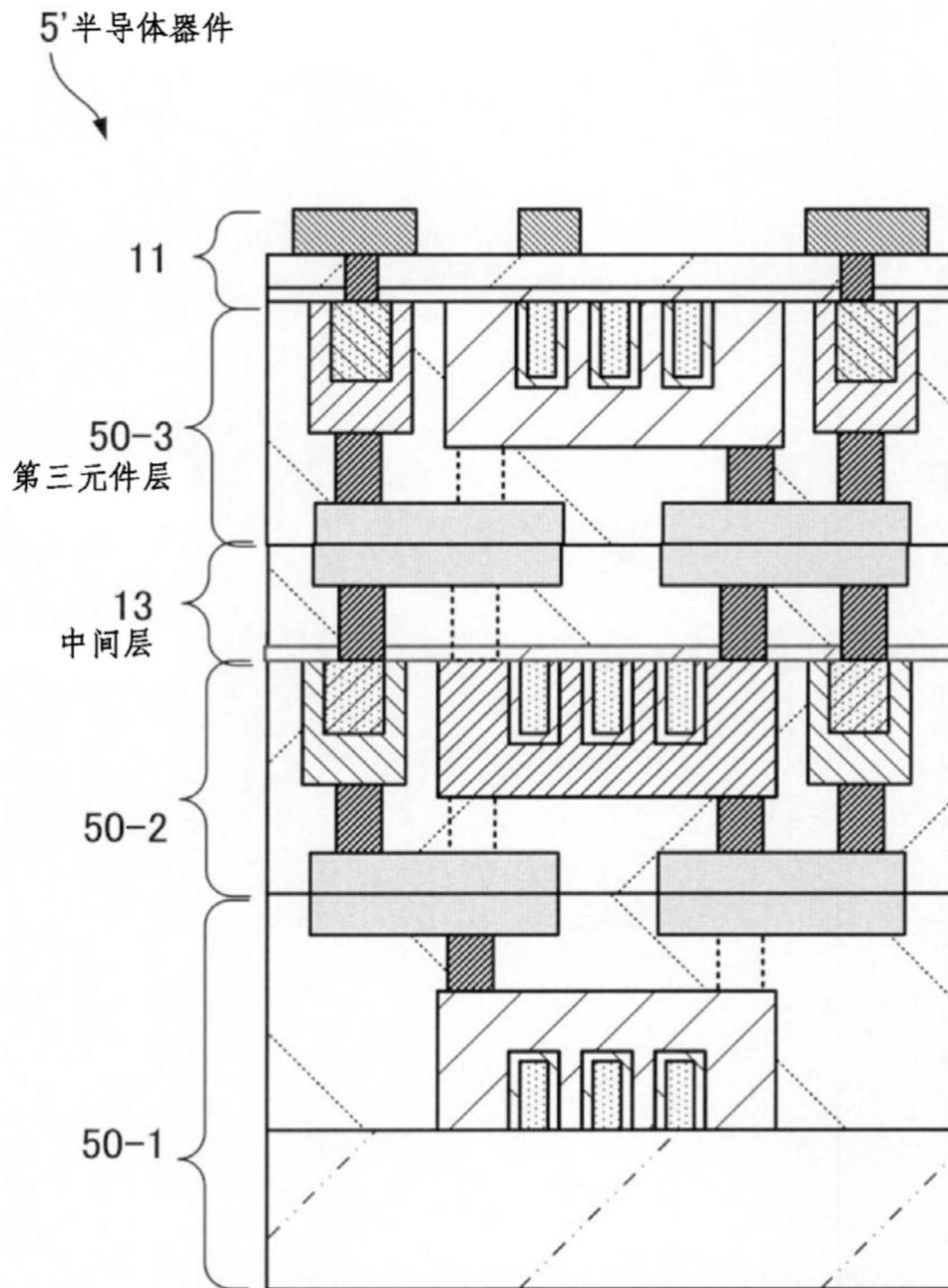


图59

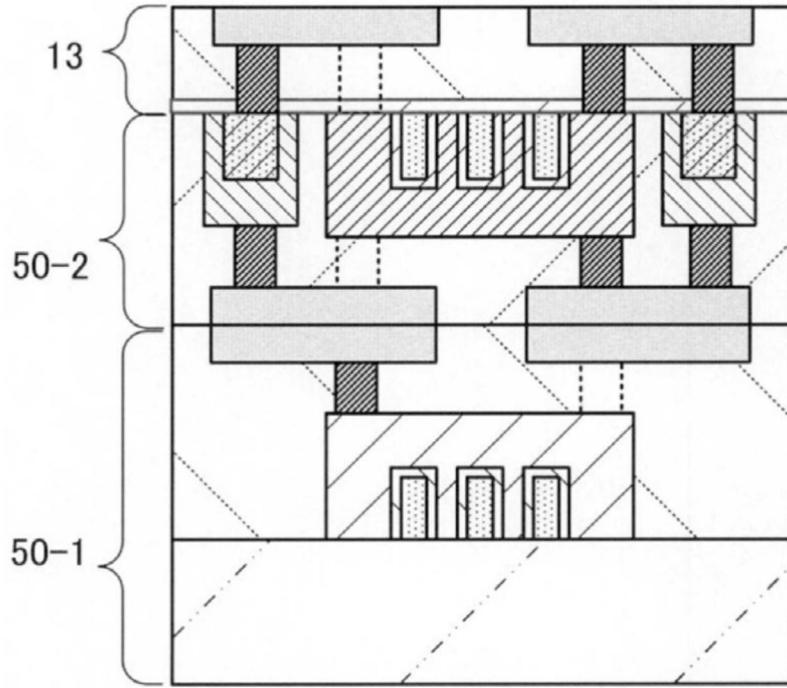


图60

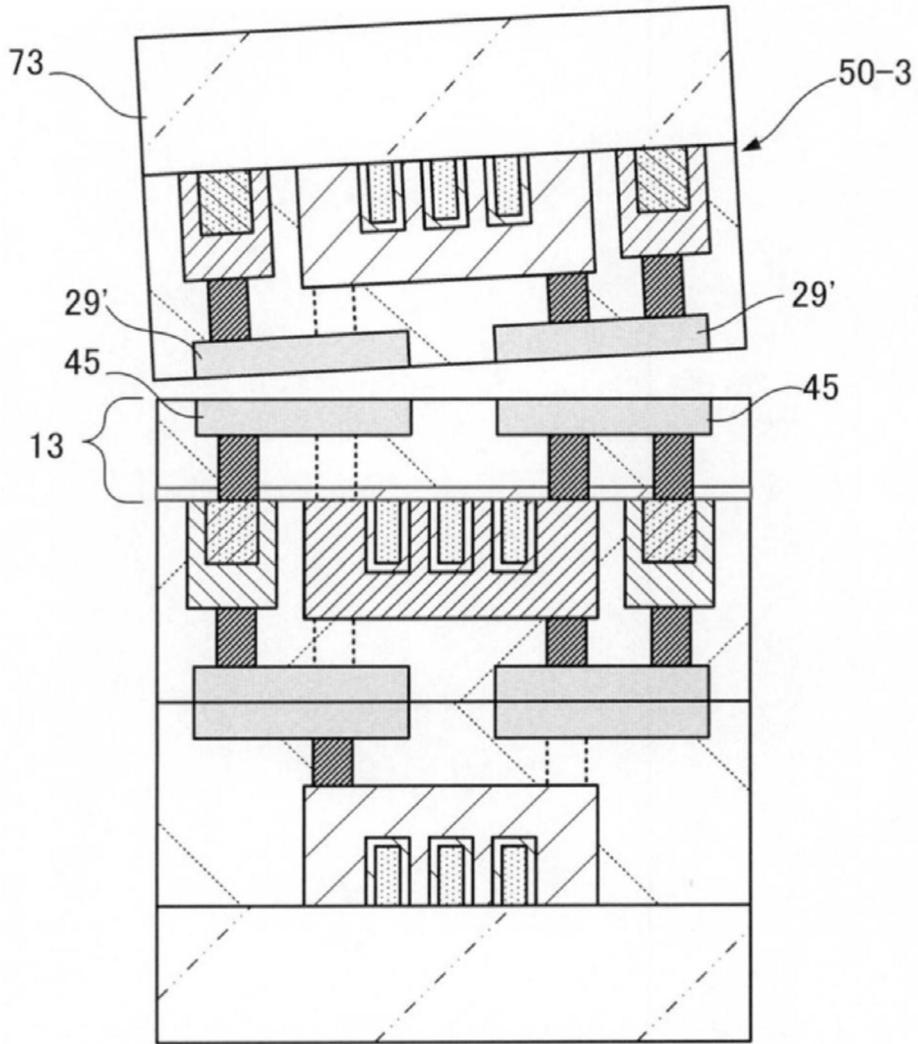


图61

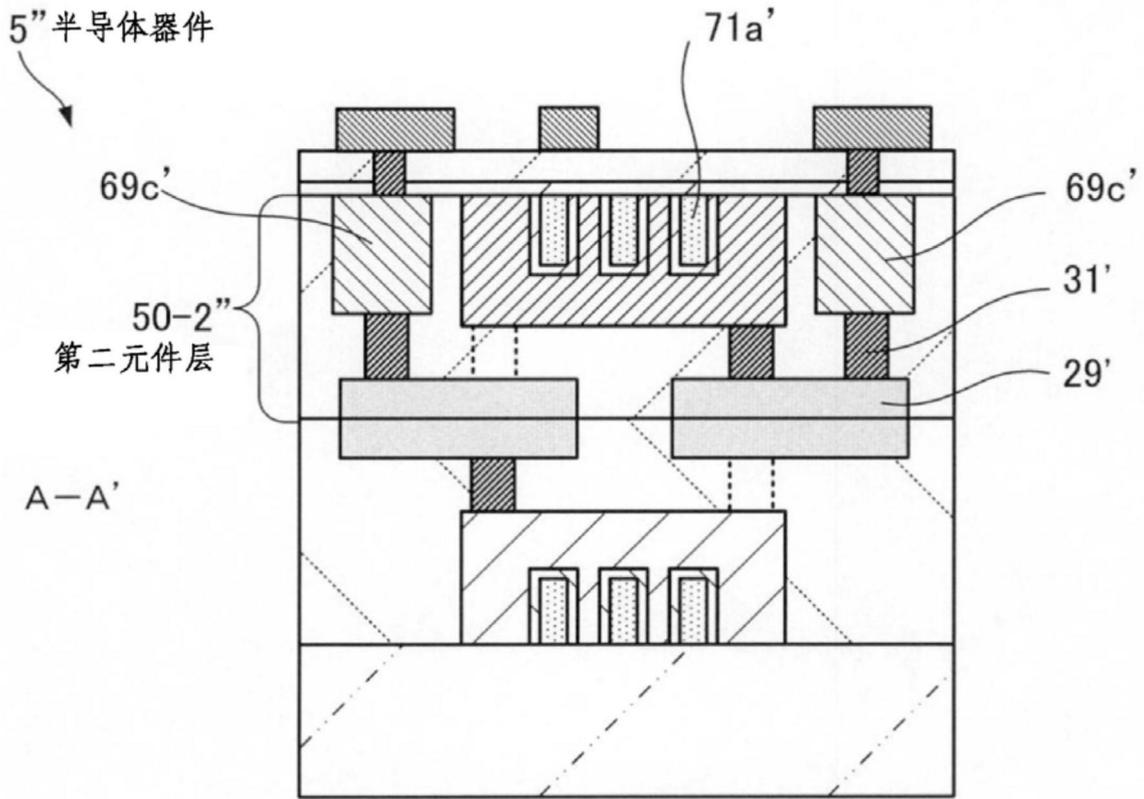


图62

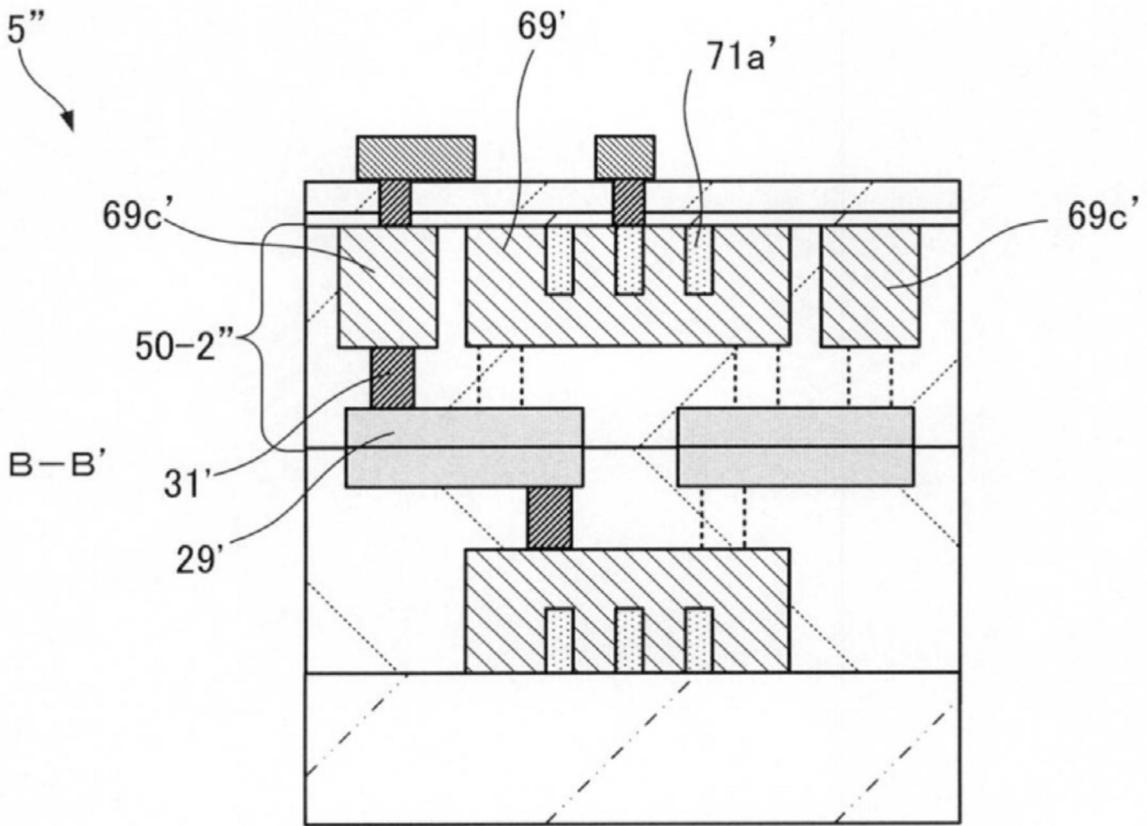


图63

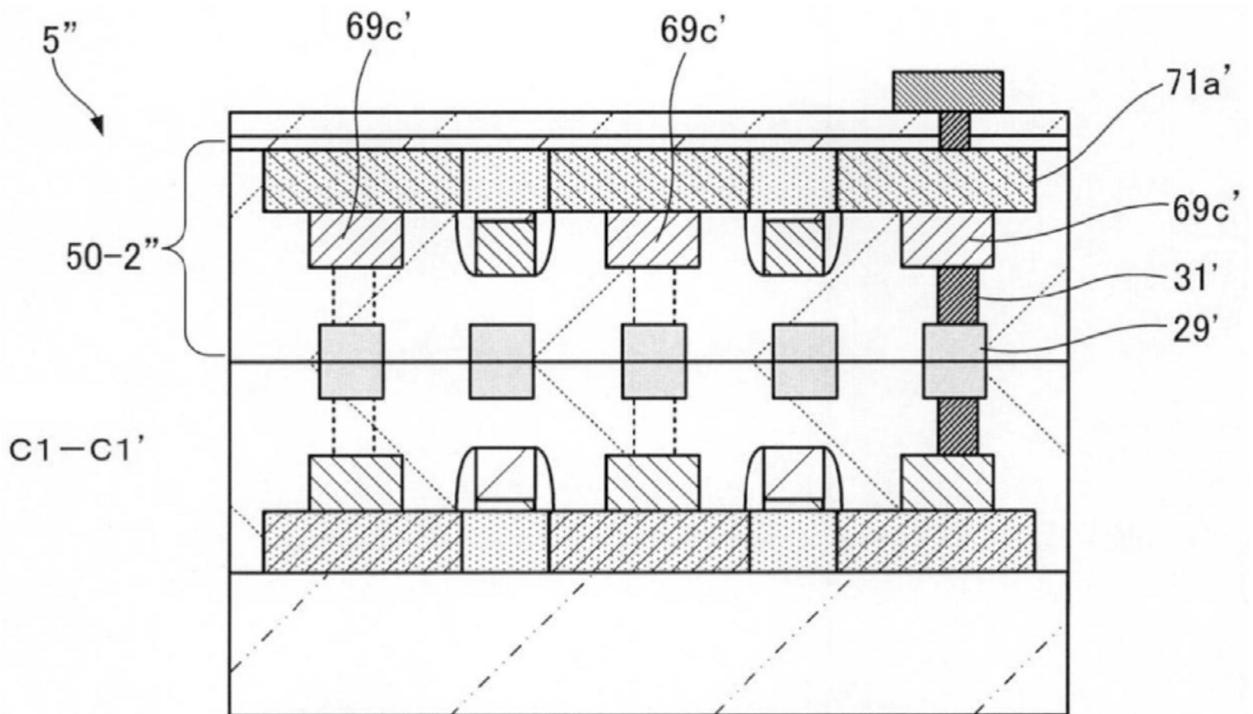


图64

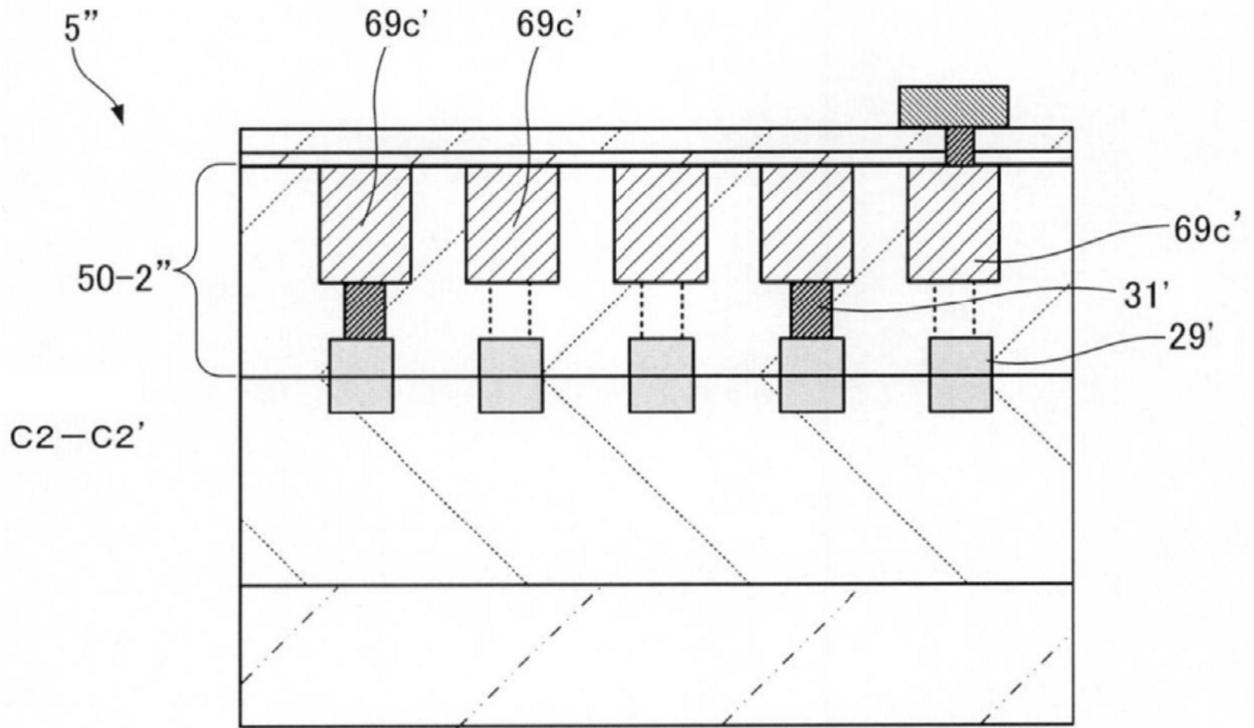


图65

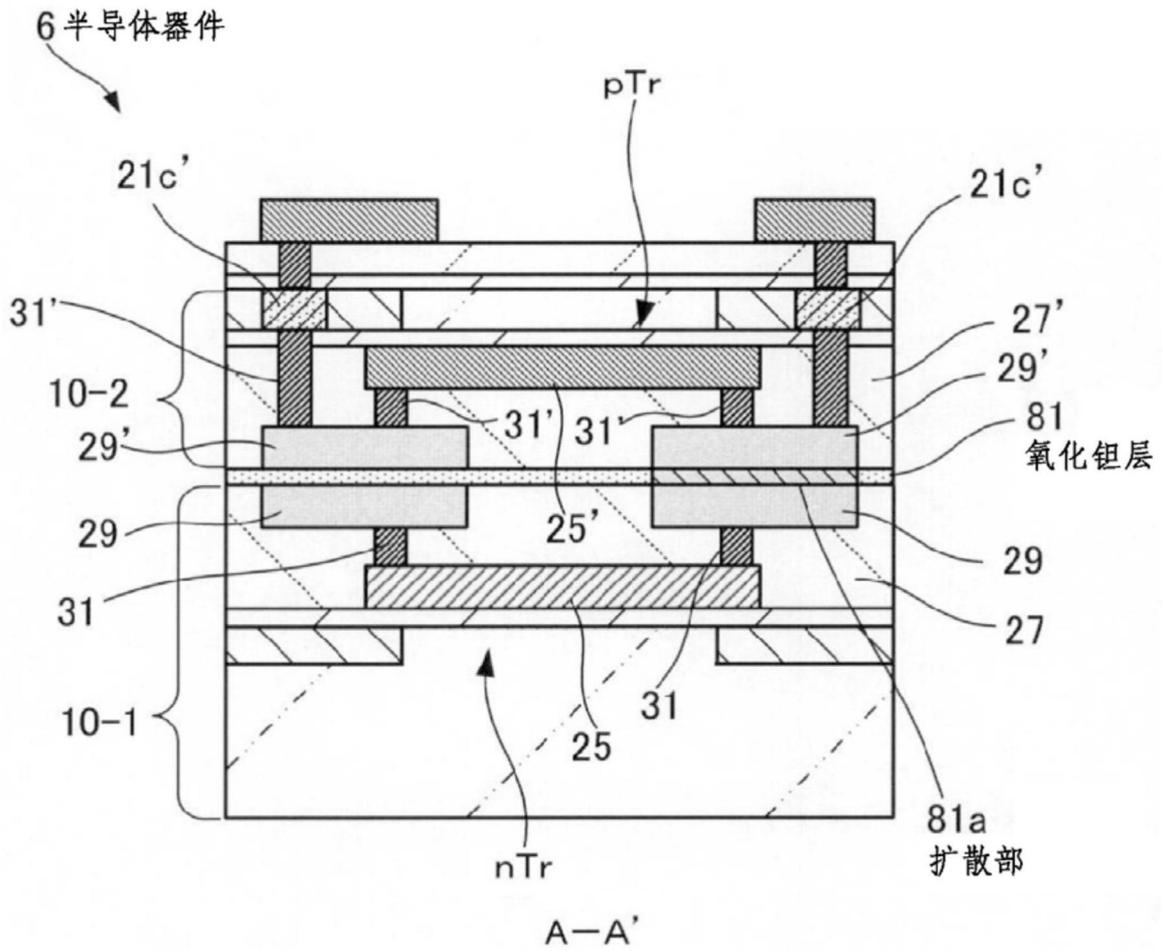


图66

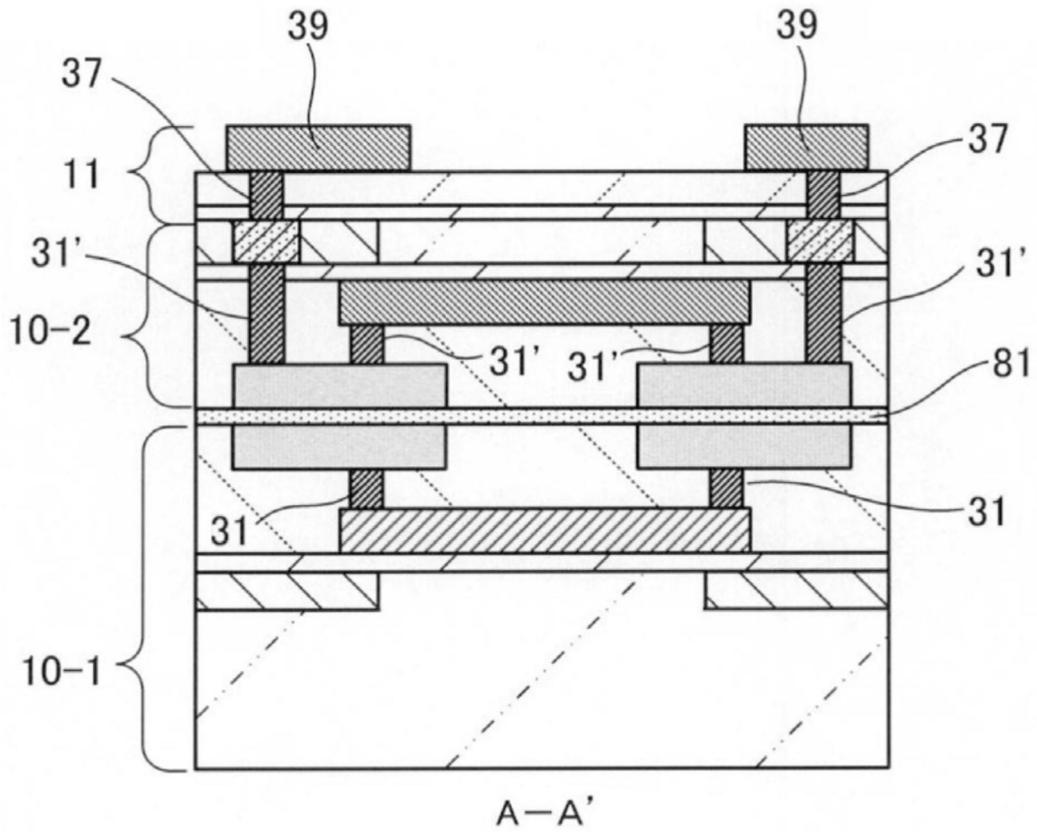


图67

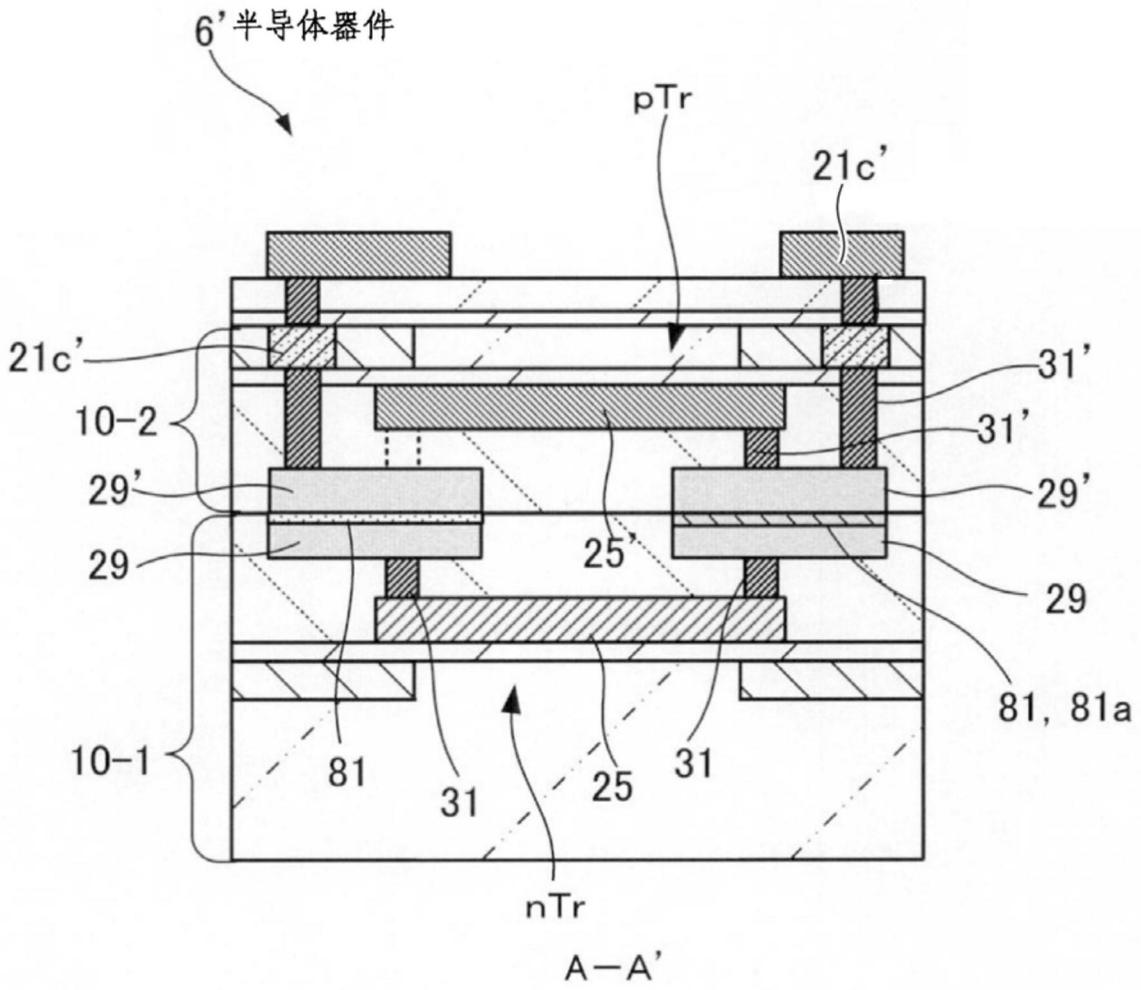


图68

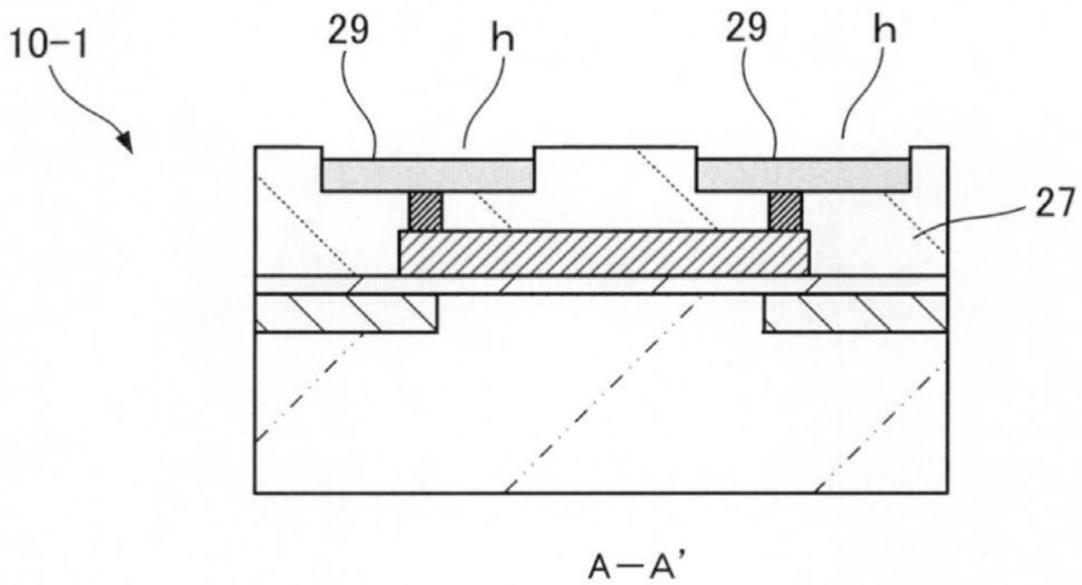


图69

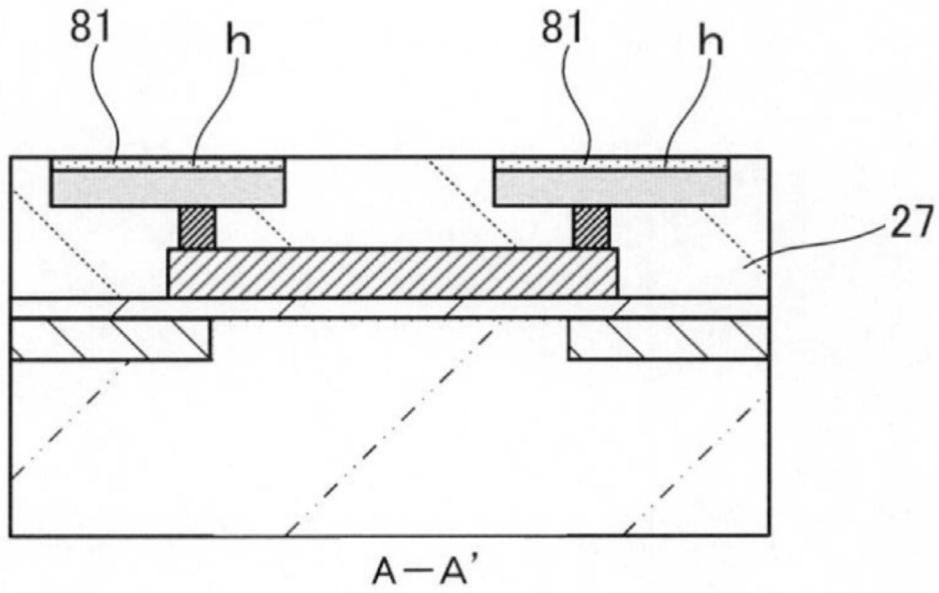


图70

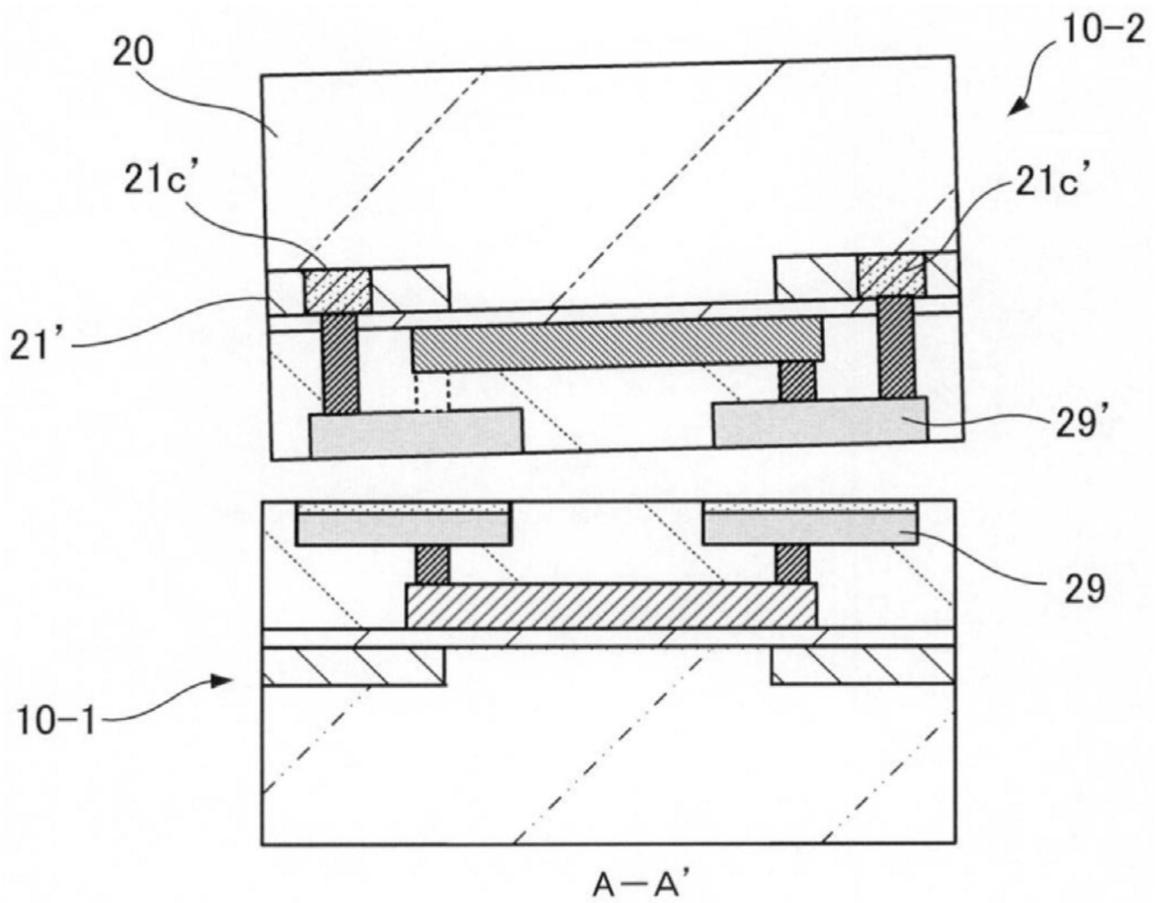


图71

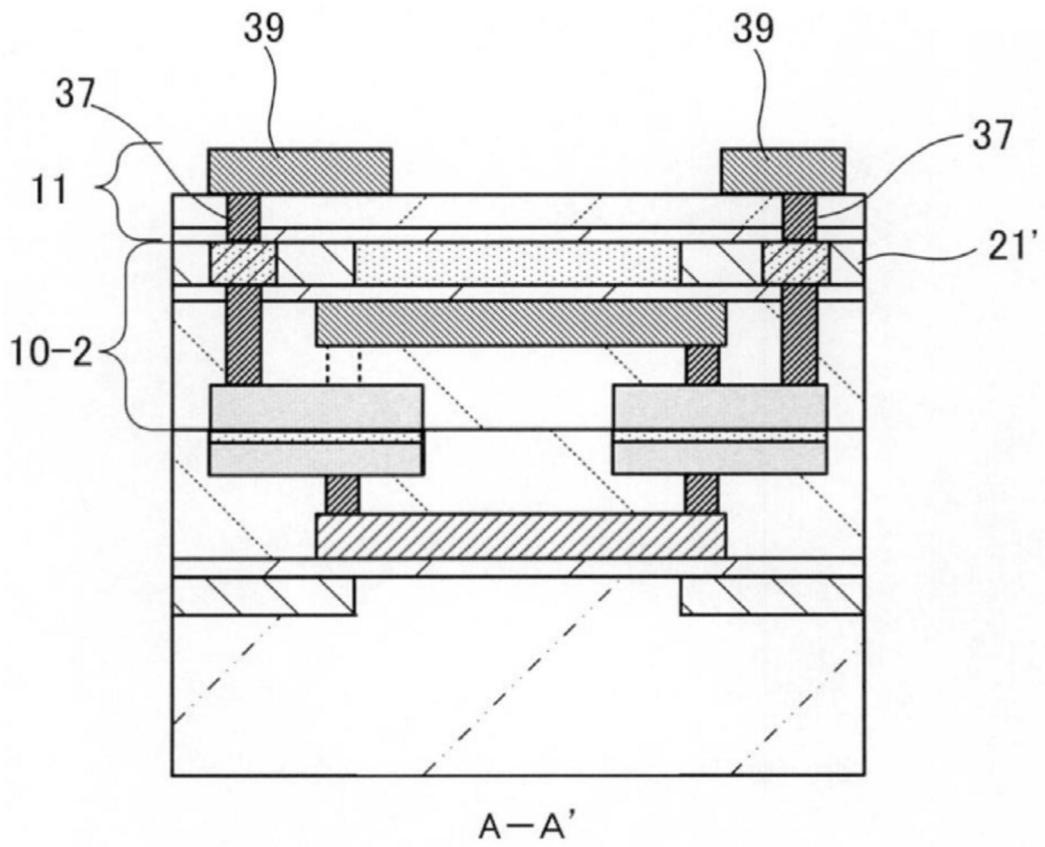


图72

90 电子设备

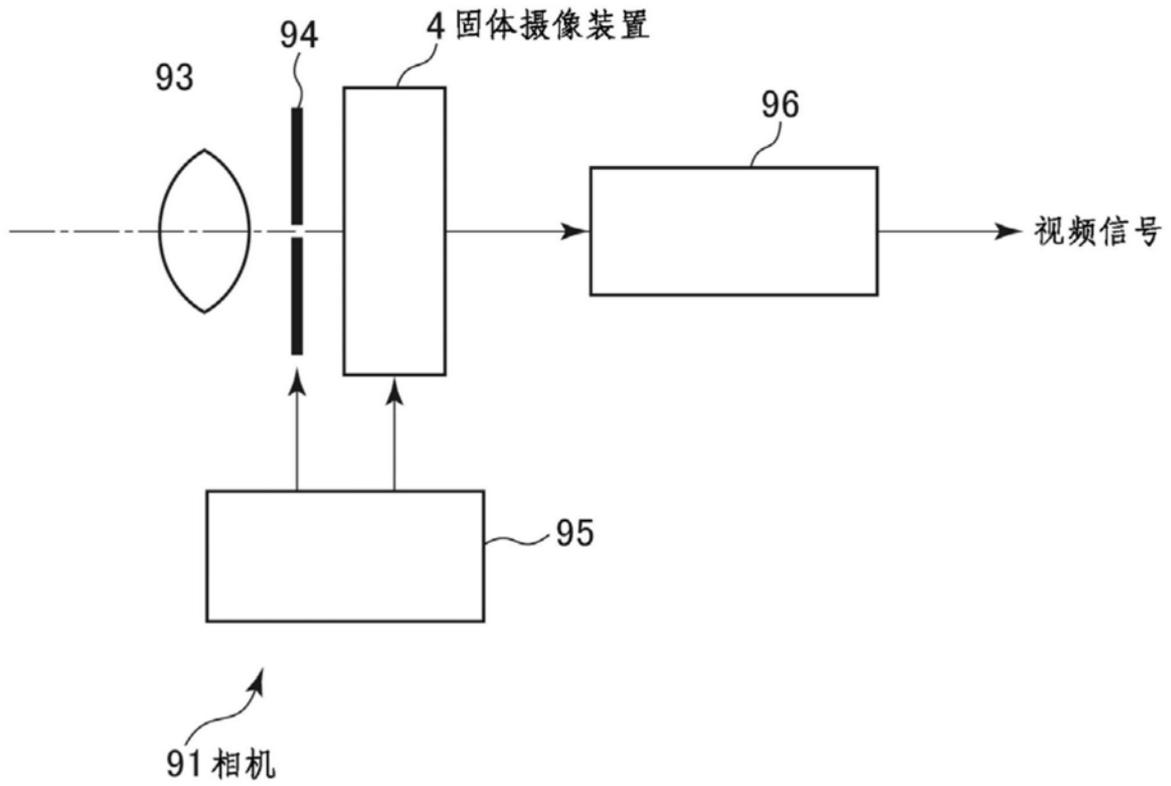


图73