



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0140697
(43) 공개일자 2016년12월07일

- (51) 국제특허분류(Int. Cl.)
G05F 3/02 (2006.01) *G05F 3/26* (2006.01)
- (52) CPC특허분류
G05F 3/02 (2013.01)
G05F 3/262 (2013.01)
- (21) 출원번호 10-2016-7027334
- (22) 출원일자(국제) 2015년03월11일
심사청구일자 없음
- (85) 번역문제출일자 2016년09월30일
- (86) 국제출원번호 PCT/US2015/019951
- (87) 국제공개번호 WO 2015/153087
국제공개일자 2015년10월08일
- (30) 우선권주장
14/244,321 2014년04월03일 미국(US)

- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775
- (72) 벌명자
바히드 파르, 모함메드 바거
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775
- 코미자니, 압바스
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775
- 박, 찬홍
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775
- (74) 대리인
특허법인 남앤드남

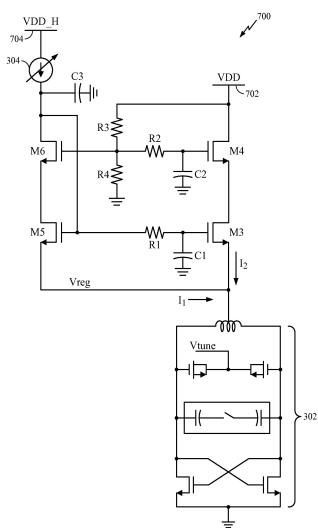
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 전압-제어 오실레이터(VCO)에 대한 전력-효율적, 저-노이즈 및 프로세스/전압/온도(PVT)-둔감
성 레귤레이터

(57) 요약

본 개시의 특정한 양상들은 전력 효율적이고, 저 노이즈이며, 프로세스 기술, 전원 전압 및 온도의 변화들에 실질적으로 둔감한 전압 레귤레이팅 회로들을 제공한다. 이러한 회로들은 예를 들어, 라디오 주파수 프론트 엔드(RFFE)에서 발견되는 바와 같은 VCO(voltage-controlled oscillator)에 대한 레귤레이팅된 전압을 제공하는데 이용될 수 있다. 일 예시적인 전압 레귤레이팅 회로는 일반적으로, 바이어스 브랜치 및 메인 브랜치를 갖는 전류 미러 및 기준 전류를 공급 또는 성크하도록 구성된 전류 소스를 포함하고, 바이어스 브랜치는 전류 소스에 연결되고, 메인 브랜치는 레귤레이팅된 전압을 제공하기 위한 소스 팔로워를 포함하고, 기준 전류를 레귤레이팅된 전압에 대한 노드에서 이용 가능하다.

대 표 도 - 도7a



명세서

청구범위

청구항 1

레귤레이팅된 전압을 출력하기 위한 회로로서,
기준 전류를 공급 또는 싱크(sink)하도록 구성된 전류 소스; 및
바이어스 브랜치 및 메인 브랜치를 갖는 전류 미러
를 포함하고,
상기 바이어스 브랜치는 상기 전류 소스에 연결되고, 상기 메인 브랜치는 상기 레귤레이팅된 전압을 제공하기 위한 소스 팔로워를 포함하고, 상기 기준 전류는 상기 레귤레이팅된 전압에 대한 노드에서 이용 가능한, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 2

제 1 항에 있어서,
상기 바이어스 브랜치는 제 1 트랜지스터를 포함하고, 상기 메인 브랜치는 제 2 트랜지스터를 포함하고, 상기 제 1 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트에 연결되는,
레귤레이팅된 전압을 출력하기 위한 회로.

청구항 3

제 2 항에 있어서,
상기 바이어스 브랜치는 상기 제 1 트랜지스터와 캐스코드로 연결되는 제 3 트랜지스터를 포함하고, 상기 메인 브랜치는 상기 제 2 트랜지스터와 캐스코드로 연결되는 제 4 트랜지스터를 포함하고, 상기 제 3 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트에 연결되는,
레귤레이팅된 전압을 출력하기 위한 회로.

청구항 4

제 3 항에 있어서,
상기 전류 소스에 연결되는 제 1 전원 레벨; 및
상기 전류 미러의 메인 브랜치에 연결되는 제 2 전원 레벨
을 더 포함하고,
상기 제 1 전원 레벨은 상기 제 2 전원 레벨보다 더 높은 전압을 갖는,
레귤레이팅된 전압을 출력하기 위한 회로.

청구항 5

제 4 항에 있어서,

상기 제 3 트랜지스터의 게이트는 상기 제 2 전원 레벨에 연결되는 전압 분할기를 이용하여 바이어싱되는, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 6

제 4 항에 있어서,

상기 제 3 트랜지스터의 게이트는 제 1 저역 통과 필터를 통해 상기 제 4 트랜지스터의 게이트에 연결되고, 상기 제 1 트랜지스터의 게이트는 제 2 저역 통과 필터를 통해 상기 제 2 트랜지스터의 게이트에 연결되는, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 7

제 4 항에 있어서,

상기 제 3 트랜지스터의 드레인은 상기 전류 소스 및 상기 제 1 트랜지스터의 게이트에 연결되고, 상기 제 3 트랜지스터의 소스는 상기 제 1 트랜지스터의 드레인에 연결되고, 상기 제 1 트랜지스터의 소스는 상기 레귤레이팅된 전압에 대한 노드에 연결되는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 8

제 4 항에 있어서,

상기 제 4 트랜지스터의 드레인은 상기 제 2 전원 레벨에 연결되고, 상기 제 4 트랜지스터의 소스는 상기 제 2 트랜지스터의 드레인에 연결되고, 상기 제 2 트랜지스터의 소스는 상기 레귤레이팅된 전압에 대한 노드에 연결되는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 9

제 3 항에 있어서,

상기 제 1, 제 2, 제 3 및 제 4 트랜지스터들은 NMOS(n-channel metal-oxide semiconductor) 전계-효과 트랜지스터를 포함하는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 10

제 2 항에 있어서,

상기 제 1 트랜지스터의 드레인은 상기 제 1 트랜지스터의 게이트에 연결되는, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 11

제 1 항에 있어서,

상기 기준 전류 및 상기 메인 브랜치를 통한 브랜치 전류는 상기 레귤레이팅된 전압에 대한 노드에서 이용 가능한 레귤레이터 전류를 구성하고, 상기 레귤레이터 전류는 프로세스 기술, 전원 전압 및 온도의 변동들에 대해 실질적으로 둔감한,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 12

제 1 항에 있어서,

상기 전류 소스는 가변 전류 소스를 포함하는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 13

제 1 항에 있어서,

상기 전류 미러는 저 임피던스 전류 미러를 포함하는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 14

제 1 항에 있어서,

상기 소스 팔로워는 PMOS(p-channel metal-oxide semiconductor) 전계-효과 트랜지스터를 포함하는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 15

레귤레이팅된 전압을 출력하기 위한 회로로서,

상기 레귤레이팅된 전압을 제공하도록 구성된 소스 팔로워;

상기 레귤레이팅된 전압에 대한 노드에서 이용 가능한 레귤레이팅된 전류에 대응하는 감지 전류를 측정하도록 구성된 전류 감지 회로;

기준 전류를 공급하도록 구성된 전류 소스; 및

상기 감지 전류를 상기 기준 전류에 비교하고 상기 비교에 기초하여 상기 소스 팔로워의 바이어스를 제어하도록 구성된 전류 모드 비교기

를 포함하는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 16

제 15 항에 있어서,

상기 소스 팔로워, 상기 전류 감지 회로, 상기 전류 소스 및 상기 전류 모드 비교기에 연결되는 전원 레벨을 더 포함하는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 17

제 16 항에 있어서,

상기 레귤레이터 전류는 프로세스 기술, 전원 레벨의 전압 및 온도의 변동들에 대해 실질적으로 둔감한, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 18

제 16 항에 있어서,

상기 소스 팔로워는 직렬로 연결되는 제 1 트랜지스터 및 제 2 트랜지스터를 포함하는, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 19

제 18 항에 있어서,

상기 제 1 트랜지스터의 게이트는 상기 전원 레벨에 연결되는 전압 분할기를 이용하여 바이어싱되는, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 20

제 18 항에 있어서,

상기 제 1 트랜지스터의 소스는 상기 제 2 트랜지스터의 드레인에 연결되고 상기 제 2 트랜지스터의 소스는 상기 레귤레이팅된 전압에 대한 노드에 연결되는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 21

제 20 항에 있어서,

상기 전류 모드 비교기의 출력은 저역 통과 필터를 통해 상기 제 2 트랜지스터의 게이트에 연결되는, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 22

제 21 항에 있어서,

상기 저역 통과 필터의 레지스터와 병렬의 스위치

를 더 포함하고,

상기 스위치는 상기 회로의 시동 동안 폐쇄되고, 상기 스위치는 상기 회로의 정상 동작 동안 개방되는, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 23

제 18 항에 있어서,

상기 전류 감지 회로는, 직렬로 연결되는 제 3, 제 4, 제 5 및 제 6 트랜지스터들을 포함하는, 레귤레이팅된 전압을 출력하기 위한 회로.

청구항 24

제 23 항에 있어서,

상기 제 3 트랜지스터의 드레인은 상기 전원 레벨에 연결되고, 상기 제 3 트랜지스터의 게이트는 상기 제 1 트랜지스터의 게이트에 연결되고, 상기 제 3 트랜지스터의 소스는 상기 제 4 트랜지스터의 드레인에 연결되고, 상기 제 4 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트에 연결되고, 상기 제 4 트랜지스터의 소스는 상기 제 5 트랜지스터의 드레인에 연결되고, 상기 제 5 트랜지스터의 소스는 상기 제 6 트랜지스터의 드레인에 연결되는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 25

제 24 항에 있어서,

상기 전류 감지 회로는 음의 입력, 양의 입력 및 출력을 갖는 증폭기를 포함하고, 상기 음의 입력은 상기 레귤레이팅된 전압에 대한 노드에 연결되고, 상기 양의 입력은 제 4 트랜지스터의 소스 또는 상기 제 5 트랜지스터의 드레인 중 적어도 하나에 연결되고, 상기 출력은 상기 제 6 트랜지스터의 게이트에 연결되어서, 상기 삼지 전류는 상기 제 3, 제 4, 제 5 및 제 6 트랜지스터들을 통해 흐르게 되는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 26

제 25 항에 있어서,

상기 제 5 트랜지스터의 게이트는 바이어스 전압에 의해 바이어싱되는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 27

제 26 항에 있어서,

상기 제 5 트랜지스터의 게이트는 상기 회로의 시동 동안 상기 전원 레벨에 대한 전기 접지에 연결되도록 구성되는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 28

제 25 항에 있어서,

상기 전류 모드 비교기는 직렬로 연결되는 제 7 트랜지스터 및 제 8 트랜지스터를 포함하고, 상기 제 7 트랜지스터의 드레인은 상기 전류 소스 및 상기 제 2 트랜지스터의 게이트에 연결되어 상기 소스 팔로워의 바이어스를 제어하기 위한 피드백 루프를 형성하고, 상기 제 7 트랜지스터의 게이트는 상기 제 5 트랜지스터의 게이트에 연

결되고, 상기 제 7 트랜지스터의 소스는 상기 제 8 트랜지스터의 드레인에 연결되고, 상기 제 8 트랜지스터의 게이트는 상기 제 6 트랜지스터의 게이트에 연결되는,
레귤레이팅된 전압을 출력하기 위한 회로.

청구항 29

제 23 항에 있어서,

상기 제 1, 제 2, 제 3, 제 4, 제 5 및 제 6 트랜지스터들은 NMOS(n-channel metal-oxide semiconductor) 전계-효과 트랜지스터를 포함하는,

레귤레이팅된 전압을 출력하기 위한 회로.

청구항 30

제 15 항에 있어서,

상기 전류 소스와 병렬의 스위치

를 더 포함하고,

상기 스위치는 상기 회로의 시동 동안 폐쇄되고, 상기 스위치는 상기 회로의 정상 동작 동안 개방되는,
레귤레이팅된 전압을 출력하기 위한 회로.

발명의 설명

기술 분야

[0001]

35 U.S.C. § 119 하의 우선권 주장

[0002]

[0001] 본 출원은 2014년 4월 3일 출원된 미국 특허 출원 일련 번호 제14/244,321호를 우선권으로 주장하며, 이는 본원의 양수인에게 양도되었으며 인용에 의해 본원에 포함된다.

[0003]

[0002] 본 개시의 특정 양상들은 일반적으로 전자 회로들에 관한 것으로서, 보다 구체적으로는, 예를 들어, VCO에 대한 레귤레이팅된 전압을 생성하는데 이용될 수 있는, 전력-효율적, 저-노이즈 및 PVT-둔감성 전압 레귤레이터를 제공하는 것에 관한 것이다.

배경 기술

[0004]

[0003] 무선 통신 네트워크들은 텔레포니, 비디오, 데이터, 메시징, 브로드캐스트들 등과 같은 다양한 통신 서비스들을 제공하도록 폭넓게 전개된다. 통상적으로 다중 액세스 네트워크들인 이러한 네트워크들은 이용 가능한 네트워크 자원들을 공유함으로써 다수의 사용자들에 대한 통신들을 지원한다. 예를 들어, 하나의 네트워크는 EVDO(Evolution-Data Optimized), 1xRTT(1 times Radio Transmission Technology), 또는 단순히 1x, W-CDMA(Wideband Code Division Multiple Access), UMTS-TDD(Universal Mobile Telecommunications System – Time Division Duplexing), HSPA(High Speed Packet Access), GPRS(General Packet Radio Service), 또는 EDGE(Enhanced Data rates for Global Evolution)를 포함하는 다양한 3G(모바일 전화 표준들 및 기술의 제 3 세대) 라디오 액세스 기술(RAT)들 중 임의의 하나를 통해 네트워크 서비스를 제공할 수 있는 3G 시스템일 수 있다. 3G 네트워크는 음성 호들 외에도, 고속 인터넷 액세스 및 비디오 텔레포니를 통합하도록 진화되는 광역 셀룰러 전화 네트워크이다. 또한, 3G 네트워크는 다른 네트워크 시스템들보다 더 잘 설정되고 더 큰 커버리지 영역들을 제공할 수 있다. 이러한 다중 액세스 네트워크들은 또한 CDMA(code division multiple access) 시스템들, TDMA(time division multiple access) 시스템들, FDMA(frequency division multiple access) 시스템들, OFDMA(orthogonal frequency division multiple access) 시스템들, SC-FDMA(single-carrier FDMA) 네트워크들, 3GPP(3rd Generation Partnership Project) LTE(Long Term Evolution) 네트워크들, 및 LTE-A(Long

Term Evolution Advanced) 네트워크들을 포함할 수 있다.

[0005] [0004] 무선 통신 네트워크는 다수의 모바일 스테이션들에 대한 통신을 지원할 수 있는 다수의 기지국들을 포함할 수 있다. 모바일 스테이션(MS)은 다운링크 및 업링크를 통해 기지국(BS)과 통신할 수 있다. 다운링크(또는 순방향 링크)는 기지국으로부터 모바일 스테이션으로의 통신 링크를 지칭하고, 업링크(또는 역방향 링크)는 모바일 스테이션으로부터 기지국으로의 통신 링크를 지칭한다. 기지국은 다운링크 상에서 모바일 스테이션에 데이터 및 제어 정보를 송신할 수 있고 및/또는 업링크 상에서 모바일 스테이션으로부터 데이터 및 제어 정보를 수신할 수 있다.

발명의 내용

[0006] [0005] 본 개시의 특정한 양상들은 일반적으로 전력 효율적이고, 저 노이즈이며, 프로세스 기술, 전원 전압 및 온도의 변화들에 실질적으로 둔감한 전압 레귤레이팅 회로들에 관한 것이다. 이러한 회로들은 예를 들어, 라디오 주파수 프론트 엔드(RFFE)에서 발견되는 바와 같은 VCO(voltage-controlled oscillator)에 대한 레귤레이팅된 전압을 제공하는데 이용될 수 있다.

[0007] [0006] 본 개시의 특정한 양상들은 레귤레이팅된 전압을 출력하기 위한 회로를 제공한다. 회로는 일반적으로, 바이어스 브랜치 및 메인 브랜치를 갖는 전류 미러 및 기준 전류를 공급 또는 싱크하도록 구성된 전류 소스를 포함하고, 바이어스 브랜치는 전류 소스에 연결되고, 메인 브랜치는 레귤레이팅된 전압을 제공하기 위한 소스 팔로워를 포함하고, 기준 전류는 레귤레이팅된 전압에 대한 노드에서 이용 가능하다.

[0008] [0007] 특정 양상들에 따라, 바이어스 브랜치는 제 1 트랜지스터를 포함하고, 메인 브랜치는 제 2 트랜지스터를 포함하고, 제 1 트랜지스터의 게이트는 제 2 트랜지스터의 게이트에 연결된다. 제 1 트랜지스터의 드레인은 제 1 트랜지스터의 게이트에 연결될 수 있다. 특정 양상들에 대해, 바이어스 브랜치는 제 1 트랜지스터와 캐스코드로 연결되는 제 3 트랜지스터를 포함하고, 메인 브랜치는 제 2 트랜지스터와 캐스코드로 연결되는 제 4 트랜지스터를 포함하고, 제 3 트랜지스터의 게이트는 제 4 트랜지스터의 게이트에 연결된다. 이 경우에, 회로는 전류 소스에 연결되는 제 1 전원 레벨 및 전류 미러의 메인 브랜치에 연결되는 제 2 전원 레벨을 더 포함한다. 제 1 전원 레벨은 제 2 전원 레벨보다 더 높은 전압을 가질 수 있다. 제 3 트랜지스터의 게이트는 제 2 전원 레벨에 연결되는 전압 분할기를 이용하여 바이어싱된다. 제 3 트랜지스터의 게이트는 제 1 저역 통과 필터를 통해 제 4 트랜지스터의 게이트에 연결될 수 있고, 제 1 트랜지스터의 게이트는 제 2 저역 통과 필터를 통해 제 2 트랜지스터의 게이트에 연결될 수 있다. 특정 양상들에 대해, 제 3 트랜지스터의 드레인은 전류 소스 및 제 1 트랜지스터의 게이트에 연결될 수 있고, 제 3 트랜지스터의 소스는 제 1 트랜지스터의 드레인에 연결될 수 있고, 제 1 트랜지스터의 소스는 레귤레이팅된 전압을 위한 노드에 연결될 수 있다. 특정 양상들에 대해, 제 4 트랜지스터의 드레인은 제 2 전원 레벨에 연결될 수 있고, 제 4 트랜지스터의 소스는 제 2 트랜지스터의 드레인에 연결될 수 있고, 제 2 트랜지스터의 소스는 레귤레이팅된 전압을 위한 노드에 연결될 수 있다. 특정 양상들에 대해, 제 1, 제 2, 제 3 및 제 4 트랜지스터들은 NMOS(n-channel metal-oxide semiconductor) 전계-효과 트랜지스터이다.

[0009] [0008] 특정 양상들에 따라, 기준 전류 및 메인 브랜치를 통한 브랜치 전류는 레귤레이팅된 전압에 대한 노드에서 이용 가능한 레귤레이터 전류를 구성하고, 레귤레이터 전류는 프로세스 기술, 전원 전압 및 온도의 변동들에 대해 실질적으로 둔감하다.

[0010] [0009] 특정 양상들에 따라, 전류 소스는 가변 전류 소스이다.

[0011] [0010] 특정 양상들에 따라, 레귤레이팅된 전압은 VCO(voltage-controlled oscillator)에 가동하도록 구성된다.

[0012] [0011] 특정 양상들에 따라, 전류 미러는 저 임피던스 전류 미러이다.

[0013] [0012] 특정 양상들에 따라, 소스 팔로워는 PMOS(p-channel metal-oxide semiconductor) 전계-효과 트랜지스터를 포함한다.

[0014] [0013] 본 개시의 특정한 양상들은 레귤레이팅된 전압을 출력하기 위한 회로를 제공한다. 회로는 일반적으로, 레귤레이팅된 전압을 제공하도록 구성된 소스 팔로워; 레귤레이팅된 전압에 대한 노드에서 이용 가능한 레귤레이팅된 전류에 대응하는 감지 전류를 측정하도록 구성된 전류 감지 회로; 기준 전류를 공급하도록 구성된 전류 소스 및 감지 전류를 기준 전류와 비교하고 비교에 기초하여 소스 팔로워의 바이어스를 제어하도록 구성된 전류 모드 비교기를 포함한다.

- [0015] [0014] 특정 양상들에 따라, 회로는 소스 팔로워, 전류 감지 회로, 전류 소스 및 전류 모드 비교기에 연결되는 전원 레벨을 더 포함한다. 레귤레이터 전류는 프로세스 기술, 전원 레벨의 전압 및/또는 온도의 변동들에 대해 실질적으로 둔감할 수 있다. 특정 양상들에 대해, 소스 팔로워는 직렬로 연결되는 제 1 트랜지스터 및 제 2 트랜지스터를 포함한다. 이 경우에, 제 1 트랜지스터의 게이트는 전원 레벨에 연결되는 전압 분할기를 이용하여 바이어싱될 수 있다. 제 1 트랜지스터의 소스는 제 2 트랜지스터의 드레인에 연결될 수 있고, 제 2 트랜지스터의 소스는 레귤레이팅된 전압에 대한 노드에 연결될 수 있다. 전류 모드 비교기의 출력은 저역 통과 필터를 통해 제 2 트랜지스터의 게이트에 연결될 수 있다. 특정 양상들에 대해, 회로는 저역 통과 필터의 레지스터와 병렬의 스위치를 더 포함한다. 스위치는 회로의 시동 동안 폐쇄될 수 있고 회로의 정상 동작 동안 개방될 수 있다.
- [0016] [0015] 특정 양상들에 따라, 전류 감지 회로는 직렬로 연결되는 제 3, 제 4, 제 5 및 제 6 트랜지스터들을 포함한다. 이 경우, 제 3 트랜지스터의 드레인은 전원 레벨에 연결될 수 있고, 제 3 트랜지스터의 게이트는 제 1 트랜지스터의 게이트에 연결될 수 있고, 제 3 트랜지스터의 소스는 제 4 트랜지스터의 드레인에 연결될 수 있고, 제 4 트랜지스터의 게이트는 제 2 트랜지스터의 게이트에 연결될 수 있고, 제 4 트랜지스터의 소스는 제 5 트랜지스터의 드레인에 연결될 수 있고, 제 5 트랜지스터의 소스는 제 6 트랜지스터의 드레인에 연결될 수 있다. 특정 양상들에 대해, 전류 감지 회로는 음의 입력, 양의 입력 및 출력을 갖는 증폭기를 포함한다. 음의 입력은 레귤레이팅된 전압에 대한 노드에 연결될 수 있고, 양의 입력은 제 4 트랜지스터의 소스 또는 제 5 트랜지스터의 드레인 중 적어도 하나에 연결될 수 있고, 출력은 제 6 트랜지스터의 게이트에 연결될 수 있어서, 감지 전류는 제 3, 제 4, 제 5 및 제 6 트랜지스터들을 통해 흐르게 된다. 제 5 트랜지스터의 게이트는 바이어스 전압에 의해 바이어싱될 수 있다. 특정 양상들에 대해, 제 5 트랜지스터의 게이트는 회로의 시동 동안 전원 레벨에 대한 전기 접지에 연결되도록 구성된다.
- [0017] [0016] 특정 양상들에 따라, 전류 모드 비교기는 직렬로 연결되는 제 7 트랜지스터 및 제 8 트랜지스터를 포함한다. 제 7 트랜지스터의 드레인은 전류 소스 및 제 2 트랜지스터의 게이트에 연결되어 소스 팔로워의 바이어스를 제어하기 위한 피드백 루프를 형성할 수 있고, 제 7 트랜지스터의 게이트는 제 5 트랜지스터의 게이트에 연결될 수 있고, 제 7 트랜지스터의 소스는 제 8 트랜지스터의 드레인에 연결될 수 있고, 제 8 트랜지스터의 게이트는 제 6 트랜지스터의 게이트에 연결될 수 있다.
- [0018] [0017] 특정 양상들에 따라, 제 1, 제 2, 제 3, 제 4, 제 5 및 제 6 트랜지스터들은 NMOS(n-channel metal-oxide semiconductor) 전계-효과 트랜지스터를 포함한다.
- [0019] [0018] 특정 양상들에 따라, 전류 소스는 가변 전류 소스를 포함한다.
- [0020] [0019] 특정 양상들에 따라, 회로는 또한 전류 소스와 병렬의 스위치를 포함한다. 스위치는 회로의 시동 동안 폐쇄될 수 있고 회로의 정상 동작 동안 개방될 수 있다.
- [0021] [0020] 특정 양상들에 따라, 레귤레이팅된 전압은 VCO에 가동하도록 구성된다.
- [0022] [0021] 특정 양상들에 따라, 소스 팔로워는 PMOS(p-channel metal-oxide semiconductor) 전계-효과 트랜지스터를 포함한다.
- 도면의 간단한 설명**
- [0023] [0022] 본 개시의 전술된 특징들이 상세히 이해될 수 있는 방식으로, 상기에 간략하게 요약된 더 상세한 설명이 양상들을 참조하여 행해질 수 있는데, 이러한 양상들 중 일부는 첨부된 도면들에서 도시된다. 그러나 이 설명은 다른 동등하게 유효한 양상들에 대해 허용될 수 있기 때문에, 첨부된 도면들은 본 개시의 특정한 통상적인 양상들을 단지 예시하고, 따라서, 본 개시의 범위에 대한 한정으로 고려되어서는 안됨을 주목해야 한다.
- [0023] 도 1은 본 개시의 특정 양상들에 따른 예시적인 무선 통신 네트워크의 도면이다.
- [0024] 도 2는 본 개시의 특정 양상들에 따른 예시적인 액세스 포인트(AP) 및 예시적인 사용자 단말들의 블록도이다.
- [0025] 도 3은 PMOS 전류 미러 및 전류 싱크를 이용하는 예시적인 전압 레귤레이팅 회로의 개략도이다.
- [0026] 도 4는 피드백을 갖는 NMOS 소스 팔로워를 이용하는 예시적인 전압 레귤레이팅 회로의 개략도이다.
- [0027] 도 5는 소스 팔로워에서의 피드백이 없는 NMOS 소스 팔로워를 이용하는 예시적인 전압 레귤레이팅 회로

의 개략도이다.

[0028] 도 6은 피크 검출기를 갖는 피드백 루프에 의해 제어되는 전압 레귤레이터를 갖는 예시적인 VCO(voltage-controlled oscillator)의 블록도이다.

[0029] 도 7a는 본 개시의 특정 양상들에 따라, 기준 전류가 VCO 전류의 부분으로서 공급되는 NMOS 캐스코드 소스 팔로워를 이용하는 예시적인 전압 레귤레이팅 회로의 개략도이다.

[0030] 도 7b는 본 개시의 특정 양상들에 따라, 기준 전류가 VCO 전류의 부분으로서 공급되는 NMOS 소스 팔로워를 이용하는 예시적인 전압 레귤레이팅 회로의 개략도이다.

[0031] 도 7c는 본 개시의 특정 양상들에 따라, 기준 전류가 VCO 전류의 부분으로부터 싱크되는 PMOS 소스 팔로워를 이용하는 예시적인 전압 레귤레이팅 회로의 개략도이다.

[0032] 도 8은 본 개시의 특정 양상들에 따라, NMOS 캐스코드 소스 팔로워, 전류 감지 회로 및 소스 팔로워에 피드백을 제공하는 전류 모드 비교기를 이용하는 예시적인 전압 레귤레이팅 회로의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0024]

[0033] 본 개시의 다양한 양상들이 아래에서 설명된다. 본원에서의 교시들은 매우 다양한 형태들로 실현될 수 있고, 본원에서 개시되는 임의의 특정 구조, 기능, 또는 둘 다는 단지 대표적이라는 것이 자명해야 한다. 본원에서의 교시들에 기초하여, 당업자는, 본원에서 개시된 양상이 임의의 다른 양상들과 독립적으로 구현될 수 있고, 이를 양상들 중 2개 또는 그 초과가 다양한 방식들로 결합될 수 있다는 것을 인지해야 한다. 예를 들어, 본 명세서에서 기술된 임의의 수의 양상들을 이용하여 장치가 구현될 수 있거나 방법이 실시될 수 있다. 또한, 본원에서 기술된 양상들 중 하나 또는 그 초과에 더하여 또는 그 이외의 다른 구조, 기능성 또는 구조 및 기능성을 이용하여 이러한 장치가 구현될 수 있거나, 또는 이러한 방법이 실시될 수 있다. 또한, 양상은 청구항의 적어도 하나의 엘리먼트를 포함할 수 있다.

[0025]

[0034] "예시적인"인 이란 단어는, "예, 인스턴스 또는 예시로서 기능하는" 것을 의미하도록 본 명세서에서 사용된다. 본 명세서에서 "예시적인" 것으로 설명되는 임의의 양상은 반드시 다른 양상들에 비해 선호되거나 유리한 것으로 해석될 필요는 없다.

[0026]

[0035] 본원에서 설명된 기술들은, CDMA(Code Division Multiple Access), OFDM(Orthogonal Frequency Division Multiplexing), TDMA(Time Division Multiple Access), SDMA(Spatial Division Multiple Access), SC-FDMA(Single Carrier Frequency Division Multiple Access), TD-SCDMA(Time Division Synchronous Code Division Multiple Access) 등과 같은 다양한 무선 기술들과 결합하여 이용될 수 있다. 다수의 사용자 단말들은 (1) CDMA의 경우 상이한 직교 코드 채널들, (2) TDMA의 경우 상이한 시간 슬롯들, 또는 (3) OFDM의 경우 상이한 서브-대역들을 통해 데이터를 동시에 송신/수신할 수 있다. CDMA 시스템은 IS-2000, IS-95, IS-856, W-CDMA(Wideband-CDMA) 또는 일부 다른 표준들을 구현할 수 있다. OFDM 시스템은 IEEE(Institute of Electrical and Electronics Engineers) 802.11, IEEE 802.16, (예를 들어, TDD 및/또는 FDD 모드들의) LTE(Long Term Evolution), 또는 일부 다른 표준들을 구현할 수 있다. TDMA 시스템은 GSM(Global System for Mobile Communications) 또는 일부 다른 표준들을 구현할 수 있다. 이들 다양한 표준들은 당 분야에 알려져 있다.

[0027]

예시적인 무선 시스템

[0028]

[0036] 도 1은 액세스 포인트들 및 사용자 단말들을 갖는 무선 통신 시스템(100)을 예시한다. 단순화를 위해, 오직 하나의 액세스 포인트(110)가 도 1에 도시된다. 액세스 포인트(AP)는 일반적으로 사용자 단말들과 통신하는 고정 스테이션이고, 베이스 스테이션(BS), 이볼브드 노드 B(eNB), 또는 일부 다른 용어로서 또한 지칭될 수 있다. 사용자 단말(UT)은 고정식 또는 이동식일 수 있고, 모바일 스테이션(MS), 액세스 단말, 사용자 장비(UE), 스테이션(STA), 클라이언트, 무선 디바이스, 또는 일부 다른 용어로서 또한 지칭될 수 있다. 사용자 단말은 셀룰러 전화, 개인용 디지털 보조기기(PDA), 핸드헬드 디바이스, 무선 모뎀, 랩톱 컴퓨터, 태블릿, 개인용 컴퓨터 등과 같은 무선 디바이스일 수 있다.

[0029]

[0037] 액세스 포인트(110)는 임의의 주어진 순간에 다운링크 및 업링크를 통해 하나 이상의 사용자 단말들(120)과 통신할 수 있다. 다운링크(즉, 순방향 링크)는 액세스 포인트로부터 사용자 단말들로의 통신 링크이고, 업링크(즉, 역방향 링크)는 사용자 단말들로부터 액세스 포인트로의 통신 링크이다. 사용자 단말은 또한 다른 사용자 단말과 피어-투-피어로 통신할 수 있다. 시스템 제어기(130)는 액세스 포인트들에 커플링되

고, 액세스 포인트들에 대한 조정 및 제어를 제공한다.

- [0030] [0038] 시스템(100)은 다운링크 및 업링크를 통한 데이터 송신을 위해 다수의 송신 및 다수의 수신 안테나들을 이용한다. 액세스 포인트(110)에는 다운링크 송신들을 위한 송신 다이버시티 및/또는 업링크 송신들을 위한 수신 다이버시티를 달성하기 위해 다수(N_{ap})의 안테나들이 장착될 수 있다. 선택된 사용자 단말들(120)의 세트(N_u)는 다운링크 송신들을 수신하고 업링크 송신들을 송신할 수 있다. 각각의 선택된 사용자 단말은 액세스 포인트에 사용자-특정 데이터를 송신하고 그리고/또는 AP로부터 사용자-특정 데이터를 수신할 수 있다. 일반적으로, 각각의 선택된 사용자 단말은 하나 또는 다수의 안테나들(즉, $N_{ut} \geq 1$)을 구비할 수 있다. N_u 개의 선택된 사용자 단말들은 동일하거나 상이한 수의 안테나들을 가질 수 있다.
- [0031] [0039] 무선 시스템(100)은 시분할 듀플렉스(TDD) 시스템 또는 주파수 분할 듀플렉스(FDD) 시스템일 수 있다. TDD 시스템의 경우, 다운링크 및 업링크는 동일한 주파수 대역을 공유한다. FDD 시스템의 경우, 다운링크 및 업링크는 상이한 주파수 대역들을 이용한다. MIMO 시스템(100)은 또한 송신을 위해 단일 캐리어 또는 다수의 캐리어들을 활용할 수 있다. 각각의 사용자 단말은 (예를 들어, 비용을 절감하기 위해) 단일 안테나 또는 (예를 들어, 추가적 비용이 지원될 수 있는 경우) 다수의 안테나들을 구비할 수 있다.
- [0032] [0040] 도 2는 무선 시스템(100)에서 액세스 포인트(110) 및 2개의 사용자 단말들(120m 및 120x)의 블록도를 도시한다. 액세스 포인트(110)에는 N_{ap} 개의 안테나들(224a 내지 224t)이 장착된다. 사용자 단말(120m)에는 $N_{ut,m}$ 개의 안테나들(252ma 내지 252mu)이 장착되고, 사용자 단말(120x)에는 $N_{ut,x}$ 개의 안테나들(252xa 내지 252xu)이 장착된다. 액세스 포인트(110)는 다운링크에 대해서는 송신 엔티티이고 업링크에 대해서는 수신 엔티티이다. 각각의 사용자 단말(120)은 업링크에 대해서는 송신 엔티티이고 다운링크에 대해서는 수신 엔티티이다. 본 명세서에서 사용되는 바와 같이, "송신 엔티티"는 주파수 채널을 통해 데이터를 송신할 수 있는 독립적으로 동작되는 장치 또는 디바이스이고, "수신 엔티티"는 주파수 채널을 통해 데이터를 수신할 수 있는 독립적으로 동작되는 장치 또는 디바이스이다. 하기 설명에서, 아래첨자 "dn"은 다운링크를 나타내고, 아래첨자 "up"은 업링크를 나타내고, N_{up} 개의 사용자 단말들은 업링크를 통한 동시 송신을 위해 선택되고, N_{dn} 개의 사용자 단말들은 다운링크를 통한 동시 송신을 위해 선택되고, N_{up} 는 N_{dn} 과 동일하거나 동일하지 않을 수 있고, N_{up} 및 N_{dn} 은 정적 값들이거나, 또는 각각의 스케줄링 인터벌에 대해 변할 수 있다. 액세스 포인트 및 사용자 단말에서 범-스티어링(steering) 또는 일부 다른 공간 프로세싱 기술이 이용될 수 있다.
- [0033] [0041] 업링크 상에서, 업링크 송신을 위해 선택된 각각의 사용자 단말(120)에서, TX 데이터 프로세서(288)는 데이터 소스(286)로부터 트래픽 데이터 및 제어기(280)로부터 제어 데이터를 수신한다. TX 데이터 프로세서(288)는 사용자 단말에 대해 선택된 레이트와 연관되는 코딩 및 변조 방식들에 기초하여 사용자 단말에 대한 트래픽 데이터{dup}를 프로세싱(예를 들어, 인코딩, 인터리빙 및 변조)하고, $N_{ut,m}$ 개의 안테나들 중 하나에 데이터 심볼 스트림(s_{up})을 제공한다. 트랜시버 프론트 엔드(TX/RX)(254)(라디오 주파수 프론트 엔드(RFFE)로서 또한 알려짐)는 각각의 심볼 스트림을 수신 및 프로세싱(예를 들어, 아날로그로 변환, 증폭, 필터링 및 주파수 상향변환)하여 업링크 신호를 생성한다. 트랜시버 프론트 엔드(254)는 또한 예를 들어, RF 스위치를 통해 송신 다이버시티를 위해 $N_{ut,m}$ 개의 안테나들 중 하나에 업링크 신호를 라우팅할 수 있다. 제어기(280)는 트랜시버 프론트 엔드(254) 내의 라우팅을 제어할 수 있다. 메모리(282)는 사용자 단말(120)에 대한 데이터 및 프로그램 코드들을 저장할 수 있고, 제어기(280)와 인터페이싱할 수 있다.
- [0034] [0042] 다수(N_{up})개의 사용자 단말들이 업링크를 통한 동시 송신을 위해 스케줄링될 수 있다. 이들 사용자 단말들 각각은 업링크 상에서 프로세싱된 심볼 스트림들의 그의 세트를 액세스 포인트로 송신한다.
- [0035] [0043] 액세스 포인트(110)에서, N_{ap} 개의 안테나들(224a 내지 224ap)은 업링크 상에서 송신하는 모든 N_{up} 개의 사용자 단말들로부터 업링크 신호들을 수신한다. 수신 다이버시티를 위해, 트랜시버 프론트 엔드(222)는 프로세싱을 위해 안테나들(224) 중 하나로부터 수신된 신호들을 선택할 수 있다. 본 개시의 특정 양상들에 대해, 다수의 안테나들(224)로부터 수신된 신호들의 결합은 강화된 수신 다이버시티를 위해 결합될 수 있다. 액세스 포인트의 트랜시버 프론트 엔드(222)는 또한 사용자 단말의 트랜시버 프론트 엔드(254)에 의해 수행된 것과 상보적인 프로세싱을 수행하고 복원된 업링크 데이터 심볼 스트림을 제공한다. 복원된 업링크 데이터 심볼 스트림은 사용자 단말에 의해 송신된 데이터 심볼 스트림(s_{up})의 추정이다. RX 데이터 프로세서(242)는 복원된 업링크 데이터 심볼 스트림을 그 스트림에 대해 이용된 레이트에 따라 프로세싱(예를 들어, 복조, 디인터리빙 및 디코

딩)하여, 디코딩된 데이터를 획득한다. 각각의 사용자 단말에 대해 디코딩된 데이터는 저장을 위해 데이터 싱크(244)에 제공될 수 있고, 그리고/또는 추가적 프로세싱을 위해 제어기(230)에 제공될 수 있다.

[0036] [0044] 다운링크 상에서, 액세스 포인트(110)에서, TX 데이터 프로세서(210)는, 다운링크 송신을 위해 스케줄링된 N_{dn} 개의 사용자 단말들에 대한 데이터 소스(208)로부터 트래픽 데이터, 제어기(230)로부터 제어 데이터 및 스케줄러(234)로부터 가능한 다른 데이터를 수신한다. 다양한 타입들의 데이터가 상이한 전송 채널들을 통해 전송될 수 있다. TX 데이터 프로세서(210)는 각각의 사용자 단말에 대해 선택된 레이트에 기초하여 각각의 사용자 단말에 대한 트래픽 데이터를 프로세싱(예를 들어, 인코딩, 인터리빙 및 변조)한다. TX 데이터 프로세서(210)는 N_{ap} 개의 안테나들 중 하나로부터 송신되도록 N_{dn} 사용자 단말들 중 하나 또는 그 초파에 대한 다운링크 데이터 심볼 스트림들을 제공할 수 있다. 트랜시버 프론트 엔드(222)는 심볼 스트림을 수신 및 프로세싱(예를 들어, 아날로그로 변환, 증폭, 필터링 및 주파수 상향변환)하여 다운링크 신호를 생성한다. 트랜시버 프론트 엔드(222)는 또한 예를 들어, RF 스위치를 통해 송신 다이버시티를 위해 N_{ap} 개의 안테나들(224) 중 하나 또는 그 초파에 다운링크 신호를 라우팅할 수 있다. 제어기(230)는 트랜시버 프론트 엔드(222) 내의 라우팅을 제어할 수 있다. 메모리(232)는 액세스 포인트(110)에 대한 데이터 및 프로그램 코드들을 저장할 수 있고, 제어기(230)와 인터페이싱할 수 있다.

[0037] [0045] 각각의 사용자 단말(120)에서, $N_{ut,m}$ 개의 안테나들(252)은 액세스 포인트(110)로부터 다운링크 신호들을 수신한다. 수신 다이버시티를 위해, 사용자 단말(120)에서, 트랜시버 프론트 엔드(254)는 프로세싱을 위해 안테나들(252) 중 하나로부터 수신된 신호들을 선택할 수 있다. 본 개시의 특정 양상들에 대해, 다수의 안테나들(252)로부터 수신된 신호들의 결합은 강화된 수신 다이버시티를 위해 결합될 수 있다. 사용자 단말의 트랜시버 프론트 엔드(254)는 또한 액세스 포인트의 트랜시버 프론트 엔드(222)에 의해 수행된 것과 상보적인 프로세싱을 수행하고 복원된 다운링크 데이터 심볼 스트림을 제공한다. RX 데이터 프로세서(270)는 복원된 다운링크 데이터 심볼 스트림을 프로세싱(예를 들어, 복조, 디인터리빙 및 디코딩)하여, 사용자 단말에 대한 디코딩된 데이터를 획득한다.

[0038] [0046] 본원에서 설명된 기술들은 일반적으로 TDMA, SDMA, OFDMA(Orthogonal Frequency Division Multiple Access), CDMA, SC-FDMA, TD-SCDMA 및 그의 결합들과 같은 다중 액세스 방식들 중 임의의 타입을 활용하는 시스템들에서 적용될 수 있다는 것을 당업자는 인지할 것이다.

[0039] 예시적인 전압 레귤레이터들

[0040] [0047] 로컬 오실레이터(LO)는 통상적으로, 믹서를 이용하여 관심의 신호를 상이한 주파수로 변환하는데 활용되는 신호를 생성하기 위해 트랜시버 프론트 엔드(222 또는 254)와 같은 RFFE들(radio frequency front-ends)에 포함된다. 헤테로다이닝(heterodyning)으로서 알려진 이 주파수 변환 프로세스는 LO 주파수와 관심의 신호의 주파수의 합 및 차(difference) 주파수들을 생성한다. 합 및 차 주파수들은 비트(beat) 주파수들로서 지칭된다. LO의 출력이 주파수 면에서 안정된 채로 유지되는 것이 바람직하지만, 상이한 주파수들로의 튜닝은 가변-주파수 오실레이터를 이용하는 것을 나타내며, 이는 안정성과 튜닝성 간의 절충을 수반한다. 현대의 시스템들은 특정 튜닝 범위를 갖는 안정되고 튜닝 가능한 LO를 생성하기 위해 VCO(voltage-controlled oscillator)를 갖는 주파수 합성기들을 이용한다.

[0041] [0048] VCO 레귤레이터는 통상적으로 VCO 바이어스 전압/전류를 제공하는데 이용된다. 일부 VCO 레귤레이터들은 전류 미러(current mirror)를 활용할 수 있다. 특정 레귤레이터들에 대해, 피드백 루프는 VCO 전압(레귤레이팅된 전압)을 감지하고 VCO 전류를 조정하는데 이용된다. 레귤레이터는 VCO 위상 노이즈에 상당히 기여할 수 있고, 보통은 VCO에 비전 가능한 전력을 소비한다. 레귤레이터 전류가 PVT(process, voltage, and temperature)-독립적이 되게 하는 것이 일반적으로 바람직하며; 그렇지 않으면, 프로세스, 전압 및/또는 온도 변화에 따라 발생할 수 있는 VCO 전류/전압의 변동은 VCO 스윙에 영향을 주고 위상 노이즈 성능을 저하시킬 수 있다. 레이아웃 목적들을 위해 간결하고 (예를 들어, 진보된 CMOS 기술에서) 낮은 공급 전압으로 작동 가능한 VCO 레귤레이터는 또한, (원하는 전류/전압을 제공하도록) 정확하고, 저 노이즈이고, 전력 효율적이 되도록 특정될 수 있다.

[0042] [0049] 도 3은 VCO(302)에 레귤레이팅된 전압(Vreg)을 공급하기 위한 예시적인 전압 레귤레이팅 회로(300)의 개략도이다. VDD로 라벨링된 전원 레벨(즉, 레일)로부터의 전력을 수신하면, 회로(300)는 전류 싱크로서 PMOS 전류 미러 및 기준 전류 소스(304)를 이용한다. 전류 미러에서, PMOS 트랜지스터(M1)의 드레인 및 케이트는 서로 연결되고, PMOS 트랜지스터(M2)의 드레인은 VCO(302)에 연결된다. 레지스터(R1) 및 커패시터(C1)는 트랜지스터

(M1 및 M2)의 게이트들 간의 저역 통과 필터를 형성할 수 있다. 이러한 방식으로, 트랜지스터(M1)는 전류 미러의 바이어스 브랜치를 형성하고 트랜지스터(M2)는 메인 브랜치를 형성하며, 여기서 트랜지스터(M2)는 메인 브랜치의 전류(즉, VCO(302)에 공급되는 전류)가 트랜지스터(M1)를 통해 바이어스 브랜치에서 흐르는 기준 전류를 복제(즉, "미러링")하도록 바이어싱된다. 기준 전류 소스(304)는 도 3에서 예시된 바와 같이 가변 소스일 수 있다. 다른 양상들에 대해, NMOS 전류 미러는 바이어스 브랜치에서 (싱크 전류 보단 오히려) 전류를 공급하는 기준 전류 소스(304)와 결합될 수 있다.

[0043] [0050] 이러한 방식으로 PMOS 또는 NMOS 전류 미러를 이용함으로써, 위상 노이즈에 대한 전류 소스 노이즈의 기여는 높다. 모든 전류 소스 노이즈(i_n)가 VCO(302)에 주입되고 VCO의 오실레이션 주파수로 상향변환되는데, 그 이유는 (도 7a에서 예시된 바와 같은) VCO(302)의 활성의 음의 트랜스컨덕턴스 회로(active negative transconductance circuit)의 교차-커플링되는 트랜지스터들은 트랜지스터(M2)의 드레인에서의 노이즈에 대한 낮은-임피던스 경로를 제공하기 때문이다. 또한, 메인 브랜치의 레귤레이팅된 전류는 전류 미러의 제한으로 인해 PVT에 걸쳐 변동되고, 이 토폴로지는 스케일링된 CMOS에 대해 적합하지 않다. 또한, VCO 전류에 비견 가능한 바이어스 브랜치의 전류는 전기 접지(GND)로 싱크됨으로써 낭비된다.

[0044] [0051] 도 4는 피드백을 갖는 NMOS 소스 팔로워를 이용하여 VCO(302)에 레귤레이팅된 전압(Vreg)을 공급하기 위한 다른 예시적인 전압 레귤레이팅 회로(400)의 개략도이다. 회로(400)에서, NMOS 트랜지스터들(M3 및 M4)은 캐스코드로 연결된다. 트랜지스터(M4)에 대한 바이어싱은 도시되지 않지만, 당업자에 의해 이해된다. 트랜지스터(M3)의 게이트는, 그의 출력이 레지스터(R1) 및 커패시터(C1)로 저역-통과 필터링되고 그의 음의 단자가 트랜지스터(M3)의 소스로부터의 피드백(즉, Vreg)을 수신하는 연산 증폭기(op amp)(402)에 의해 구동된다. 증폭기(402)의 양의 단자는 예를 들어, 기준 전류 소스(304) 및 가변 저항(Rvar)에 의해 생성될 수 있는 기준 전압에 연결된다. 회로(400)의 적절한 바이어싱을 갖는 동작에서, 증폭기(402)는, 트랜지스터(M3)의 소스의 전압이 증폭기에 의해 감지된 기준 전압과 동일하게 되도록 트랜지스터(M3)의 게이트를 구동할 것이다.

[0045] [0052] 전류 미러 대신 이러한 소스 팔로워 토폴로지를 이용함으로써, 도 4의 전압 레귤레이팅 회로(400)는 도 3의 회로(300)보다 더 양호한 위상 노이즈를 갖는다. 이 방식이 갖는 문제는 레귤레이팅된 전압(Vreg)이 피드백 루프에 의해 일정하게 유지되는다는 것이다. 그러나 대부분의 VCO 토폴로지들에 대해, 전류를 PVT에 걸쳐 변할 것이다. 그러면, 실제로 요구되는 것은 VCO 전류(및 그에 따라 그의 스윙)를 고정하고 PVT에 걸쳐 VCO에 인가되는 전압을 자동으로 변경하기 위한 매커니즘이다.

[0046] [0053] 도 4와 유사하게, 도 5는 소스 팔로워에서의 피드백이 없이 NMOS 소스 팔로워를 이용하는 예시적인 전압 레귤레이팅 회로(500)의 개략도이다. 회로(500)에서, NMOS 트랜지스터(M4)의 게이트는 레지스터(R2) 및 커패시터(C2)에 의해 저역-통과 필터링되고 레지스터들(R3 및 R4)로부터 형성된 전압 구동기로 바이어싱된다. 회로(400)에서와 같이 트랜지스터(M3)의 소스를 감지하는 대신, 증폭기(402)는 버퍼로서 구성되어서, - 기준 전류 소스(304) 및 가변 저항에 의해 생성되는 기준 전압과 거의 등가의 - 증폭기의 출력 전압이 트랜지스터(M3)의 게이트를 구동하게 한다. 즉, 레귤레이팅된 전압(Vreg)으로 기준 전압(Vref)을 세팅하기 보단 오히려, Vref는 VCO 전류를 고려하여 원하는 Vreg를 달성하도록 트랜지스터(M3)의 게이트를 바이어싱하는 전압으로 세팅될 것이다.

[0047] [0054] 회로(500)에서, 소스 팔로워에서의 노이즈 소스들이 필터링되고, 트랜지스터(M3)의 노이즈의 부분은 이 트랜지스터 내에서 다시 순환될 것이다. 그러나 기준 전압은 PVT에 따라 그리고 어떠한 부가적인 피드백도 없이 변할 수 있고, 회로(500)의 VCO 전류 변동은 회로(400)에서 보다 더 악화될 것이다.

[0048] [0055] 그러므로, 피드백 루프는 도 6의 블록도(600)에 의해 예시된 바와 같이 전압 레귤레이팅 회로(500)에 부가될 수 있다. 위에서 설명된 바와 같이, 전압 레귤레이팅 회로(500)와 같은 전압 레귤레이터(606)는 VCO(302)에 가동(powering)하기 위해 레귤레이팅된 전압(Vreg)을 제공한다. 피크 검출기(602)는 VCO(302)의 인더터-커패시터(LC) 탱크 회로로부터 VCO 스윙을 감지하는데 이용될 수 있고, VCO 스윙의 검출된 피크에 기초하여, 디지털 제어(604)는 전압 레귤레이터(606)를 제어하는 하나 또는 그 초과의 제어 신호들을 출력할 수 있다. 예를 들어, 제어 신호들은 Vref를 조정하기 위한 일환으로, 가변 기준 전류 소스(304) 및/또는 가변 저항(Rvar)을 조정할 수 있으며, 이는 결국 트랜지스터(M3)의 게이트의 바이어스 전압 및 VCO 전류를 조정한다.

[0049] [0056] 이들 부가들에도 불구하고, 도 6의 제어 루프는 복잡하고 느리며, 통상적으로 정상 동작 이전에 교정을 수반한다. 또한, 피크 검출기(602)는 제한된 분해능을 가질 뿐만 아니라 VCO(302)에 추가의 로드를 부가하고, 그리하여 VCO 성능(예를 들어, 튜닝 범위)을 저하시킨다.

- [0050] [0057] 이에 따라, 필요한 것은, 저 전력, 고 성능 VCO를 위한 레귤레이팅된 전압/전류를 제공하기 위해 전력 효율적, 저 노이즈 및 PVT-둔감성 레귤레이터이다.
- [0051] [0058] 본 개시의 특정 양상들은 VCO들에 대한 전력 효율적, 저 노이즈 및 PVT 둔감성 레귤레이터를 제공한다. 레귤레이터는 VCO에 더 적은 노이즈를 주입하기 위한 소스 팔로워 토플로지에 기초하며 낭비되는 전력을 방지하기 위해 VCO 전류의 부분으로서 기준 전류를 재사용할 수 있다. 레귤레이터 전압을 감지하는 것과 대조적으로, 본 개시의 특정한 다른 양상들은 VCO 전류를 감지하고 기준 전류로 VCO 전류를 조정하도록 다른 피드백 루프를 이용한다.
- [0052] 재사용되는 기준 전류를 갖는 예시적인 전압 레귤레이팅 회로
- [0053] [0059] 도 7a는 본 개시의 특정 양상들에 따라, 예시적인 전압 레귤레이팅 회로(700)의 개략도이다. 회로(700)는 저-임피던스 전류 미러를 NMOS 캐스코드 소스 팔로워와 결합하고 기준 전류가 VCO 전류의 부분으로서 공급된다.
- [0054] [0060] NMOS 트랜지스터들(M3 및 M4)은 NMOS 소스 팔로워는 물론, NMOS 전류 미러의 메인 브랜치를 구성하여, 전류(I_2)를 VCO(302)에 공급한다. NMOS 트랜지스터들(M5 및 M6)은 NMOS 전류 미러의 바이어스 브랜치를 구성하며, 여기서 기준 전류 소스(304)는 기준 전류($I_{ref} = I_1$)를 제공하며, 이는 기준 전압 노드에서 I_2 에 부가되어 VCO 전류($=I_1 + I_2$)를 제공한다. 이러한 전력 효율적 방식에서, 기준 전류는 도 3의 회로(300)에서와 같이 낭비되기 보단 오히려, VCO 전류의 부분으로서 재사용된다. 전류 미러의 메인 브랜치는 제 1 전원 레벨(702)(VDD)로부터 전력을 수신하는 반면에, 바이어스 브랜치는 제 1 레벨(702)보다 더 높은 전압을 갖는 제 2 전원 레벨(704)(VDD_H)로부터 전력을 수신한다.
- [0055] [0061] 전압 레귤레이팅 회로(700)에서, 기준 전류(바이어스 전류로서 또한 알려짐)는 프로세스, 전압 및 온도 변동들에 둔감하다. VCO 전류는 $N \cdot I_{ref}$ 와 동일하다. 회로(700)는 도 3의 회로(300)보다 더 낮은 위상 노이즈를 갖고 더 전력 효율적이며, 도 5의 회로(500)보다 VPT-둔감성이고, 덜 복잡하며 더 전력 효율적이다. 회로(700)의 간결한 해결책은 또한 전원 격리를 제공한다.
- [0056] [0062] 도 7b는 본 개시의 특정 양상들에 따라, 예시적인 전압 레귤레이팅 회로(750)의 개략도이다. 도 7a의 회로(700)와 유사하게, 도 7b의 회로(750)는 NMOS 전류 미러(710) 및 NMOS 소스 팔로워를 이용하고, 기준 전류는 VCO 전류의 부분으로서 공급된다. 그러나 캐스코드로 된 트랜지스터들 보단 오히려, 회로(750)는 전류 미러(710)의 소스 팔로워 및 메인 브랜치의 단지 단일의 NMOS 트랜지스터(M3) 및 바이어스 브랜치의 단지 단일의 NMOS 트랜지스터(M5)를 이용한다.
- [0057] [0063] 대부분의 모든 NMOS 회로들은 PMOS 등가물을 갖거나 그 반대도 가능하기 때문에, 또 7c는 본 개시의 특정 양상들에 따라, PMOS 소스 팔로워 및 PMOS 전류 미러를 이용하는 예시적인 전압 레귤레이팅 회로(760)의 개략도이다. 회로(760)는, 기준 전류 소스(304)가 소스들 보단, (PMOS 트랜지스터들(M1 및 M2)의 소스에서) 레귤레이팅된 전압 노드의 VCO 전류의 부분으로부터 기준 전류를 싱크한다는 것을 제외하면, 도 7b의 회로(750)와 유사하다.
- [0058] 전류 감지 회로, 전류 모드 비교기 및 피드백을 갖는 예시적인 전압 레귤레이팅 회로
- [0059] [0064] 도 8은 본 개시의 특정 양상들에 따라, NMOS 캐스코드 소스 팔로워, 전류 감지 회로(810) 및 소스 팔로워에 피드백을 제공하는 전류 모드 비교기(820)를 이용하는 예시적인 전압 레귤레이팅 회로(800)의 개략도이다. VCO(302)를 구동하기 위한 전류를 제공하기 위해, 소스 팔로워는 NMOS 트랜지스터들(M3 및 M4)을 포함하고, 도 4 및 도 5의 회로들(400, 500)의 NMOS 캐스코드 소스 팔로워와 각각 유사하다. 그러나 회로(800)의 피드백은 전류 모드 비교기(820)로부터 트랜지스터(M3)의 게이트에 제공된다.
- [0060] [0065] 전류 감지 회로(810)는 캐스코드로 된 4개의 NMOS 트랜지스터들(M7, M8, M9, 및 M10)을 포함한다. 트랜지스터(M4)의 게이트는 트랜지스터들(M4 및 M7)을 유사하게 바이어싱하도록 트랜지스터(M7)의 게이트에 연결된다. 트랜지스터(M3)의 게이트는 트랜지스터(M8)의 게이트에 연결된다. 소스 팔로워의 출력(즉, 트랜지스터(M3)의 소스)에서의 레귤레이팅된 전압(V_{reg})은 연산 증폭기(op amp)(812)의 양의 단자에 의해 감지된다. 트랜지스터(M9)의 게이트는 바이어스 전압(VB)에 의해 바이어싱된다. 증폭기(812)의 음의 단자는 트랜지스터(M8)의 소스와 트랜지스터(M9)의 드레인 간의 노드(V_{reg*})에 연결되고, 증폭기(812)는 음의 단자에서의 V_{reg*} 가 양의 단자에서의 V_{reg} 와 거의 동일하게 되도록 트랜지스터(M10)의 게이트를 구동한다.

[0061]

[0066] 전류 모드 비교기(820)는 기준 전류(Iref)를 공급하기 위한 기준 전류 소스(304) 및 2개의 NMOS 트랜지스터들(M11 및 M12)을 포함한다. 트랜지스터(M11)의 게이트는 전류 감지 회로(810)에서 트랜지스터(M9)의 게이트를 바이어싱하는 VB와 같은 바이어스 전압에 의해 바이어싱된다. 트랜지스터(M12)의 게이트는 전류 감지 회로(810)에서 증폭기(812)의 출력에 연결된다. 이러한 방식으로, 트랜지스터들(M11 및 M12)은 트랜지스터들(M9 및 M10)과 유사하게 구동되지만, 상이한 전류들을 가질 수 있다. Iref는 트랜지스터들(M11 및 M12) 둘 다를 통과하고, 그리하여 트랜지스터(M11)의 드레인에서 피드백 전압(Vfb)을 생성한다. 레지스터(R1)를 통해 트랜지스터들(M3 및 M8)의 게이트들에 연결되어, 피드백 전압은 증폭기(812)의 출력이 변함에 따라 위 또는 아래로 조정된다. 트랜지스터들(M9 및 M10)을 통한 전류(I_sense)는, Vreg와 동일하게 Vreg*를 유지하기 위해 증폭기(812)의 출력이 변함에 따라 조정된다. 전류 모드 비교기(820)는 도 8에서 도시된 회로로 제한되지 않고, 감지된 전류(I_sense)를 기준 전류(Iref)와 비교하는데 이용되는 임의의 컴포넌트들을 포함할 수 있다.

[0062]

[0067] 특정 양상들에 대해, 회로(800)는 시동 동안 레지스터(R1)를 단락시키기 위한 스위치(S1)를 포함할 수 있는 반면에, 스위치(S1)는 회로의 정상 동작 동안 개방될 수 있다. 회로(800)는 또한 시동 동안 트랜지스터(M3)의 게이트를 풀업하기 위한 스위치(S2)를 포함할 수 있다. 스위치(S2)는 정상 동작 동안 개방될 수 있다.

[0063]

[0068] 도 8의 회로(800)에 의해 제공되는 VCO 전류는 PVT-둔감성이며, N*Iref와 동일하고, N은 I_sense 대 VCO 전류의 비이다. 회로(800)는 또한 스케일링된 CMOS 및 저-전압 애플리케이션들에 적합하다.

[0064]

[0069] 위에서 설명된 다양한 동작들 또는 방법들은 대응하는 기능들을 수행할 수 있는 임의의 적절한 수단에 의해 수행될 수 있다. 이 수단은, 회로, 주문형 집적 회로(ASIC) 또는 프로세서를 포함하는(그러나 이에 제한되는 않는) 다양한 하드웨어 및/또는 소프트웨어 컴포넌트(들) 및/또는 모듈(들)을 포함할 수 있다. 일반적으로, 도면들에 도시된 동작들이 존재하는 경우, 이 동작들은 유사한 넘버링을 갖는 상응하는 대응 수단-및-기능(means-plus-function) 컴포넌트들을 가질 수 있다.

[0065]

[0070] 예를 들어, 송신하기 위한 수단은 송신기(예를 들어, 도 2에서 도시된 사용자 단말(120)의 트랜시버 프론트 엔드(254) 또는 도 2에서 도시된 액세스 포인트(110)의 트랜시버 프론트 엔드(222)) 및/또는 안테나(예를 들어, 도 2에서 도시된 사용자 단말(120m)의 안테나들(252ma 내지 252mu) 또는 도 2에서 예시된 액세스 포인트(110)의 안테나들(224a 내지 224ap))를 포함할 수 있다. 수신하기 위한 수단은 수신기(예를 들어, 도 2에서 도시된 사용자 단말(120)의 트랜시버 프론트 엔드(254) 또는 도 2에서 도시된 액세스 포인트(110)의 트랜시버 프론트 엔드(222)) 및/또는 안테나(예를 들어, 도 2에서 도시된 사용자 단말(120m)의 안테나들(252ma 내지 252mu) 또는 도 2에서 예시된 액세스 포인트(110)의 안테나들(224a 내지 224ap))를 포함할 수 있다. 프로세싱하기 위한 수단 또는 결정하기 위한 수단은, 도 2에서 예시된 사용자 단말(120)의 RX 데이터 프로세서(270), TX 데이터 프로세서(288), 및/또는 제어기(280)와 같은 하나 또는 그 초과의 프로세서들을 포함할 수 있는 프로세싱 시스템을 포함할 수 있다.

[0066]

[0071] 본 명세서에서 사용되는 용어 "결정"은 광범위한 동작들을 포함한다. 예를 들어, "결정"은 계산, 컴퓨팅, 프로세싱, 유도, 검사, 검색(예를 들어, 표, 데이터베이스 또는 다른 데이터 구조에서의 검색), 확인 등을 포함할 수 있다. 또한, "결정"은 수신(예를 들어, 정보 수신), 액세스(예를 들어, 메모리 내의 데이터에 액세스) 등을 포함할 수 있다. 또한, "결정"은 해결, 선택, 선정, 설정 등을 포함할 수 있다.

[0067]

[0072] 본 명세서에서 사용되는 바와 같이, 아이템들의 리스트 "중 적어도 하나"로 지칭되는 구문은 단일 멤버들을 포함하여 그 아이템들의 임의의 조합을 지칭한다. 예를 들어, "a, b 또는 c 중 적어도 하나"는, a, b, c, a-b, a-c, b-c, 및 a-b-c를 커버하도록 의도된다.

[0068]

[0073] 본 개시와 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들 및 회로들은 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래밍 가능 게이트 어레이(FPGA) 또는 다른 프로그래밍 가능 로직 디바이스(PLD), 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 본원에서 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현되거나 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안으로 프로세서는 임의의 상업적으로 이용 가능한 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스들의 결합, 예를 들어, DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 연결된 하나 또는 그 초과의 마이크로프로세서들 또는 임의의 다른 이러한 구성으로서 구현될 수 있다.

[0069]

[0074] 본 명세서에 개시된 방법들은 설명된 방법을 달성하기 위한 하나 또는 그보다 많은 단계들 또는 동작들

을 포함한다. 방법 단계들 및/또는 동작들은 청구항들의 범위를 벗어나지 않고 서로 교환될 수 있다. 즉, 단계들 또는 동작들의 특정한 순서가 규정되지 않으면, 특정 단계들 및/또는 동작들의 순서 및/또는 이용은 청구항들의 범위를 벗어나지 않고 변형될 수 있다.

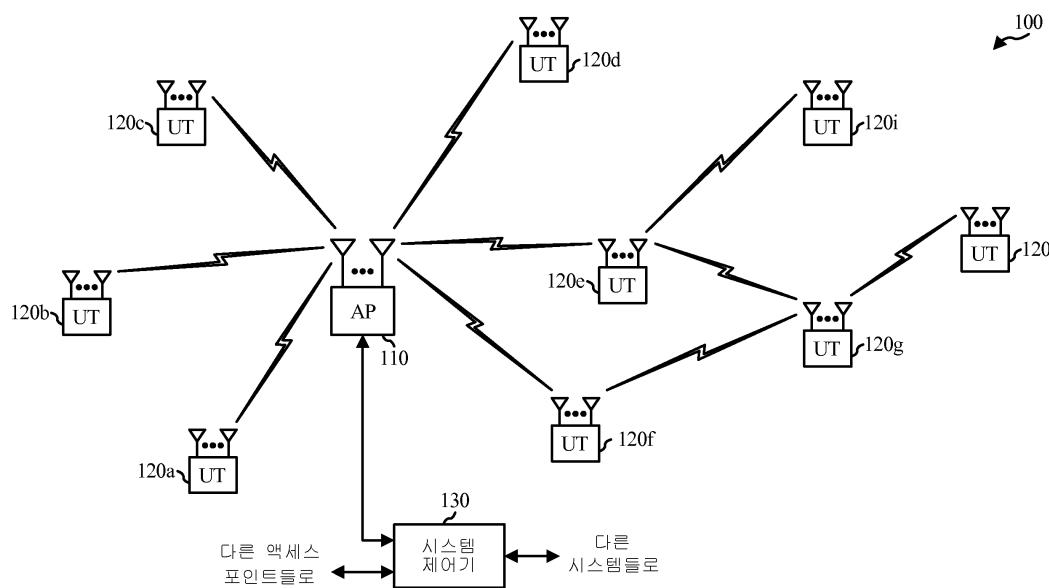
[0070] 설명된 기능들은, 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수 있다. 하드웨어로 구현되는 경우, 예시적인 하드웨어 구성은 무선 노드 내의 프로세싱 시스템을 포함할 수 있다. 프로세싱 시스템은 버스 아키텍처를 통해 구현될 수 있다. 버스는 프로세싱 시스템의 특정 애플리케이션 및 전체적인 설계 제약들에 따라, 임의의 개수의 상호연결 버스들 및 브리지들을 포함할 수 있다. 버스는 프로세서, 기계-판독가능 매체, 및 버스 인터페이스를 포함하는 다양한 회로들을 함께 링크시킬 수 있다. 버스 인터페이스는 버스를 통해 프로세싱 시스템에, 특히 네트워크 어댑터를 연결하는데 사용될 수 있다. 네트워크 어댑터는 PHY 층의 신호 프로세싱 기능들을 구현하기 위해 사용될 수 있다. 사용자 단말(120)(도 1 참조)의 경우, 사용자 인터페이스(예를 들어, 키패드, 디스플레이, 마우스, 조이스틱 등)는 또한 버스에 연결될 수 있다. 버스는 또한 타이밍 소스들, 주변장치들, 전압 레귤레이터들, 전력 관리 회로들 등과 같은 다양한 다른 회로들을 링크시킬 수 있고, 이들은 당해 기술분야에 공지되어 있어, 더 이상 설명되지 않을 것이다.

[0071] 프로세싱 시스템은, 프로세서 기능성을 제공하는 하나 또는 그 초과의 마이크로프로세서들 및 머신-판독 가능 매체들의 적어도 부분을 제공하는 외부 메모리를 갖는 범용 프로세싱 시스템으로서 구성될 수 있으며, 모두가 외부 버스 아키텍처를 통해 다른 지원 회로와 함께 링크된다. 대안적으로, 프로세싱 시스템은 프로세서, 버스 인터페이스, (액세스 단말의 경우) 사용자 인터페이스, 지원 회로, 및 단일 칩으로 통합되는 머신-판독가능 매체의 적어도 일부분을 가지는 ASIC(Application Specific Integrated Circuit)를 이용하여 구현되거나, 또는 하나 이상의 FPGA들(Field Programmable Gate Arrays), PLD들(Programmable Logic Devices), 제어기들, 상태 머신들, 게이트 로직(gated logic), 이산 하드웨어 컴포넌트들, 또는 임의의 다른 적절한 회로, 또는 본 개시 전반에 걸쳐 설명된 다양한 기능성을 수행할 수 있는 회로들의 임의의 결합을 이용하여 구현될 수 있다. 당업자는 전체 시스템에 부과된 전체 설계 제약들 및 특정 애플리케이션에 따라 프로세싱 시스템에 대해 설명된 기능성을 최상으로 구현하는 방법을 인지할 것이다.

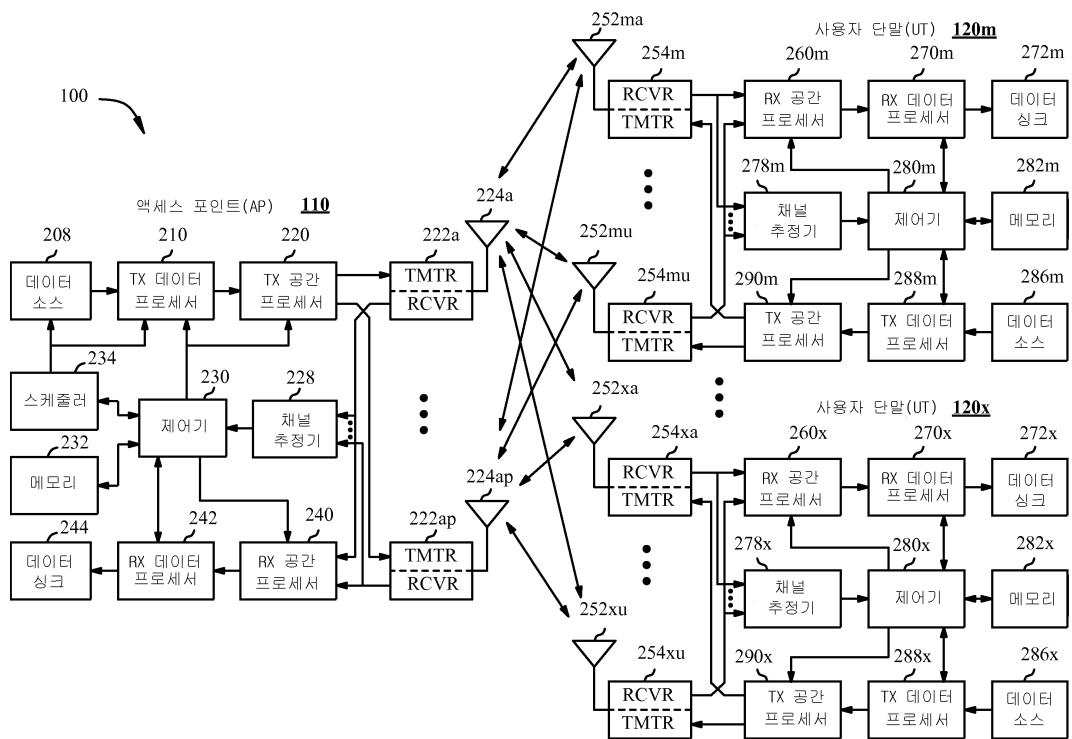
[0072] 청구항들이 위에서 예시된 정확한 구성 및 컴포넌트들에 제한되지 않는다는 점이 이해될 것이다. 다양한 수정들, 변화들 및 변경들은 청구항들의 범위로부터 벗어나지 않고 전술된 방법들 및 장치의 어레인지먼트(arrangement), 동작 및 상세항목들 내에서 이루어질 수 있다.

도면

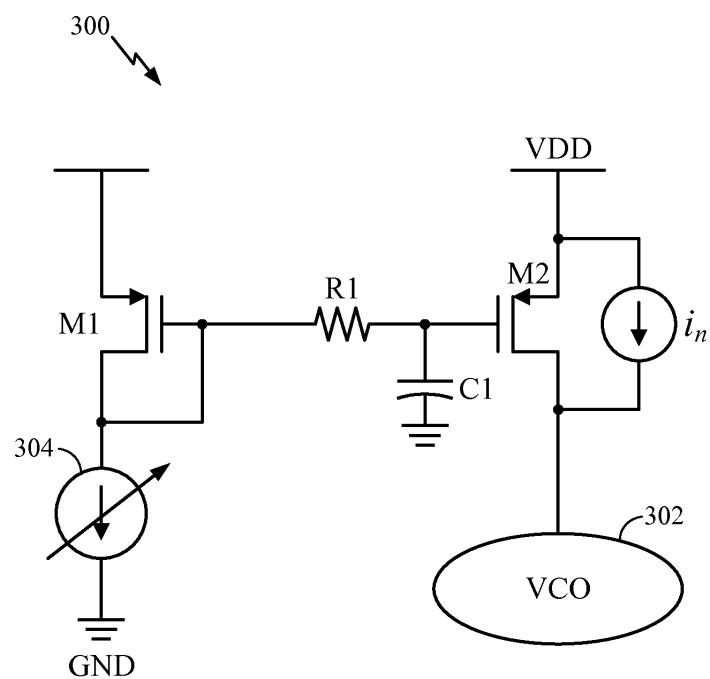
도면1



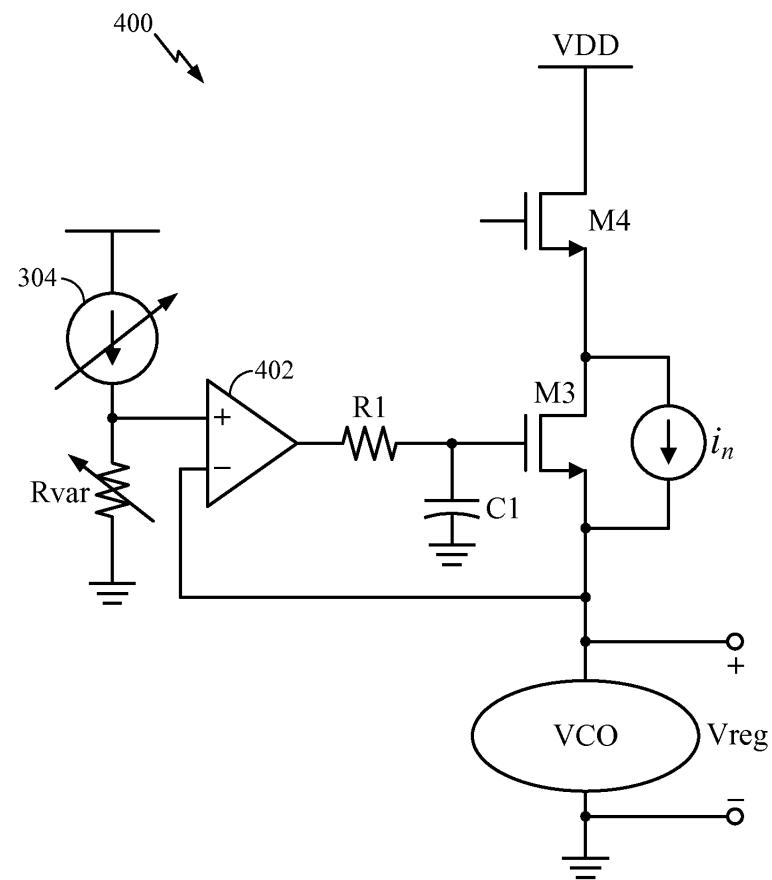
도면2



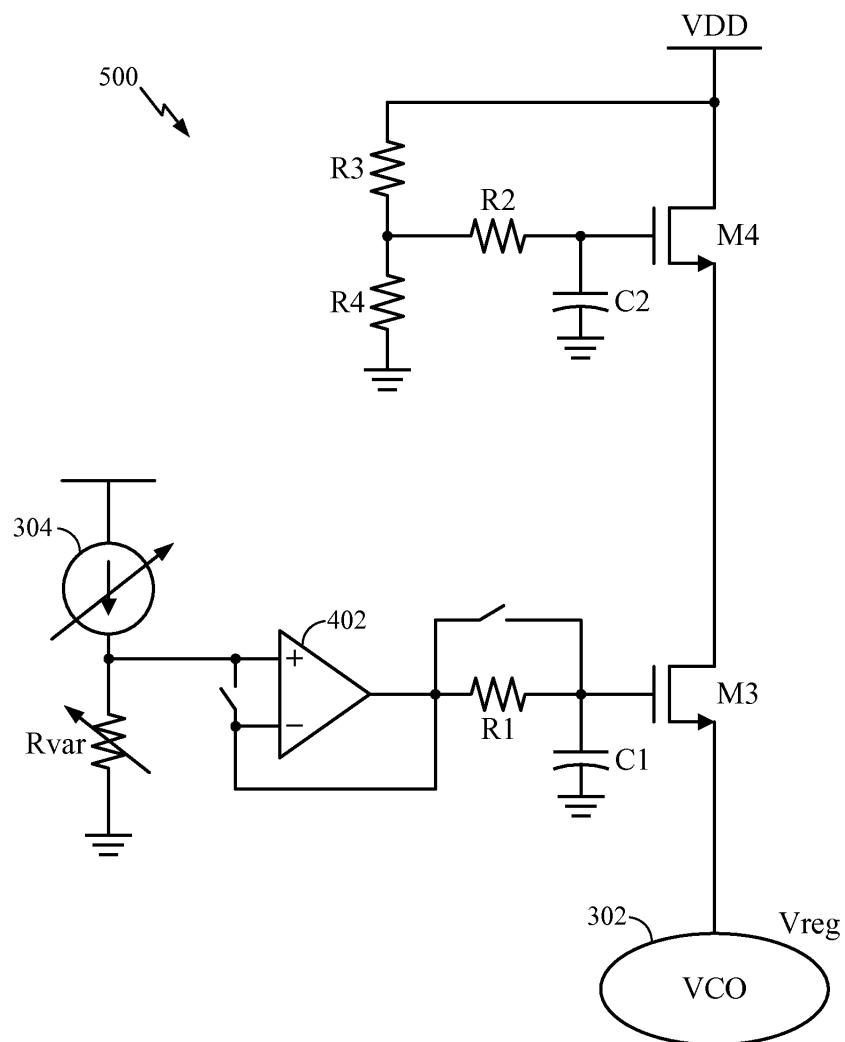
도면3



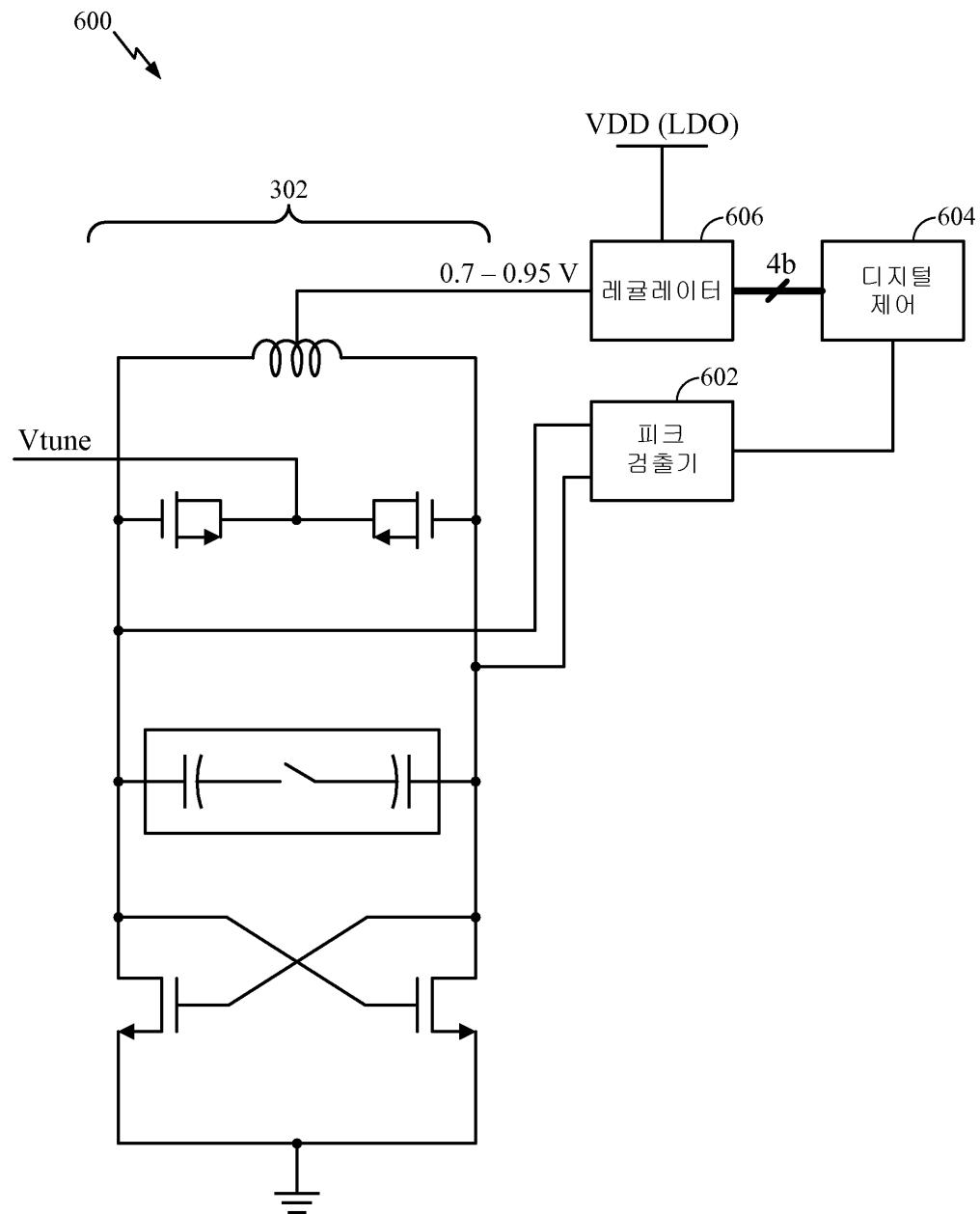
도면4



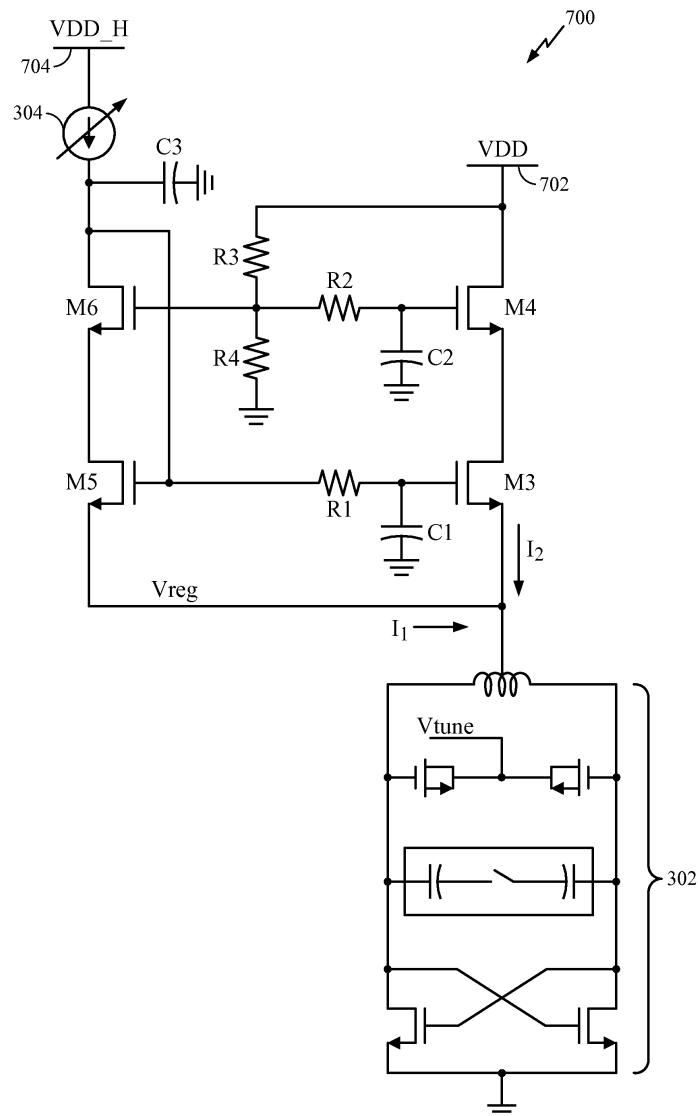
도면5



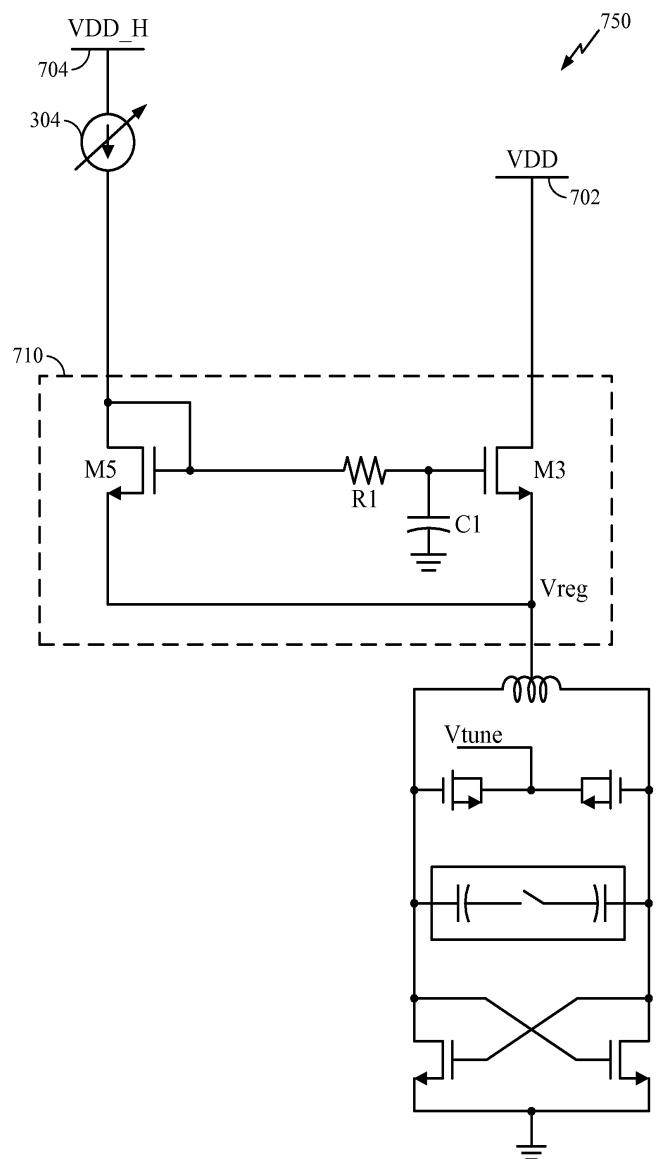
도면6



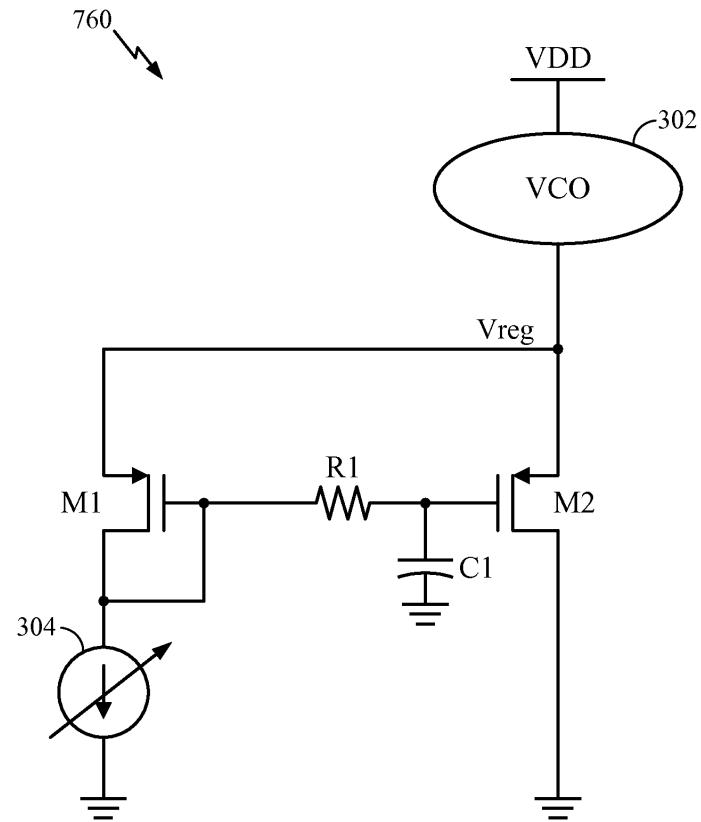
도면7a



도면7b



도면7c



도면8

